

40

發明專利說明書

200301940

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：91136718 ※IPC分類：H01L 27/336, 29/82
602 F 1/36

※ 申請日期：91. 12. 19

壹、發明名稱

(中文) 薄膜電晶體裝置和其製造方法，及液晶顯示器裝置

(英文) THIN FILM TRANSISTOR DEVICE AND METHOD OF MANUFACTURING THE SAME, AND LIQUID CRYSTAL DISPLAY DEVICE

貳、發明人 (共 4 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 土井誠兒

(英文) Seiji DOI

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商·富士通顯示技術股份有限公司

(英文) FUJITSU DISPLAY TECHNOLOGIES CORPORATION

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 松田嘉博

(英文) Yoshihiro MATSUDA

續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 堀田和重

(英文) Kazushige HOTTA

住居所地址：(中文) 日本國神奈川県川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 3

姓名：(中文) 平野琢也

(英文) Takuya HIRANO

住居所地址：(中文) 日本國神奈川県川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 4

姓名：(中文) 梁井健一

(英文) Kenichi YANAI

住居所地址：(中文) 日本國神奈川県川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 5

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

捌、聲明事項

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本; 2001.12.20; 特願 2001-388306
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明係有關薄膜電晶體裝置、其製造方法和液晶顯示器裝置，特別是有關在液晶顯示器裝置或類似裝置之絕緣基板上面形成的薄膜電晶體裝置、其製造方法和液晶顯示器裝置。

【先前技術】

發明背景

10 液晶顯示器裝置具有重量輕、厚度薄、耗電量低等特性，且其應用領域相當廣泛，例如行動式終端機、攝影機之觀景器、筆記型電腦等。尤其是，以薄膜電晶體(下文中縮寫成“TFT”)作為切換元件之主動矩陣液晶顯示器裝置常用於要求高品質與高解析度顯示器之用途上，例如電腦
15 顯示器或類似裝置。

於主動矩陣液晶顯示器裝置中，使用了以多晶矽薄膜作為工作層(下文中稱為“pSi-TFT”)之TFT，原因在於其高度之驅動能力。最近幾年，隨著多晶矽薄膜成形技術之進步，為降低成本與提升功能，完成了在同一基板上面形成
20 顯示區之薄膜電晶體(下文稱為像素TFT)和顯示區外之周圍電路部分中的TFT這種結構之研究。

由於像素TFT乃用以驅動液晶，因此必須將高電壓施加於其等之閘極和汲極上，故此類像素TFT必須針對閘極電壓和汲極電壓提供相當高的擊穿電壓。相反地，周圍電

玖、發明說明

路部分中的TFT需要較低的耗電量和高速運作。

為了達到此需求，於專利發表(KOKAI) Hei 10-170953
等中，已經提出在同一基板上面，像素TFT中所形成之閘
絕緣膜較厚，而周圍電路部分之TFT中所形成的閘絕緣膜
5 較薄之範例。

第1圖中繪示了液晶顯示器裝置的一個截面構造圖，
其中在同一基板上面形成之絕緣膜，其厚度於像素TFT中
與周圍電路部分之TFT中乃互不相同。在此例中，亦施加
高壓於周圍電路部分中的某些TFT上，因此周圍電路部分
10 中的TFT使用了與像素TFT相同之結構。

根據上述之液晶顯示器裝置製造方法，以多晶矽薄膜
製成之島狀半導體薄膜4a、4b上面形成了以氧化矽薄膜製
成的閘絕緣膜。同時，藉由改變較厚部分與較薄部分中的
絕緣膜疊層數目，可調整薄膜之厚度。尤其是如下所述，
15 連續形成多層絕緣膜並蝕刻不需要之絕緣膜。

亦即於基板的整個表面上形成第一絕緣膜，接著將較
厚部分之TFT成形區中的第一絕緣膜5進行蝕刻而留下，其
它區域中的這種第一絕緣膜5則被移除。

之後，於整個表面上依此順序形成第二絕緣膜和金屬
20 薄膜，接著將金屬薄膜進行圖案製作程序。因此，於較薄
部分之TFT成形區中，第一閘電極7a在第二絕緣膜6a上面
形成；同時，於較厚部分之TFT成形區中，第二閘電極7b
在由第一絕緣膜5與第二絕緣膜6a所組成之層狀結構上面
形成。於是，在較薄部分之TFT成形區中，具有由第二絕

玖、發明說明

緣膜6a組成之單層結構的第一閘絕緣膜於第一閘電極7a下方形成；同時，於較厚部分之TFT成形區中，具有由第一及第二絕緣膜5、6b組成之雙層結構的第二閘絕緣膜於第二閘電極7b下方形成。

5 而且，於較厚部分之TFT中，通常應該抑制因熱電子造成的‘ON’特性惡化，且應降低‘OFF’電流。有鑑於此，如第5圖中所示，該結構具有其中閘電極75下方之通道區4be與高濃度雜質區4ba、4bb之間的區域中乃配置了低濃度雜質區4bc、4bd之LDD(輕摻雜汲極)結構。若從上側觀
10 看，則通道區4be與低濃度雜質區4bc、4bd之間的邊界大體上位於閘電極75邊緣正下方。於有些案例中，與低濃度雜質區4bc、4bd對應之區域可形成不摻入雜質的偏移區。

標準TFT係於較薄部分中形成，具有LDD結構之TFT則於較厚部分中形成。因此如第6A圖中所示，於較薄部分
15 之TFT成形區中，首先在第一絕緣膜71上面形成第一閘電極72。之後，於較厚部分之TFT成形區中，形成一側寬度較閘電極成形區寬LDD區之防蝕光罩73a，接著以第一閘電極72和防蝕光罩73a作為光罩，將離子植入。因此，第一閘電極72兩側之島狀半導體薄膜4a中形成了高濃度雜質
20 區4aa、4ab，且防蝕光罩73a兩側之島狀半導體薄膜4a中形成了高濃度雜質區4ba、4bb。

之後移除防蝕光罩73a，接著如第6B圖中所示，於較厚部分之TFT成形區中，在比防蝕光罩73a成形區為窄之區域中形成新的防蝕光罩73b，之後利用防蝕光罩73b將離子

玖、發明說明

植入。因此，防蝕光罩73b邊緣與高濃度雜質區4aa、4ab邊緣之間的區域中形成了低濃度雜質區4bc、4bd。於此例中，夾在低濃度雜質區4bc、4bd之間的區域乃作為通道區4be。

5 之後，以第一閘電極72和防蝕光罩73b作為光罩，將第一絕緣膜71加以蝕刻。因此如第5圖中所示，第一絕緣膜71a係於第一閘電極72下方形成，而第一絕緣膜71b殘留於防蝕光罩73b下方。接著移除防蝕光罩73b，之後於整個表面上形成第二絕緣膜和金屬膜。

10 接著將金屬膜進行圖案製作程序，之後如第5圖中所示，於較薄部分之TFT成形區中，第二閘電極75在通道區4be上方形成。接著以第二閘電極75作為光罩，將第二絕緣膜加以蝕刻，而留下第二絕緣膜74a。因此，具有由第一及第二絕緣膜71b、74a組成之雙層結構的第二閘絕緣膜
15 於第二閘電極75下方形成。

其後，可藉由標準步驟形成如第5圖中繪示之薄膜電晶體裝置。在此例中，第5圖之參考數字76代表第一中間層絕緣膜、76a至76d代表接觸孔、77a至77d代表源/汲電極、而78代表第二中間層絕緣膜。

20 然而如第2圖中所示，第1圖繪示之習知技藝製造方法中，係利用乾式蝕刻法蝕刻第一絕緣膜5。在此例中，較薄部分之TFT成形區中的島狀半導體薄膜4a表面、特別是通道區之表面，乃暴露於蝕刻氣體之電漿中。因此，由於島狀半導體薄膜4a表面上產生了破壞層13，所衍生之問題

玖、發明說明

在於較薄部分中的TFT特性比較厚部分中的TFT特性退化。

相反地，如第3A圖中所示，利用濕式蝕刻法，以氫氟酸或類似溶液蝕刻第一絕緣膜5。在此例中，由於不易取得島狀半導體薄膜4a、4b對底層氧化矽薄膜3之選擇性蝕刻比例，故此底層氧化矽薄膜3亦於過蝕刻時被蝕刻，而使氧化矽薄膜3中，於島狀半導體薄膜4a、4b之邊緣部分下方產生“刮除部分”14。

為了避免此情況，如第3B圖中所示，形成了作為閘電極之第二絕緣膜6及金屬膜7，接著如第4A及4B圖中所示，以防蝕光罩將金屬膜7進行圖案製作程序而形成閘電極7a。若依此進行，則因較薄部分中的TFT之閘絕緣膜僅由第二絕緣膜6a所形成，其厚度較薄，故島狀半導體薄膜4a邊緣部分之刮除部分處的第二絕緣膜6a中容易產生裂紋，於是，產生之問題在於較薄部分中的TFT之閘極擊穿電壓大大地降低。

此外，島狀半導體薄膜4a之邊緣部分藉由蝕刻而縮減，使其頂端形成銳角。有鑑於此，除非於島狀半導體薄膜4a之邊緣部分產生刮除部分，否則當施加閘極電壓時，特別是較薄部分之TFT中會造成電場集中現象。因此，產生之問題在於所謂的寄生TFT會較標準TFT運作更迅速。

而且，為防止這些情況，使用了僅將較薄部分中的TFT之島狀半導體薄膜4a邊緣部分加以覆蓋的一個結構，通常此結構係利用光罩從基板1上表面曝光之方式形成。在此例中，從確保光罩邊緣精確度及排列精確度之觀點而

玖、發明說明

言，島狀半導體薄膜4a、4b之寬度必須設成相當大，於是TFT之小型化受到限制。

此外，於第6A及6B圖中繪示之習知技藝製造方法中，小型化獲致改善，因此不易在兼顧高濃度雜質區4ba、4bb、低濃度雜質區4bc、4bd與閘電極75之間相互配置的情況下形成LDD結構，此乃有礙小型化。

再者，如第5圖中所示，分別利用各項步驟，將閘絕緣膜蝕刻成多層絕緣膜71b、74a。於是，這些步驟耗時且費力，因此必須簡化這些步驟。

10 【發明內容】

發明概要

首先，本發明之目的在提供一個具有TFT之薄膜電晶體裝置，其TFT之絕緣膜於同一基板上面分別具有不同之厚度，且較厚部分中具有LDD結構；此薄膜電晶體裝置能防止其特性與擊穿電壓之退化，並抑制工作層邊緣部分處之寄生TFT運作。

其次，本發明之目的在提供一種能夠形成這種薄膜電晶體裝置、同時達到步驟簡化進而使裝置小型化之製造方法。

20 第三，本發明之目的在提供一種使用薄膜電晶體裝置之液晶顯示器裝置。

本發明之申請專利範圍第1項中發表的一個薄膜電晶體裝置製造方法，其步驟包括在一透明基板的一個表面上形成一層第一島狀半導體薄膜及一層第二島狀半導體薄膜

玖、發明說明

；形成一層用於覆蓋第一島狀半導體薄膜及第二島狀半導體薄膜之第一絕緣膜；於第一絕緣膜上面形成一層負光阻膜；藉由一個遮蔽住第一島狀半導體薄膜整個區域之光罩，自一光源將負光阻膜曝光；自透明基板之背面將負光阻膜曝光；藉將負光阻膜顯影而形成一個防蝕圖案，其於朝向第一島狀半導體薄膜周圍之內側區域中具有一個開口部分；蝕刻防蝕圖案之開口部分中的第一絕緣膜；移除防蝕圖案；於透明基板的整個表面上形成一層第二絕緣膜，接著在其上面形成一層導電膜；於第一島狀半導體薄膜上方之導電膜上面形成第一光罩圖案，並於第二島狀半導體薄膜上方之導電膜上面形成第二光罩圖案；以及以第一光罩圖案作為光罩，蝕刻導電膜而形成第一閘電極，並以第二光罩圖案作為光罩，蝕刻導電膜而形成第二閘電極。

根據本發明，於具有較薄厚度之第一閘絕緣膜的薄膜電晶體成形區域中，第一島狀半導體薄膜之周圍部分於第一閘絕緣膜成形之前係由第一絕緣膜所覆蓋。因此，若作為第一閘絕緣膜之第二絕緣膜與作為第一閘電極之導電膜層疊於第一絕緣膜上面，則第一島狀半導體薄膜位於第一閘電極下方之周圍部分係由第一絕緣膜及第二絕緣膜覆蓋。因此，當施加閘極電壓時，可藉減少第一島狀半導體薄膜周圍部分之電場密度，防止寄生薄膜電晶體之運作。

同時，於具有較厚部分之第一閘絕緣膜的薄膜電晶體成形區域中，係以第一島狀半導體薄膜作為光罩，令曝光源從玻璃基板背面照射在第一島狀半導體薄膜上方之負光

玖、發明說明

阻膜未曝光區上面，因此該未曝光區能以自調方式，於光線能從第一島狀半導體薄膜周圍繞射的範圍之內曝光，第一島狀半導體薄膜周圍部分能非常精確地被第一絕緣膜覆蓋。於是，第一島狀半導體薄膜之尺寸邊緣於通道寬度方向可減至最小，而使薄膜電晶體達到最小化。

本發明之申請專利範圍第3項中發表的一個薄膜電晶體裝置製造方法，其步驟包括在一基板上面形成一層第一島狀半導體薄膜及一層第二島狀半導體薄膜；形成一層用於覆蓋第一島狀半導體薄膜及第二島狀半導體薄膜之半導體薄膜，之後於半導體薄膜上面形成一層絕緣膜；利用選擇性地蝕刻第二島狀半導體薄膜上方之絕緣膜，形成一個絕緣膜圖案；將絕緣膜圖案下方及其它區域中的半導體薄膜氧化，以在第一島狀半導體薄膜上面形成一層由藉將半導體薄膜氧化而成之絕緣膜所組成的第一閘絕緣膜，並於第二島狀半導體薄膜上面形成一層由藉將半導體薄膜氧化而成之絕緣膜與絕緣膜圖案兩者所組成的第二閘絕緣膜；以及於第一閘絕緣膜上面形成第一閘電極，並於第二閘絕緣膜上面形成第二閘電極。

根據本發明，當藉由蝕刻半導體薄膜上面之絕緣薄膜而形成了作為第二閘絕緣膜之一部份的絕緣膜時，第一島狀半導體薄膜係由底層之半導體薄膜保護著，因此，第一島狀半導體薄膜之通道區並不會暴露於絕緣膜之蝕刻氣體的電漿中，故可防止具有較薄第一閘絕緣膜之薄膜電晶體特性退化，因此能確保具有較厚第二閘絕緣膜之薄膜電晶

玖、發明說明

體和具有較薄第一閘絕緣膜之薄膜電晶體兩者均擁有優良特性。

而且，第一及第二島狀半導體薄膜之底層基板亦受半導體薄膜保護，因此，即使絕緣膜於基板表面上形成，第一及第二島狀半導體薄膜之邊緣部分處並不會產生“刮除部分”。而若其未受保護，則蝕刻基板表面上之氧化矽薄膜時會在邊緣部分產生“刮除部分”。

此外，當藉由蝕刻半導體薄膜上面之絕緣薄膜而形成了作為第二閘絕緣膜之一部份的絕緣膜時，由於半導體薄膜對絕緣膜之蝕刻劑具有抗蝕性，因此薄膜厚度不會減少。在此實施例中，由於第一閘絕緣膜乃藉氧化半導體薄膜而形成，故可相當精確地控制第一閘絕緣膜之薄膜厚度。

本發明之申請專利範圍第7項中發表的一個薄膜電晶體裝置製造方法，其步驟包括在一基板上面形成一層第一半導體薄膜；於第一半導體薄膜上面連續形成一層第一絕緣膜、一層第二半導體薄膜與一層第二絕緣膜；利用選擇性地蝕刻第二絕緣膜，形成一個第二絕緣膜圖案；選擇性地蝕刻第二半導體薄膜，以形成一層不含第二絕緣膜圖案之島狀第二半導體薄膜與一層含有第二絕緣膜圖案之島狀第二半導體薄膜；藉由第一絕緣膜，將第二絕緣膜圖案與其它區域下方之島狀第二半導體薄膜氧化，且將第一半導體薄膜中未被島狀第二半導體薄膜覆蓋之區域氧化，以形成一層由第一半導體薄膜中被不含第二絕緣膜圖案之島狀第二半導體薄膜覆蓋的一個區域組成之第一島狀半導體薄

玖、發明說明

膜，且亦於形成一層由第一半導體薄膜中被含有第二絕緣膜圖案之島狀第二半導體薄膜覆蓋的一個區域組成之第二島狀半導體薄膜，接著在第一島狀半導體薄膜上面形成一層由藉將第二半導體薄膜氧化而成之絕緣膜與第一絕緣膜所組成的第一閘絕緣膜，之後於第二島狀半導體薄膜上面形成一層由第二絕緣膜圖案、一層藉將第二半導體薄膜氧化而成之絕緣膜以及第一絕緣膜所組成的第二閘絕緣膜；以及於第一閘絕緣膜上面形成第一閘電極，並於第二閘絕緣膜上面形成第二閘電極。

10 根據本發明，當藉由蝕刻半導體薄膜上面之絕緣薄膜而形成了作為第二閘絕緣膜之一部份的絕緣膜時，第一島狀半導體薄膜係由底層之第二半導體薄膜保護著，因此，第一島狀半導體薄膜之通道區並不會暴露於第二絕緣膜之蝕刻氣體的電漿中，故可防止具有較薄第一閘絕緣膜之薄膜電晶體特性退化，因此能確保具有較厚第二閘絕緣膜之
15 薄膜電晶體和具有較薄第一閘絕緣膜之薄膜電晶體兩者均擁有優良特性。

同時，將第二半導體薄膜上面之作為第二閘絕緣膜較厚部分的第二絕緣膜加以蝕刻，接著將第二半導體薄膜氧化，並選擇性地氧化第二半導體薄膜下方的第一半導體薄膜，而形成第一及第二島狀半導體薄膜。以此方式，由於底層基板表面並未暴露於蝕刻氣體等之中，因此第一及第二島狀半導體薄膜之邊緣部分處並不會產生所謂的“刮除部分”。

玖、發明說明

此外，當藉由蝕刻第二絕緣膜而形成了作為第二閘絕緣膜之一部份的絕緣膜時，第二半導體薄膜對第二絕緣膜之蝕刻劑具有抗蝕性，因此薄膜厚度不會減少。在此實施例中，由於第一閘絕緣膜係由藉將第二半導體薄膜氧化而成之絕緣膜與第一絕緣膜兩者所組成，故可相當精確地控制第一閘絕緣膜之薄膜厚度。

本發明之申請專利範圍第11項中發表的一個薄膜電晶體裝置包括有一顆第一薄膜電晶體，其包含了一層具有一對源/汲區、以在其間置入一個通道區之第一島狀半導體薄膜；一層由第一島狀半導體薄膜之通道區上面形成之第一絕緣膜製成的第一閘絕緣膜；以及一個由第一閘絕緣膜上面形成之第一導電膜製成的第一閘電極；以及一顆第二薄膜電晶體，其包含了一層具有一對源/汲區、以在其間置入一個通道區之第二島狀半導體薄膜；一層由第二島狀半導體薄膜之通道區上面形成之第一絕緣膜及第二絕緣膜製成的第二閘絕緣膜；以及一個由第二閘絕緣膜上面形成之第二導電膜製成的第二閘電極，第一薄膜電晶體和第二薄膜電晶體兩者均於同一基板上面形成；其中第一薄膜電晶體乃藉由第二絕緣膜，於第一島狀半導體薄膜側面部分之邊緣上方及第一閘電極上面提供了由第二導電膜形成的電場弛豫電極，並且第二薄膜電晶體藉由第一絕緣膜，於第二閘電極下方及第二島狀半導體薄膜側面部分之邊緣上方提供了由第一導電膜形成的電場弛豫電極。

根據本發明，於第一薄膜電晶體裝置中，乃藉由第一

玖、發明說明

島狀半導體薄膜兩側邊緣上方之第二氧化矽薄膜，於第一
開電極上面提供了電場弛豫電極。因此，相較由第一島狀
半導體薄膜、第一絕緣膜與第一開電極所形成之電容，此
5 部分處之寄生電容比由第一開電極和電場弛豫電極形成之
靜電電容大。因此，若TFT的開極利用交流電驅動，則作
用於第一島狀半導體薄膜兩側邊緣部分之開極電位變化會
減緩，故可抑制第一島狀半導體薄膜兩側邊緣部分處形成
之寄生電晶體運作。

且於第二薄膜電晶體裝置中，乃藉由第二島狀半導體
10 薄膜兩側邊緣上方之第一氧化矽薄膜，於第二開電極下方
提供了電場弛豫電極。因此，若電場弛豫電極之電位乃設
成其中第二島狀半導體薄膜兩側邊緣部分之通道無法導電
時之電位，可抑制第二島狀半導體薄膜兩側邊緣部分之通
道的導電性，且由於能隔離第二開電極之電場感應，因此
15 可抑制寄生電晶體之開啟ON。

本發明之申請專利範圍第12項中發表的一個薄膜電晶
體裝置製造方法，其步驟包括在一基板上面形成一層第一
島狀半導體薄膜及一層第二島狀半導體薄膜；形成一層用
於覆蓋第一島狀半導體薄膜及第二島狀半導體薄膜之第一
20 絕緣膜；於整個表面上形成一層第一導電膜，接著選擇性
地蝕刻第一導電膜，以在第一島狀半導體薄膜上方之第一
絕緣膜上面形成一個開電極；於整個表面上連續形成一層
第二絕緣膜及一層第二導電膜；於第二導電膜上面形成一
個光罩圖案，接著以光罩圖案作為光罩，將第二導電膜進

玖、發明說明

行側蝕刻，以形成一個寬度較光罩圖案窄之第二閘電極；以光罩圖案作為光罩，將第二絕緣膜施以非等向性蝕刻，並以第一閘電極和光罩圖案作為光罩，將第一絕緣膜施以非等向性蝕刻，因而在第一閘電極下方形成一層由第一絕緣膜所製成之第一閘絕緣膜，且在第二閘電極下方形成由第一絕緣膜及第二絕緣膜所組成之第二閘絕緣膜；移除光罩圖案；以第一閘電極作為光罩，利用離子植入方式將一雜質植入第一島狀半導體薄膜，而於第一閘電極兩側形成高濃度雜質區，並以第二閘電極和第二閘絕緣膜作為光罩，利用離子植入方式將雜質植入第二島狀半導體薄膜，而於第二閘電極兩側形成一對高濃度雜質區；以及以第二閘電極作為光罩，於離子能穿過第二閘電極周圍部分之第二閘絕緣膜的一個條件下，利用離子植入方式將雜質植入第二島狀半導體薄膜，而在第二閘電極兩側之第二閘絕緣膜下方形成一對低濃度雜質區。

根據本發明，利用光罩圖案將第二導電膜進行側蝕刻，形成一個寬度較光罩圖案窄的第二閘電極。此外，利用同一光罩圖案將第一及第二絕緣膜進行非等向性蝕刻，形成寬度較第二閘電極寬的第二閘絕緣膜。接著在離子無法穿過第二閘電極與第二閘絕緣膜之條件下，執行離子植入程序而形成高濃度雜質區。此外，於離子無法穿過第二閘電極卻能穿過第二閘絕緣膜之條件下，執行離子植入程序而於第二島狀半導體薄膜中形成低濃度雜質區。因此，低濃度雜質區與高濃度雜質區自通道末端依序在第二島狀半

玖、發明說明

導體薄膜中形成，而使第二閘電極下方之通道區能置入其間。

因此，若將側蝕刻之寬度調整為LDD區所需的寬度，則可使用閘電極和閘絕緣膜而不需增加曝光光罩之數目，
5 以自調方式形成LDD結構。

而且，由於分別具不同厚度之第一及第二閘絕緣膜可利用一個蝕刻步驟形成，故可簡化形成步驟。在此例中，由於第一及第二島狀半導體薄膜中的通道區並非共同暴露於蝕刻氣體之電漿中，因此能防止第一及第二島狀半導體
10 薄膜中的通道區表面產生損壞層。

本發明之申請專利範圍第16項中發表的一個液晶顯示器裝置包括有一顆第一薄膜電晶體；一顆第二薄膜電晶體，第一薄膜電晶體及第二薄膜電晶體係於一基板上面形成；一個接至第二薄膜電晶體之源/汲區的像素電極；以及
15 一條與像素電極交叉之儲存電容匯流排線；其中第一薄膜電晶體包含了一層具有一對源/汲區、以在其間置入一個通道區之第一島狀半導體薄膜；一層由第一島狀半導體薄膜之通道區上面形成之第一絕緣膜製成的第一閘絕緣膜；以及一個由第一閘絕緣膜上面形成之第一導電膜製成的第
20 一閘電極，第二薄膜電晶體包含了一層具有一對源/汲區、以在其間置入一個通道區之第二島狀半導體薄膜，且該對源/汲區之中任何一個均接至像素電極；一層由第二島狀半導體薄膜之通道區上面形成之第一絕緣膜及第二絕緣膜製成的第二閘絕緣膜；以及一個由第二閘絕緣膜上面形

玖、發明說明

成之第二導電膜製成的第二閘電極，且儲存電容匯流排線係由第一導電膜形成，而使接至像素電極之第二絕緣膜及第二導電膜乃依此順序層疊於儲存電容匯流排線上面的一個部分區域內。

5 根據本發明，顯示器部分中的儲存電容匯流排線與第一薄膜電晶體之之第一閘電極係由相同材料形成。而且，接至像素電極之第二絕緣膜及第二導電膜乃依此順序層疊於儲存電容匯流排線上面，換言之，在所形成之電容器元件中，其中一根電極係由儲存電容匯流排線形成，而電容
10 器絕緣膜由與第二閘絕緣膜之第二絕緣膜相同的材料形成，其它電極則由以第二閘電極相同材料製成之第二導電膜形成。

因此，由於形成之閘絕緣膜通常較薄，導致電容器元件較諸具有以ITO薄膜製成之其它電極和以中間層絕緣膜
15 製成之電容器絕緣膜的電容元件，其每單位面積具有更高之電容。再者，此將縮小形成儲存電容器所需的儲存電容匯流排線面積、亦即光遮蔽面積，因此能增加孔徑比。

本發明之申請專利範圍第17項中發表的一個液晶顯示器裝置包括有一顆第一薄膜電晶體；一顆第二薄膜電晶體
20 ；第一薄膜電晶體及第二薄膜電晶體係於一基板上面形成；一個接至第二薄膜電晶體之源/汲區的像素電極；以及一條與像素電極交叉之儲存電容匯流排線；其中第一薄膜電晶體包含了一層具有一對源/汲區、以在其間置入一個通道區之第一島狀半導體薄膜；一層由第一島狀半導體薄

玖、發明說明

膜之通道區上面形成之第一絕緣膜製成的第一閘絕緣膜；
以及一個由第一閘絕緣膜上面形成之第一導電膜製成的第
一閘電極，第二薄膜電晶體包含了一層具有一對源/汲區
、以在其間置入一個通道區之第二島狀半導體薄膜，且該
5 對源/汲區之中任何一個均接至像素電極；一層由第二島
狀半導體薄膜之通道區上面形成之第一絕緣膜及第二絕緣
膜製成的第二閘絕緣膜；以及一個由第二閘絕緣膜上面形
成之第二導電膜製成的第二閘電極，並且儲存電容匯流排
線係由第一導電膜形成，儲存電容匯流排線在其之部分區
10 域內提供了一顆第三薄膜電晶體，該第三薄膜電晶體包含
了一個由儲存電容匯流排線形成之閘電極、一層具有接至
像素電極之源/汲區的第三島狀半導體薄膜、以及一層由
第一絕緣膜製成之閘絕緣膜。

根據本發明，提供了利用以第一閘電極相同材料製成
15 之第一導電膜建構而成的儲存電容匯流排線，以及在本身
之部分區域中含有儲存電容匯流排線閘電極的第三薄膜電
晶體。且於第三薄膜電晶體中，第三島狀半導體薄膜之源
/汲區乃接至其內的像素電極，且閘絕緣膜係由與第二閘
絕緣膜之第一絕緣膜相同的材料製成。

20 若於閘電極上面施加了始終能將通道區打開之閘極電
壓，則第三島狀半導體薄膜可作為具有低阻抗值的電極，
而使形成之具有儲存電容匯流排線的儲存電容器元件作為
一個電極、第一絕緣膜作為電容器絕緣膜、而第三島狀半
導體薄膜作為其它電極。

玖、發明說明

因此，由於形成之閘絕緣膜通常較薄，導致電容器元件較諸具有以ITO作為其它電極和以中間層絕緣膜作為電容器絕緣膜的儲存電容元件，其每單位面積具有更高之電容。再者，此將縮小形成儲存電容器所需的儲存電容匯流排線面積、亦即光遮蔽面積，因此能增加孔徑比。

圖式簡單說明

第1圖繪示了習知技藝中的一個薄膜電晶體裝置截面圖；

第2圖繪示了習知技藝中薄膜電晶體裝置製造方法之問題的截面圖；

第3A及3B圖繪示了習知技藝中薄膜電晶體裝置製造方法之另一問題的截面圖；

第4A圖繪示了習知技藝中薄膜電晶體裝置製造方法之中間步驟的平面圖，而第4B圖之上側視圖繪示了同一薄膜電晶體裝置製造方法的另一個中間步驟之平面圖，第4B圖之下側視圖則係沿此上側視圖之XIV-XIV線段所取的一個截面圖；

第5圖繪示了習知技藝中另一個薄膜電晶體裝置之截面圖；

第6A及6B圖繪示了習知技藝中另一個薄膜電晶體裝置製造方法之問題的截面圖；

第7圖繪示了本發明第一項實施例之薄膜電晶體裝置(發射型液晶顯示器裝置)的一個組態方塊圖；

第8圖繪示了本發明第一項實施例之薄膜電晶體裝置

玖、發明說明

的平面圖；

第9A至9P圖繪示了本發明第一項實施例之薄膜電晶體裝置製造方法的若干截面圖；

第10A圖繪示了本發明第一項實施例之薄膜電晶體裝置製造方法的中間步驟之平面圖，而第10B圖之上側視圖繪示了同一薄膜電晶體裝置製造方法的另一個中間步驟之平面圖，第4B圖之下側視圖則係沿此上側視圖之II-II線段所取的一個截面圖。

第11A圖繪示了本發明第一項實施例之薄膜電晶體裝置製造方法的另一個中間步驟之平面圖，而第11B圖之上側視圖繪示了同一薄膜電晶體裝置製造方法的另一個中間步驟之平面圖，第4B圖之下側視圖則係沿此上側視圖之III-III線段所取的一個截面圖；

第12A至12H圖繪示了本發明第二項實施例之薄膜電晶體裝置製造方法的若干截面圖；

第13A至13D圖繪示了本發明第二項實施例之另一種薄膜電晶體裝置製造方法的截面圖；

第14A至14F圖繪示了本發明第三項實施例之薄膜電晶體裝置製造方法的截面圖；

第15圖繪示了本發明第三項實施例之另一種薄膜電晶體裝置製造方法的截面圖；

第16A圖繪示了本發明第三項實施例之薄膜電晶體裝置的平面圖，而第16B圖為沿著第16A圖之V-V線段所取的一個截面圖；

玖、發明說明

第17A圖繪示了本發明第三項實施例之另一種薄膜電晶體裝置的平面圖，而第17B圖為沿著第17A圖之VII-VII線段所取的一個截面圖；

第18圖繪示了具有本發明第四項實施例之薄膜電晶體裝置的一個液晶顯示器裝置截面圖；

第19A圖同樣係沿著第18圖之IX-IX線段所取的一個截面圖，而第19B圖為同樣沿著第18圖之X-X線段所取的截面圖；

第20圖繪示了具有本發明第五項實施例之薄膜電晶體裝置的一個液晶顯示器裝置平面圖；

第21A圖同樣係沿著第20圖之XII-XII線段所取的一個截面圖，而第21B圖為同樣沿著第20圖之XIII-XIII線段所取的截面圖。

【實施方式】

較佳實施例之詳細說明

下文將參看諸幅附圖說明本發明之各項實施例。

(第一實施例)

(薄膜電晶體裝置之結構)

第7圖繪示了本發明第一項實施例之薄膜電晶體裝置(發射型液晶顯示器裝置)的一個組態方塊圖，第8圖則繪示了顯示器部分之其中一個像素的組態平面圖，下述範例中將說明此例中的XGA(1024×768像素)模式液晶顯示器裝置。一個像素係由R(紅色)、G(綠色)及B(藍色)三個畫素組成。

此第一實施例中的液晶顯示器裝置包括一個控制電路

玖、發明說明

101、一個垂直驅動器102、一個閘極驅動器103與一個顯示器部分104。顯示器訊號RGB、水平同步訊號Hsync、垂直同步訊號Vsync等訊號係從電腦之類的外部裝置(未示出)傳到此液晶顯示器裝置，高電壓 V_H (18V)、低電壓 V_L (3.3V或5V)及接地電位 V_{GND} 則由電源供應器(未示出)提供。

本文中，顯示器部分104分別於水平方向及垂直方向配置了3072 (1024×GRB)×768個像素，每個像素由n-通道型TFT 105(下文稱之為“n-型TFT”，若未特別提及，則TFT意指n-型TFT)、接於此TFT 105之源電極的顯示單元(液晶單元)106與儲存電容107組成。

顯示單元106係由一對電極組成，其中一根電極接至TFT 105之源電極的像素電極110，而其另一根電極乃配置於CF基板上面之電極(未示出)，液晶(未示出)則密封於這些電極之間。

15 同時，顯示器部分104配置了3072條朝垂直方向延伸之資料匯流排線108、768條朝水平方向延伸之閘極匯流排線109、以及若干條同樣朝水平方向延伸之儲存電容匯流排線111。朝水平方向排列之像素的各TFT 105閘電極係接至相同閘極匯流排線109，朝垂直方向排列之像素的各TFT
20 105汲電極則接至相同資料匯流排線108，且儲存電容匯流排線111與像素電極110交叉，並構成了儲存電容107之成對電極的其中一個電極。儲存電容107之像素電極110係與儲存電容匯流排線111成一對電極，而配置在一對電極之間的中間層絕緣膜則作為電容絕緣膜。

玖、發明說明

控制電路101收到水平同步訊號Hsync及垂直同步訊號Vsync後，接著輸出一個於水平同步週期開始時啟動之資料啟動訊號DSI、一個將水平同步週期分成預定間隔之資料時脈DCLK、一個於垂直同步週期開始時啟動之閘極啟動訊號GSI以及一個將垂直週期分成預定間隔之閘極時脈GCLK。此控制電路101係由n-型TFT及p-通道型TFT(p-型TFT)構成，兩者均透過低電壓 V_L 運作。

垂直驅動器102係由一個移位暫存器102a、一個水平移位器102b和一個類比開關102c組成。

10 移位暫存器102a具有3072個輸出電極，此移位暫存器102a係由資料啟動訊號DSI啟動，接著於資料時脈DCLK輸出之同時，自每個輸出電極連續輸出一個低電壓(3.3V或5V)之有效訊號。此移位暫存器102a係由n-型TFT及p-型TFT構成，兩者均透過低電壓 V_L 運作。

15 水平移位器102b具有3072個輸入電極和3072個輸出電極，此水平移位器102b將移位暫存器102a輸出之低電壓有效訊號轉換成高電壓(18V)訊號，接著輸出此高電壓訊號。此水平移位器102b係由透過低電壓 V_L 運作之n-型TFT及p-型TFT與透過高電壓 V_H 運作之n-型TFT及p-型TFT構成。

20 類比開關102c亦具有3072個輸入電極和3072個輸出電極，類比開關102c之輸出電極乃分別接至對應的資料匯流排線108。當類比開關102c收到來自水平移位器102b之有效訊號時，其將輸出顯示器訊號RGB(R訊號、G訊號及B訊號之中任一個訊號)至與收到有效訊號之輸入電極相對

玖、發明說明

應的輸出電極。此類比開關102c係由n-型TFT及p-型TFT構成，兩者均透過高電壓 V_H 運作。

換言之，垂直驅動器102係於資料時脈DCLK輸出之同時，在水平同步週期中連續地輸出R訊號、G訊號及B訊號
5 至顯示器部分104的3072條資料匯流排線108。

閘極驅動器103係由一個移位暫存器103a、一個水平移位器103b和一個輸出緩衝器103c組成。

移位暫存器103a具有768個輸出電極。移位暫存器103a係由閘極啟動訊號啟動，接著於閘極時脈GCLK輸出
10 之同時，自每個輸出電極連續輸出低電壓(3.3V或5V)之水平訊號。此移位暫存器103a係由n-型TFT及p-型TFT構成，兩者均透過低電壓 V_L 運作。

水平移位器103b具有768個輸入電極和3072個輸出電極，輸出緩衝器103c之各輸出電極則分別接至對應的閘極
15 匯流排線109。輸出緩衝器103c透過與輸入端相對應之輸出端，將水平移位器103b所輸出之水平訊號送往閘極匯流排線109。此輸出緩衝器103c係由n-型TFT及p-型TFT構成，兩者均透過低電壓 V_H 運作。

換言之，閘極驅動器103係於閘極時脈GCLK輸出之同時，在垂直同步週期中連續地輸出水平訊號至顯示器部分
20 104的3072條閘極匯流排線109。

當水平訊號送達閘極匯流排線109時，會開啟顯示器部分104之TFT 105。此時當顯示器訊號RGB(R訊號、G訊號及B訊號之中任一個訊號)送達資料匯流排線108時，會

玖、發明說明

將此顯示器訊號RGB載入顯示單元(液晶單元)106及儲存電容107。接著，顯示單元(液晶單元)106中的液晶分子傾斜角會因應顯示訊號RGB而改變，因而改變顯示單元106之透光度，故可藉由控制每個像素之顯示單元106透光度而
5 顯示所需影像。

於下列實施例中，顯示器部分104中所提供之TFT稱為像素TFT，同時於垂直驅動器102和閘極驅動器103提供之TFT中，由高電壓(18V)驅動之TFT稱為高壓驅動TFT。此外，於控制電路101、垂直驅動器102及閘極驅動器103所
10 提供之TFT中，由低電壓(3.3 V或5 V)驅動之TFT稱為低壓驅動TFT。

(用於液晶顯示器裝置中的薄膜電晶體結構)

下文將說明上述三種型式之TFT結構。本文中由於高壓驅動TFT與像素TFT具有幾乎相同之結構，故以像素TFT
15 代為說明，而此處將省略高壓驅動TFT之敘述。同時由於p-型TFT與n-型TFT具有幾乎相同之結構，此處將省略p-型TFT之敘述。

第9P圖之左側視圖繪示了低壓驅動TFT結構的一個截面圖，而該圖之右側視圖繪示了像素TFT結構的截面圖。
20 這些視圖均繪示了沿第8圖之I-I線段所取的一個橫截面圖。

如第9P圖之左側視圖中所示，於低壓驅動TFT中，首先在一片玻璃基板21上面形成一層由氮化矽薄膜22a及氧化矽薄膜22b組成之層狀結構底層絕緣膜22，並於此底層

玖、發明說明

絕緣膜22上面形成一層以多晶矽薄膜製成、並作為TFT工作層的第一島狀半導體薄膜24a，此第一島狀半導體薄膜24a中則形成一對作為TFT源極/汲極之高濃度雜質區(歐姆接觸區)24aa、24ab，以在其間置入一個通道區24ac。

- 5 有一層由厚度為30 nm之氧化矽(SiO_2)薄膜28a製成的閘絕緣膜在底層絕緣膜22及第一島狀半導體薄膜24a上面形成，並有一根閘電極29a在氧化矽薄膜28a上面形成。於低壓驅動TFT中，通道區側面之高濃度雜質區24aa、24ab的兩邊幾乎位於閘電極29a邊緣之正下方。有一層厚度為
- 10 90 nm之氧化矽薄膜31及一層厚度為350 nm之氮化矽(SiN)薄膜32層疊於氧化矽薄膜28a及閘電極29a上面，氮化矽薄膜32上面則形成了若干電極(一個源極和一個汲極)34a、34b。這些電極34a、34b係透過埋入接觸孔33a、33b之金屬而和高濃度雜質區24aa、24ab通電，其中接觸孔33a、
- 15 33b係分別自氮化矽薄膜32的一個上表面通往高濃度雜質區24aa、24ab。

- 如上所述，於低壓驅動TFT中，閘絕緣膜僅由厚度為30 nm之氧化矽薄膜28a形成，且未提供LDD區，使其可在低電壓下完成高速運作。由於高濃度雜質區24aa、24ab能以自調方式隨閘電極29a形成，故可輕易地製成小型化裝置。在此例中，低壓驅動TFT並不提供LDD區，然而由於這類TFT係由低電壓驅動，故熱電子之數量相當少，因此
- 20 可避免ON特性之降低以及因熱電子所造成的OFF電流增加。

接著如第9P圖之右側視圖中所示，於像素TFT中，玻

玖、發明說明

5 玻璃基板21上面形成了具有上述相同層狀結構之底層絕緣膜22，並於此底層絕緣膜22上面形成一層以多晶矽薄膜製成、並作為TFT工作層之第二島狀半導體薄膜24a，第二島狀半導體薄膜24b中則形成一對作為TFT源極/汲極之n-型高濃度雜質區(歐姆接觸區)24ba、24bb，以在其之間置入一個通道區24be。而且，作為n-型低濃度雜質區之LDD區24bc、24bd係於通道區24be側面的這些n-型高濃度雜質區24ba、24bb之末端部分處形成。

10 有一層藉將厚度為90 nm之氧化矽薄膜25a與厚度為30 nm之氧化矽薄膜28b層疊而成的閘極氧化膜於底層絕緣膜22及第二島狀半導體薄膜24b上面形成，接著在氧化矽薄膜28b上面形成一個閘電極29b。閘電極29b係與閘極匯流排線109一體成形，且儲存電容匯流排線111與閘電極29b由相同材質製成。

15 於此像素TFT中，若從上側觀之，則LDD區24bc、24bd在通道區24be側之邊緣幾乎分別位於閘電極29b的兩邊正下方。在像素TFT中，由於係以正負訊號作為顯示器訊號，除非在源極側與汲極側均提供LDD區24bc、24bd，否則會因熱電子而導致電晶體特性退化。

20 閘電極29b之暴露面上方覆蓋了厚度為350 nm之氧化矽薄膜31及氮化矽薄膜32，氮化矽薄膜32上面則形成了若干電極(源極/汲極)34c、34d。這些電極34a、34b係透過埋入接觸孔33c、33d之金屬而和高濃度雜質區24ba、24bb通電，其中接觸孔33c、33d係分別自氮化矽薄膜32之上表面

玖、發明說明

通往高濃度雜質區24ba、24bb。源極/汲極34c、34d中的源極/汲極34c係於汲極側與資料匯流排線一體成形。

5 如上所述，根據這些像素TFT，由於閘絕緣膜係由厚度為120 nm之厚氧化矽薄膜(氧化矽薄膜25a + 氧化矽薄膜28b)形成，像素TFT之擊穿電壓相當高，因此這類像素TFT可透過高電壓驅動。

於此例中，本文省略了高壓驅動TFT之說明，與像素TFT的一個不同點在於這種高壓驅動TFT僅於高電壓作用之汲極側具有LDD區，而且周圍電路中的高壓驅動p-型TFT並不提供LDD區，此處將省略其敘述。此原因在於p-型TFT範例中，由於係以孔作為載體，因此很少產生熱載體，且除非提供了LDD區，否則這種熱載體絕不會干擾電晶體特性。

(薄膜電晶體裝置製造方法)

15 接著將參看第9A至9P圖及第11A至11B圖說明此第一實施例之薄膜電晶體裝置製造方法。在此例中，第9A至9P圖之左側視圖為低壓驅動TFT成形區的截面圖，而其右側視圖為像素TFT成形區之截面圖。同時，第10A圖乃第9K圖的一個平面圖，其係整個低壓驅動TFT製造步驟之中間部分。第10B圖之上視側圖乃第9L圖的一個平面圖，其同樣為整個低壓驅動TFT製造步驟之中間部分，第10B圖之下視側圖則係沿此上側視圖之II-II線段所取的一個截面圖。第11A圖為第9K圖的一個平面圖，其係整個像素TFT製造步驟之中間部分。第11B圖之上側視圖為第9L圖的一個

玖、發明說明

平面圖，其同樣係整個像素TFT製造步驟之中間部分，而第11B圖之下側視圖乃沿此上側視圖之III-III線段所取的一個截面圖。

如第9A圖中所示，首先利用電漿CVD法形成厚度大約50 nm之氮化矽薄膜22a及厚度200 nm的氧化矽薄膜22b，作為玻璃基板21上面的底層絕緣膜，接著在氧化矽薄膜22b上面形成一層厚度大約50 nm之非晶矽薄膜24。

之後，為了減少非晶矽薄膜24中的氫含量，於溫度450°C下進行退火。接著以準分子雷射照射在非晶矽薄膜24上面，使非晶矽薄膜24轉變成多晶矽薄膜。

之後，於多晶矽薄膜上面塗光阻劑，接著透過選擇性曝光及顯影步驟形成預定的一個防蝕光罩(未示出)。之後如第9B圖中所示，利用此防蝕光罩，將多晶矽薄膜進行乾蝕刻，僅在預定區域上留下由多晶矽薄膜製成之第一及第二島狀半導體薄膜24a、24b，接著移除防蝕光罩。

之後如第9C圖中所示，利用電漿CVD法在玻璃基板21的整個上表面形成厚度為90 nm之第一氧化矽薄膜(第一絕緣膜)25，接著以塗佈法在第一氧化矽薄膜25上面形成負光阻膜26。之後，利用能夠遮蔽低壓驅動TFT成形區內之整個第一島狀半導體薄膜24a面積的一個光罩將負光阻膜26曝光，因此，負光阻膜26之未曝光區會留在低壓驅動TFT成形區中的第一島狀半導體薄膜24a上方區域中，其係比第一島狀半導體薄膜24a成形區為寬。

之後如第9D圖中所示，令負光阻膜26自玻璃基板21背

玖、發明說明

面曝光，此時曝光光源被第一島狀半導體薄膜24a遮蔽，同時由於光線會在周圍部分造成繞射現象，因此負光阻膜26之預定內部區域上方乃從第一島狀半導體薄膜24a的周圍曝光。

5 之後如第9E圖中所示，將負光阻膜26顯影，因此負光阻膜26會在內側區域形成一個開口部分26a，而非在第一島狀半導體薄膜24a之周圍。

10 之後如第9F圖中所示，透過以顯影方式在負光阻膜26中形成之開口部分26a，將第一氧化矽薄膜25進行乾蝕刻，因此第一氧化矽薄膜25會在內側區域形成一個開口部分25a，而非在第一島狀半導體薄膜24a之周圍，亦即第一氧化矽薄膜25仍覆蓋著第一島狀半導體薄膜24a之周圍部分。接著移除負光阻膜26。

15 之後如第9G圖中所示，利用電漿CVD法在玻璃基板21的整個上表面形成厚度為30 nm之第二氧化矽薄膜(第二絕緣膜)28。

之後如第9H圖中所示，於第二氧化矽薄膜28上面形成厚度大約300 nm之Al-Nd(鋁-鈦：鈦含量為2%)薄膜(導體薄膜)29，接著在Al-Nd薄膜29上面形成光阻膜30。

20 之後如第9I圖中所示，利用選擇性將光阻膜30曝光及顯影之方式，在欲形成各TFT之閘極的區域中形成防蝕光罩30a、30b。接著如第9J圖中所示，利用防蝕光罩30a、30b將Al-Nd薄膜29進行蝕刻，而形成低壓驅動TFT之閘電極29a與像素TFT的閘電極29b。

玖、發明說明

之後如第9K圖中所示，利用防蝕光罩30a、30b將第二氧化矽薄膜28進行非等向性蝕刻，此時若從上側觀之，低壓驅動TFT成形區係如第10A圖中所示，且若從上側觀之，像素TFT成形區如第11A圖中所示。

- 5 之後如第9L圖中所示，留在玻璃基板21上方且未被防蝕光罩30a、30b覆蓋之第一氧化矽薄膜25係利用蝕刻方式移除。此時在低壓驅動TFT成形區中，如第10B圖中所示，欲覆蓋第一島狀半導體薄膜24a之氧化矽薄膜25b、28a仍位於閘電極29a下方之其中閘電極29a係橫跨第一島狀半導體薄膜24a周圍部分的區域。同時如第11B圖所示，於像素TFT成形區中，欲覆蓋第二島狀半導體薄膜24b之氧化矽薄膜25a、28b仍位於閘電極29b下方之其中閘電極29b係橫跨第二島狀半導體薄膜24b周圍部分的區域。在此例之高壓驅動TFT成形區中，欲覆蓋島狀半導體薄膜24b之厚氧化矽膜與薄氧化矽膜兩者同樣維持於閘電極下方。
- 10
15

接著移除防蝕光罩30a、30b。

- 之後如第9M圖中所示，於25 keV之加速電壓及 $7 \times 10^{14} \text{cm}^{-2}$ 之劑量下，以離子植入方式將磷(P)植入第一及第二島狀半導體薄膜24a、24b，該電壓允許P離子穿過閘電極29a、29b及閘絕緣膜28b、25b，卻不允許離子穿過閘絕緣膜28a。因此，第一島狀半導體薄膜24a中未被低壓驅動TFT成形區內之閘電極29a覆蓋的區域會形成高濃度雜質區(源極/汲極區)24aa、24ab，同時，第二島狀半導體薄膜24b中未被像素TFT成形區內之閘電極29b及閘絕緣膜28b、
- 20

玖、發明說明

25b所覆蓋的區域會形成高濃度雜質區(源極/汲極區)24ba、24bb，此時高壓驅動TFT成形區內之島狀半導體薄膜中亦會形成高濃度雜質區(源極/汲極區)。

接著於70 keV之加速電壓及 $2 \times 10^{13} \text{ cm}^{-2}$ 之低劑量下以離子植入方式將磷植入，該電壓不允許P離子穿過閘電極29a、29b，卻允許P離子穿過閘絕緣膜28b、25b。因此，像素TFT成形區中的閘電極29b邊緣與閘絕緣膜28b、25b邊緣之間會形成低濃度雜質區(低濃度源極/汲極區)24bc、24bd，此時作為低濃度雜質區之LDD區亦在高壓驅動TFT成形區之島狀半導體薄膜中的汲極側面形成。在此例中，低壓驅動TFT成形區中的離子植入加速電壓相當高，因此離子能穿透第一島狀半導體薄膜24a，故雜質不會進入第一島狀半導體薄膜24a。

之後如第9N圖中所示，利用電漿CVD法在玻璃基板21的整個上表面形成厚度為90 nm之氧化矽薄膜31。此外，亦在其上面形成厚度為350 nm之氮化矽薄膜32。

之後如第9O圖中所示，於低壓驅動TFT成形區中形成了若干個穿過高濃度雜質區24aa、24ab上面之氮化矽薄膜32及氧化矽薄膜31的接觸孔33a、33b，且於像素TFT成形區中形成了若干個穿過高濃度雜質區24ba、24bb上面之氮化矽薄膜32及氧化矽薄膜31的接觸孔33c、33d。

之後如第9P圖中所示，將一層厚度為100 nm之Ti薄膜、一層厚度為200 nm之Al薄膜及一層厚度為50 nm之Ti薄膜連續沈積於玻璃基板21的整個上表面，因而將接觸孔

玖、發明說明

33a、33b、33c、33d埋入這些金屬薄膜，且於氮化矽薄膜32上面形成一層金屬層狀薄膜。之後利用光微影技術形成一個防蝕光罩(未示出)，接著利用此防蝕光罩將金屬薄膜進行乾蝕刻，以此方式形成了與低壓驅動TFT之高濃度雜質區24aa、24ab接觸的源/汲電極34a、34b，同時形成了與像素TFT之高濃度雜質區24ba、24bb接觸的源/汲電極34c、34d。

在此例中，液晶顯示器裝置之顯示器部分104中的資料匯流排線108係與源/汲電極34a至34d同時形成，且於控制電路101、垂直驅動器102與閘極驅動器103之成形區域中，預定之佈線圖案係與源/汲電極34a及34d同時形成。之後塗上感光樹脂，依序形成一層厚度為3.0 μm 的樹脂薄膜。

如上所述，完成了薄膜電晶體裝置。為了製造液晶顯示器裝置，連續執行下列步驟。

之後，於樹脂薄膜35的一個預定區域內，藉由佈線圖案形成一個通往源/汲電極34d之通孔。接著利用濺鍍法在玻璃基板21的整個上表面形成一層厚度為70 nm之ITO(氧化銦錫)薄膜。之後利用標準光微影步驟，將ITO薄膜進行圖案製作程序而形成一根與像素TFT之源極側雜質區通電的像素電極36。接著在玻璃基板21的整個上表面形成一層決定液晶分子起始狀態(未施加電壓時)排列方向之配向膜(未示出)。

以此方法完成了液晶顯示器裝置的TFT基板。

玖、發明說明

液晶顯示器裝置之對置基板係利用眾所周知的方法形成，更詳細地說，用於遮蓋像素之間區域使其免受光線照射的黑矩陣係由玻璃基板上之Cr(鉻)形成，且於玻璃基板上形成紅色、綠色及藍色之彩色濾光片，而使具有紅色、綠色或藍色之中任一種顏色的彩色濾光片配置了每個像素。接著在玻璃基板的整個上表面形成一個由ITO薄膜製成之透明電極，並於透明電極上面形成配向膜。

液晶顯示器面板乃藉將以此方式製成之TFT基板與對置基板貼在一起而構成，接著將液晶注入其間，並將其注入口加以密封。之後將偏光板配置於此液晶顯示器面板的兩面，並於背面配置一個背光源，而完成液晶顯示器裝置。

如上所述，依據本發明第一項實施例，於第9F圖中繪示之低壓驅動TFT成形區中，第一島狀半導體薄膜24a之周圍部分係由厚氧化矽膜25所覆蓋，其於閘絕緣膜28成形前乃作為高壓驅動TFT之厚閘絕緣膜的一部分。於此狀態下，隨即將作為閘絕緣膜之第二氧化矽薄膜28及作為閘電極之金屬薄膜29層疊於厚氧化矽薄膜25上面。之後如第9L圖中所示，利用與第一島狀半導體薄膜24a交叉之條狀防蝕光罩30a，以蝕刻方式形成閘電極29a與閘絕緣膜28a。因而如第10B圖中所示，位於閘電極29a下方之第一島狀半導體薄膜24a周圍部分除了氧化矽薄膜28a之外還被厚氧化矽薄膜25b覆蓋。因此，當施加閘極電壓時，可藉由減弱第一島狀半導體薄膜24a周圍部分處之電場密度而防止寄生TFT運作。

玖、發明說明

而且如第9C及9D圖中所示，於低壓驅動TFT成形區中，當以第一島狀半導體薄膜24a作為光罩時，曝光源係從玻璃基板21背面照射在第一島狀半導體薄膜24a上方的負光阻膜26未曝光區，因此該未曝光區能以自調方式，於光線自第一島狀半導體薄膜24a周圍繞射的範圍之內曝光，故第一島狀半導體薄膜24a周圍部分能非常精確地被氧化矽薄膜25覆蓋。於是，第一島狀半導體薄膜24a之尺寸邊緣於通道寬度方向可減至最小，而使TFT達到最小化。

(第二實施例)

其次，下文將參看諸幅附圖說明本發明之第二項實施例。

(用於液晶顯示器裝置中的薄膜電晶體裝置結構)

下文將參看第12H圖說明第二實施例之液晶顯示器裝置中使用的薄膜電晶體裝置結構。本文中由於高壓驅動TFT與像素TFT具有幾乎相同之結構，下文係以像素TFT代為說明，而此處將省略高壓驅動TFT之敘述。同時由於p-型TFT與n-型TFT具有幾乎相同之結構，此處將省略其敘述。

第12H圖之左側視圖繪示了n-通道型低壓驅動TFT結構的一個截面圖，而第12H圖之右側視圖繪示了n-通道型像素TFT結構的截面圖。

如第12H圖之左側視圖中所示，首先於玻璃基板21上面形成由50 nm厚之氮化矽薄膜22a及200 nm厚之氧化矽薄膜22b組成的層狀結構底層絕緣膜22，並在此底層絕緣膜

玖、發明說明

22上面形成由40 nm厚之多晶矽薄膜製成、並作為TFT工作層的第一島狀半導體薄膜24a，第一島狀半導體薄膜24a中則形成一對作為TFT源極/汲極之高濃度雜質區(歐姆接觸區)24aa、24ab，以將通道區24ac置入其間。

- 5 有一層由厚度大約30 nm之氧化矽薄膜28a製成的第一閘絕緣膜51a於底層絕緣膜22及第一島狀半導體薄膜24a上面形成，此閘絕緣膜51a乃藉將非晶矽薄膜氧化而成。

同時，第一閘絕緣膜51a上面形成了第一閘電極54a，通道區側面之高濃度雜質區24aa、24ab的兩邊幾乎位於閘電極54a邊緣之正下方。

有一層厚度為370 nm之氮化矽薄膜55(第一中間層絕緣膜)於第一閘絕緣膜51a與第一閘電極54a上面形成，氮化矽薄膜55上面則形成了一對源/汲電極57a、57b。這些源/汲電極57a、57b係透過埋入接觸孔56a、56b之金屬而和高濃度雜質區24aa、24ab通電，其中接觸孔56a、56b係從氮化矽薄膜55的一個上表面與高濃度雜質區24aa、24ab相通。

如上所述，由於第一閘絕緣膜51a僅由厚度大約30 nm之氧化矽薄膜形成，且未提供LDD區，因此低壓驅動TFT能於低電壓下進行高速運作。而且由於高濃度雜質區24aa、24ab能以自調方式隨第一閘電極54a形成，故可輕易地製成小型化裝置。在此例中，低壓驅動TFT並不提供LDD區，由於這類TFT係由低電壓驅動，故熱電子之數量相當少，因此可避免ON特性之降低以及因熱電子所造成的OFF

玖、發明說明

電流增加。

5 接著如第12H圖之右側視圖中所示，於像素TFT中，玻璃基板21上面形成了具有上述相同層狀結構之底層絕緣膜22，並於底層絕緣膜22上面形成第二島狀半導體薄膜24b，作為TFT之工作層。第二島狀半導體薄膜24b中則形成一對作為TFT源極/汲極之歐姆接觸區的n-型高濃度雜質區24ba、24bb，以將通道區24be置入其間。而且，n-型低濃度雜質區(LDD區)24bc、24bd係分別於通道區24be側面的這些高濃度雜質區24ba、24bb邊緣部分處形成。

10 底層絕緣膜22及第二島狀半導體薄膜24b上面層疊了厚度大約10 nm之氧化矽薄膜51a與一層厚度為100 nm之氧化矽薄膜52b，接著在氧化矽薄膜52b上面形成第二閘電極54b。由第二閘電極54b下方之氧化矽薄膜51a及氧化矽薄膜52a組成之層狀結構則構成了第二閘絕緣膜。

15 於此像素TFT中，若從上側觀之，則LDD區24bc、24bd在通道區24be側之邊緣幾乎分別位於閘電極54b的兩邊正下方。在像素TFT中，由於係以正負訊號作為顯示器訊號，除非在源極側與汲極側均提供LDD區24bc、24bd，否則會因熱電子而導致電晶體特性退化。

20 第二閘電極54b與矽絕緣膜51a上面形成了厚度為370 nm之氮化矽薄膜55，氮化矽薄膜55上面則形成了一對源/汲電極57c、57d，這些源/汲電極57c、57d係透過接觸孔56c、56d而和高濃度雜質區24ba、24bb接觸。

如上所述，根據上述之像素TFT，由於第二閘絕緣膜

玖、發明說明

係由厚度為110 nm之厚氧化矽薄膜(氧化矽薄膜51a+氧化矽薄膜52a)形成，故像素TFT之擊穿電壓相當高，因此這類像素TFT可透過高電壓驅動。

於此例中，本文省略了高壓驅動TFT之說明，與像素TFT的一個不同點在於這種高壓驅動TFT僅於高電壓作用之汲極側具有LDD區，且周圍電路中的高壓驅動p-型TFT並不提供LDD區，此處將省略其敘述。此原因在於p-型TFT範例中，由於係以孔作為載體，因此甚少產生熱載體，且除非提供了LDD區，否則這種熱載體絕不會干擾電晶體特性。

(用於液晶顯示器裝置中的薄膜電晶體製造方法)

其次，下文將參看第12A至12H圖說明本實施例之液晶顯示器裝置中的薄膜電晶體裝置製造方法。第12A至12H圖之左側視圖繪示了低壓驅動TFT成形區的截面圖，而其右側視圖繪示了像素TFT成形區之截面圖。

如第12A圖中所示，首先利用電漿CVD法連續形成厚度大約50 nm之氮化矽薄膜22a及厚度200 nm的氧化矽薄膜22b，作為玻璃基板21上面的底層絕緣膜，接著在氧化矽薄膜22b上面形成厚度大約40 nm之非晶矽薄膜24。

之後，為了減少非晶矽薄膜中的氫含量，於溫度450°C下進行退火。接著以準分子雷射照射在非晶矽薄膜上面，使非晶矽薄膜轉變成多晶矽薄膜。

之後，於多晶矽薄膜上面塗光阻劑，接著透過曝光及顯影步驟形成預定之防蝕光罩(未示出)。之後利用此防蝕

玖、發明說明

光罩，將多晶矽薄膜進行乾蝕刻，僅在預定區域內留下由多晶矽薄膜製成之第一島狀半導體薄膜24a及第二島狀半導體薄膜24b，接著移除防蝕光罩。

5 之後利用電漿CVD法在玻璃基板21上側的整個表面上形成厚度為10 nm之非晶矽薄膜51，接著形成厚度為100 nm之氧化矽薄膜(絕緣膜)52。

接著利用塗佈法於氧化矽薄膜52上面形成光阻膜，之後如第12B圖中所示，透過曝光及顯影步驟於像素TFT成形區內形成一個防蝕光罩53。

10 接著透過防蝕光罩53，利用稀釋過的氫氟酸將氧化矽薄膜52進行濕蝕刻，此時利用對稀釋過之氫氟酸具有抗蝕性、且於氧化矽薄膜52下方成形之非晶矽薄膜51作為蝕刻擋片，因此在防蝕光罩53下方形成了氧化矽薄膜圖案(絕緣膜圖案)52a。接著移除防蝕光罩53。

15 之後如第12C圖中所示，利用高壓氧化法，藉將包含了氧化矽薄膜圖案52a的整個非晶矽薄膜51氧化而形成氧化矽薄膜(將半導體薄膜氧化而形成之絕緣膜)51a。高壓氧化過程係於550°C之溫度下，將蒸汽壓力調至2 MPa氧化一個小時而完成。在此例中，可利用眾所周知的熱氧化法、
20 電漿氧化法等取代高壓氧化法。

因此，由氧化矽薄膜51a製成之第一層絕緣膜係於第一島狀半導體薄膜24a上面形成，且由氧化矽薄膜51a及氧化矽薄膜圖案52a組成之第二層絕緣膜於第二島狀半導體薄膜24b上面形成。

玖、發明說明

之後如第12D圖中所示，利用濺鍍法形成厚度為300 nm之Al-Nd薄膜，接著利用防蝕光罩(未示出)蝕刻Al-Nd薄膜。因此，低壓驅動TFT成形區中的第一閘絕緣膜51a上面形成了第一閘電極54a，而像素TFT成形區中的第二閘絕緣膜51a及52a上面形成了第二閘電極54b。此時第二閘電極54b係於較第二閘絕緣膜52a之上表面更小、且位於比第二閘絕緣膜52a之周圍部分更內側的一個區域中形成。接著移除防蝕光罩53。

之後如第12E圖中所示，以第一閘電極54a作為光罩，利用離子植入方式將高濃度磷植入第一島狀半導體薄膜24a，同時以第二閘電極54b和第二閘絕緣膜51a及52a作為光罩，利用離子植入方式將高濃度磷植入第二島狀半導體薄膜24b。此時係將加速電壓設成25 keV而劑量定為 $7 \times 10^{14} \text{ cm}^{-2}$ ，作為離子植入條件。因此，位於第一閘電極54a兩側之第一島狀半導體薄膜24a中形成了n-型高濃度雜質區24aa、24ab，且第二閘絕緣膜51a、52a兩側之第二島狀半導體薄膜24b中形成了n-型高濃度雜質區24ba、24bb。

接著在不允許P離子穿過第一及第二閘電極、卻允許P離子穿過第一及第二島狀半導體薄膜24a、24b與第二閘絕緣膜51a、52a之條件下，以離子植入方式將低濃度磷植入第二島狀半導體薄膜24b，其中加速電壓乃設成70 keV而劑量低至 $2 \times 10^{13} \text{ cm}^{-2}$ ，作為離子植入條件。因此，介於第二閘電極54b邊緣與高濃度雜質區24ba、24bb邊緣之間的第二島狀半導體薄膜24b中形成了n-型低濃度雜質區(LDD

玖、發明說明

區)24bc、24bd

之後如第12F圖中所示，利用電漿CVD法在玻璃基板21的整個表面上形成厚度大約約370 nm之氮化矽薄膜55。

之後如第12G圖中所示，利用防蝕光罩(未示出)、同時使用SF₆氣體，將氮化矽薄膜(第一中間層絕緣膜)55進行乾蝕刻，而於第一島狀半導體薄膜24a中的高濃度雜質區24aa、24ab上面形成穿過氮化矽薄膜55之接觸孔56a、56b。同時，於第二島狀半導體薄膜24b中的高濃度雜質區24ba、24bb上面形成穿過氮化矽薄膜55之接觸孔56c、56d。接著移除防蝕光罩。

之後如第12H圖中所示，利用濺鍍法將厚度為50 nm之Ti薄膜、厚度為100 nm之Al薄膜及厚度為50 nm之Ti薄膜連續沈積於玻璃基板21上側的整個表面上，因而將這些金屬薄膜埋入接觸孔56a、56b、56c、56d，且於氮化矽薄膜32上面形成了由這些金屬薄膜構成之層狀薄膜。之後利用光微影技術形成一個防蝕光罩(未示出)，接著利用此防蝕光罩將金屬層狀薄膜進行乾蝕刻，以此步驟形成了與低壓驅動TFT之高濃度雜質區(源/汲區)24aa、24ab接觸的源/汲電極57a、57b，同時形成了與像素TFT之高濃度雜質區(源/汲區)24ba、24bb接觸的源/汲電極57c、57d。

在此例中，顯示器部分104中的資料匯流排線108係與源/汲區57a至57d同時形成，且於控制電路101、垂直驅動器102與閘極驅動器103之成形區域中形成了預定之佈線圖案。

玖、發明說明

之後塗上感光樹脂，形成厚度為 $3.0\ \mu\text{m}$ 的樹脂薄膜(第二中間層絕緣膜)58。如上所述，完成了薄膜電晶體裝置。接著執行下列步驟，以製造液晶顯示器裝置。

之後，於源/汲電極57d上面之樹脂薄膜58中形成通孔5。接著利用濺鍍法在玻璃基板21上側的整個表面上形成厚度為 $70\ \text{nm}$ 之ITO(氧化銦錫)薄膜。之後利用標準光微影步驟，將ITO薄膜進行圖案製作程序而形成一根與像素TFT之源極側雜質區接觸的像素電極60。接著在玻璃基板21上側的整個表面上形成決定液晶分子起始狀態(未施加電壓10時)排列方向之配向膜(未示出)。

以此方法完成了液晶顯示器裝置的TFT基板。

液晶顯示器裝置之對置基板係利用眾所周知的方法形成，更詳細地說，用於遮蓋像素之間區域使其免受光線照射的黑矩陣係由玻璃基板上之Cr(鉻)形成，且於玻璃基板上形成紅色、綠色及藍色之彩色濾光片，而使具有紅色、綠色或藍色之中任一種顏色的彩色濾光片配置了每個像素。接著在玻璃基板上側的整個表面上形成由ITO薄膜製成之透明電極，並於透明電極上面形成配向膜。

液晶顯示器面板乃藉將以此方式製成之TFT基板與對置基板貼在一起而構成，接著將液晶注入其間，並將其注入口加以密封。之後將偏光板配置於此液晶顯示器面板的兩面，並於背面配置一個背光源，而完成液晶顯示器裝置。

如上所述，依據第二項實施例，如第12B圖中所示，當蝕刻氧化矽薄膜而形成了作為第二層絕緣膜之一部份的

玖、發明說明

絕緣膜時，第一島狀半導體薄膜24a係由底層之非晶矽薄膜51保護著，因此，第一島狀半導體薄膜24a之通道區並不會暴露於氧化矽薄膜52之蝕刻氣體的電漿中，故可防止低電壓驅動TFT厚度較薄部分之TFT特性退化，因此能同時確保像素TFT之較厚部分中的TFT與較薄部分中的TFT具有優良特性。

而且，位於第一及第二島狀半導體薄膜24a、24b下方之氧化矽薄膜22b亦受非晶矽薄膜51保護，故即使氧化矽薄膜22b於基板表面上形成，第一及第二島狀半導體薄膜24a、24b之邊緣部分處並不會產生“刮除部分”。若其未受保護，則蝕刻基板21表面上之氧化矽薄膜22b時會在邊緣部分產生“刮除部分”。

此外，當蝕刻氧化矽薄膜52而形成了作為第二閘絕緣膜之一部份的絕緣膜時，非晶矽薄膜51乃對氧化矽薄膜52之蝕刻劑具有抗蝕性，因此薄膜厚度不會減少。在此實施例中，由於第一閘絕緣膜51a乃藉氧化非晶矽薄膜51而形成，故可精確地控制第一閘絕緣膜51a之薄膜厚度。

於上述實施例中，非晶矽薄膜51係直接在第一及第二島狀半導體薄膜24a、24b上面形成。可形成用於覆蓋第一及第二島狀半導體薄膜24a、24b之氧化矽薄膜，接著在其上面形成非晶矽薄膜51及氧化矽薄膜52。因此除了上述效果之外，當藉將非晶矽薄膜51氧化而形成第一閘絕緣膜時，可進一步控制第一閘絕緣膜之薄膜厚度。在此例中，第一閘絕緣膜之薄膜厚度係由覆蓋第一島狀半導體薄膜24a

玖、發明說明

之氧化矽薄膜與藉將非晶矽薄膜51氧化而形成之氧化矽薄膜51a所構成，且第二閘絕緣膜係由覆蓋第二島狀半導體薄膜24b之氧化矽薄膜與藉將非晶矽薄膜51氧化而形成之氧化矽薄膜51a和氧化矽薄膜52a所形成。

5 (另一種薄膜電晶體裝置製造方法)

第13A至13D圖繪示了本發明第二項實施例之另一種薄膜電晶體裝置製造方法的截面圖。

如第13A圖中所示，與第一實施例一樣，首先於玻璃基板21上面形成厚度為50 nm之氮化矽薄膜22a、厚度為10 200 nm之氧化矽薄膜22b以及厚度為40 nm之非晶矽薄膜。接著將準分子雷射照射在非晶矽薄膜上，使非晶矽薄膜轉變成多晶矽薄膜(第一半導體薄膜)24。

之後，利用電漿CVD法形成一層10 nm厚之第一氧化矽薄膜(第一絕緣膜)62、一層10 nm厚之非晶矽薄膜(第二半導體薄膜)63以及一層100 nm厚之第二氧化矽薄膜(第二絕緣膜)64。

之後如第13B圖中所示，於像素TFT成形區內形成一個防蝕光罩65。接著利用防蝕光罩65、同時使用稀釋過之氫氟酸，將氧化矽薄膜64蝕刻而形成第二氧化矽薄膜圖案20 (第二絕緣膜圖案)64a。之後移除防蝕光罩65。

之後如第13C圖中所示，形成新的一個防蝕光罩(未示出)。接著利用此新的防蝕光罩，使用含氟之蝕刻氣體將非晶矽薄膜63進行乾蝕刻，因而形成第一島狀非晶矽薄膜(不含第二絕緣膜圖案之第二島狀半導體薄膜)63a及第二島

玖、發明說明

狀非晶矽薄膜(含有第二絕緣膜圖案之第二島狀半導體薄膜)63b。之後移除防蝕光罩65。

接著利用高壓氧化法，將位於第二氧化矽薄膜圖案64a及其它部分下方的第一島狀非晶矽薄膜63a和第二島狀非晶矽薄膜63b予以氧化，同時透過第一氧化矽薄膜62將多晶矽薄膜24中未被第一島狀非晶矽薄膜63a覆蓋之區域及多晶矽薄膜24中未被第二島狀非晶矽薄膜63b覆蓋之區域加以氧化。因此如第13D圖中所示，由多晶矽膜製成之第一島狀半導體薄膜24a係於被第一島狀非晶矽薄膜63a覆蓋之區域中形成；同時，由多晶矽薄膜製成之第二島狀半導體薄膜24b係於被第二島狀非晶矽薄膜63b覆蓋之區域中形成。換言之，第一島狀半導體薄膜24a於其上面配置了由第一氧化矽薄膜62與藉將第一島狀非晶矽薄膜63a氧化而成之絕緣膜所製成的第一開絕緣膜65。同時，第二島狀半導體薄膜24b於其上面配置了由第一氧化矽薄膜62及藉將第二島狀非晶矽薄膜63b氧化而成之絕緣膜製成的絕緣膜65與第二氧化矽薄膜圖案64a所組成之第二開絕緣膜。

其後，經由第12D至12F圖中繪示之類似步驟形成薄膜電晶體裝置。接著透過第一及第二實施例所述之液晶顯示器裝置製造方法中的標準步驟製成液晶顯示器裝置。

如上所述，根據第二項實施例之另一種薄膜電晶體裝置製造方法，如第13B圖中所示，當蝕刻氧化矽薄膜64而形成了作為第二開絕緣膜之一部份的絕緣膜64a時，第一島狀半導體薄膜24a係由底層之非晶矽薄膜63保護著，因

玖、發明說明

此，第一島狀半導體薄膜24a之通道區並不會暴露於氧化矽薄膜64之蝕刻氣體的電漿中，故可防止厚度較薄部分之TFT特性退化，因此能同時確保較厚部分中的TFT與較薄部分中的TFT具有優良特性。

- 5 而且如第13D圖中所示，將非晶矽薄膜63上面之氧化矽薄膜64進行蝕刻，作為第二閘絕緣膜之較厚部分。接著選擇性地氧化非晶矽薄膜63下方的多晶矽薄膜24，而形成第一及第二島狀半導體薄膜24a、24b。以此方式，底層氧化矽薄膜22b不會暴露於蝕刻氣體中。因此，第一及第二
- 10 島狀半導體薄膜24a、24b之邊緣部分處不會因蝕刻底層之氧化矽薄膜22b而產生“刮除部分”。

- 此外，當蝕刻氧化矽薄膜64而形成了作為第二閘絕緣膜之一部份的絕緣膜時，非晶矽薄膜63乃對氧化矽薄膜64之蝕刻劑具有抗蝕性，因此非晶矽薄膜之厚度不會減少。
- 15 在此實施例中，由於第一閘絕緣膜係由氧化非晶矽薄膜63而成之絕緣膜63a與第一氧化矽薄膜62所形成，故可精確地控制第一閘絕緣膜之薄膜厚度。

(第三實施例)

- 其次，下文將參看諸幅附圖說明本發明第三項實施例
- 20 之薄膜電晶體裝置製造方法的結構。

 於第三實施例之薄膜電晶體裝置中，由具有薄閘絕緣膜(稱為厚度較薄部分中的TFT)之n-型TFT及p-型TFT其中至少任一個所組成之TFT和由具有厚閘絕緣膜(稱為厚度較厚部分中的TFT)之n-型TFT及p-型TFT其中至少任一個所

玖、發明說明

組成之TFT係安裝於同一基板上，下文將敘述厚度較薄部分中的n-型TFT及厚度較厚部分中的的n-型TFT之結構。

第16A圖中繪示了從上側觀看厚度較薄部分中的TFT時之平面圖，而第14F圖之左側視圖為沿著第16A圖中IV-IV線段所取的一個截面圖，且第16B圖為沿著第16A圖之V-V線段所取的截面圖。

第16A及14F圖之左側視圖中繪示了較薄部分中的的TFT(第一薄膜電晶體)之組成元件，更詳細地說，較薄部分中的TFT包括了由厚度大約50 nm之多晶矽膜製成的第一島狀半導體薄膜24a、一層由厚度為30 nm之第一氧化矽薄膜(第一絕緣膜)製成的第一閘絕緣膜81a、以及由厚度為30 nm之第一Al-Nd(第一導電膜)製成的第一閘電極82。有一對n-型源/汲區24aa、24ab於第一島狀半導體薄膜24a中形成，以在其間置入通道區24ac，第一島狀半導體薄膜24a中的通道區24ac上面則連續形成第一閘絕緣膜81a與第一閘電極82。

同時，較薄部分中的TFT包括了由厚度為400 nm之氮化矽薄膜製成的第一中間層絕緣膜87、於第一中間層絕緣膜87中形成之接觸孔87a、87b、由Ti薄膜(200 nm)/Al薄膜(200 nm)/Ti薄膜(200 nm)組成之三層結構金屬膜製成的源/汲電極88a、88b、以及由厚度為400 nm之氮化矽薄膜製成的第二中間層絕緣膜89。第一中間層絕緣膜87覆蓋了第一島狀半導體薄膜24a及第一閘電極82，第一島狀半導體薄膜24a中形成之源/汲電極24aa、24ab分別透過接觸孔87a、

玖、發明說明

87b接至源/汲電極88a、88b，第二中間層絕緣膜89則覆蓋源/汲電極88a、88b。

此外，如第16A及16B圖中所示，較薄部分中的TFT乃藉由第一閘電極82上面及第一島狀半導體薄膜24a兩側邊緣上方之第二氧化矽薄膜(第二絕緣膜)83b提供了由厚度為300 nm之第二Al-Nd薄膜(第二導電膜)所製成的電場弛豫電極84c至84f。

其次，下文將說明較厚部分中的TFT。第17A圖繪示了從上側觀看較厚部分中的TFT之平面圖，而第14F圖之右側視圖為沿著第17A圖之VI-VI線段所取的一個截面圖，且第17B圖為沿著第17A圖之VII-VII線段所取的截面圖。

第17A及14F圖之右側視圖中繪示了較厚部分中的TFT(第二薄膜電晶體)之組成元件，更詳細地說，較厚部分中的TFT包括了由厚度大約50 nm之多晶矽薄膜製成的第二島狀半導體薄膜24a、一層由厚度為30 nm之第一氧化矽薄膜81a及厚度為70 nm之第二氧化矽薄膜83b組成的第二閘絕緣膜、以及由厚度為300 nm之第二Al-Nd薄膜(第二導電膜)製成的第二閘電極84a。有一對n-型源/汲區24ba、24bb於第二島狀半導體薄膜24b中形成，以在其間置入通道區24be，通道區24be上面則連續形成第二閘絕緣膜與第二閘電極84a。

此外，較厚部分中的TFT(第二薄膜電晶體)具有氮化矽薄膜(第一中間層絕緣膜)87、源/汲電極88c、88d、以及一層覆蓋源/汲電極88c、88d之氧化矽薄膜(第二中間層絕

玖、發明說明

緣膜)89。氮化矽薄膜87覆蓋了第二島狀半導體薄膜24b及第二閘電極84a，源/汲電極88c、88d則透過氮化矽薄膜87中所形成的接觸孔87c、87d分別接至第二島狀半導體薄膜24b中形成之源/汲區24ba、24bb。

- 5 此外，如第17A及17B圖中所示，較厚部分中的TFT乃藉由第二島狀半導體薄膜24b兩側邊緣上方之第一氧化矽薄膜81b，於第二閘電極84a下方提供了由第一Al-Nd薄膜製成之電場弛豫電極82b、82c。

10 如上所述，根據本發明第三項實施例之薄膜電晶體裝置，於較薄部分中的TFT中，乃藉由第一島狀半導體薄膜24a兩側邊緣上方之第二氧化矽薄膜83b，於第一閘電極82上面提供了電場弛豫電極84c至84f。因此，相較由第一島狀半導體薄膜24a、第一氧化矽薄膜81a與第一閘電極82所形成之電容，此部分處之寄生電容比由第一閘電極82和電
15 場弛豫電極84c至84f形成之靜電電容大。因此，若TFT的閘極利用交流電驅動，則作用於第一島狀半導體薄膜24a兩側邊緣部分之閘極電位變化會減緩，故可抑制第一島狀半導體薄膜兩側邊緣部分處形成之寄生電晶體運作。

20 且於較厚部分中的TFT中，藉由第二島狀半導體薄膜24b兩側邊緣上方之第一氧化矽薄膜81b，於第二閘電極84a下方提供了電場弛豫電極82b、82c。根據此結構，電場弛豫電極82b、82c之電位乃設成其中第二島狀半導體薄膜24b兩側邊緣部分之通道無法導電時之電位，其抑制了第二島狀半導體薄膜24b兩側邊緣部分之通道的導電性。

玖、發明說明

同時，藉由隔離第二閘電極84a之電場感應，可抑制寄生電晶體之開啟ON。

其次，下文將參看第14A至14F圖說明第三項實施例之薄膜電晶體裝置製造方法。

5 如第14A圖中所示，首先於玻璃基板21上面以層疊方式連續形成50 nm厚之氮化矽薄膜22a及250 nm厚之氧化矽薄膜22b。在此例中，若情況允許，可省略氮化矽薄膜22a。

 之後，於基板上面形成厚度為50 nm之非晶矽薄膜。接著在400°C之溫度下進行退火，完成脫氫程序。之後利用
10 用能量為300 mJ/cm²之準分子雷射將非晶矽薄膜退火，而使其轉變成多晶矽薄膜。接著將多晶矽薄膜進行圖案製作程序，形成第一及第二島狀半導體薄膜24a、24b。

 之後，利用CVD法形成用於覆蓋第一及第二島狀半導體薄膜24a、24b、且厚度為30 nm之第一氧化矽薄膜(第一
15 絕緣膜)81，接著利用PVD法於整個表面上形成厚度為300 nm之第一Al-Nd薄膜(第一導電膜)，之後使用含有磷酸及醋酸之溶液，透過防蝕光罩(未示出)選擇性地蝕刻第一Al-Nd薄膜，而於第一島狀半導體薄膜24a上方之第一氧化矽
 薄膜上面形成第一閘電極82。

20 此時如第17A及17B圖中所示，由第一Al-Nd薄膜製成之電場弛豫電極82b、82c係於第二島狀半導體薄膜24b兩側邊緣上方及第一氧化矽薄膜81上面之與較厚部分中的TFT第二閘電極84a相交之範圍內形成。

 之後，以防蝕光罩(未示出)蓋住較薄部分中的TFT成

玖、發明說明

形區。接著利用含氫氟酸之溶液將氧化矽薄膜進行輕蝕刻，之後移除防蝕光罩。此處若選擇氮化矽薄膜作為較薄部分中的TFT之閘絕緣膜81材料，且選擇鉻(Cr)作為第一閘電極82材料，則這些材料對含氫氟酸之溶液具有抗蝕性。

5 因此，較薄部分中的TFT成形區並不需以防蝕光罩覆蓋。

之後如第14B圖中所示，利用CVD法在整個表面上形成厚度為70 nm之第二氧化矽薄膜(第二絕緣膜)83，接著利用PVD法形成厚度為300 nm之第二Al-Nd薄膜(第二導電膜)84。

10 之後如第14C圖中所示，於第二Al-Nd薄膜84上面形成防蝕光罩(光罩圖案)85。接著利用防蝕光罩85並同時使用含磷酸及醋酸之溶液，藉將第二Al-Nd薄膜84進行濕蝕刻而移除第二Al-Nd薄膜84上面未被防蝕光罩85覆蓋之範圍。之後將防蝕光罩下方之第二Al-Nd薄膜84進行側蝕刻，
15 形成一側寬度較防蝕光罩窄了LDD區之寬度的第二閘電極84a。

此時如第16A及16B圖中所示，藉由第一島狀半導體薄膜24a兩側邊緣上方之第二氧化矽薄膜83b、83c，於第一閘電極24a上面形成由第二Al-Nd薄膜製成之電場弛豫電
20 極84c至84f。

之後如第14D圖中所示，使用含有 CHF_3 之蝕刻氣體，透過同一防蝕光罩85將第二氧化矽薄膜83進行非等向性蝕刻，接著根據第一閘電極82和防蝕光罩85，將第一氧化矽薄膜81進行非等向性蝕刻，因此，第一閘電極82下方形成

玖、發明說明

了由第一氧化矽薄膜81a製成之第一絕緣膜，同時於第二閘電極84a下方形成由第一及第二氧化矽薄膜81b、83a製成之第二閘絕緣膜86。

在此例中，如第15圖中所示，可於第一及第二島狀半導體薄膜24a、24b及其它區域上面留下厚度大約10 nm之第一氧化矽薄膜81c。接著移除防蝕光罩85。

之後如第14E圖中所示，以第一閘電極82作為光罩，利用離子植入方式將高濃度的磷(雜質)植入第一島狀半導體薄膜24a。因此，第一閘電極82之兩側上面形成了高濃度雜質區24aa、24ab。同時，以第二閘電極84a和第二閘絕緣膜83a、81b作為光罩，利用離子植入方式將高濃度的磷(雜質)植入第二島狀半導體薄膜24b。因此，第二閘電極84a之兩側上面形成了一對高濃度雜質區24aa、24ab，此時係將加速電壓設成10 keV且劑量定為 $1 \times 10^{15}/\text{cm}^2$ ，作為離子植入條件。

之後，以第二閘電極84a作為光罩，於P離子能穿過第二閘電極84a周圍部分之第二閘絕緣膜83a、81b的條件下，利用離子植入方式將磷(雜質)植入第二島狀半導體薄膜24b。因此，位於第二閘電極84a兩側之第二閘絕緣膜83a、81b下方形成了一對作為LDD區的低濃度雜質區24bc、24bd，此時係將加速電壓設成100 keV且劑量定為 $1 \times 10^{14}/\text{cm}^2$ ，作為離子植入條件。

在此例中，若混合了p-通道型TFT，則不以光罩蓋住p-通道型TFT之工作層，於植入磷離子前後利用10 keV之

玖、發明說明

加速電壓及 $1 \times 10^{16}/\text{cm}^2$ 的劑量將高濃度硼離子植入。因此，由於磷離子濃度係由p-通道型TFT之工作層中的硼獲得補償，故p-通道型TFT之工作層變成p-型。

5 之後，於 400°C 之溫度下進行退火，完成第一及第二島狀半導體薄膜24a、24b之脫氫程序。接著在 $250 \text{ mJ}/\text{cm}^2$ 之條件下利用雷射照射方式進行退火，而將第一及第二島狀半導體薄膜24a、24b中的磷激活。

10 之後如第14F圖中所示，利用CVD法形成一層厚度為 300 nm 之氮化矽薄膜(第一中間層絕緣膜)。接著將第一氮化矽薄膜87進行圖案製作程序，於較薄部分之TFT成形區中的高濃雜質區24aa、24ab上面形成接觸孔87a、87b，並同時在較厚部分之TFT成形區中的高濃度雜質區24ba、24bb上面形成接觸孔87c、87d。

15 之後利用PVD法形成一層厚度為 200 nm 、且由一層薄膜/一層Al薄膜/一層Ti組成的三層結構金屬薄膜，接著將三層金屬薄膜進行圖案製作程序，透過接觸孔87a、87b分別形成與高濃度雜質區24aa、24ab接觸之源/汲電極88a、88b，同時透過接觸孔87c、87d分別形成與高濃度雜質區24ba、24bb接觸之源/汲電極88c、88d。

20 之後，利用CVD法形成一層厚度為 400 nm 、且用於覆蓋源/汲電極88a至88d之氮化矽薄膜(第二中間層絕緣膜)89，於是完成了薄膜電晶體裝置。

如第14F圖之右側視圖中所示，於製造液晶顯示器裝置之TFT基板與液晶顯示器裝置的案例中，源/汲電極88d

玖、發明說明

上面之氮化矽薄膜89中形成了一個通孔89a，接著形成ITO薄膜，之後將ITO薄膜進行圖案製作程序，藉由通孔89a形成與源/汲電極88d接觸的一個像素電極90。之後，依照第一及第二實施例中敘述之製造方法執行諸項步驟。

5 如上所述，於本發明第三項實施例之薄膜電晶體裝置製造方法中，如第14C圖中所示，利用防蝕光罩85將Al-Nd薄膜進行側蝕刻，形成一側寬度較防蝕光罩85小了LDD區之寬度的第二閘電極84a。此外，利用防蝕光罩85將氧化矽薄膜83、81進行非等向性蝕刻，形成一側寬度較第二閘
10 電極84a大了LDD區之寬度的第二閘絕緣膜86。接著如第14E圖中所示，於離子植入期間，在離子無法穿過第二閘絕緣膜86之條件下，以高劑量進行離子植入程序。此外，於離子能穿過第二閘絕緣膜86之條件下，以低劑量進行離子植入程序。因此，第二島狀半導體薄膜24b中形成了
15 LDD結構。

以此方式，可使用閘電極84a和閘絕緣膜86而不需增加曝光光罩之數目，以自調方式形成LDD結構。

而且如第14C及14D圖中所示，由於分別具不同厚度之閘絕緣膜81a、86可利用一個蝕刻步驟一次形成，故可
20 簡化形成步驟。在此例中，由於第一及第二島狀半導體薄膜24a、24b中的通道區並非共同暴露於蝕刻氣體之電漿中，因此能防止第一及第二島狀半導體薄膜24a、24b中的通道區表面產生損壞層。

(第四實施例)

玖、發明說明

其次，下文將參看諸幅附圖說明本發明第四實施例中裝有薄膜電晶體裝置的一個液晶顯示器裝置結構。

如第一實施例所述之液晶顯示器裝置中，較薄部分中的TFT(第一薄膜電晶體)及較厚部分中的TFT(第二薄膜電晶體)係於同一基板上面形成，同時，較薄部分中的TFT用於周圍電路部分，而較厚部分中的TFT用於顯示器部分，且和較厚部分中的TFT類似之TFT亦用於處理周圍電路部分中的高電壓之緩衝器部分。

由於此第四實施例具有顯示器部分之結構中的一項特色，特別是接至儲存電容匯流排線之儲存電容元件的結構，因此下文主要將說明這種結構。

第18圖繪示了從上側觀看本發明第四項實施例之液晶顯示器裝置時，於顯示器部分中的一個像素之結構，沿第18圖之VIII-VIII線段所取的一個截面圖則繪示了TFT之橫截面圖，並繪示於第14F圖之右側視圖中。第19A圖係同樣沿著第18圖之IX-IX線段所取的截面圖，而第19B圖為沿著第18圖之X-X線段所取的截面圖。

如第18圖中所示，首先透過較厚部分中的TFT之源/汲電極88d將一個像素電極110(90)接至源/汲區24bb，接著令儲存電容匯流排線111(82c)與像素電極90交叉。儲存電容匯流排線82c與較厚部分中的TFT之第一閘電極82係由相同材料形成，此排線乃接至較厚部分中的TFT之源/汲電極。

資料匯流排線108與源/汲電極88c係由相同材料形成，此排線乃接至較厚部分中的TFT之另一個源/汲電極24ba

玖、發明說明

。同時，閘極匯流排線109與較厚部分中的TFT之第二閘電極84a係由相同材料形成，此排線乃接至第二閘電極84a。

如第14F圖之右側視圖中所示，較厚部分中的TFT包含了第二島狀半導體薄膜24b、由第一及第二氧化矽薄膜81b、83a組成之第二閘絕緣膜86、以及由第二Al-Nd薄膜製成的第二閘電極84a。第二島狀半導體薄膜24b具有一對源/汲區24ba、24bb，以在其間置入通道區24be，且其之中任何一個均接至像素電極90。第二閘絕緣膜86及第二閘電極84a則於通道區24be上面連續形成。

分別如第19A及19B圖之右側視圖中所示，儲存電容匯流排線82c係由第一Al-Nd薄膜形成，第二氧化矽薄膜83d及第二Al-Nd薄膜84f則連續層疊於儲存電容匯流排線82c之部分區域上面，並且如第19A圖中所示，第二Al-Nd薄膜84f乃接至較厚部分中的TFT之源/汲電極88d。之後如第19B圖之左側視圖中所示，第二Al-Nd薄膜84f透過源/汲電極88d接至像素電極90。在此例中，源/汲電極88d係由一層Ti薄膜88da/一層Al薄膜88db/一層Ti薄膜88dc所組成之三層結構。由於第14F圖中以相同符號表示之元件係與第14F圖中的相同元件一致，本文將省略其說明。

在此例中，由於較薄部分中的TFT與第14F圖之左側視圖中的TFT具有相同結構，本文將省略其說明。

如上所述，依據本發明第四項實施例之液晶顯示器裝置，顯示器部分中的儲存電容匯流排線108與較薄部分中的TFT之第一閘電極82係由相同材料形成。並且所提供之

玖、發明說明

電容元件中，其中一根電極係由儲存電容匯流排線108形成，而電容絕緣膜83d由與第二閘絕緣膜86之第二絕緣膜83a相同的材料形成，其它電極84f則由與第二閘電極84a相同之材料形成。

- 5 因此，由於形成之閘絕緣膜通常較薄，導致電容器元件較諸具有以ITO薄膜製成之其它電極和以中間層絕緣膜製成之電容器絕緣膜的電容元件，其每單位面積具有更高之電容。於是，由於能夠縮小形成儲存電容器所需的儲存電容匯流排線108面積、亦即光遮蔽面積，故可增加孔徑
- 10 比。

第三實施例之薄膜電晶體裝置製造方法乃用以形成此液晶顯示器裝置中使用的薄膜電晶體裝置，在此例中，儲存電容匯流排線82c等係利用下述之TFT等閘電極成形步驟中的共同步驟所形成。

- 15 當第一閘電極82形成時，儲存電容匯流排線82c即同時由第一Al-Nd薄膜形成，並且當蝕刻第二氧化矽薄膜83以形成較厚部分中的TFT之第二閘絕緣膜86時，第二氧化矽薄膜83d即留在儲存電容匯流排線82a上面。第二氧化矽薄膜83d上面之第二Al-Nd薄膜84f係於第二閘電極84a成形
- 20 之同時，進行圖案製作程序而形成，且閘極匯流排線109與閘電極84a係同時形成，而資料匯流排線108與源/汲電極88a至88d同時形成。

之後，於第三實施例中敘述之氮化矽薄膜89形成之後，藉將氮化矽薄膜89進行圖案製作程序而於源/汲電極88d

玖、發明說明

上面形成通孔89a，之後利用PVD法形成厚度為100 nm之ITO薄膜，接著將ITO薄膜進行圖案製作程序而形成像素電極90。

5 之後，於玻璃基板21的整個上表面形成決定液晶分子起始狀態(未施加電壓時)排列方向之配向膜(未示出)。

以此方法完成了液晶顯示器裝置的TFT基板。

10 液晶顯示器裝置之對置基板係利用眾所周知的方法形成，換言之，用於遮蓋像素之間區域使其免受光線照射的黑矩陣係由玻璃基板上之Cr(鉻)所形成，且於玻璃基板上形成紅色、綠色及藍色之彩色濾光片，而使具有紅色、綠色或藍色之中任一種顏色的彩色濾光片配置了每個像素。接著在玻璃基板的整個上表面形成由ITO薄膜製成之透明電極，並於透明電極上面形成配向膜。

15 液晶顯示器面板乃藉將以此方式製成之TFT基板與對置基板貼在一起而形成，接著將液晶密封於其之間的一個空間內。之後將偏光板配置於此液晶顯示器面板的兩面，並於背面配置背光源，而完成液晶顯示器裝置。

(第五實施例)

20 其次，下文將參看諸幅附圖說明本發明第五項實施例中裝有薄膜電晶體裝置的一個液晶顯示器裝置結構。

如同第四實施例之液晶顯示器裝置，第五實施例之液晶顯示器裝置包括於基板上形成之較薄部分中的TFT、較厚部分中的TFT、接至較厚部分中的TFT之源/汲區的像素電極110(90)和資料匯流排線108(88c)、接至較厚部分中

玖、發明說明

的TFT之閘電極的閘極匯流排線109(84a)、以及和像素電極90交叉之儲存電容匯流排線111(82c)。

與第四實施例的一個不同之處在於顯示器部分，尤其是接於儲存電容匯流排線111(82c)之儲存電容元件的結構。

5 第20圖繪示了從上側觀看本發明第五項實施例之液晶顯示器裝置時，顯示器部分之其中一個像素的結構平面圖，沿第20圖之XI-XI線段所取的一個截面圖則為TFT之橫截面圖，並繪示於第14F圖之右側視圖中。第21A圖係沿第20圖之XII-XII線段所取的截面圖，而第21B圖為沿著第20圖
10 之XIII-XIII線段所取的截面圖。

由於顯示器裝置之組成元件中，較薄部分中的TFT及較厚部分中的TFT係與第四實施例具有相同結構，此處將省略其細節說明。

如第21A及21B圖中所示，儲存電容匯流排線82c(111)
15 係由第一Al-Nd薄膜(第一導電膜)形成，其材料與較薄部分中的TFT之第一閘電極82相同。排線之部分區域中配置了以儲存電容匯流排線82c作為電極之儲存電容元件，儲存電容元件則由一個以儲存電容匯流排線82c製成之電極、由材質與較薄部分中的TFT之第一閘絕緣膜81a相同的第
20 一氧化矽薄膜81e製成之電容絕緣膜、以及由材質與第一及第二島狀半導體薄膜24a、24b相同之第三島狀半導體薄膜24c製成的其它電極建構而成。儲存電容匯流排線82c兩側之第三島狀半導體薄膜24c中形成了一對p-型雜質區，該對p-型雜質區之其中任何一個係接至像素電極90，換言

玖、發明說明

之乃構成了與p-通道型第三薄膜電晶體相同之結構，其係以儲存電容匯流排線82c作為第三閘電極、以第一氧化矽薄膜81e作為第三閘絕緣膜、以第三島狀半導體薄膜24c作為工作層、以及以一對p-型雜質區作為源/汲區。

5 下文將說明使用p-通道型第三薄膜電晶體之理由，亦即若以n-通道型TFT作為像素TFT，則ON電流會相當高，且像素之儲存電荷數量容易增加。同時，若以n-通道型TFT作為像素TFT，且亦利用第17A及17B圖中繪示的一個結構防止寄生TFT之感應，則最好應將施於像素TFT之電
10 場弛豫電極82a、82b上的電壓設為負值。此外，若將像素TFT之電場弛豫電極82a、82b與儲存電容元件的閘電極(儲存電容匯流排線)82c設成相等電位，則可減少電源供應器之數目。如上所述，由於負電位乃作用於儲存電容元件之閘電極(儲存電容匯流排線)82c，若第三薄膜電晶體由p-通
15 道型TFT構成，則可使通道始終維持於ON之狀態，亦即能以第三島狀半導體薄膜24c作為電極。

其次，下文將說明第五項實施例之液晶顯示器裝置製造方法，此時第三實施例之薄膜電晶體裝置製造方法乃用以形成薄膜電晶體裝置。在此例中，儲存電容匯流排線
20 82c等係利用下述之TFT等閘電極成形步驟中的共同步驟所形成。

當第一及第二島狀半導體薄膜24a、24b形成時，第三島狀半導體薄膜24c即利用圖案製作程序同時形成；當第一閘絕緣膜81a及部分之第二閘絕緣膜86藉將第一氧化矽

玖、發明說明

薄膜81進行圖案製作程序而形成時，由第一氧化矽薄膜81e製成之閘絕緣膜即利用圖案製作程序同時形成；當第一閘電極82藉將第一Al-Nd薄膜進行圖案製作程序而形成時，儲存電容匯流排線82c即利用圖案製作程序同時形成。

5 之後，於第三實施例中敘述之氮化矽薄膜89形成之後，藉將氮化矽薄膜89進行圖案製作程序而於源/汲電極88d上面形成通孔89a，之後利用PVD法形成厚度為100 nm之ITO薄膜，接著將ITO薄膜進行圖案製作程序而形成像素電極90。

10 之後，於玻璃基板21的整個上表面形成決定液晶分子起始狀態(未施加電壓時)排列方向之配向膜(未示出)。

以此方法完成了液晶顯示器裝置的TFT基板。

液晶顯示器裝置之對置基板係利用眾所周知的方法形成，換言之，用於遮蓋像素之間區域使其免受光線照射的黑矩陣係由玻璃基板上表面之Cr(鉻)所形成，且於玻璃基板上表面形成紅色、綠色及藍色之彩色濾光片，而使具有紅色、綠色或藍色之中任一種顏色的彩色濾光片配置了每個像素。接著在玻璃基板的整個上表面形成由ITO薄膜製成之透明電極，並於透明電極上面形成配向膜。

20 液晶顯示器面板乃藉將以此方式製成之TFT基板與對置基板貼在一起而構成，接著將液晶密封於其之間的一個空間內。之後將偏光板配置於此液晶顯示器面板的兩面，並於背面配置背光源，而完成液晶顯示器裝置。

如上所述，根據本發明之第五項實施例，提供了由下

玖、發明說明

列元件構成之儲存電容元件，換言之，儲存電容元件包含了一個使用由與較薄部分中的TFT之第一閘電極82相同材料製成的儲存電容匯流排線108之電極、由與第二閘絕緣膜86之第一絕緣膜81b相同材料製成的電容絕緣膜81e、以及由與第一及第二島狀半導體薄膜24a、24b相同材料製成之其它電極。

因此，由於形成之閘絕緣膜通常較薄，較諸以ITO作為其它電極且以中間層絕緣膜作為電容器絕緣膜之儲存電容元件，可得到每單位面積具有更高電容之電容器元件。因此，由於能夠縮小形成儲存電容器所需的儲存電容匯流排線108面積、亦即光遮蔽面積，故可增加孔徑比。

同時，若形成具有第17A及17B圖之電場弛豫電極82a、82b的像素TFT，可自一個儲存電容匯流排線82c提供電壓給儲存電容元件之閘電極82c與電場弛豫電極82a、82b。於是，不需增加額外之佈線即可提供電壓給儲存電容元件之閘電極82c與電場弛豫電極82a、82b，故可防止孔徑比減少。

上文乃特別根據諸項實施例說明了本發明，然而本發明並不侷限於上述實施例中特別揭示之範例，且於未偏離本發明諸項要點之範圍內，對上述實施例所做之變更均包含於本發明之範圍內。

舉例而言，薄膜電晶體裝置適用於上述之液晶顯示器裝置，然而這種薄膜電晶體裝置亦適用於有機EL顯示器裝置。

玖、發明說明

同時，以其中氮化矽薄膜及氧化矽薄膜係層疊於玻璃基板上面之透明基板作為基板，然而除了具有從背面照射曝光源之步驟的製造方法外，亦可使用不透明基板。

【圖式簡單說明】

5 第1圖繪示了習知技藝中的一個薄膜電晶體裝置截面圖；

第2圖繪示了習知技藝中薄膜電晶體裝置製造方法之問題的截面圖；

10 第3A及3B圖繪示了習知技藝中薄膜電晶體裝置製造方法之另一問題的截面圖；

15 第4A圖繪示了習知技藝中薄膜電晶體裝置製造方法之中間步驟的平面圖，而第4B圖之上側視圖繪示了同一薄膜電晶體裝置製造方法的另一個中間步驟之平面圖，第4B圖之下側視圖則係沿此上側視圖之XIV-XIV線段所取的一個截面圖；

第5圖繪示了習知技藝中另一個薄膜電晶體裝置之截面圖；

第6A及6B圖繪示了習知技藝中另一個薄膜電晶體裝置製造方法之問題的截面圖；

20 第7圖繪示了本發明第一項實施例之薄膜電晶體裝置(發射型液晶顯示器裝置)的一個組態方塊圖；

第8圖繪示了本發明第一項實施例之薄膜電晶體裝置的平面圖；

第9A至9P圖繪示了本發明第一項實施例之薄膜電晶體

玖、發明說明

裝置製造方法的若干截面圖；

第10A圖繪示了本發明第一項實施例之薄膜電晶體裝置製造方法的中間步驟之平面圖，而第10B圖之上側視圖繪示了同一薄膜電晶體裝置製造方法的另一個中間步驟之平面圖，第4B圖之下側視圖則係沿此上側視圖之II-II線段所取的一個截面圖。

第11A圖繪示了本發明第一項實施例之薄膜電晶體裝置製造方法的另一個中間步驟之平面圖，而第11B圖之上側視圖繪示了同一薄膜電晶體裝置製造方法的另一個中間步驟之平面圖，第4B圖之下側視圖則係沿此上側視圖之III-III線段所取的一個截面圖；

第12A至12H圖繪示了本發明第二項實施例之薄膜電晶體裝置製造方法的若干截面圖；

第13A至13D圖繪示了本發明第二項實施例之另一種薄膜電晶體裝置製造方法的截面圖；

第14A至14F圖繪示了本發明第三項實施例之薄膜電晶體裝置製造方法的截面圖；

第15圖繪示了本發明第三項實施例之另一種薄膜電晶體裝置製造方法的截面圖；

第16A圖繪示了本發明第三項實施例之薄膜電晶體裝置的平面圖，而第16B圖為沿著第16A圖之V-V線段所取的一個截面圖；

第17A圖繪示了本發明第三項實施例之另一種薄膜電晶體裝置的平面圖，而第17B圖為沿著第17A圖之VII-VII

玖、發明說明

線段所取的一個截面圖；

第18圖繪示了具有本發明第四項實施例之薄膜電晶體裝置的一個液晶顯示器裝置截面圖；

第19A圖同樣係沿著第18圖之IX-IX線段所取的一個截面圖，而第19B圖為同樣沿著第18圖之X-X線段所取的截面圖；

第20圖繪示了具有本發明第五項實施例之薄膜電晶體裝置的一個液晶顯示器裝置平面圖；

第21A圖同樣係沿著第20圖之XII-XII線段所取的一個截面圖，而第21B圖為同樣沿著第20圖之XIII-XIII線段所取的截面圖。

【圖式之主要元件代表符號表】

1、21...基板	4be、24ac、24be...通道區
3、22b、25、25a、25b、	5、6、6a、6b、22、64a、
28、28a、28b、31、55、	71、71a、71b、74a、81b、
51a、52、52a、62、64、81	76、78...絕緣膜
、81a、81b、81e、83、83a	7...金屬膜
、83b、83d...氧化矽薄膜	7a、7b、29a、29b、54a、
4a、4b、24a、24b、24c	54b、72、75、82、82c、
...島狀半導體薄膜	84a...閘電極
4ba、4bb、24aa、24ab、	9c、30a、30b、53、65、
24ba、24bb...高濃度雜質區	73a、73b、85...防蝕光罩
4bc、4bd、24bc、24bd	13...破壞層
...低濃度雜質區	14...刮除部分

玖、發明說明

22a、32、55、87、89	81e... 電容絕緣膜
...氮化矽薄膜	82a、82b、82c、84c至84f
24、51、63、63a、63b	... 電場弛豫電極
...非晶矽薄膜	84a、109... 閘極匯流排線
24aa、24ab、57a、57b、	87、89... 中間層絕緣膜
57c、57d、77a、77b、77c	88c、108... 資料匯流排線
、24ba、24bb... 源/汲區	88da、88dc... Ti薄膜
24bc、24bd... LDD區	88db... Al薄膜
25a、26a... 開口部分	89a... 通孔
25b、28、51a、65、81a、	101... 控制電路
81b、83a、86... 閘絕緣膜	102... 垂直驅動器
26、30... 光阻膜	102a、103a... 移位暫存器
29、84、84f... Al-Nd薄膜	102b、103b... 水平移位器
33a、33b、33c、33d、56a	102c... 類比開關
、56b、56c、56d、76a、	103... 閘極驅動器
76b、76c、76d、87a、87b	103c... 輸出緩衝器
、87c、87d... 接觸孔	104... 顯示器部分
34a、34c... 源極	105... TFT
34b、34d... 汲極	106... 顯示單元(液晶單元)
35、58... 樹脂薄膜	107... 儲存電容
36、60、90、110... 像素電極	111、108、82c... 儲存電容
64a... 氧化矽薄膜圖案	匯流排線
77d、88a、88b、88c、	
88d... 源/汲電極	

肆、中文發明摘要

本發明係有關在液晶顯示器裝置及其它裝置之絕緣基板上面形成的一個薄膜電晶體裝置、其製造方法和液晶顯示器裝置。於結構上，所提供之步驟包括在用以覆蓋第一島狀半導體薄膜之第一絕緣膜上面形成一層負光阻膜；藉從透明基板背面將負光阻膜曝光/顯影，而形成一個於面對第一島狀半導體薄膜周圍部分之內部區域中具有一個開口部分的防蝕光罩；將防蝕光罩之開口部分中的第一絕緣膜加以蝕刻；形成一層用於覆蓋第一絕緣膜及其上之導電膜的第二絕緣膜；以及藉將導電膜進行圖案製作程序，形成一個第一閘電極和一個第二閘電極。

伍、英文發明摘要

The present invention relates to a thin film transistor device formed on an insulating substrate of a liquid crystal display device and others, a method of manufacturing the same, and a liquid crystal display device. In structure, there are provided the steps of forming a negative photoresist film on a first insulating film for covering a first island-like semiconductor film, forming a resist mask that has an opening portion in an inner region with respect to a periphery of the first island-like semiconductor film by exposing/developing the negative photoresist film from a back surface side of a transparent substrate, etching the first insulating film in the opening portion of the resist mask, forming a second insulating film for covering the first insulating film and a conductive film thereon, and forming a first gate electrode and a second gate electrode by patterning the conductive film.

拾、申請專利範圍

1. 一種薄膜電晶體裝置製造方法，其步驟包括：
 - 於一透明基板的一個表面上形成一層第一島狀半導體薄膜及一層第二島狀半導體薄膜；
 - 形成一層用於覆蓋第一島狀半導體薄膜及第二島狀半導體薄膜之第一絕緣膜；
 - 於第一絕緣膜上面形成一層負光阻膜；
 - 藉由一個遮蔽住第一島狀半導體薄膜整個區域之光罩，自一光源將負光阻膜曝光；
 - 自透明基板之背面將負光阻膜曝光；
 - 藉將負光阻膜顯影而形成一個防蝕圖案，其於朝向第一島狀半導體薄膜周圍之內側區域中具有一個開口部分；
 - 蝕刻防蝕圖案之開口部分中的第一絕緣膜；
 - 移除防蝕圖案；
 - 於透明基板的整個表面上形成一層第二絕緣膜，接著在其上面形成一層導電膜；
 - 於第一島狀半導體薄膜上方之導電膜上面形成第一光罩圖案，並於第二島狀半導體薄膜上方之導電膜上面形成第二光罩圖案；以及
 - 以第一光罩圖案作為光罩，蝕刻導電膜而形成第一閘電極，並以第二光罩圖案作為光罩，蝕刻導電膜而形成第二閘電極。
2. 如申請專利範圍第1項之薄膜電晶體裝置製造方法，其中從透明基板背面將負光阻膜曝光之步驟中，用於曝

拾、申請專利範圍

光之光源係一g-線、h-線、I-線、準分子雷射或紫外線。

3. 一種薄膜電晶體裝置製造方法，其步驟包括：

於一基板上面形成一層第一島狀半導體薄膜及一層第二島狀半導體薄膜；

- 5 形成一層用於覆蓋第一島狀半導體薄膜及第二島狀半導體薄膜之半導體薄膜，之後於半導體薄膜上面形成一層絕緣膜；

利用選擇性地蝕刻第二島狀半導體薄膜上方之絕緣膜，形成一個絕緣膜圖案；

- 10 將絕緣膜圖案下方及其它區域中的半導體薄膜氧化，以在第一島狀半導體薄膜上面形成一層由藉將半導體薄膜氧化而成之絕緣膜所組成的第一閘絕緣膜，並於第二島狀半導體薄膜上面形成一層由藉將半導體薄膜氧化而成之絕緣膜與絕緣膜圖案所組成的第二閘絕緣膜；以及

於第一閘絕緣膜上面形成第一閘電極，並於第二閘絕緣膜上面形成第二閘電極。

4. 如申請專利範圍第3項之薄膜電晶體裝置製造方法，其中第一島狀半導體薄膜及第二島狀半導體薄膜係由多晶矽薄膜形成，而半導體薄膜由非晶矽薄膜形成。

- 20 5. 如申請專利範圍第3項之薄膜電晶體裝置製造方法，其中在藉由選擇性蝕刻第二島狀半導體薄膜上方之絕緣膜而形成一個絕緣膜圖案的步驟中，半導體薄膜乃用作蝕刻絕緣膜時的一個蝕刻擋片。

拾、申請專利範圍

6. 如申請專利範圍第3項之薄膜電晶體裝置製造方法，其步驟更包括：

於半導體薄膜成形之前，形成一層用於覆蓋第一島狀半導體薄膜及第二島狀半導體薄膜之絕緣膜；

- 5 其中第一層絕緣膜係由一層用於覆蓋第一島狀半導體薄膜之絕緣膜與一層藉將半導體薄膜氧化而成的絕緣膜所組成，而第二層絕緣膜係由一層用於覆蓋第二島狀半導體薄膜之絕緣膜、一層藉將半導體薄膜氧化而成之絕緣膜以及一個絕緣膜圖案所組成。

- 10 7. 一種薄膜電晶體裝置製造方法，其步驟包括：

於一基板上形成一層第一半導體薄膜；

於第一半導體薄膜上面連續形成一層第一絕緣膜、一層第二半導體薄膜與一層第二絕緣膜；

- 15 利用選擇性地蝕刻第二絕緣膜，形成一個第二絕緣膜圖案；

選擇性地蝕刻第二半導體薄膜，以形成一層不含第二絕緣膜圖案之島狀第二半導體薄膜與一層含有第二絕緣膜圖案之島狀第二半導體薄膜；

- 20 藉由第一絕緣膜，將第二絕緣膜圖案與其它區域下方之島狀第二半導體薄膜氧化，且將第一半導體薄膜中未被島狀第二半導體薄膜覆蓋之區域氧化，以形成一層由第一半導體薄膜中被不含第二絕緣膜圖案之島狀第二半導體薄膜覆蓋的一個區域組成之第一島狀半導體薄膜，且亦於形成一層由第一半導體薄膜中被

拾、申請專利範圍

含有第二絕緣膜圖案之島狀第二半導體薄膜覆蓋的一個區域組成之第二島狀半導體薄膜，以在第一島狀半導體薄膜上面形成一層由藉將第二半導體薄膜氧化而成之絕緣膜與第一絕緣膜所組成的第一閘絕緣膜，並於第二島狀半導體薄膜上面形成一層由第二絕緣膜圖案、一層藉將第二半導體薄膜氧化而成之絕緣膜以及第一絕緣膜所組成的第二閘絕緣膜；以及

於第一閘絕緣膜上面形成第一閘電極，並於第二閘絕緣膜上面形成第二閘電極。

8. 如申請專利範圍第7項之薄膜電晶體裝置製造方法，其中第一半導體薄膜係一層多晶矽薄膜，而第二半導體薄膜為一層非晶矽薄膜。

9. 如申請專利範圍第7項之薄膜電晶體裝置製造方法，其中在藉由選擇性蝕刻第二絕緣膜而形成一個第二絕緣膜圖案之步驟中，第二半導體薄膜乃用作蝕刻第二絕緣膜時的一個蝕刻擋片。

10. 如申請專利範圍第7項之薄膜電晶體裝置製造方法，其中在選擇性地蝕刻第二半導體薄膜以形成一層不含第二絕緣膜圖案之島狀第二半導體薄膜與一層含有第二絕緣膜圖案之島狀第二半導體薄膜的步驟中，第一絕緣膜乃用作選擇性蝕刻第二半導體薄膜時的一個蝕刻擋片。

11. 一種薄膜電晶體裝置，其包括有：

一顆第一薄膜電晶體，其包含了一層具有一對源/

拾、申請專利範圍

汲區、以在其間置入一個通道區之第一島狀半導體薄膜；一層由第一島狀半導體薄膜之通道區上面形成之第一絕緣膜製成的第一閘絕緣膜；以及一個由第一閘絕緣膜上面形成之第一導電膜製成的第一閘電極；以及

5

一顆第二薄膜電晶體，其包含了一層具有一對源/汲區、以在其間置入一個通道區之第二島狀半導體薄膜；一層由第二島狀半導體薄膜之通道區上面形成之第一絕緣膜及第二絕緣膜製成的第二閘絕緣膜；以及

10 一個由第二閘絕緣膜上面形成之第二導電膜製成的第二閘電極，第一薄膜電晶體和第二薄膜電晶體兩者均於同一基板上面形成；

其中第一薄膜電晶體乃藉由第二絕緣膜，於第一島狀半導體薄膜側面部分之邊緣上方及第一閘電極上面提供了由第二導電膜形成的電場弛豫電極，並且

15

第二薄膜電晶體藉由第一絕緣膜，於第二閘電極下方及第二島狀半導體薄膜側面部分之邊緣上方提供了由第一導電膜形成的電場弛豫電極。

12. 一種薄膜電晶體裝置製造方法，其步驟包括：

20

於一基板上面形成一層第一島狀半導體薄膜及一層第二島狀半導體薄膜；

形成一層用於覆蓋第一島狀半導體薄膜及第二島狀半導體薄膜之第一絕緣膜；

於整個表面上形成一層第一導電膜，接著選擇性

拾、申請專利範圍

地蝕刻第一導電膜，以在第一島狀半導體薄膜上方之第一絕緣膜上面形成一個閘電極；

於整個表面上連續形成一層第二絕緣膜及一層第二導電膜；

- 5 於第二導電膜上面形成一個光罩圖案，接著以光罩圖案作為光罩，將第二導電膜進行側蝕刻，以形成一個寬度較光罩圖案窄之第二閘電極；

- 10 以光罩圖案作為光罩，將第二絕緣膜施以非等向性蝕刻，並以第一閘電極和光罩圖案作為光罩，將第一絕緣膜施以非等向性蝕刻，因而在第一閘電極下方形成一層由第一絕緣膜所製成之第一閘絕緣膜，且在第二閘電極下方形成由第一絕緣膜及第二絕緣膜所組成之第二閘絕緣膜；

移除光罩圖案；

- 15 以第一閘電極作為光罩，利用離子植入方式將一雜質植入第一島狀半導體薄膜，而於第一閘電極兩側形成高濃度雜質區，並以第二閘電極和第二閘絕緣膜作為光罩，利用離子植入方式將雜質植入第二島狀半導體薄膜，而於第二閘電極兩側形成一對高濃度雜質區；以及
- 20

以第二閘電極作為光罩，於離子能穿過第二閘電極周圍部分之第二閘絕緣膜的一個條件下，利用離子植入方式將雜質植入第二島狀半導體薄膜，而在第二閘電極兩側之第二閘絕緣膜下方形成一對低濃度雜質

拾、申請專利範圍

區。

13. 如申請專利範圍第12項之薄膜電晶體裝置製造方法，其中在以光罩圖案作為光罩而將第二絕緣膜施以非等向性蝕刻、並以第一閘電極和光罩圖案作為光罩而將第一絕緣膜施以非等向性蝕刻之步驟中，乃留下了第一絕緣膜，而使第一島狀半導體薄膜及第二島狀半導體薄由第一絕緣膜覆蓋。
- 5
14. 如申請專利範圍第12項之薄膜電晶體裝置製造方法，其中在整個表面上形成一層第一導電膜、接著選擇性地蝕刻第一導電膜，以在第一島狀半導體薄膜上方之第一絕緣膜上面形成一個閘電極的步驟中，乃藉由第一絕緣膜，於即將形成第二閘電極之區域中及第二島狀半導體薄膜兩側邊緣上面形成由第一導電膜所製成之電場弛豫電極。
- 10
15. 如申請專利範圍第12項之薄膜電晶體裝置製造方法，其中在第二導電膜上面形成一個光罩圖案、接著以光罩圖案作為光罩而將第二導電膜進行側蝕刻，以形成一個寬度較光罩圖案窄之第二閘電極的步驟中，乃藉由第二絕緣膜，於第一島狀半導體薄膜兩側邊緣上方形成由第二導電膜所製成之電場弛豫電極。
- 15
- 20
16. 一種液晶顯示器裝置，其包括有：
- 一顆第一薄膜電晶體；
 - 一顆第二薄膜電晶體，第一薄膜電晶體及第二薄膜電晶體係於一基板上面形成；

拾、申請專利範圍

一個接至第二薄膜電晶體之源/汲區的像素電極；

以及

一條與像素電極交叉之儲存電容匯流排線；

5 其中第一薄膜電晶體包含了一層具有一對源/汲區、
 在其間置入一個通道區之第一島狀半導體薄膜；
 一層由第一島狀半導體薄膜之通道區上面形成之第一
 絕緣膜製成的第一閘絕緣膜；以及一個由第一閘絕緣
 膜上面形成之第一導電膜製成的第一閘電極，

10 第二薄膜電晶體包含了一層具有一對源/汲區、以
 在其間置入一個通道區之第二島狀半導體薄膜，且該
 對源/汲區之中任何一個均接至像素電極；一層由第二
 島狀半導體薄膜之通道區上面形成之第一絕緣膜及第
 二絕緣膜製成的第二閘絕緣膜；以及一個由第二閘絕
 緣膜上面形成之第二導電膜製成的第二閘電極，並且

15 儲存電容匯流排線係由第一導電膜形成，且接至
 像素電極之第二絕緣膜及第二導電膜乃依此順序層疊
 於儲存電容匯流排線上面的一個部分區域內。

17. 一種液晶顯示器裝置，其包括有：

一顆第一薄膜電晶體；

20 一顆第二薄膜電晶體，第一薄膜電晶體及第二薄
 膜電晶體係於一基板上面形成；

一個接至第二薄膜電晶體之源/汲區其中任何一個
 的像素電極；以及

一條與像素電極交叉之儲存電容匯流排線；

拾、申請專利範圍

其中第一薄膜電晶體包含了一層具有一對源/汲區、
、以在其間置入一個通道區之第一島狀半導體薄膜；
一層由第一島狀半導體薄膜之通道區上面形成之第一
絕緣膜製成的第一閘絕緣膜；以及一個由第一閘絕緣
5 膜上面形成之第一導電膜製成的第一閘電極，

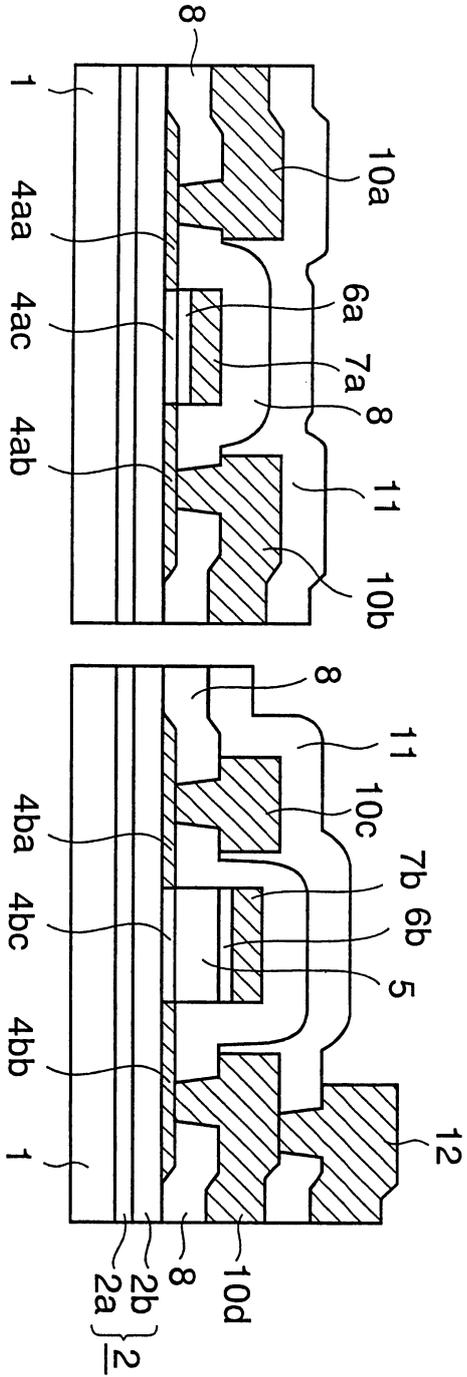
第二薄膜電晶體包含了一層具有一對源/汲區、以
在其間置入一個通道區之第二島狀半導體薄膜，且該
對源/汲區之中任何一個均接至像素電極；一層由第二
島狀半導體薄膜之通道區上面形成之第一絕緣膜及第
10 二絕緣膜製成的第二閘絕緣膜；以及一個由第二閘絕
緣膜上面形成之第二導電膜製成的第二閘電極，並且

儲存電容匯流排線係由第一導電膜形成，且在其
之部分區域內提供了一顆第三薄膜電晶體，該第三薄
膜電晶體包含了一個由儲存電容匯流排線形成之閘電
15 極、一層具有源/汲區且該對源/汲區之中任何一個均接
至像素電極的第三島狀半導體薄膜、以及一層由第一
絕緣膜製成之閘絕緣膜。

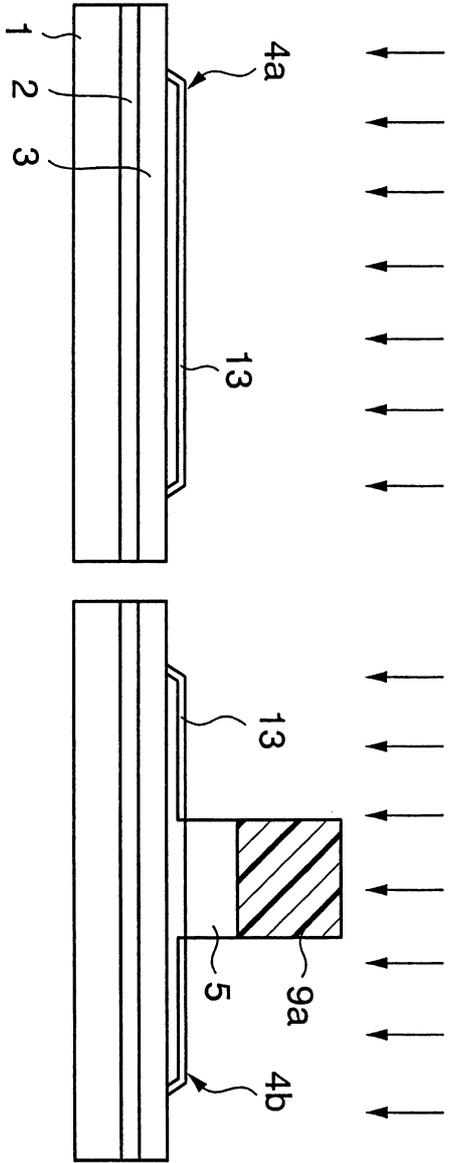
18. 如申請專利範圍第17項之液晶顯示器裝置，其中第一
薄膜電晶體及第二薄膜電晶體係一n-通道型電晶體，
20 而第三薄膜電晶體為p-通道型電晶體。

19. 如申請專利範圍第17項之液晶顯示器裝置，其中第一
薄膜電晶體、第二薄膜電晶體及第三薄膜電晶體係由
相同半導體薄膜形成。

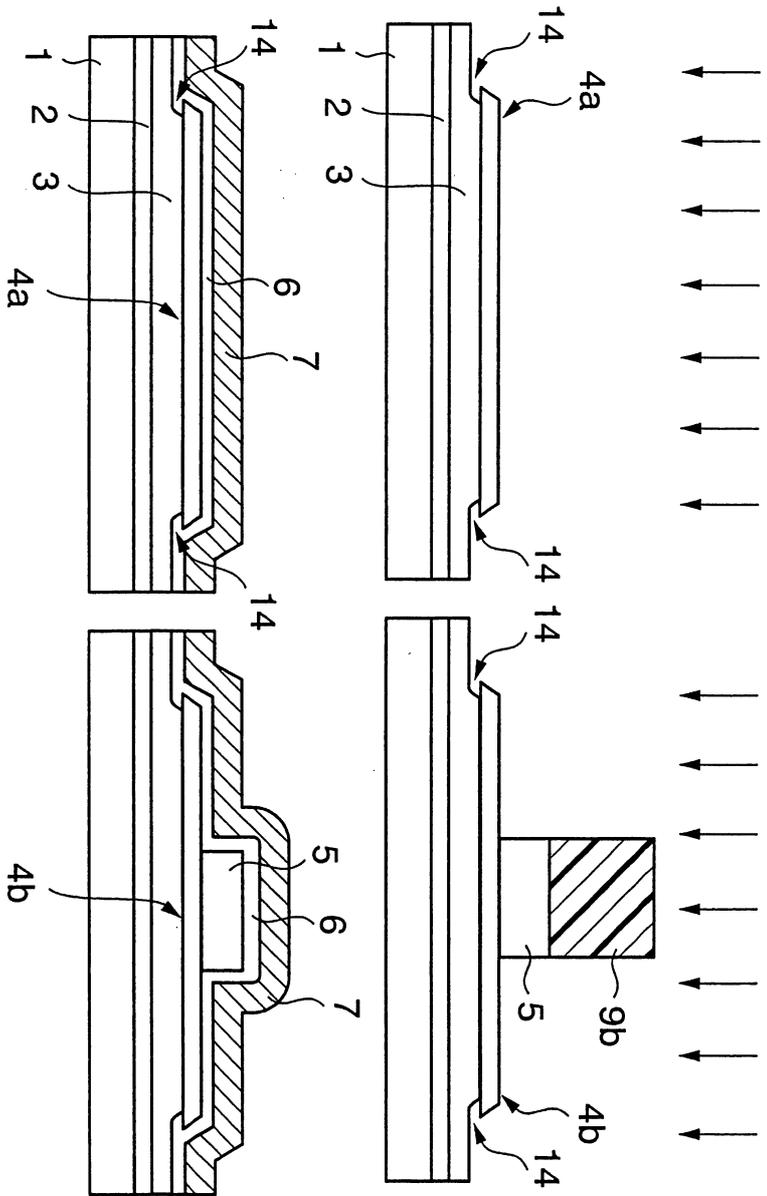
第 1 圖



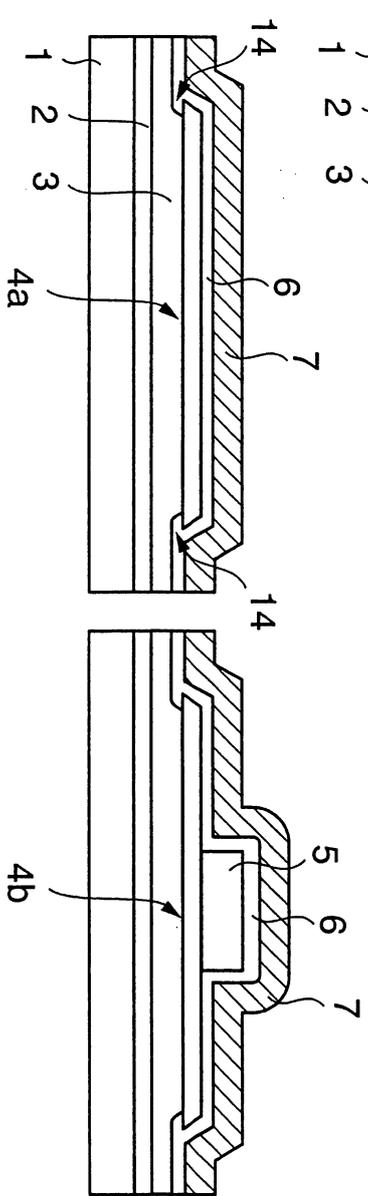
第 2 圖



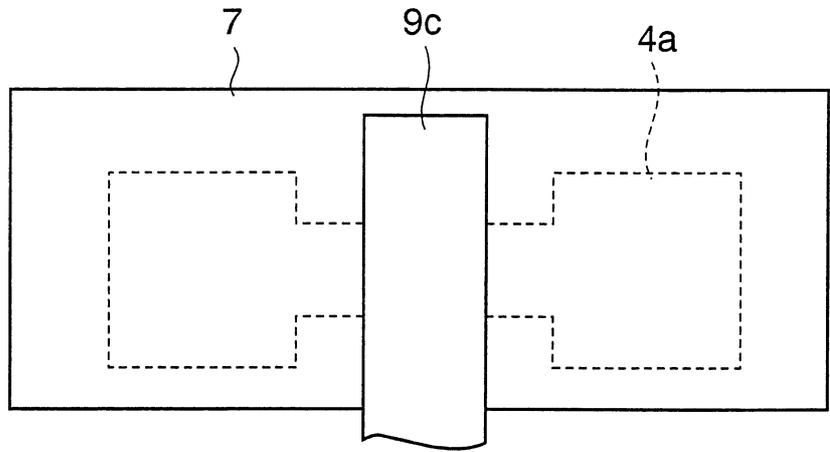
第 3A 圖



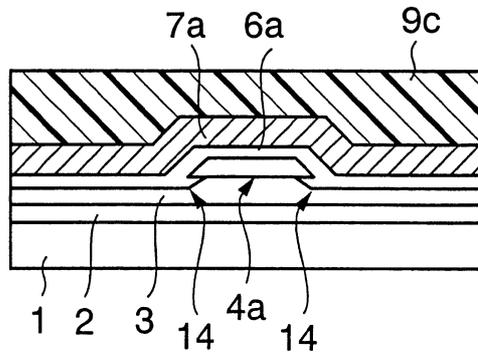
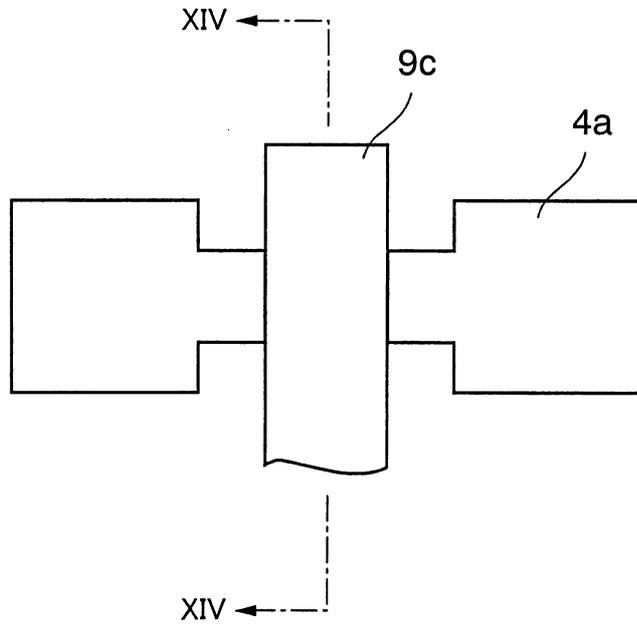
第 3B 圖

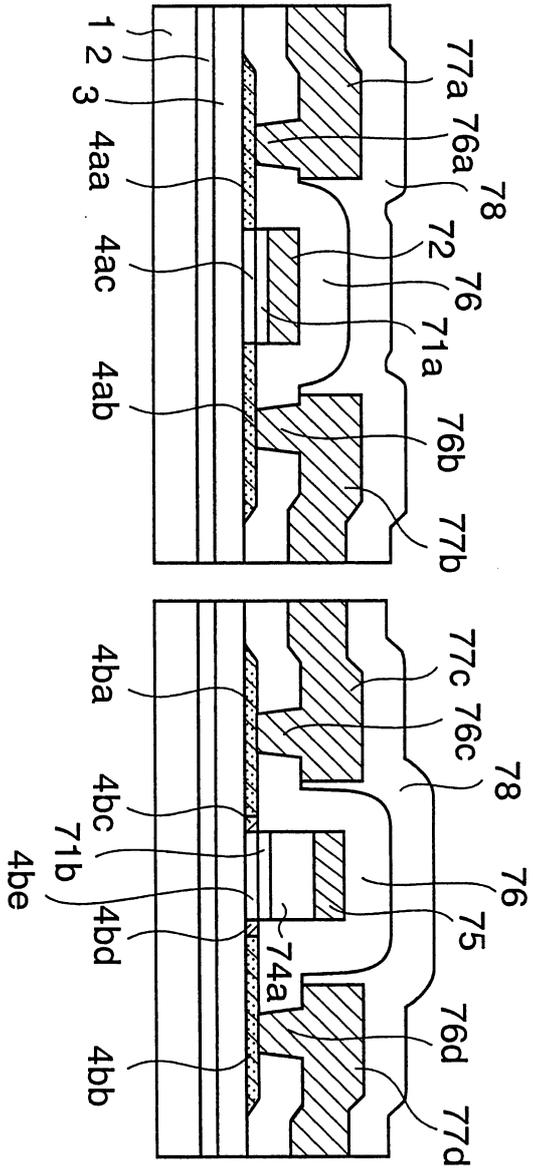


第 4A 圖



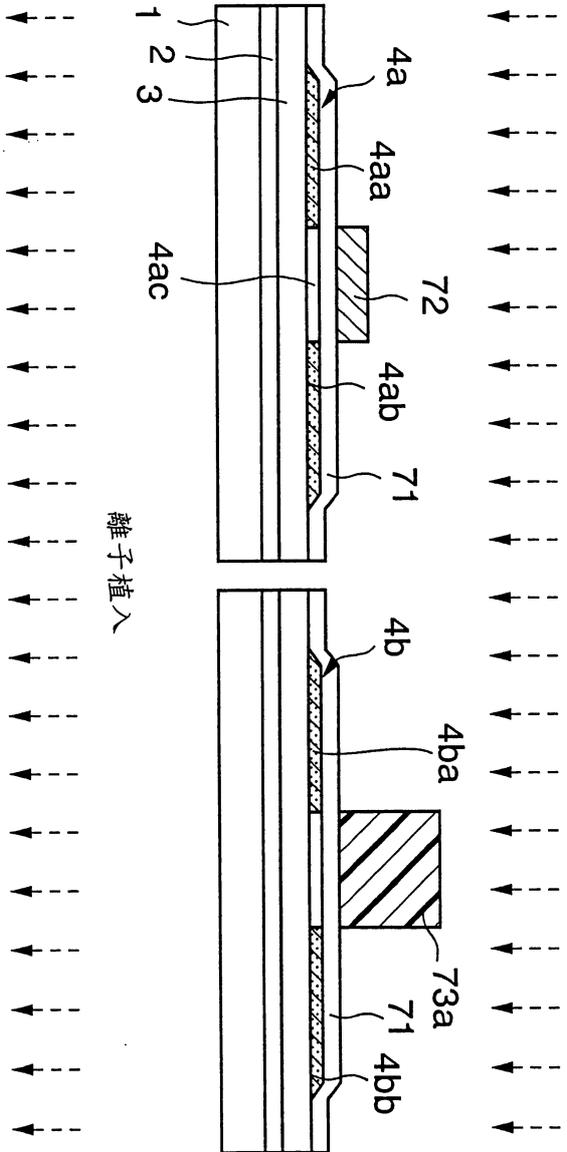
第 4B 圖



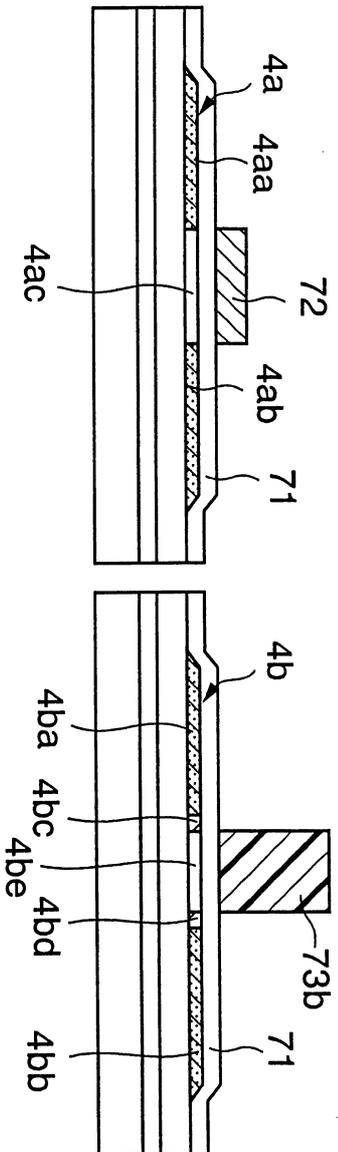


第 5 圖

離子植入

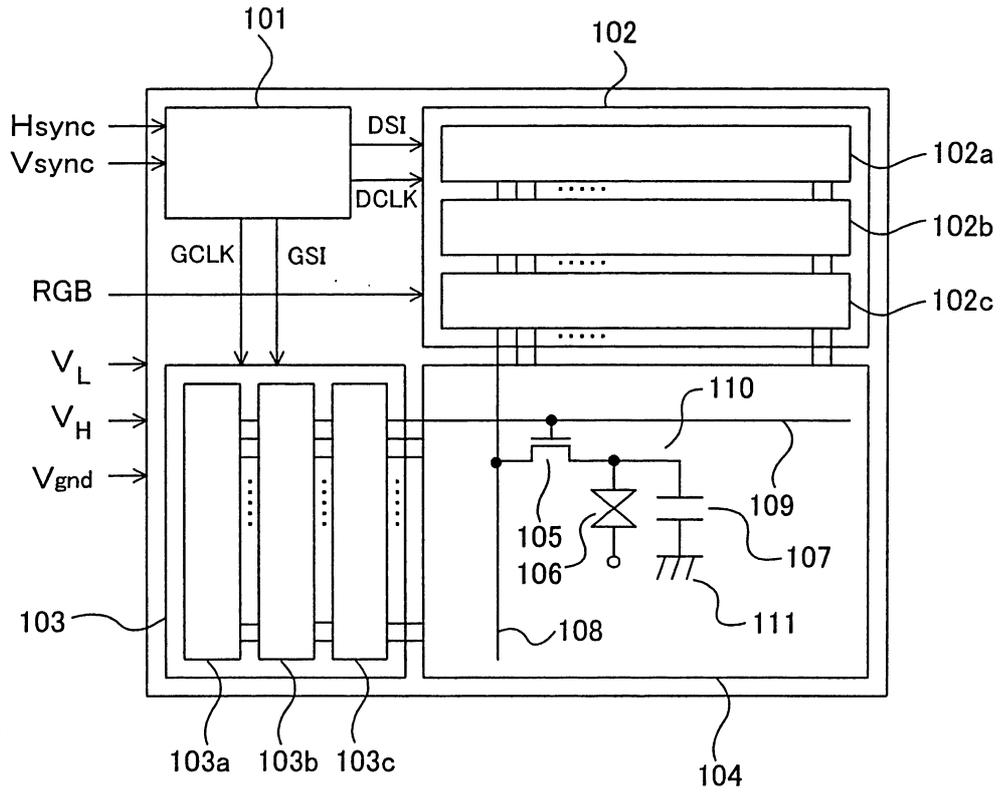


第 6A 圖

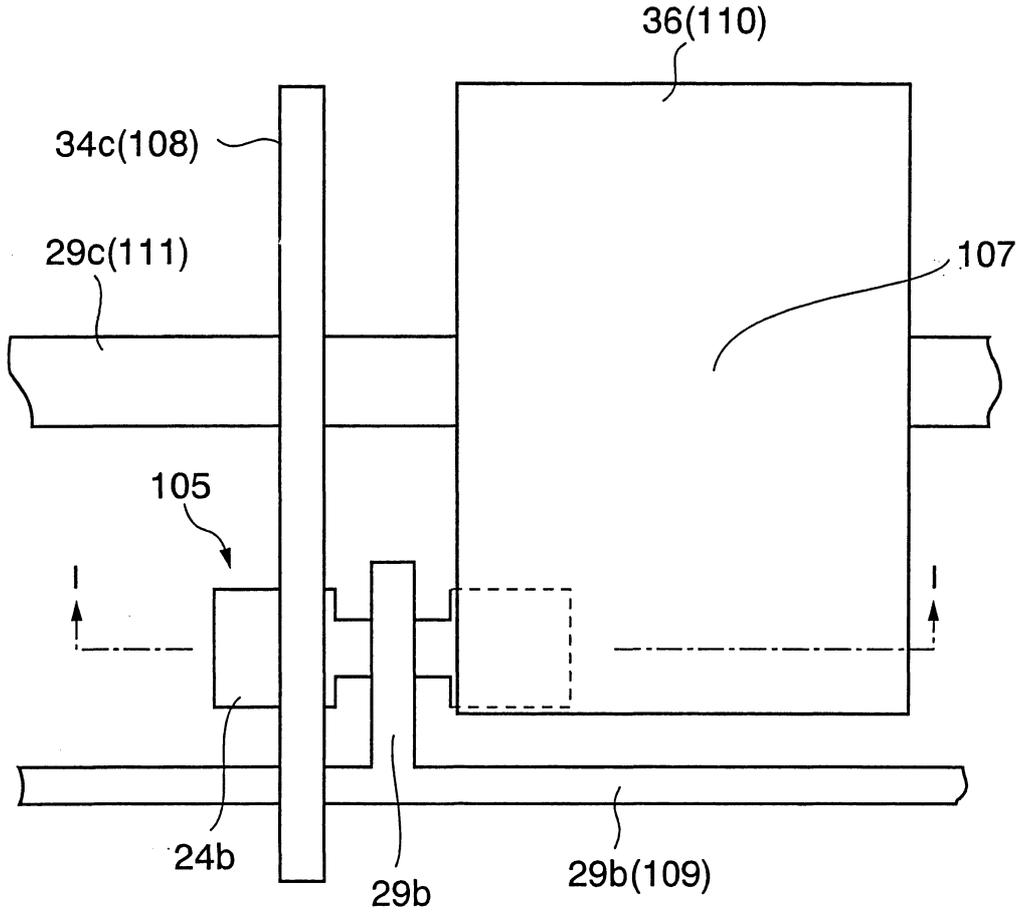


第 6B 圖

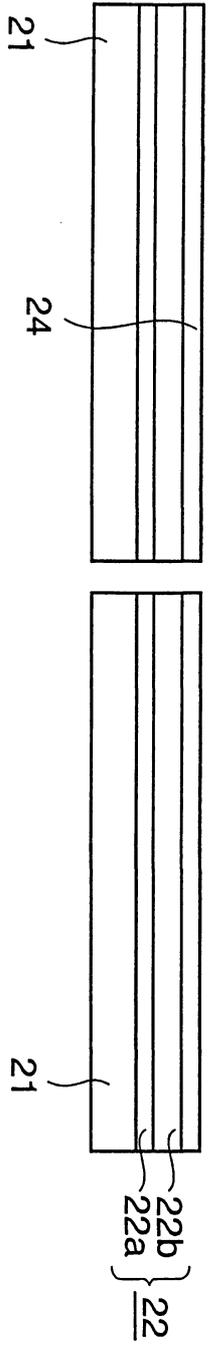
第 7 圖



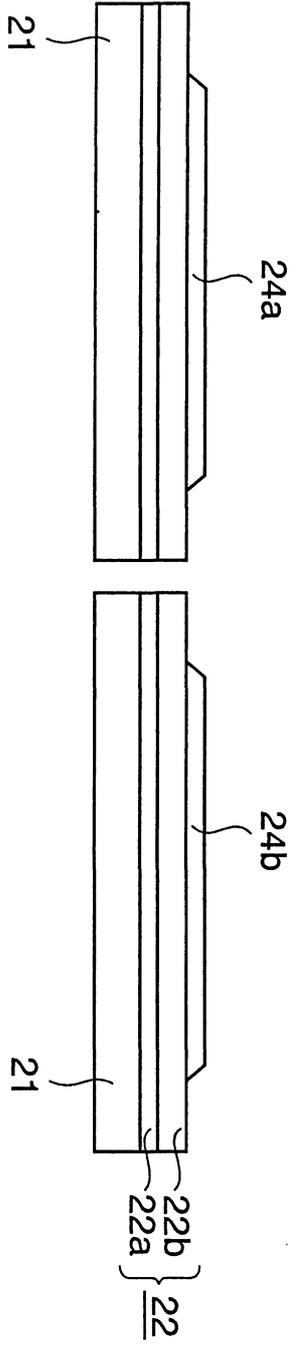
第 8 圖

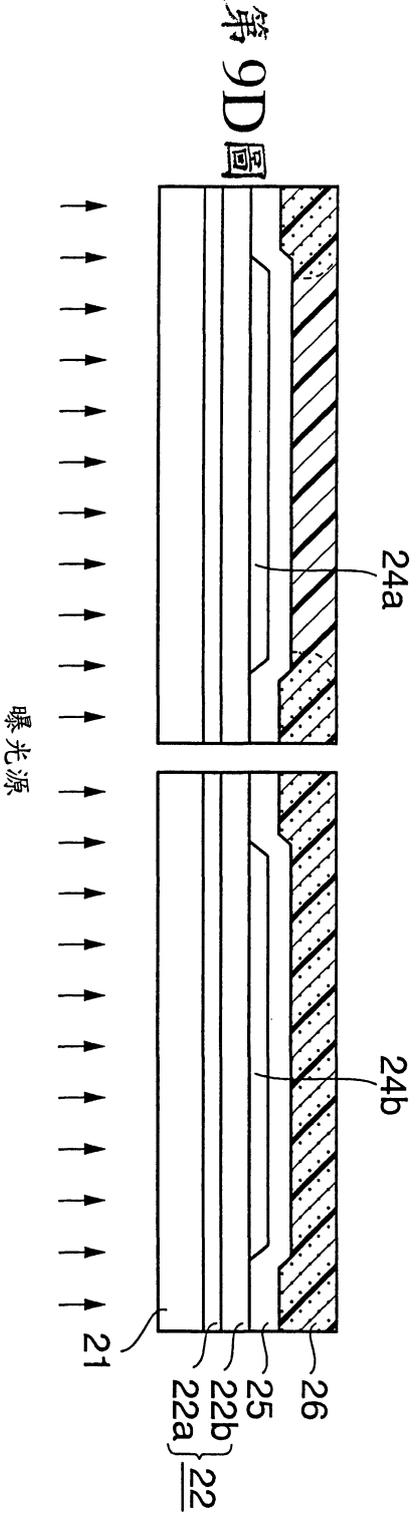
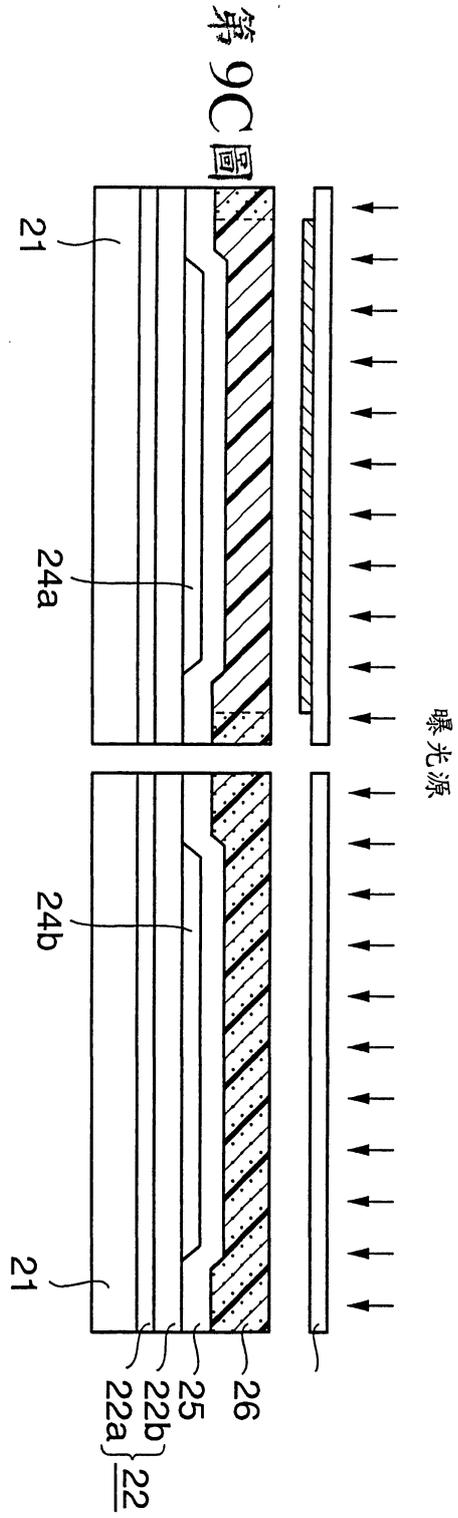


第 9A 圖

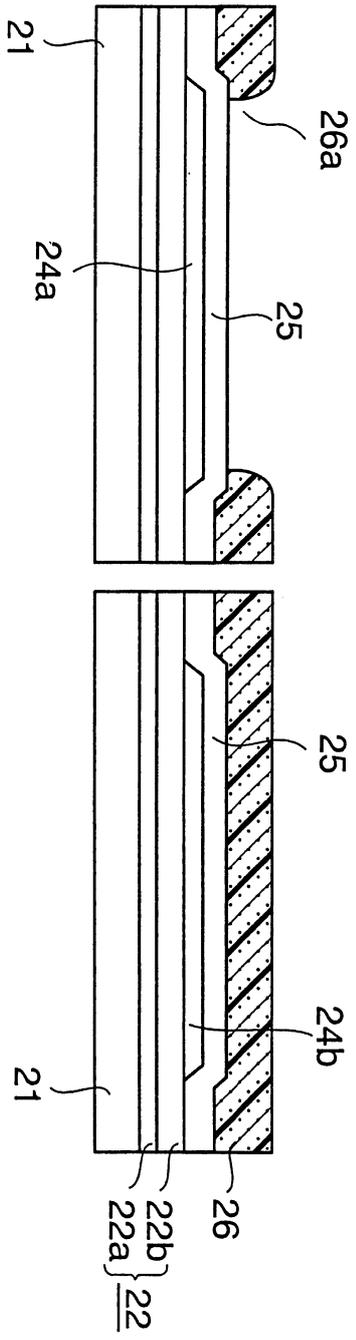


第 9B 圖

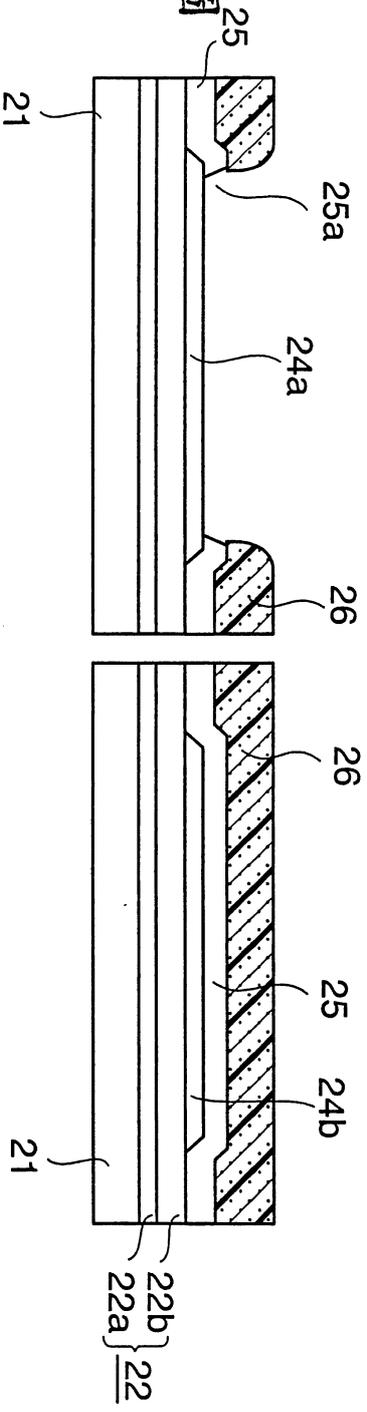




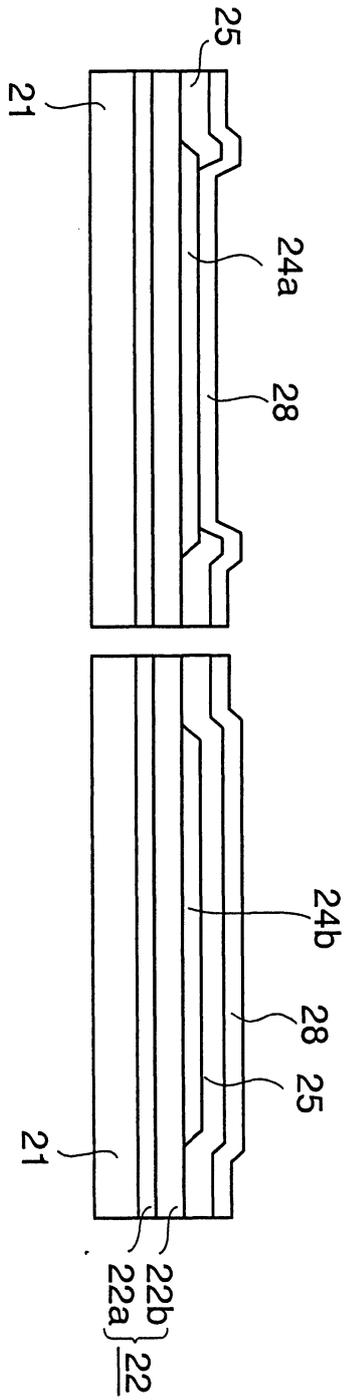
第 9E 圖



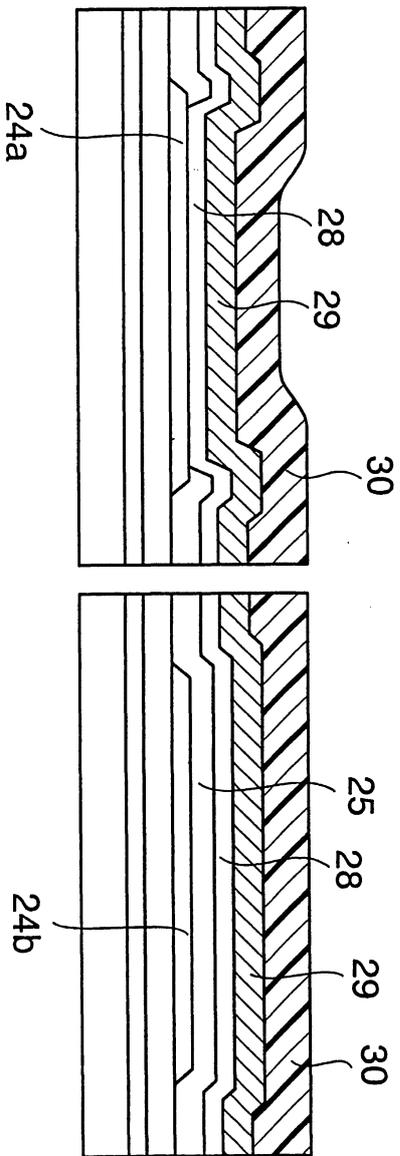
第 9F 圖



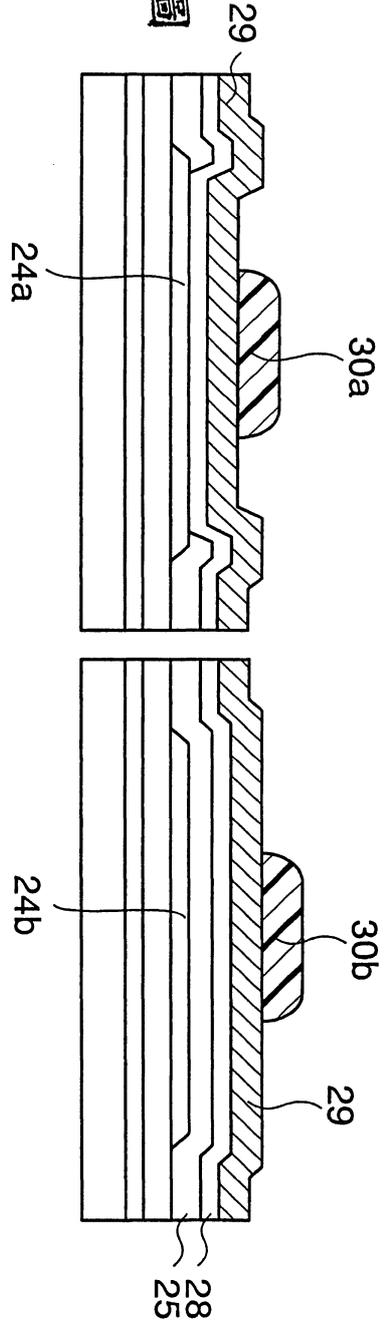
第 9G 圖



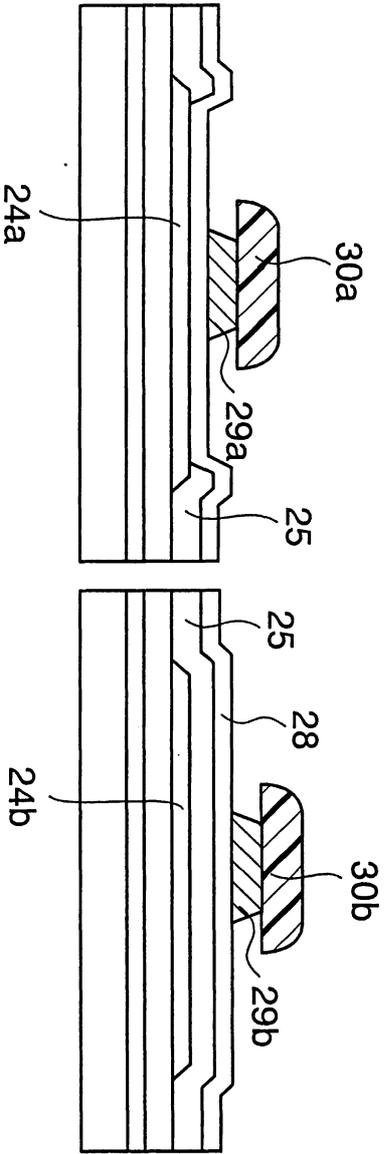
第 9H 圖



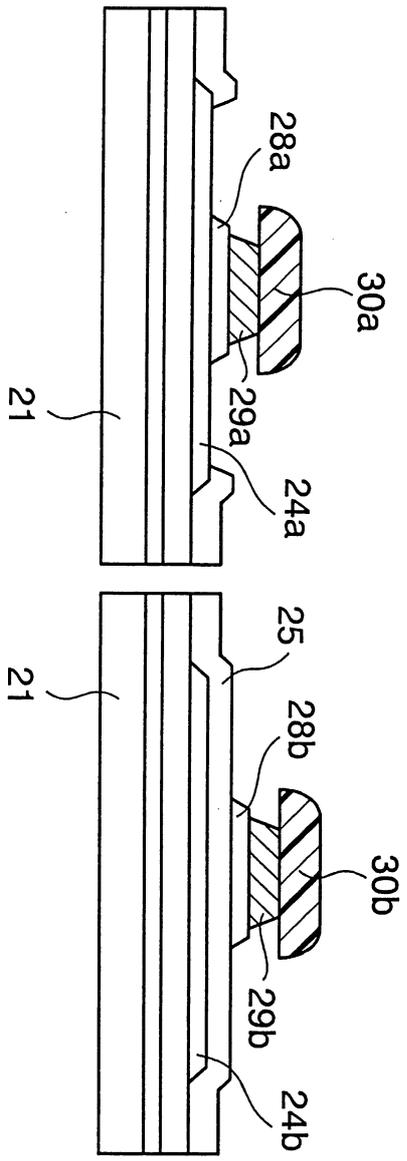
第 9I 圖



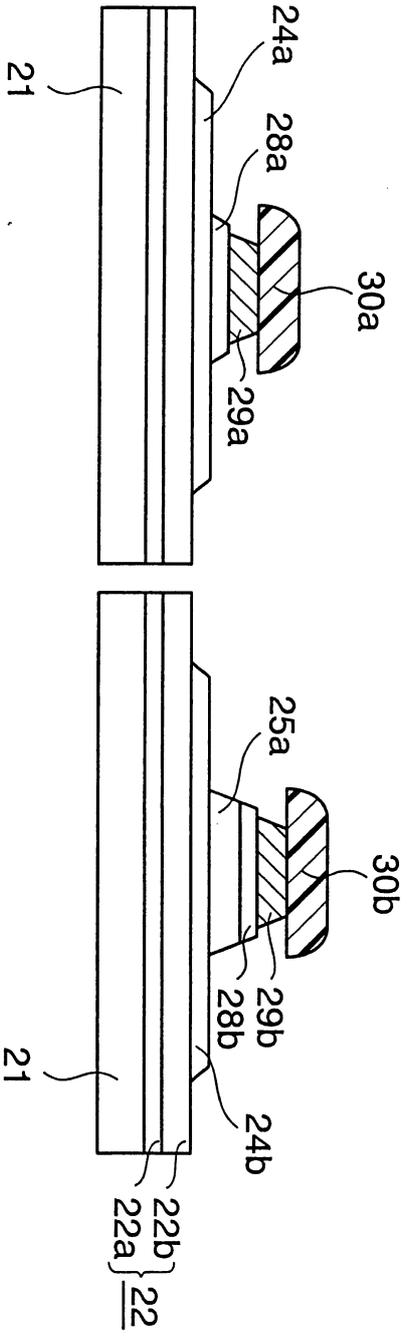
第 9J 圖

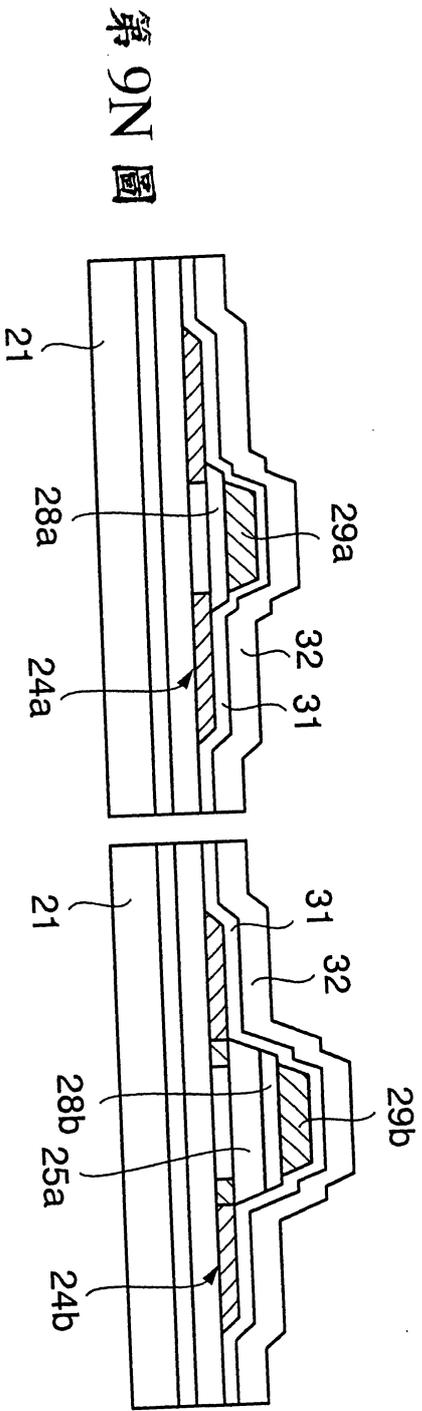
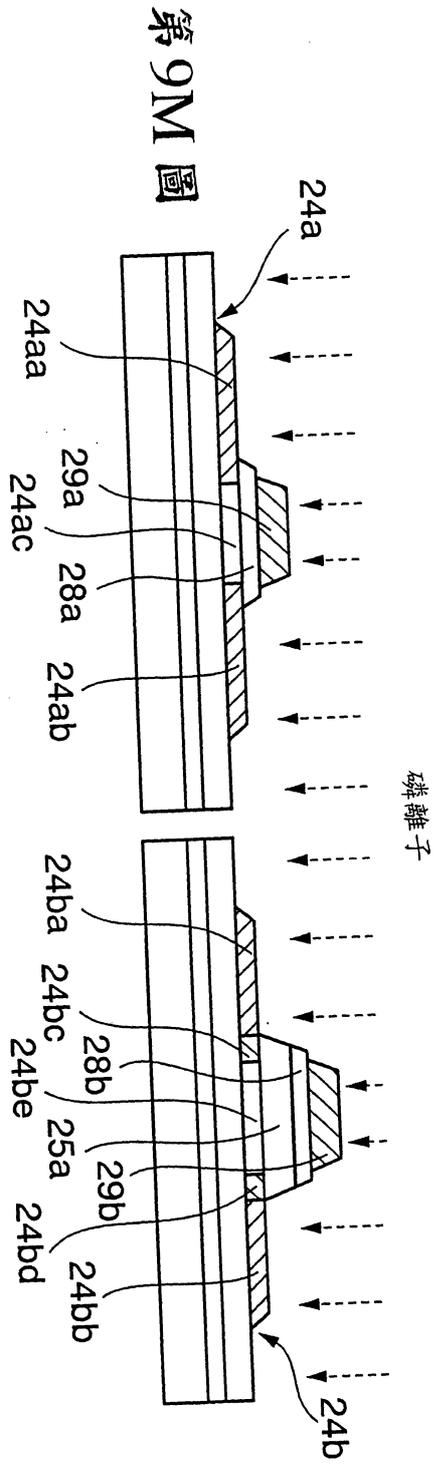


第 9K 圖

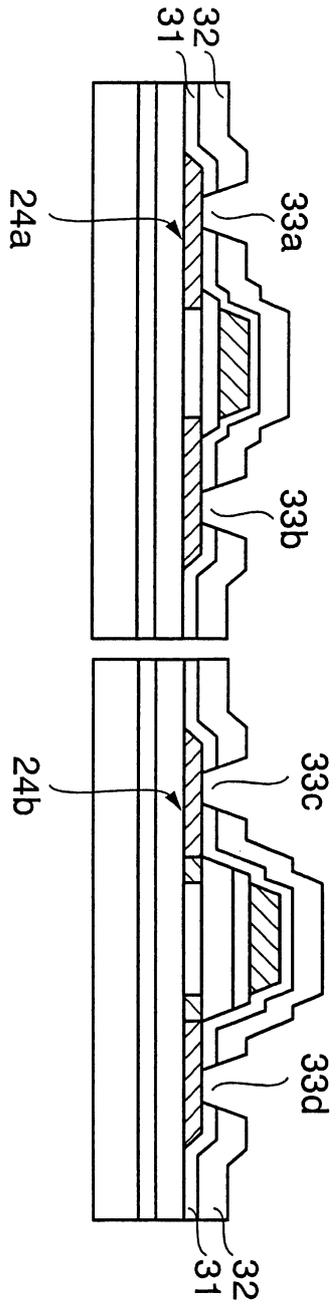


第 9L 圖

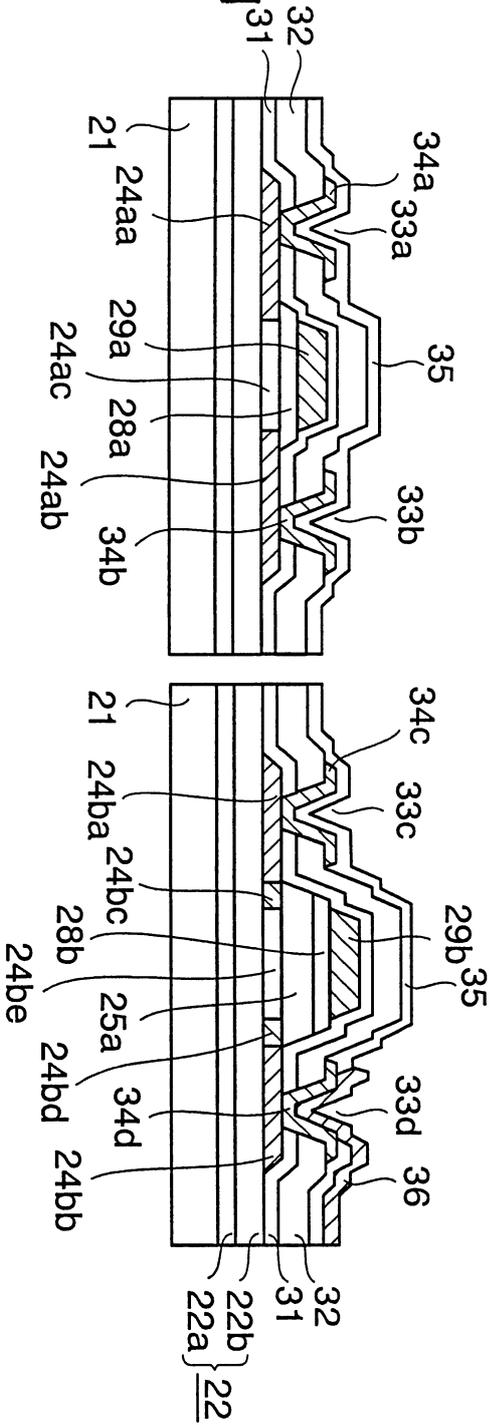




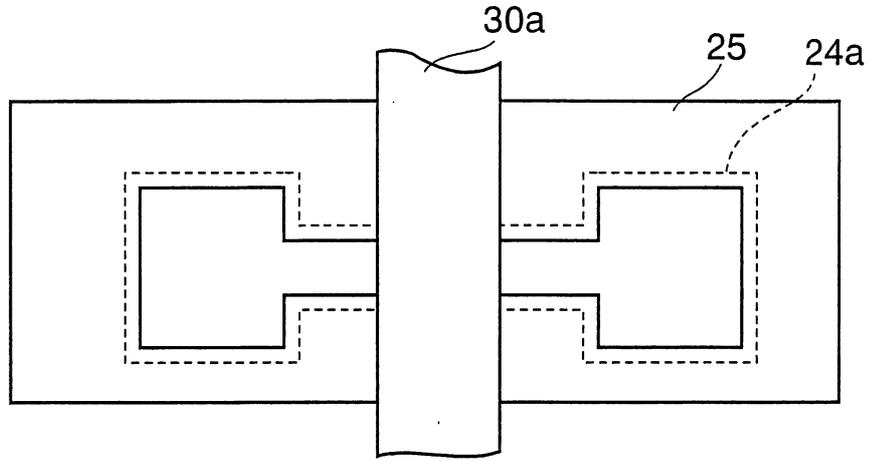
第 90 圖



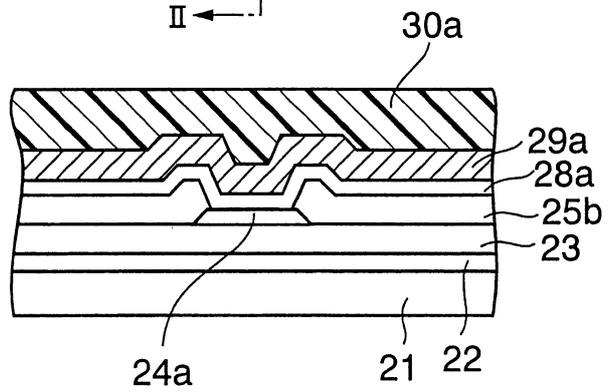
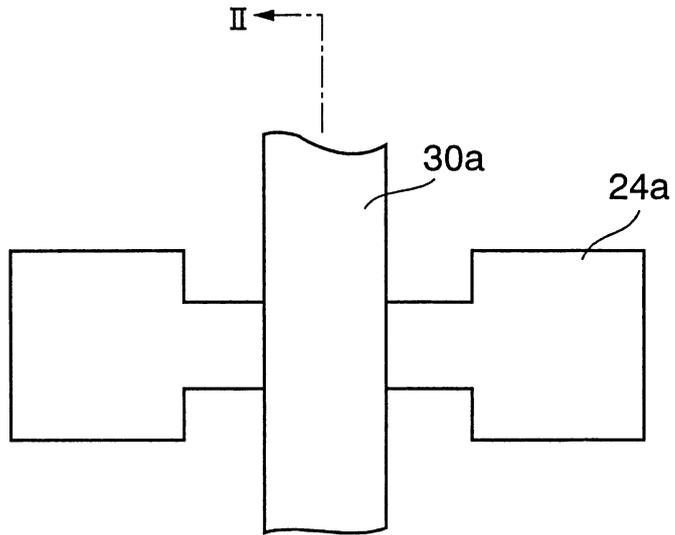
第 9P 圖



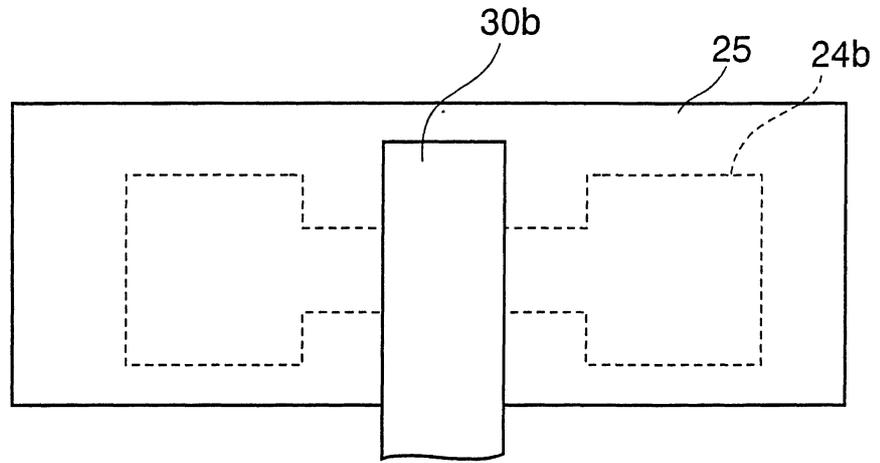
第10A圖



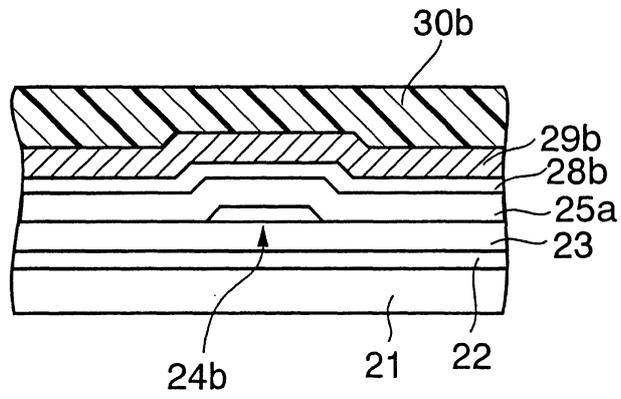
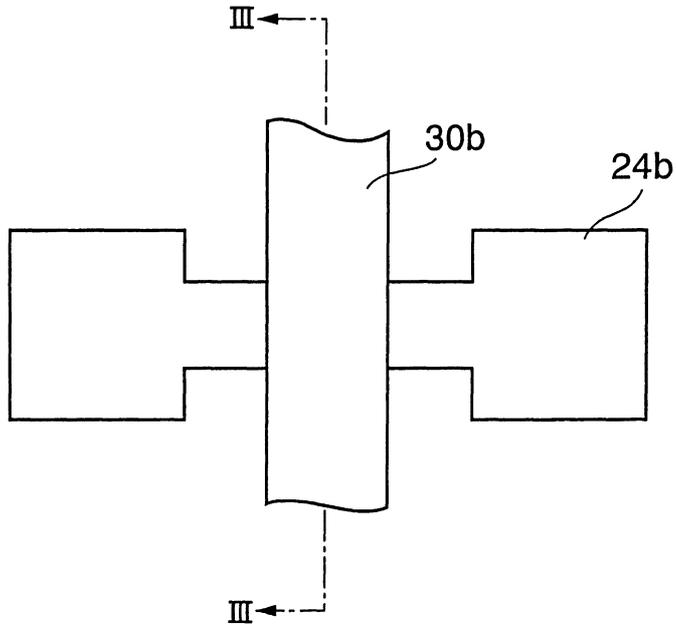
第10B圖



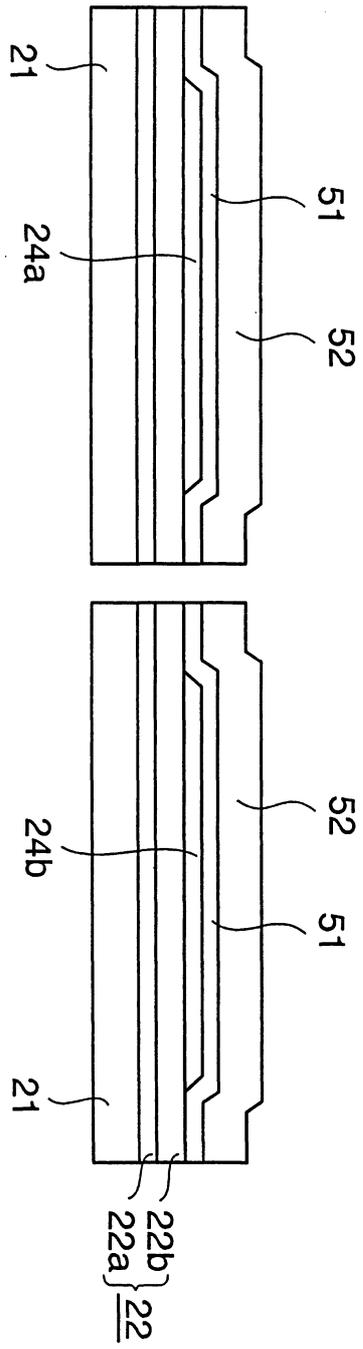
第11A圖



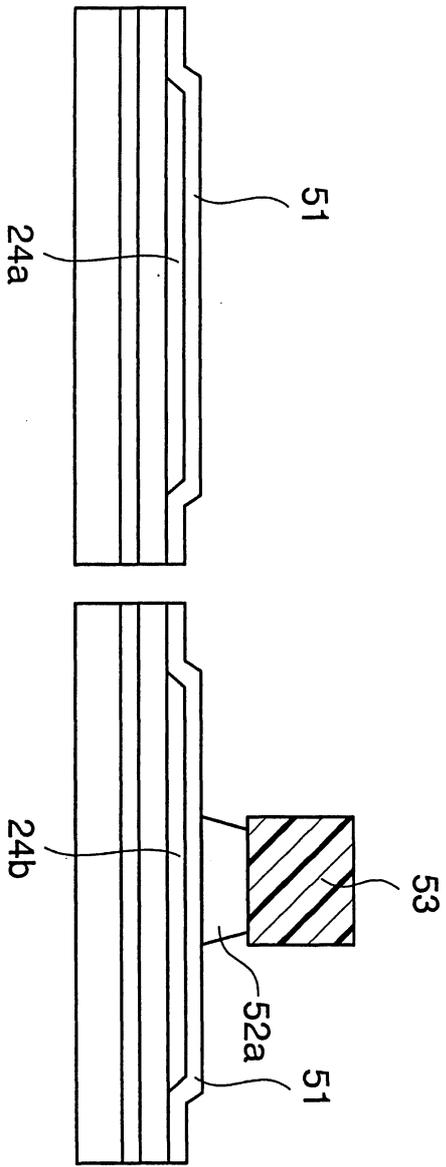
第11B圖



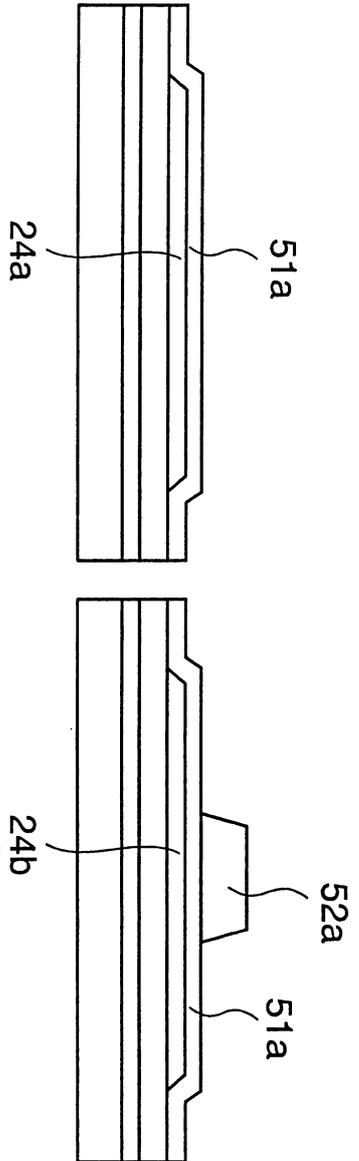
第12A圖



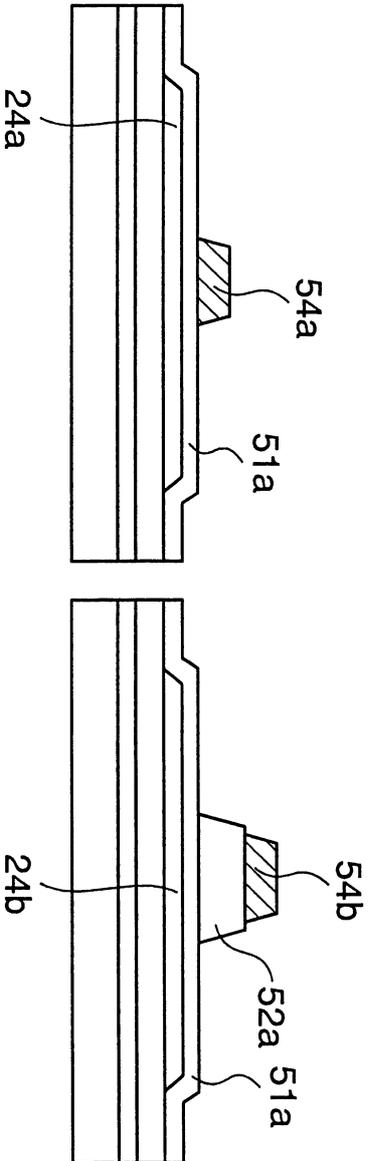
第12B圖



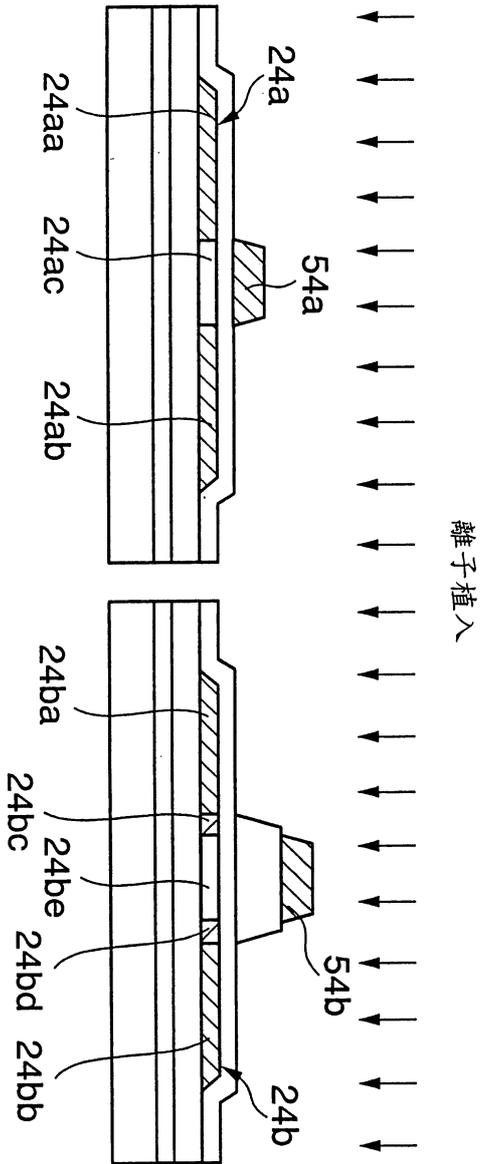
第12C圖



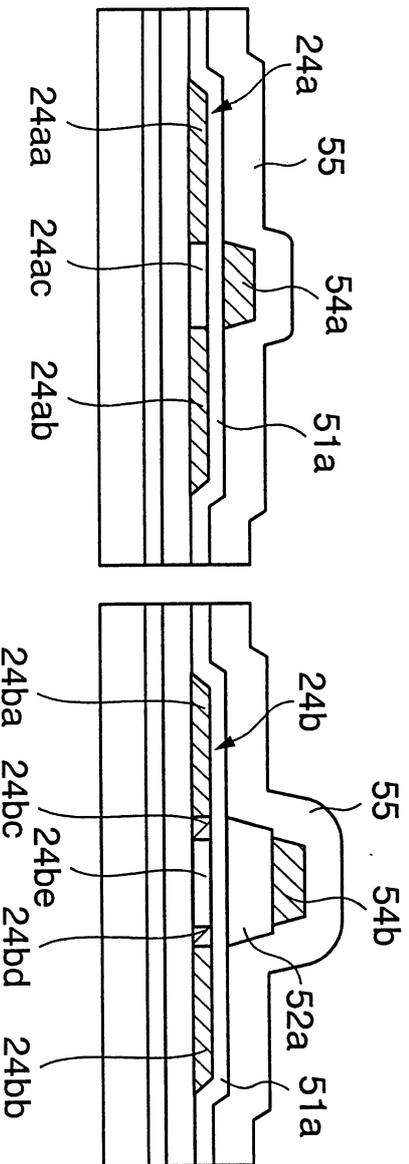
第12D圖



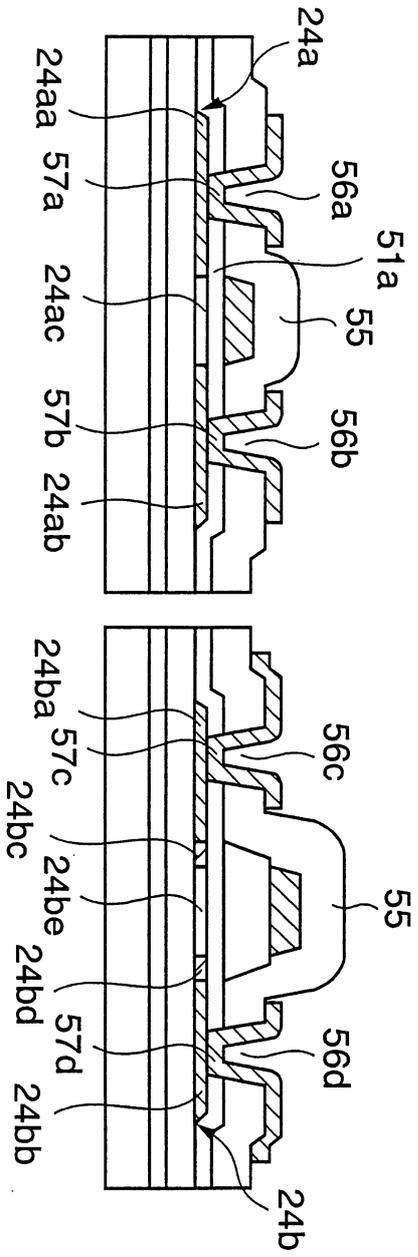
第12E圖



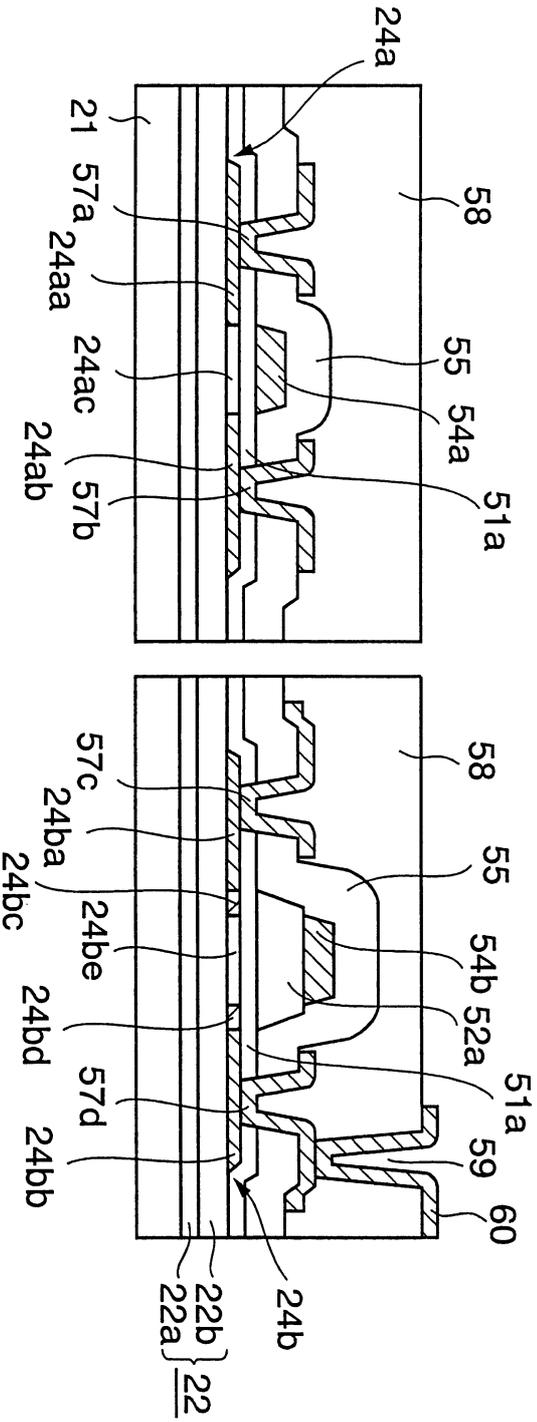
第12F圖



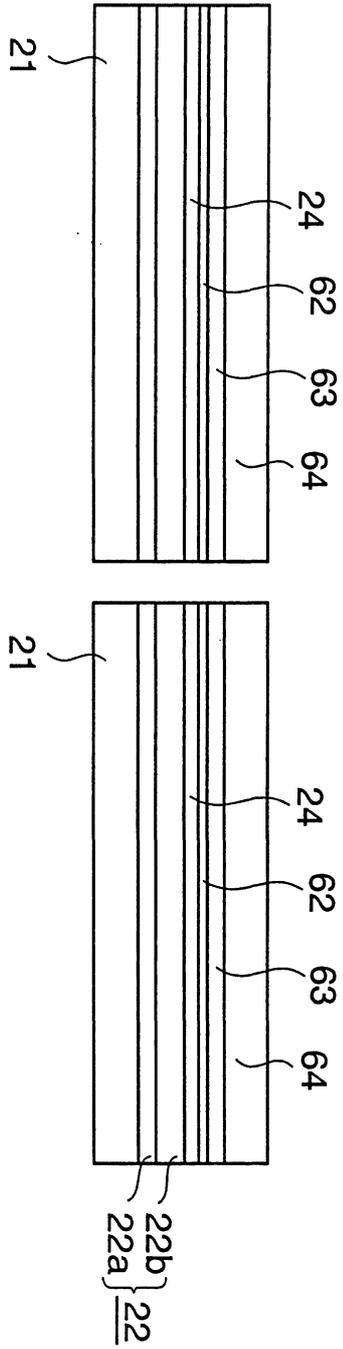
第12G圖



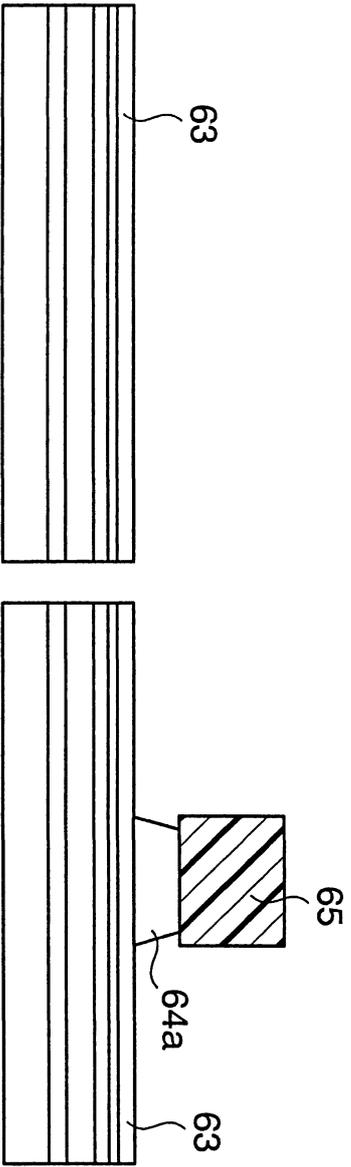
第12H圖



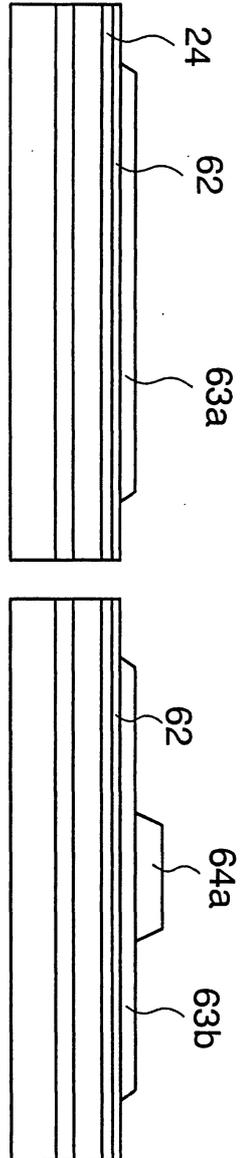
第13A圖



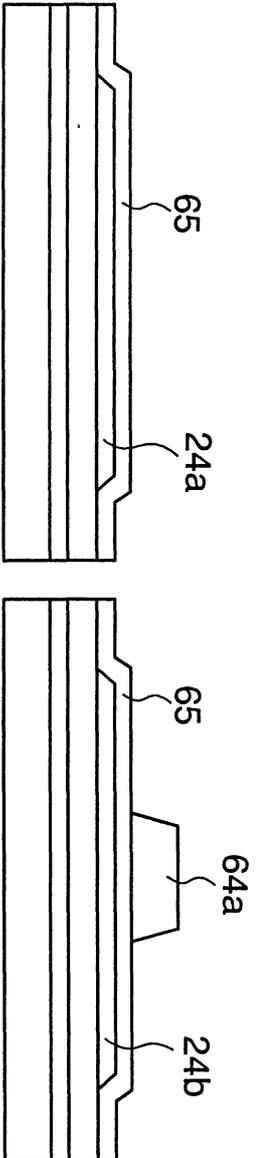
第13B圖



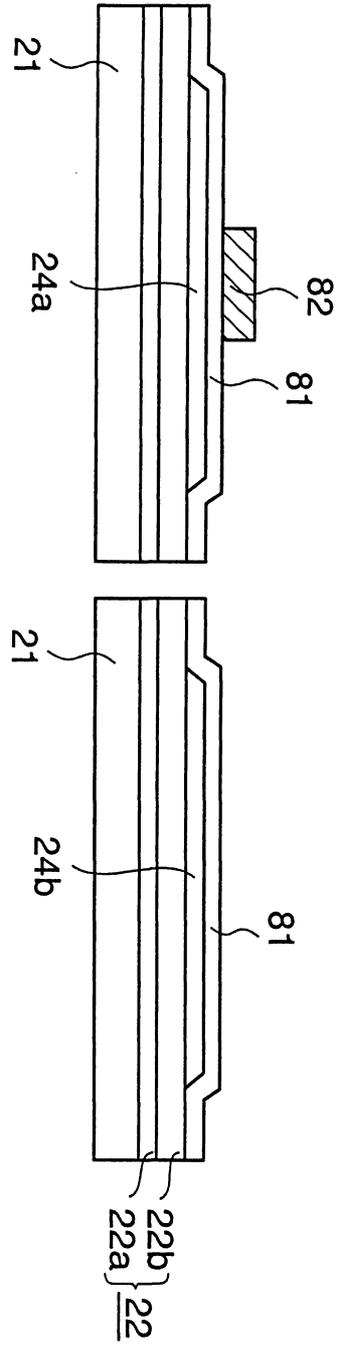
第13C圖



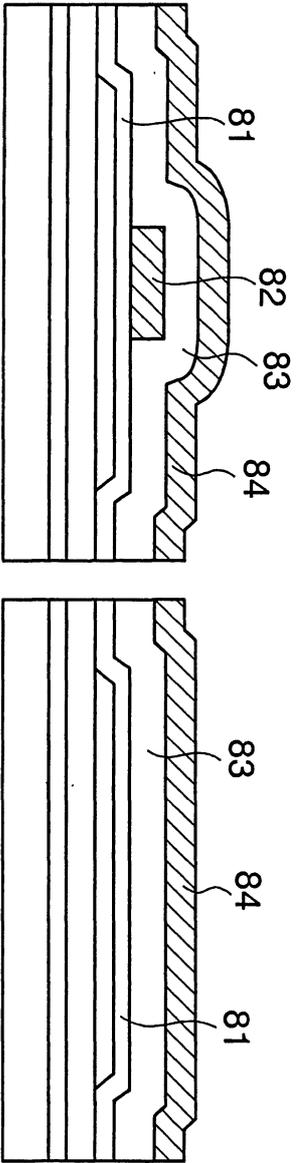
第13D圖



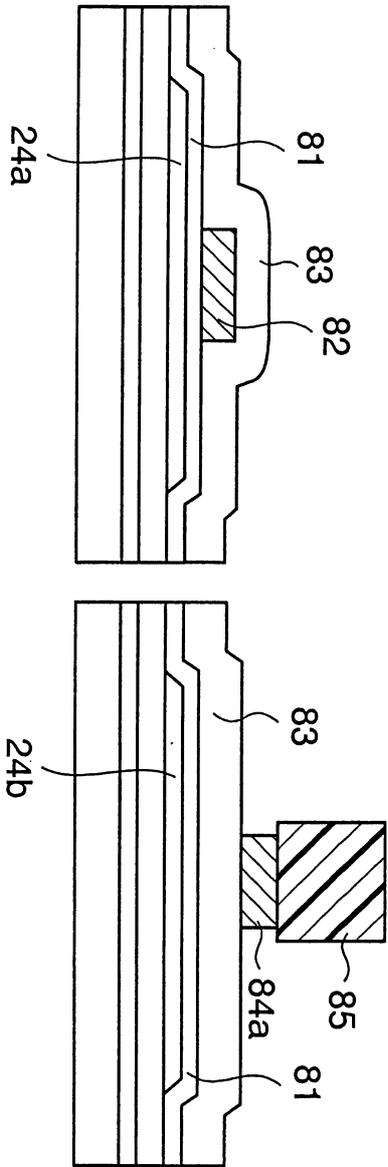
第14A圖



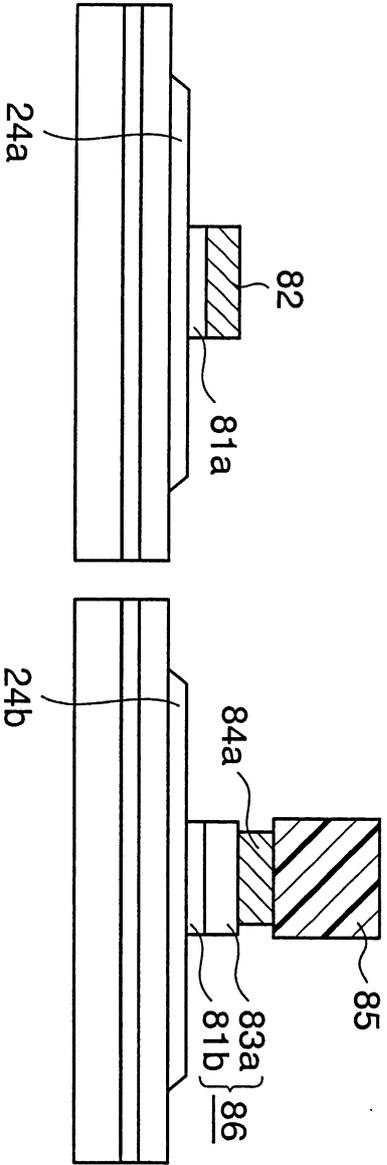
第14B圖

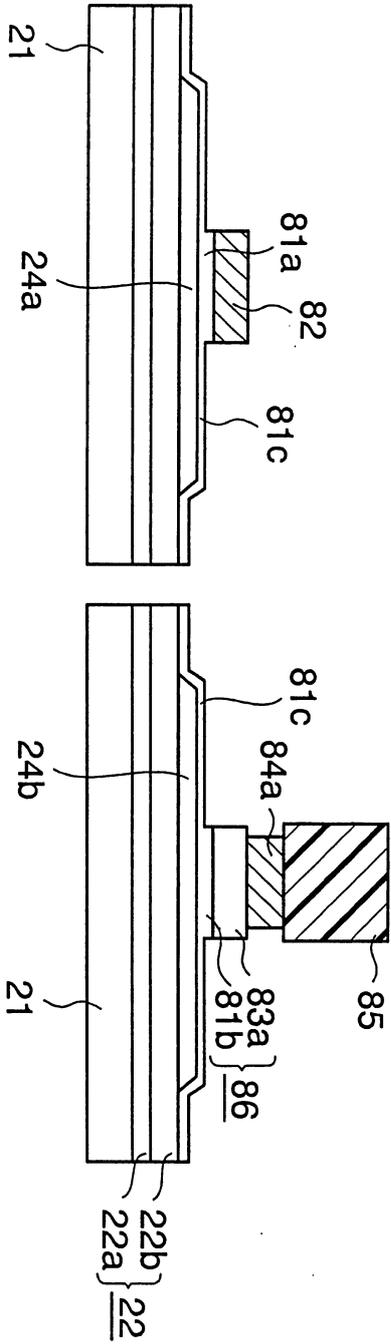


第14C圖

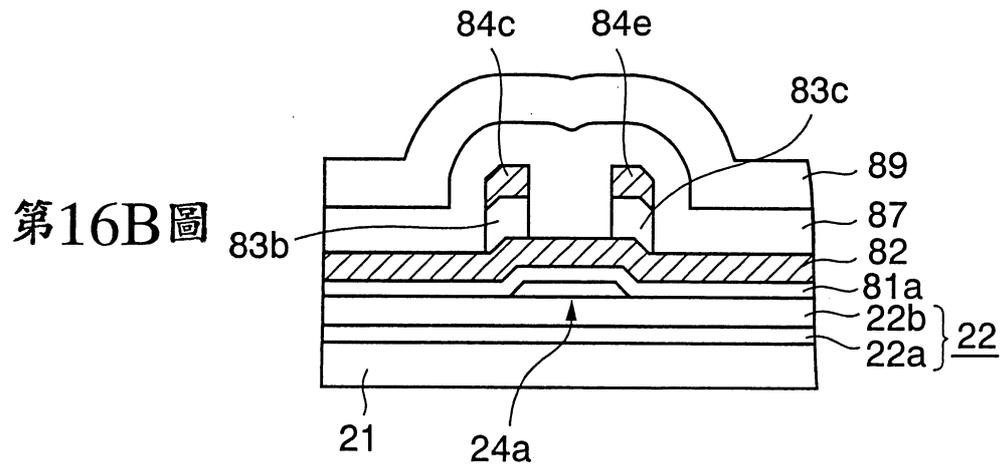
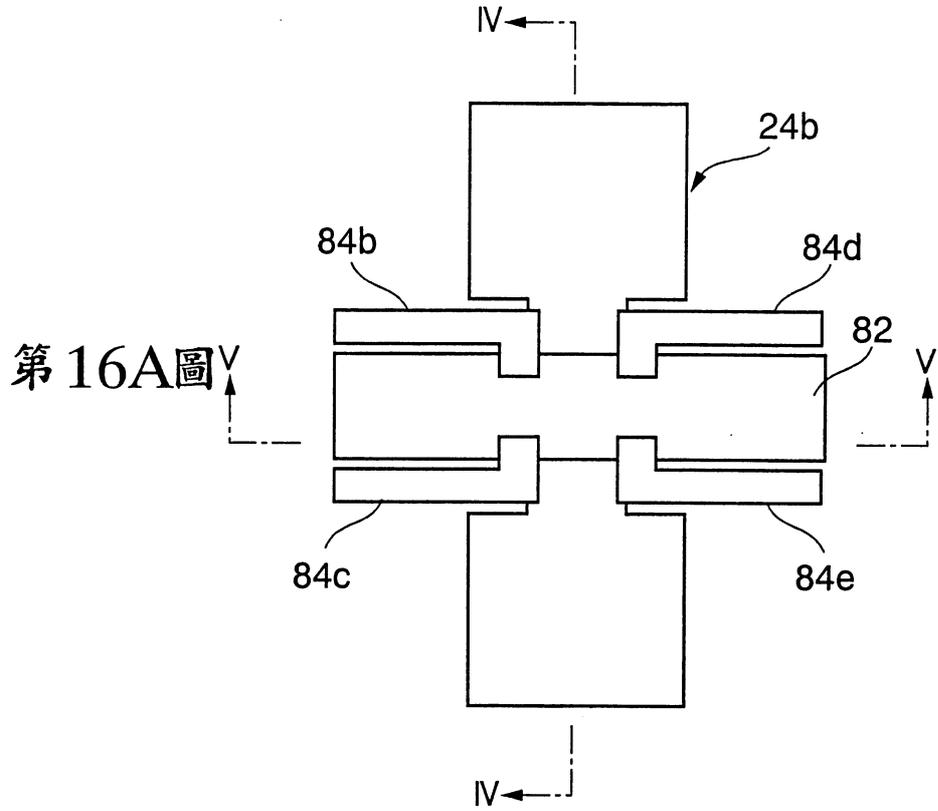


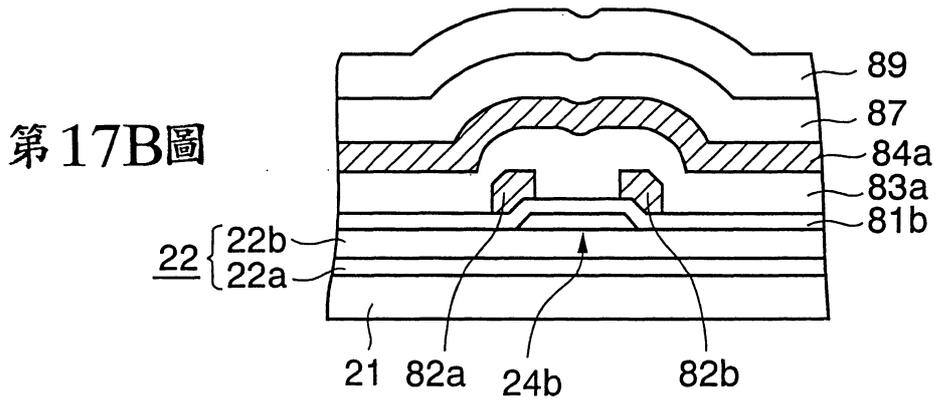
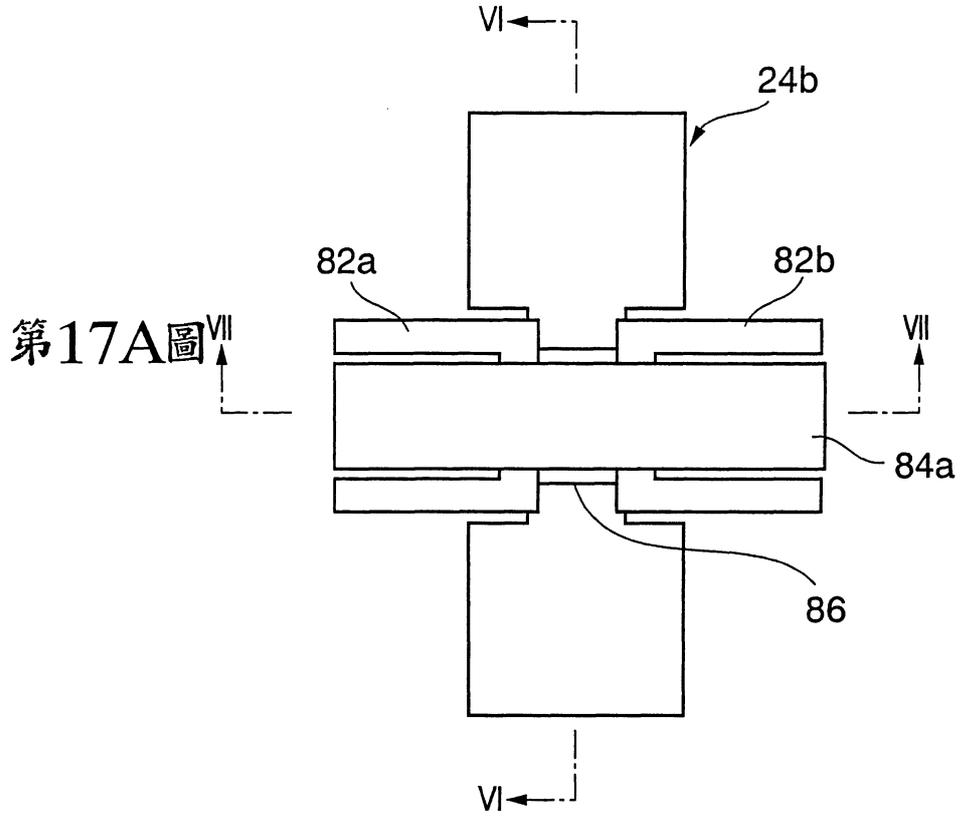
第14D圖



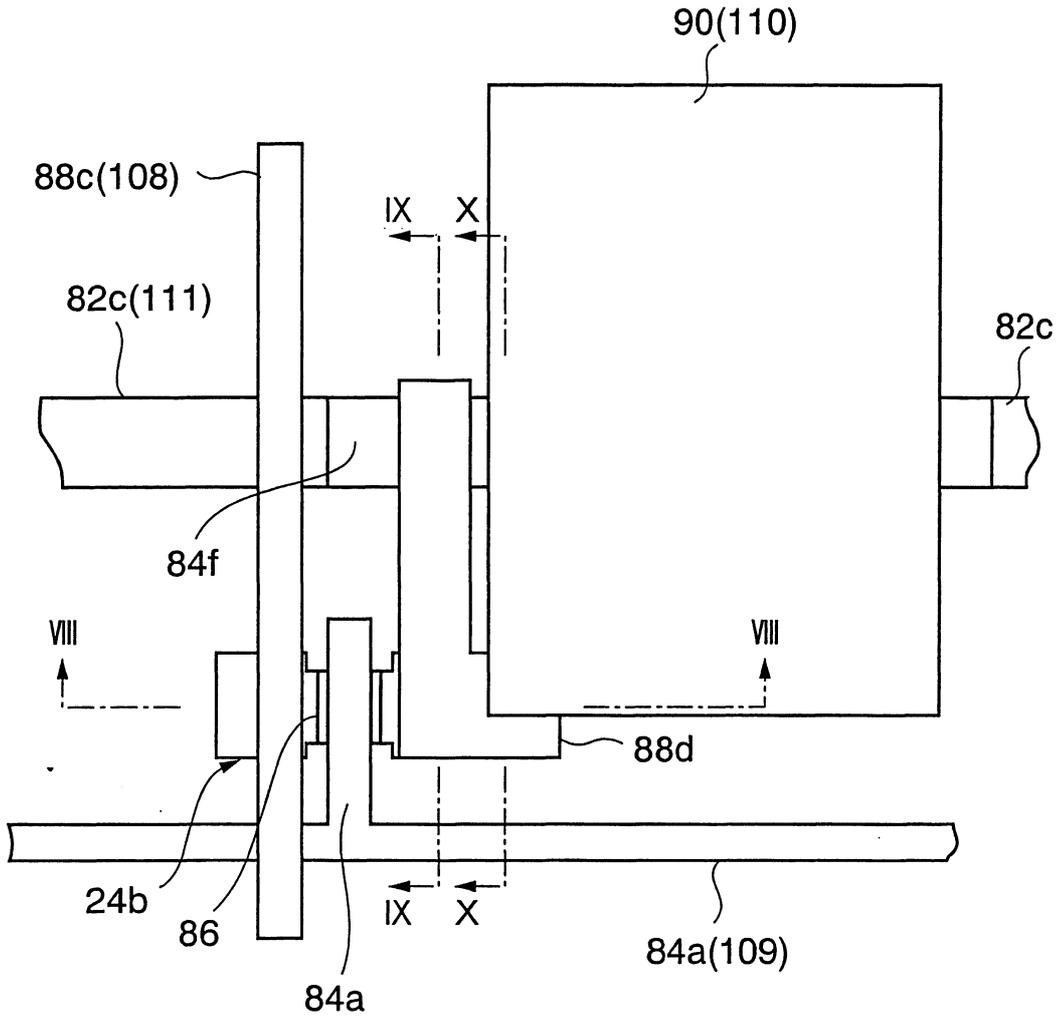


第 15 圖

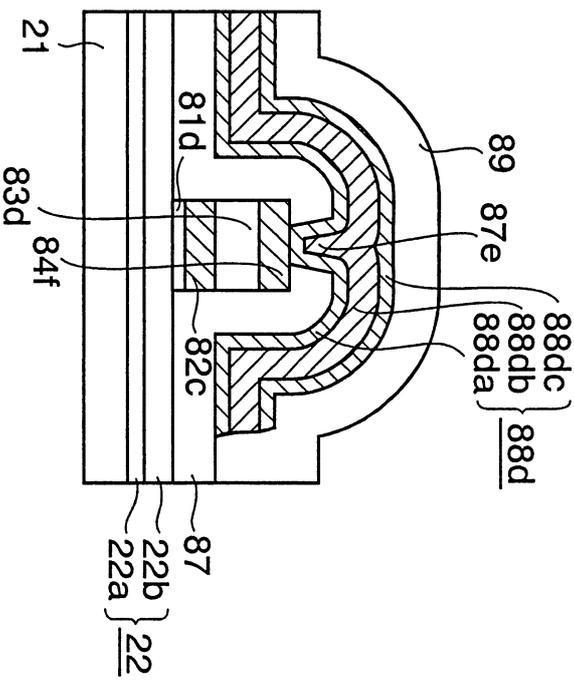
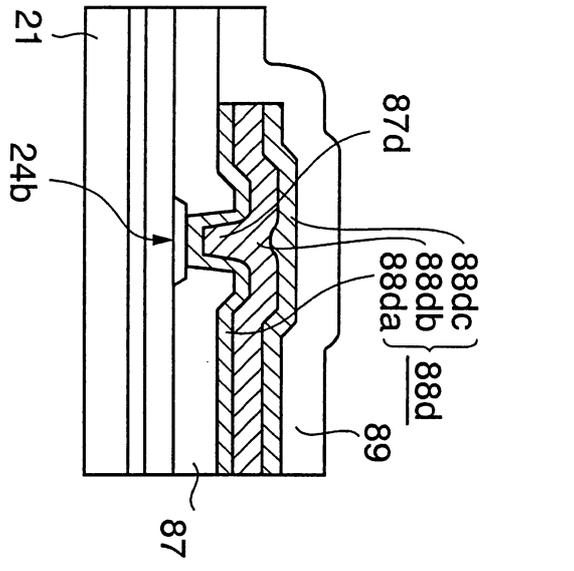




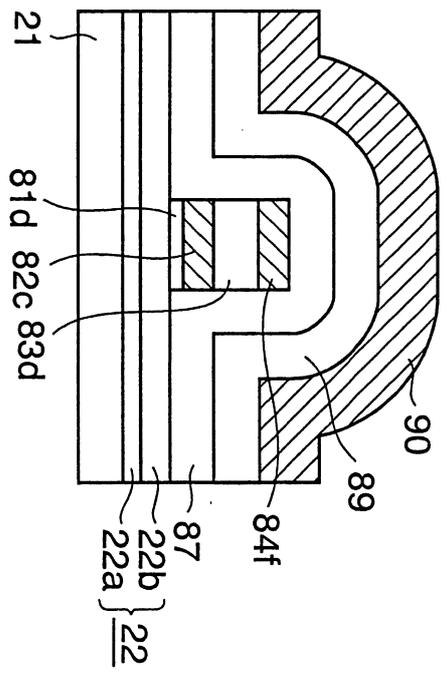
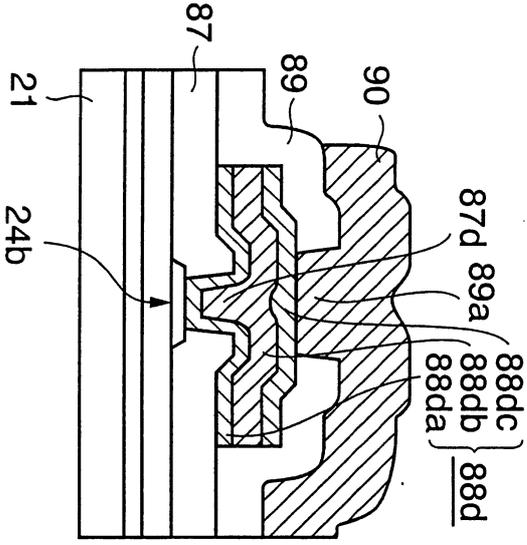
第 18 圖



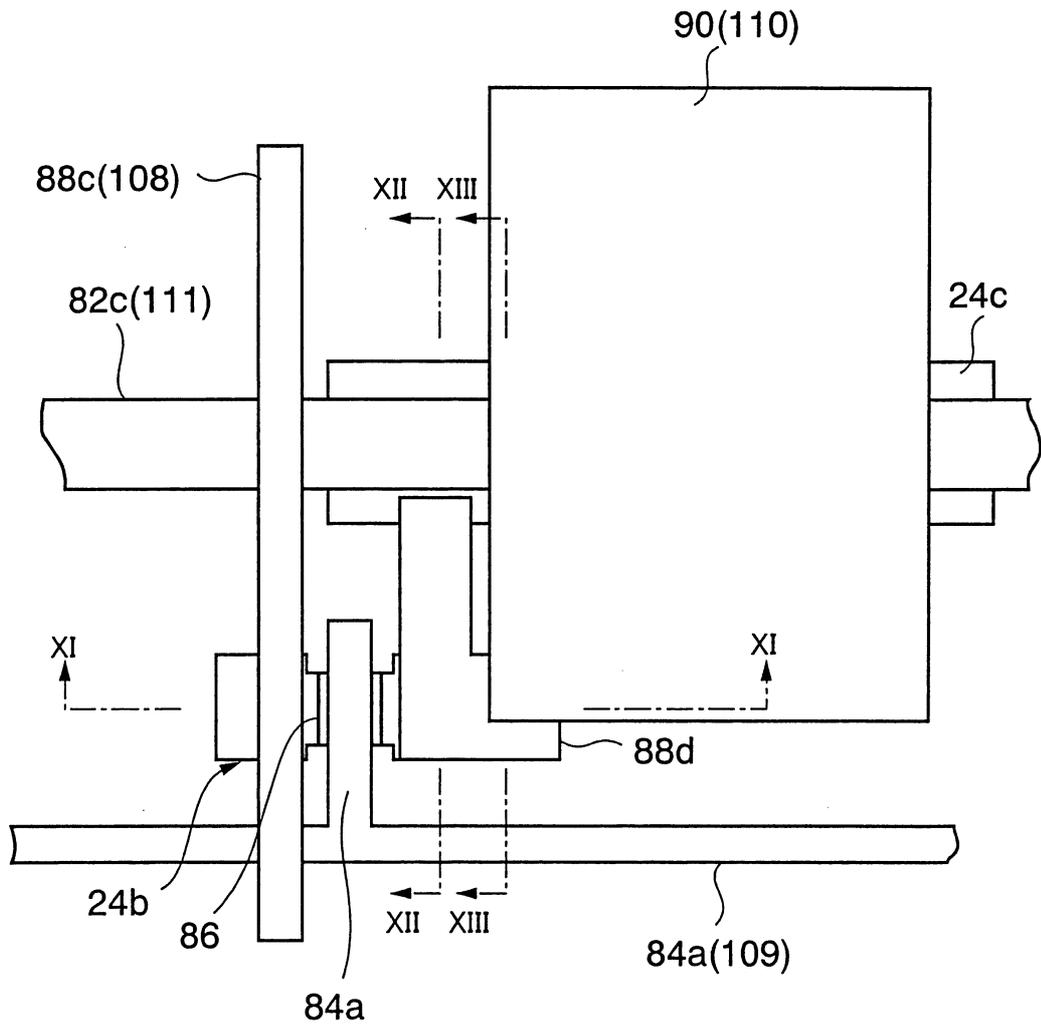
第19A圖



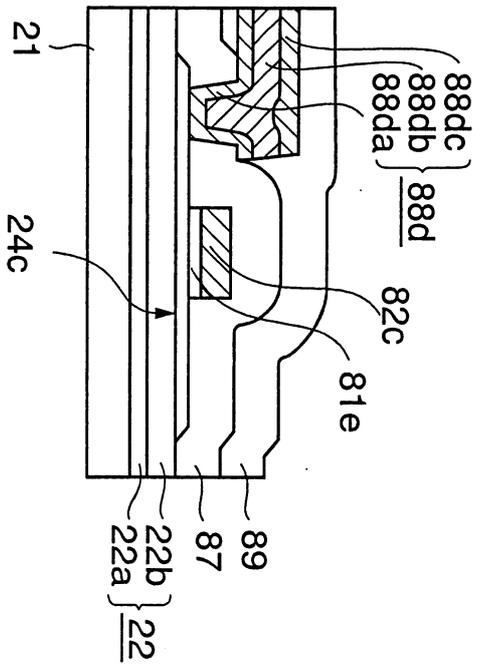
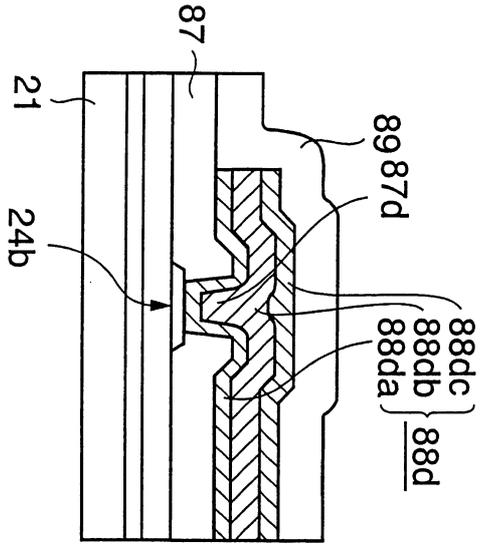
第19B圖



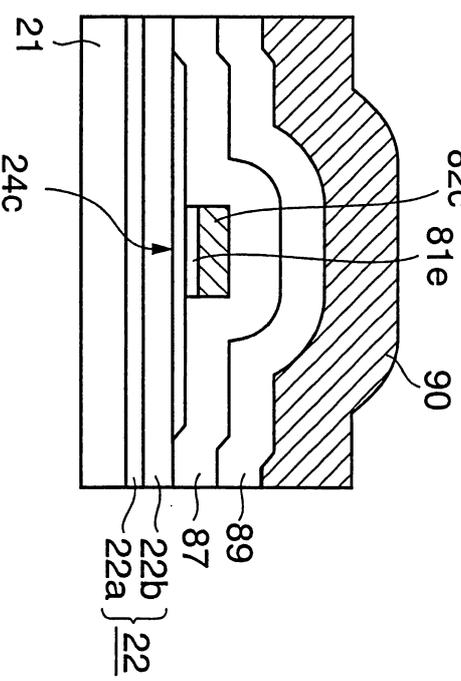
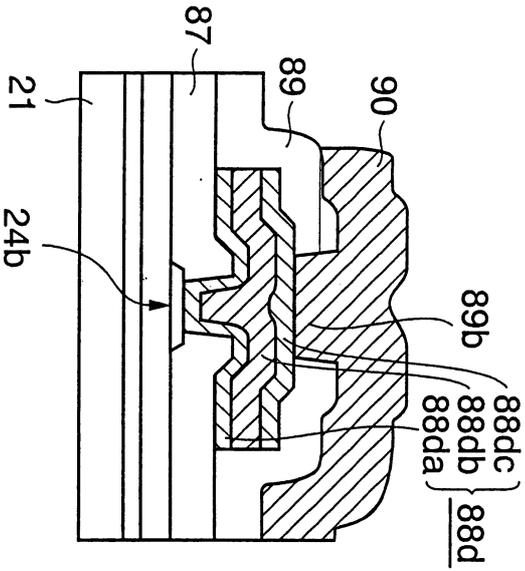
第 20 圖



第21A圖



第21B圖



陸、(一)、本案指定代表圖為：第 7 圖

(二)、本代表圖之元件代表符號簡單說明：

101...控制電路	104...顯示器部分
102...垂直驅動器	105...TFT
102a、103a...移位暫存器	106...顯示單元(液晶單元)
102b、103b...水平移位器	107...儲存電容
102c...類比開關	108、111...儲存電容匯流排線
103...閘極驅動器	109...閘極匯流排線
103c...輸出緩衝器	110...像素電極

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：