



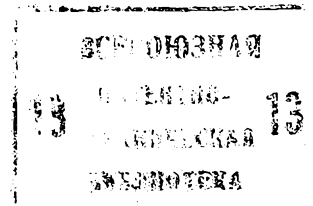
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1109684** **A**

3 (51) G 01 R 31/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3588010/18-21

(22) 29.04.83

(46) 23.08.84. Бюл. № 31

(72) С.А.Липатов, В.В. Пикуш,
В.А.Резвицкий, В.А.Хижняк и В.Д.Шальнин

(53) 621.317.79(088.8)

(56) Авторское свидетельство СССР
№ 486276, кл. G 01 R 17/10, 1975.

2. Авторское свидетельство СССР
№ 995832, кл. G 01 R 31/02, 1982
(прототип).

(54) (57) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ СОПРОТИВЛЕНИЯ ИЗОЛЯЦИИ, содержащее источник испытательного напряжения, соединенный первым выводом с общей шиной устройства, вторым выводом с первой клеммой для подключения объекта контроля, с первым выводом первого конденсатора, первым выводом первого резистора, соединенного вторым выводом через второй резистор с общей шиной устройства, непосредственно с первым входом нуля-органа, второй вход которого соединен через третий резистор с общей шиной устройства, через первый диод с выходом усилителя, первый вход которого соединен через четвертый резистор с второй клеммой для подключения объекта контроля, а непосредственно с вторым выводом первого конденсатора и через последовательно соединенные второй диод и пятый резистор - с первым выводом третьего диода, соединенного выводом через источник опорного напряжения с общей шиной устройства, первая выходная клемма которого соединена с прямым выходом первого D-триггера, R-вход которого соединен с входной клеммой устройства, выход

задатчика времени запуска соединен с первым входом первого элемента И, соединенного вторым входом с выходом первого формирователя импульсов, выходом - с С-входом второго D-триггера, третий D-триггер, генератор импульсов, отличающееся тем, что с целью повышения точности контроля, в устройство введены второй конденсатор, ключ, второй, третий, четвертый, пятый и шестой элементы И, задатчик начального кода, реверсивный счетчик, дешифратор, первый, второй, третий и четвертый элементы ИЛИ, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, второй формирователь импульсов, четвертый D-триггер, причем выход второго формирователя импульсов соединен с первым входом второго элемента И, первый выход генератора импульсов соединен с анодом третьего диода, с входом первого формирователя импульсов, с первым входом третьего элемента И, с первым входом четвертого элемента И, второй вход которого соединен с выходом нуля-органа, с вторым входом третьего элемента И и D-входом четвертого D-триггера, R-вход которого соединен с R-входом третьего D-триггера, старт-стоповым входом генератора импульсов, прямым выходом второго D-триггера, V-входом реверсивного счетчика, С-вход четвертого D-триггера соединен с вычитающим входом счетчика и выходом четвертого элемента И, третий вход которого соединен с вторым выходом генератора импульсов и с третьим входом третьего элемента И, четвертый вход которого соединен с прямым выходом третьего D-триггера, выход - с суммирующим входом ревер-

(19) **SU** (11) **1109684** **A**

сивного счетчика, информационные входы которого соединены с соответствующими выходами задатчика начального кода, R-вход соединен с общей шиной устройства, прямые выходы соединены с соответствующими входами дешифратора, выход младшего разряда дешифратора соединен с первым входом пятого элемента И, группа старших выходов — с соответствующими входами первого элемента ИЛИ, выход которого соединен с первым входом второго элемента ИЛИ и с вторым входом пятого элемента И, соединенного выходом с вторым входом второго элемента ИЛИ, выход которого соединен с первым входом шестого элемента И, соединенного вторым входом с прямым выходом четвертого D-триггера и с первым входом третьего элемента ИЛИ, выходом — с D-входом первого D-триггера, C-вход которого соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и с входом второго формирователя импульсов, выход которого соединен с второй выходной клеммой устройства и с первым входом,

выход второго элемента И соединен с R-входом второго D-триггера, второй вход — с D-входом второго D-триггера и с первым входом первого элемента И, второй вход которого соединен с C-входом третьего D-триггера, с первым входом четвертого элемента ИЛИ и с вторым входом третьего элемента ИЛИ, выход четвертого элемента ИЛИ соединен с первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого соединен с выходом третьего элемента ИЛИ, второй вход четвертого элемента ИЛИ соединен с D-входом третьего D-триггера, прямой выход которого соединен с четвертым входом третьего элемента И, а инверсный выход соединен с D-входом третьего D-триггера, с четвертым входом четвертого элемента И и с управляющим входом ключа, первый вывод которого соединен через второй конденсатор с первой выходной клеммой устройства, второй вывод — с вторым выводом первого конденсатора и входом усилителя.

1

2

Изобретение относится к контрольно-измерительной технике и может быть использовано для контроля снижения сопротивления изоляции относительно допустимой нормы.

Известно устройство для контроля сопротивления изоляции, содержащее усилитель, нуль-орган и источник испытательного напряжения [1].

Недостатком известного устройства является низкая достоверность контроля, обусловленная недостаточной помехозащищенностью.

Наиболее близким техническим решением к предлагаемому является устройство для контроля сопротивления изоляции, содержащее источник испытательного напряжения, соединенный первым выводом с общей шиной устройства, вторым выводом с первой клеммой для подключения объекта контроля, с первым выводом первого конденсатора, первым выводом первого резистора, соединенного вторым выводом через второй резистор с общей шиной устройства, непосредственно с первым входом

нуль-органа, второй вход которого соединен через третий резистор с общей шиной устройства, через первый диод с выходом усилителя, первый вход которого соединен через четвертый резистор с второй клеммой для подключения объекта контроля, а непосредственно с вторым выводом первого конденсатора и через последовательно соединенные второй диод и пятый резистор с первым выводом третьего диода, соединенного вторым выводом через источник опорного напряжения с общей шиной устройства, первая выходная клемма которого соединена с прямым выходом первого D-триггера, R-вход которого соединен с входной клеммой устройства, выход задатчика времени запуска соединен с первым входом первого элемента И, соединенного вторым входом с выходом первого формирователя импульсов, выходом — с C-входом второго D-триггера, третий D-триггер, генератор импульсов [2].

Недостатком известного устройства является низкая точность контроля,

обусловленная тем, что на результат контроля влияет разброс величины суммарной паразитной емкости контролируемых цепей, линий связи и коммутатора.

Указанный недостаток не позволяет контролировать с заданной погрешностью крупногабаритные изделия с развитой неоднородной кабельной сетью, а также объекты, удаленные на различные расстояния и подключаемые через различные коммутаторы к устройству контроля.

Цель изобретения - повышение точности устройства.

Поставленная цель достигается тем, что в устройство для контроля сопротивления изоляции, содержащее источник испытательного напряжения, соединенный первым выводом с общей шиной устройства, вторым выводом с первой клеммой для подключения объекта контроля, с первым выводом первого конденсатора, первым выводом первого резистора, соединенного вторым выводом через второй резистор с общей шиной устройства, непосредственно с первым входом нуля-органа, второй вход которого соединен через третий резистор с общей шиной устройства, через первый диод с выходом усилителя, первый вход которого соединен через четвертый резистор с второй клеммой для подключения объекта контроля, а непосредственно с вторым выводом первого конденсатора и через последовательно соединенные второй диод и пятый резистор - с первым выводом третьего диода, соединенного вторым выводом через источник опорного напряжения с общей шиной устройства, первая выходная клемма которого соединена с прямым выходом первого D-триггера, R-вход которого соединен с входной клеммой устройства, выход задатчика времени запуска соединен с первым входом первого элемента И, соединенного вторым входом с выходом первого формирователя импульсов, выходом с С-входом второго D-триггера, третий D-триггер, генератор импульсов, введенный второй конденсатор, ключ, второй, третий, четвертый, пятый и шестой элементы И, задатчик начального кода, реверсивный счетчик, дешифратор, первый, второй, третий и четвертый элементы ИЛИ, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, второй формирователь импульсов, четвертый

D-триггер, причем выход второго формирователя импульсов соединен с первым входом второго элемента И, первый выход генератора импульсов соединен с анодом третьего диода, с входом первого формирователя импульсов, с первым входом третьего элемента И, с первым входом четвертого элемента И, второй вход которого соединен с выходом нуля-органа, с вторым входом третьего элемента И и D-входом четвертого D-триггера, R-вход которого соединен с R-входом третьего D-триггера, старт-стоповым входом генератора импульсов, прямым выходом второго D-триггера, Y-входом реверсивного счетчика, С-входом четвертого D-триггера соединен с вычитающим входом реверсивного счетчика и выходом четвертого элемента И, третий вход которого соединен с вторым выходом генератора импульсов и с третьим входом третьего элемента И, четвертый вход которого соединен с прямым выходом третьего D-триггера, выход - с суммирующим входом реверсивного счетчика, информационные входы которого соединены с соответствующими выходами задатчика начального кода, R-вход соединен с общей шиной устройства, прямые выходы соединены с соответствующими входами дешифратора, выход младшего разряда дешифратора соединен с первым входом пятого элемента И, группа старших выходов - с соответствующими входами первого элемента ИЛИ, выход которого соединен с первым входом второго элемента ИЛИ и с вторым входом пятого элемента И, соединенного выходом с вторым входом второго элемента ИЛИ, выход которого соединен с первым входом шестого элемента И, соединенного вторым входом с прямым выходом четвертого D-триггера и с первым входом третьего элемента ИЛИ, выходом - с D-входом первого D-триггера, С-вход которого соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и с входом второго формирователя импульсов, выход которого соединен с второй выходной клеммой устройства и с первым входом, выход второго элемента И соединен с R-входом второго D-триггера, второй вход - с D-входом второго D-триггера и с первым входом первого элемента И, второй вход которого соединен с С-входом третьего D-триггера, с первым входом четвертого элемента ИЛИ и с вторым

входом третьего элемента ИЛИ, выход четвертого элемента ИЛИ соединен с первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого соединен с выходом третьего элемента ИЛИ, второй вход четвертого элемента ИЛИ соединен с D-входом третьего D-триггера, прямой выход которого соединен с четвертым входом третьего элемента И, а инверсный выход соединен с D-входом третьего D-триггера, с четвертым входом четвертого элемента И и с управляющим входом ключа, первый вывод которого соединен через второй конденсатор с первой выходной клеммой устройства, второй вывод - со вторым выводом первого конденсатора и входом усилителя.

На чертеже приведена принципиальная схема устройства.

Устройство для контроля сопротивления изоляции объекта 1 контроля содержит задатчик 2 времени запуска, четвертый резистор 3, первый элемент И 4, второй элемент И 5, первый конденсатор 6, второй конденсатор 7, ключ 8, первый резистор 9, второй диод 10, генератор 11 импульсов, второй D-триггер 12, источник 13 испытательного напряжения, второй резистор 14, пятый резистор 15, источник 16 опорного напряжения, третий диод 17, первый формирователь 18 импульсов, усилитель 19, первый диод 20, третий резистор 21, нуль-орган 22, третий D-триггер 23, четвертый элемент ИЛИ 24, третий элемент ИЛИ 25, третий элемент И 26, четвертый элемент И 27, четвертый D-триггер 28, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 29, задатчик 30 начального кода, реверсивный счетчик 31, дешифратор 32, шестой элемент И 33, первый D-триггер 34, второй формирователь 35 импульсов, пятый элемент И 36, первый элемент ИЛИ 37, второй элемент ИЛИ 38.

Первым выводом источник 13 испытательного напряжения соединен с общей шиной устройства, вторым выводом с первой клеммой для подключения объекта 1 контроля, с первым выводом первого конденсатора 6, первым выводом первого резистора 9, соединенного вторым выводом через второй резистор 14 с общей шиной устройства, непосредственно с первым входом нуль-органа 22, второй вход которого соединен через третий резистор 21 с общей шиной устройства, через первый

диод 20 с выходом усилителя 19, первый вход которого соединен через четвертый резистор 3 с второй клеммой для подключения объекта 1 контроля, а непосредственно с вторым выводом первого конденсатора 6 и через последовательно соединенные второй диод 10 и пятый резистор 15 - с первым выводом третьего диода 17, соединенного вторым выводом через источник опорного напряжения с общей шиной устройства, первая выходная клемма которого соединена с прямым выходом первого D-триггера 34, R-вход которого соединен с входной клеммой устройства, выход задатчика 2 времени запуска соединен с первым входом первого элемента И 4, соединенного вторым входом с выходом первого формирователя 18 импульсов, выходом - с C-входом второго D-триггера 12, первый выход второго формирователя 35 импульсов соединен с первым входом второго элемента И 5, первый выход генератора 11 импульсов соединен с анодом третьего диода 17, с входом первого формирователя 18 импульсов, с первым входом третьего элемента И 26, с первым входом четвертого элемента И 27, второй вход которого соединен с выходом нуль-органа 22, с вторым входом третьего элемента И 26 и D-входом четвертого D-триггера 28, R-вход которого соединен с R-входом третьего D-триггера 23, стартовым входом генератора 11 импульсов, прямым выходом второго D-триггера 12, V-входом реверсивного счетчика, C-вход четвертого D-триггера 28 соединен с вычитающим входом реверсивного счетчика 31 и выходом четвертого элемента И 27, третий вход которого соединен с вторым выходом генератора 11 импульсов и с третьим входом элемента И 26, четвертый вход которого соединен с прямым выходом третьего D-триггера 23, выход - с суммирующим входом реверсивного счетчика 31, информационные входы которого соединены с соответствующими выходами задатчика 30 начального кода, R-вход соединен с общей шиной устройства, прямые выходы соединены с соответствующими входами дешифратора 32, выход младшего разряда дешифратора 32 соединен с первым входом пятого элемента И 36, группа старших выходов - с соответствующими входами первого элемента

ИЛИ 37, выход которого соединен с первым входом второго элемента ИЛИ 38 и с вторым входом пятого элемента И 36, соединенного выходом с вторым входом второго элемента ИЛИ 38, выход которого соединен с первым входом шестого элемента И 33, соединенного вторым входом с прямым выходом четвертого D-триггера и с первым входом третьего элемента ИЛИ 25, выходом — с D-входом первого D-триггера 34, С-вход которого соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 29 и с входом второго формирователя импульсов 35, выход которого соединен с второй выходной клеммой устройства и с первым входом, выход второго элемента И 5 соединен с R-входом второго D-триггера 12, второй вход — с D-входом второго D-триггера 12 и с первым входом первого элемента И 4, второй вход которого соединен с С-входом третьего D-триггера 23, с первым входом четвертого элемента ИЛИ 24 и с вторым входом третьего элемента 25 ИЛИ, выход четвертого элемента ИЛИ 24 соединен с первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 29, второй вход которого соединен с выходом третьего элемента ИЛИ 25, второй вход четвертого элемента ИЛИ 24 соединен с D-входом третьего D-триггера 23, прямой выход которого соединен с четвертым входом третьего элемента И 26, а инверсный выход соединен с D-входом третьего D-триггера 23, с четвертым входом четвертого элемента И 27 и с управляющим входом ключа 8, первый вывод которого соединен через второй конденсатор 7 с первой выходной клеммой устройства, второй вывод — с вторым выводом первого конденсатора 6 и входом усилителя 19.

Устройство работает следующим образом.

Задатчик 2 вырабатывает импульс запуска, длительность которого определяется программой и условиями работы: при низком уровне помех производится цикл однократного контроля и импульс снимается после появления импульса окончания контроля на выходе формирователя 35 и считывания результата контроля с прямого выхода триггера 34. При высоком уровне помех производится многократный контроль для усреднения результата и импульс

запуска снимается после прохождения требуемого количества циклов контроля.

Выход формирователя 18 находится в состоянии логической "1" при отсутствии отрицательного перепада на его входе, что разрешает прохождение импульсов запуска через элемент И 4 на тактовый вход триггера 12. Выход формирователя 35 находится в состоянии логической "1" при отсутствии положительного перепада на его входе, поэтому элемент И 5 разрешает прохождение уровня логической "1" во время действия импульса запуска на R-вход триггера 12, разрешающего его работу.

Работа устройства начинается с появлением на выходе задатчика 2 положительного импульса запуска, который поступает на D-вход триггера 12, на один из входов элемента И 5 и через элемент И 4 на С-вход триггера 12, устанавливая его в состояние логической "1".

Уровень логической "1" на прямом выходе триггера 12 вызывает переход реверсивного счетчика 31 по ходу в режим хранения начального кода от задатчика 30 и режим счета по суммирующему и вычитающему входам, одновременно этот уровень разрешает работу триггеров 23 и 28 и запускает в непрерывный режим работы генератор 11.

Цикл контроля начинается с появлением положительного импульса измерительной последовательности на первом выходе генератора 11, на первом выходе которого синхронно появляется последовательность высокочастотных импульсов.

Импульс измерительной последовательности от генератора 11 запирает диод 10 и предварительно заряженные от источника 13 конденсаторы 6 и 7 начинают разряжаться на контролируемое сопротивление изоляции ($R_{из}$) объекта 1 контроля. Ключ 8 в первом такте (первом периоде T частоты последовательности измерительных импульсов) замкнут за счет наличия на его управляющем входе логической "1" с инверсного выхода триггера 23. При этом потенциал входа усилителя 19 по абсолютной величине растет относительно общей точки, напряжение с выхода усилителя 19 подается на сигнальный вход нуля-органа 22. Напряжение на сигнальном входе нуля-органа 22 сравнивается с опорным, которое снимается с резистивного делителя на

резисторах 9 и 14 и подключено к опорному входу нуля-органа. Элементы И 26 и 27 образуют клапаны, которые пропускают высокочастотные импульсы от генератора 11 на счетные входы счетчика 31 при наличии на их входах логической "1" с триггера 23 такта, собственно высокочастотных импульсов от генератора 11, логической "1" с выхода нуля-органа 22 и наличия логической "1", соответствующей положительному импульсу измерительной последовательности. Таким образом, в первом такте при сопротивлении изоляции ниже нормы срабатывает нуль-орган 22 и на счетный вычитающий вход поступают импульсы высокочастотной последовательности, количество которых пропорционально времени

$$t_1 = t_{и} - \left[-R_{из} (C_1 + C_2 + C_n) \ln \frac{R_3}{R_3 + R_4} \right], \quad (1)$$

где $t_{и}$ — длительность положительного измерительного импульса, кратная периоду частоты промышленной сети для обеспечения помехоустойчивости;

$R_{из}$ — сопротивление объекта 1 контроля;

C_1, C_2 — емкость конденсаторов 6 и 7 соответственно;

R_3, R_4 — сопротивление резисторов 9 и 14, соответственно;

C_n — суммарный разброс емкостей контролируемых цепей, линий связи и коммутатора.

После окончания первого измерительного импульса его задним фронтом запускается формирователь 18 окончания первого такта контроля, вырабатывающий отрицательный импульс, по заднему фронту которого триггер 23 (включенный в режим счетного триггера) переходит в состояние логической "1".

Отрицательный импульс с выхода формирователя 18 не поступает на вход формирователя 35 через элементы ИЛИ 24 и 25 и ИСКЛЮЧАЮЩЕЕ ИЛИ 29, так как в первом такте элемент ИЛИ 24 запрещает его прохождение за счет наличия логической "1" на одном из входов элемента ИЛИ 24, поступающего с инверсного выхода триггера 23, а элемент ИЛИ 25 запрещает прохождение за счет наличия логической "1" на одном из его входов, поступающей с прямого выхода триггера 28. Уровень логической "1" на выходе триггера 28 образуется за счет появ-

ления уровня логической "1" на его D-входе при срабатывании нуля-органа 22 и записи этого уровня в триггер 28 первым положительным перепадом импульса высокочастотной последовательности на выходе элемента И 27.

Длительность импульса ($t_{\phi 1}$) на выходе формирователя 18 мала по сравнению с паузой между положительными импульсами измерительной последовательности. Пауза может быть выбрана равной $0,5T$. (T — период импульсов измерительной последовательности генератора 11). В течение времени $0,5T - t_{\phi}$ происходит размыкание ключа 8 и восстановление заряда на конденсаторе 6. Первое обусловлено появлением уровня логического "0" на инверсном выходе триггера 23 при его срабатывании по заднему фронту импульса на выходе формирователя 18, второе обусловлено наличием уровня логического "0" в паузе между измерительными импульсами на выходе последовательности измерительных импульсов генератора 11.

Второй такт контроля начинается, при появлении второго измерительного импульса на выходе генератора 11. Происходит процесс, аналогичный первому такту, кроме того, что на объект 1 контроля разряжается только конденсатор 6 и импульсы высокочастотной последовательности в этом случае поступают через элемент И 26 на счетный суммирующий вход счетчика 31. Количество этих импульсов пропорционально времени.

$$t_2 = t_{и} - \left[-R_{из} (C_1 + C_n) \ln \frac{R_3}{R_3 + R_4} \right]. \quad (2)$$

Во втором такте отрицательный импульс с выхода формирователя 18 проходит на вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 29 через элемент ИЛИ 24, так как на другом входе элемента ИЛИ 24 установлен уровень логического "0", поступающего с инверсного выхода триггера 23.

Триггер 28 также устанавливается в состояние логической "1", которая поступая на вход элемента ИЛИ 25, запрещает прохождение через элемент ИЛИ 25 отрицательного импульса с выхода формирователя 18 и поддерживает на другом входе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 29 уровень логической "1". При этом элемент 29 формирует положительный импульс, который пос-

тупает на С-вход триггера 34, записывающего по переднему фронту этого импульса результат контроля (логический "0" - "норма", логическая "1" - "ненорма"), поступающий с выхода элемента ИЛИ 38. Результат контроля формируется следующим образом. За два такта контроля в счетчике 31 устанавливается число, пропорциональное времени

$$t = t_0 + t_2 - t_1 = t_0 - R_{из} C_2, \quad (3)$$

где $t_0 = R_{из}$;

C_2 - время, эквивалентное начальному коду в счетчике 31;

$R_{из}$ - заданная норма сопротивления изоляции, не зависящая от разброса суммарной паразитной емкости C_n .

Двоичное число, пропорциональное величине (3), дешифрируется дешифратором 32.

Если сопротивление изоляции объекта 1 контроля точно равно норме или его значение находится в доверительном интервале, соответствующем требуемой погрешности, то на выходе элемента ИЛИ 38 - логический "0", так как на выходах дешифратора 32, соответствующих числам, равным верхней границе доверительного интервала или более, присутствует уровень логического "0", который запрещает изменение состояния выхода элемента И 36, поддерживая логический "0" на обоих входах и выходе элемента ИЛИ 38. Если сопротивление изоляции объекта 1 контроля меньше нижней границы доверительного интервала, то на выходах дешифратора 32, соответствующих верхней границе доверительного интервала и более, присутствует уровень логической "1", который через элемент ИЛИ 37 устанавливается на входе и выходе элемента ИЛИ 38. Состояние логической "1" по выходу триггера 28 обеспечивает передачу на D-вход триггера 34 информации с выхода элемента ИЛИ 38 через элемент И 33. Если сопротивление изоляции больше нормы на столько, что в первом такте нуль-орган 22 не срабатывает, то устройство сокращает цикл контроля, ограничиваясь первым тактом и обеспечивает защиту от выдачи ложной информации о результате контроля следующим образом.

Если в течение первого такта нуль-орган 22 не сработал, то не срабатывает триггер 28, и логический "0" на

прямом выходе триггера 28 поступает на вход элемента И 33, запрещая прохождение информации с выхода элемента ИЛИ 38 через элемент И 33 и поддерживая уровень логического "0" на выходе элемента И 33 и D-входе триггера 34. Логический "0" с выхода триггера 28 поступает также на вход элемента ИЛИ 25, разрешая прохождение отрицательного импульса с выхода формирователя 18 через элемент ИЛИ 25. При этом на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 29 формируется положительный импульс, который, поступая на С-вход триггера 34, обеспечивает запись логического "0" ("норма") в триггер 34, одновременно этот импульс запускает формирователь 35, с выхода которого отрицательный импульс поступает на второй выход устройства, сигнализируя об окончании контроля, и через элемент И 5 на R-вход триггера 12. Появление отрицательного импульса на R-входе триггера 12 устанавливает его в состояние логического "0". При этом логический "0" на прямом выходе триггера 12 поступает на R-вход генератора 11, останавливая его работу, поступает на V-вход счетчика 31, разрешая ввод начального кода от задатчика 30, поступает на R-входы триггеров 23 и 28, подтверждая нулевое состояние этих триггеров.

Отрицательный импульс с выхода формирователя 18 своим задним фронтом повторно запускает устройство при наличии импульса запуска от задатчика, в противном случае повторный запуск не происходит.

Для нормальной работы устройства необходимо, чтобы длительность импульса на выходе формирователя 18 превышала длительность импульса на выходе формирователя 35.

Параметры измерительной цепи и резистивного делителя на резисторах 9 и 14 выбирают так, чтобы

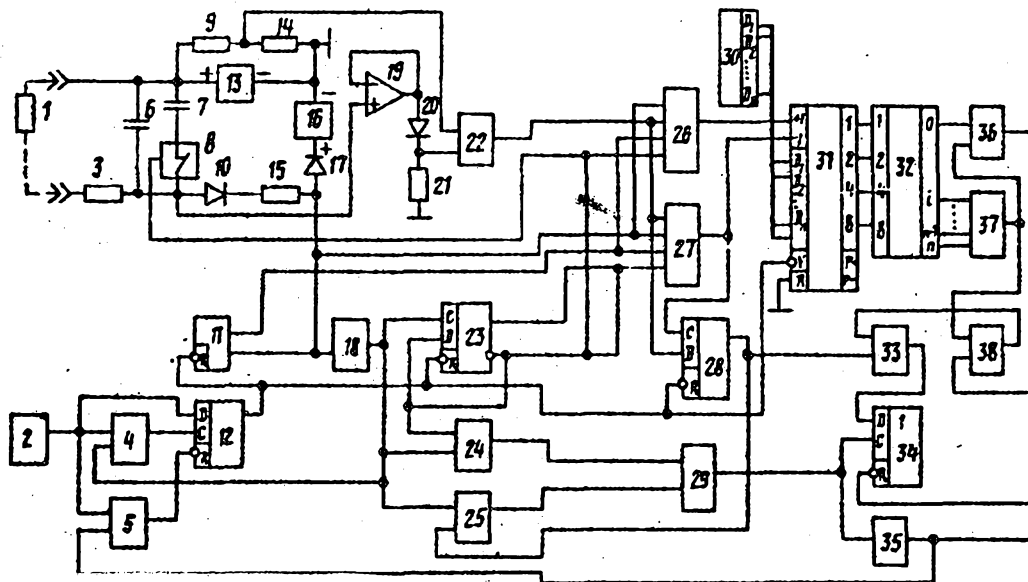
$$t = - (R_{0из} + \Delta R_{0из}) / (C_1 + C_2 + C_{пmax} + \Delta C_{1max} + \Delta C_{2max}) \ln \frac{R_3}{R_3 + R_4} \quad (4)$$

где $\Delta R_{0из}$, ΔU_{max} , ΔC_{2max} - максимально допустимые погрешности контроля сопротивления изоляции значений емкостей C_1 и C_2 конденсаторов 6 и 7 соответственно;

$C_{пmax}$ - максимально ожидаемый суммарный разброс емкостей контролируемых цепей, линий связи и коммутатора.

Таким образом, введение новых элементов и дополнительного выхода высокочастотной последовательности импульсов в генераторе 11 позволяет

исключить влияние суммарного разброса емкости контролируемых цепей, линий связи и коммутатора, что повышает точность контроля.



Составитель В.Дворкин

Редактор Е.Папп Техред Т.Фанта

Корректор А.Обручар

Заказ 6026/31 Тираж 711

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4