



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 04 08 78
(21) (PV 5141-78)

(40) Zveřejněno 27 02 81
(45) Vydáno 01 05 83

209213
(11) (B1)

(51) Int. Cl.³
G 11 C 9/02

(75)

Autor vynálezu

KREJČÍŘÍK MIROSLAV ing., BRNO

(54) Řadič pamětí s pružným diskem

Vynález se týká řadiče pamětí s pružným diskem a řeší připojení až čtyř pamětí.

Připojení pamětí s pružným diskem k malým výpočetním systémům zásadně zvyšuje jejich výkonnosti parametry. V souvislosti s tím vznikla potřeba vyvinout pokud možno univerzální řídicí prostředek, umožňující po doplnění příslušným adaptérem vytvořit pro daný výpočetní systém vnější paměť s pružnými disky, zachovávající všechny zásady využívání pružných disků, definované normou ISO/TC 97/SC 11.

Tento úkol splňuje řadič pamětí s pružným diskem podle vynálezu, jehož podstata spočívá v tom, že je připojen svými řídicími a datovými vstupy a výstupy pro velký interfejs k vstup-výstupnímu adaptéru, přičemž řídicí výstupy řídicích obvodů jsou spojeny s jeho vstupy, výstupy buzení pamětí chyb obvodu vyhodnocení chyb s jeho vstupy, výstupy pro čtená sériová data dekodéru čtených dat se vstupy vstup-výstupního adaptéru, vstupy dekodéru příkazů, vstupy paměti adresy stopy, vstupy paměti adresy sektoru a počtu kroků jsou spojeny s výstupy sběrnice adresové a řídicí informace adaptéru, řídicí vstupy řídicích obvodů jsou spojeny s výstupy adaptéru, vstupy pro přenesená čtená data obvodu a kontroly cyklického zabezpečení dat s výstupy adaptéru a vstupy sériových dat pro zápis kódovacího obvodu signálu

pro zápis s výstupy vstup-výstupního adaptéru, zatímco svými vstupy a výstupy pro malý interfejs je řadič pamětí připojen k pamětem s pružnými disky, přičemž řídicí výstupy obvodů buzení a snímání signálů pamětí s pružným diskem jsou spojeny se vstupy první paměti s pružným diskem, se vstupy druhé paměti s pružným diskem, se vstupy třetí paměti s pružným diskem a se vstupy čtvrté paměti s pružným diskem, datové výstupy obvodů buzení a snímání signálů pamětí s pružným diskem jsou spojeny se vstupy první paměti, se vstupy druhé paměti, se vstupy třetí paměti a se vstupy čtvrté paměti s pružným diskem. Řídicí vstupy obvodů buzení a snímání pamětí s pružným diskem jsou spojeny s výstupy první paměti, s výstupy druhé paměti, s výstupy třetí paměti a s výstupy čtvrté paměti s pružným diskem a datové vstupy obvodů buzení a snímání pamětí s pružným diskem jsou spojeny s výstupy první paměti, s výstupy druhé paměti, s výstupy třetí paměti a s výstupy čtvrté paměti s pružným diskem, přičemž řídicí výstupy řídicích obvodů jsou spojeny se vstupy paměti adresy stopy a se vstupy paměti adresy sektoru a počtu kroků, kdežto výstupy řídicích obvodů pro řízení paměti příkazů jsou spojeny se vstupy paměti dekodéru příkazů. Výstupy řídicích obvodů pro řízení obvodu vyhodnocení chyb jsou spojeny se vstupy obvodu vyhodnocení chyb,

výstupy řídicích obvodů pro řízení formátu jsou připojeny ke vstupům obvodu tvorby formátu záznamu a výstupy řídicích obvodů pro řízení paměti s pružným diskem jsou spojeny se vstupem obvodů buzení a snímání signálů paměti s pružným diskem, dále výstupy dekodovaných příkazů dekodéru příkazů jsou spojeny se vstupem paměti dekodéru příkazů, výstupy řízení příkazů paměti dekodéru příkazů jsou spojeny se vstupem řídicích obvodů. Výstupy pro adresu stopy paměti adresy stopy jsou spojeny se vstupem sérializeru adresy, výstupy pro adresu sektoru paměti adresy sektoru jsou spojeny se vstupem sérializeru adresy a výstupy pro signál konce krokování paměti adresy sektoru jsou spojeny se vstupem řídicích obvodů, zatímco výstupy pro hodinové a časovací impulsy generátoru hodinových a časovacích impulsů jsou spojeny se vstupem řídicích obvodů a se vstupem kódovacího obvodu signálu pro zápis, výstupy pro sérializovanou adresu sérializeru adresy jsou spojeny se vstupem kódovacího obvodu signálu pro zápis, výstupy pro seriová data tohoto obvodu jsou spojeny se vstupem obvodu tvorby a kontroly cyklického zabezpečení dat a výstupy pro zakódovaná data zápis kódovacího obvodu signálu pro zápis se vstupem obvodů buzení a snímání signálů paměti s pružným diskem. Výstupy pro chybu dat obvodu tvorby a kontroly cyklického zabezpečení dat jsou spojeny se vstupem obvodu vyhodnocení chyb a výstupy pro slovo cyklického zabezpečení obvodu tvorby a kontroly cyklického zabezpečení se vstupem kódovacího obvodu signálu pro zápis, přičemž výstupy pro indikaci chyb obvodu vyhodnocení chyb jsou spojeny se vstupem řídicích obvodů, výstupy pro výběr dat obvodu tvorby formátu záznamu jsou spojeny se vstupem kódovacího obvodu signálu pro zápis, výstupy pro separované hodiny dekodéru čtených dat jsou spojeny se vstupem generátoru hodinových a časovacích impulsů, dále výstupy řízení paměti obvodů buzení a snímání signálů paměti s pružným diskem jsou spojeny se vstupem řídicích obvodů a datové výstupy obvodů buzení a snímání signálů paměti s pružným diskem jsou spojeny se vstupem dekodéru čtených dat.

Technický pokrok řešení podle vynálezu je charakterizován tím, že takto vytvořená vnější paměť s pružnými disky, jejíž vlastnosti do značné míry určuje řídicí jednotka, zásadním způsobem zvyšuje výkonostní parametry výpočetního systému, zjednodušuje jeho obsluhu tím, že omezuje používání děrné pásky a zajišťuje přenositelnost disket s pořízenými daty mezi jednotlivými systémy sběru a zpracování dat. Rozdělení jednotlivých funkčních celků umožňuje provést připojení paměti s pružným diskem k různým výpočetním systémům pomocí řadiče podle vynálezu, vytvořením poměrně jednoduchého speciálního adaptéru. Výhoda řešení je dále v tom, že provádí kontrolovaný přenos dat až na obvody adaptéru, což zvyšuje spolehlivost vnější paměti a umožňuje její použití v řídicích systémech.

Blokové schéma řadiče paměti s pružným dis-

kem podle vynálezu je znázorněno na připojeném výkresu.

Řadič paměti s pružným diskem je připojen k vstup-výstupnímu adaptéru vstupy a výstupy velkého interfejezu a to tak, že řídicí výstupy 107 řídicích obvodů 3.1 jsou spojeny se vstupem 006 vstup-výstupního adaptéru 1, výstupy 1002 buzení paměti chyb obvodu 3.10 vyhodnocení chyb jsou spojeny se vstupem 005 vstup-výstupního adaptéru 1, výstupy 1202 pro čtená seriová data dekodéru 3.12 čtených dat jsou spojeny se vstupem 004 vstup-výstupního adaptéru 1. Výstupy 201 dekodéru 3.2 příkazů, vstupy 401 paměti 3.4 adresy stopy a vstupy 501 paměti 3.5 adresy sektoru a počtu kroků jsou spojeny s výstupem 002 sběrnice adresové a řídicí informace adaptéru 1. Řídicí vstupy 101 řídicích obvodů 3.1 jsou spojeny s výstupem 001 adaptéru 1, s jehož výstupem 007 jsou spojeny vstupy 901 pro přenesená čtená data obvodu 3.9 kontroly a tvorby cyklického zabezpečení dat, zatímco vstupy 802 seriových dat kódovacího obvodu 3.8 signálu pro zápis jsou spojeny s výstupem 003 vstup-výstupního adaptéru 1. K první 2.0 až čtvrté 2.3 paměti s pružným diskem je řadič připojen přes malý interfejs prostřednictvím obvodů 3.13 buzení a snímání signálů paměti s pružným diskem a to tak, že řídicí výstupy 1305 těchto obvodů 3.13 jsou připojeny ke vstupům 010 první paměti 2.0, ke vstupům 020 druhé paměti 2.1, ke vstupům 030 třetí paměti 2.2 a ke vstupům 040 čtvrté paměti 2.3 s pružným diskem, zatímco datové výstupy 1307 obvodů 3.13 buzení a snímání signálů paměti s pružným diskem jsou připojeny ke vstupům 012 první paměti 2.0, ke vstupům 022 druhé paměti 2.1, ke vstupům 032 třetí paměti 2.2 a ke vstupům 042 čtvrté paměti 2.3 s pružným diskem. Řídicí vstupy 1306 obvodů 3.13 buzení a snímání signálů paměti s pružným diskem jsou spojeny s výstupem 011 první paměti 2.0, s výstupem 021 druhé paměti 2.1, s výstupem 031 třetí paměti 2.2 a s výstupem 041 čtvrté paměti 2.3 s pružným diskem, přičemž datové vstupy 1308 obvodů 3.13 buzení a snímání signálů paměti jsou spojeny s výstupem 013 první paměti 2.0, s výstupem 023 druhé paměti 2.1, s výstupem 033 třetí paměti 2.2 a s výstupem 043 čtvrté paměti 2.3 s pružným diskem. Funkční bloky řadiče jsou navzájem spojeny tak, že řídicí výstupy 108 řídicích obvodů 3.1 jsou spojeny se vstupem 402 paměti 3.4 adresy stopy a se vstupem 502 paměti 3.5 adresy sektoru a počtu kroků, výstupy 109 řídicích obvodů 3.1 pro řízení paměti příkazů jsou spojeny se vstupem 302 paměti 3.3 příkazů a výstupy 110 řídicích obvodů 3.1 pro řízení obvodu vyhodnocení chyb jsou spojeny se vstupem 1001 obvodu 3.10 vyhodnocení chyb. Výstupy 111 řídicích obvodů 3.1 pro řízení formátu jsou spojeny se vstupem 1101 obvodu 3.11 tvorby formátu záznamu a výstupy 112 řídicích obvodů 3.1 pro řízení paměti s pružným diskem jsou spojeny se vstupem 1302 obvodů 3.13 buzení a snímání signálů paměti s pružným diskem. Dekodér 3.2 příkazů má spojen výstup 202 dekodovaných

příkazů se vstupy 301 paměti 3.3 příkazů, jejíž výstupy 303 řízení příkazů jsou spojeny se vstupy 104 řídicích obvodů 3.1, zatímco výstupy 403 pro adresu stopy paměti 3.4 adresy stopy jsou spojeny se vstupy 702 sérializeru 3.7 adresy, výstupy 504 pro adresu sektoru paměti 3.5 adresy sektoru jsou spojeny se vstupy 701 sérializeru 3.7 adresy a výstupy 503 paměti 3.5 adresy sektoru pro signál konce krokování jsou spojeny se vstupy 102 řídicích obvodů 3.1. Výstupy 602 generátoru 3.6 hodinových a časovacích impulsů pro hodinové a časovací impulsy jsou spojeny se vstupy 103 řídicích obvodů 3.1 a se vstupy 801 kódovacího obvodu 3.8 signálu pro zápis, výstupy 703 pro serializovanou adresu serializeru 3.7 adresy jsou spojeny se vstupy 803 kódovacího obvodu 3.8 signálu pro zápis, jehož výstupy 806 pro sériová data jsou spojeny se vstupy 902 obvodu 3.9 tvorby a kontroly cyklického zabezpečení dat a výstupy 807 pro zakodovaná data zápisu se vstupy 1301 obvodů 3.13 buzení a snímání signálů paměti s pružným diskem. Výstupy 903 pro chybu dat obvodu 3.9 tvorby a kontroly cyklického zabezpečení dat jsou spojeny se vstupy 1004 obvodu 3.10 vyhodnocení chyb a výstupy 904 obvodu 3.9 pro slovo cyklického zabezpečení dat se vstupy 805 kódovacího obvodu 3.8 signálu pro zápis, zatímco výstupy 1003 pro indikaci chyb obvodu 3.10 vyhodnocení chyb jsou spojeny se vstupy 105 řídicích obvodů 3.1. Výstupy 1102 pro výběr dat obvodu 3.11 tvorby formátu záznamu jsou spojeny se vstupy 804 kódovacího obvodu 3.8 signálu pro zápis, výstupy 1203 pro separované hodinové impulsy dekodéru 3.12 čtených dat jsou spojeny se vstupy 601 generátoru 3.6 hodinových a časovacích impulsů, výstupy 1303 řízení pamětí obvodů 3.13 buzení a snímání signálů paměti s pružným diskem jsou spojeny se vstupy 106 řídicích obvodů 3.1, kdežto datové výstupy 1304 obvodů 3.13 jsou spojeny se vstupy 1201 dekodéru 3.12 čtených dat.

Jednotlivé funkční bloky, propojené jak je popsáno, vytvoří řadič pamětí s pružným diskem, který po doplnění příslušným adaptérem vytvoří spojovací článek mezi počítačem a pamětmi s pružným diskem. Tím vznikne vnější paměť s pružnými disky, která zásadním způsobem zvyšuje výkonostní parametry, zejména malých výpočetních systémů. Dodržení normy ISO (TC 97)SC 11 pro

organizaci a formátování dat při zápisu na pružný disk, zajišťuje široké využití této paměti i v oblasti sběru a zpracování dat.

Činnost řadiče je vyvolána nastavením příslušného řídicího signálu na vstupy 101 řídicích obvodů 3.1. Druh činnosti je definován signály připojenými na vstupy 201 dekodéru 3.2 příkazů, kde se dekoduje a způsobuje nastavení paměti 3.3 příkazů. Řídicí obvody 3.1 pak podle druhu příkazu generují příslušné řídicí signály, které přímo, nebo nepřímo řídí činnost jednotlivých funkčních bloků řídicí jednotky. Výsledek této činnosti je nastavení čtecí a zápisové hlavy vybrané paměti s pružným diskem na příslušnou záznamovou stopu, definovanou obsahem paměti 3.4 adresy stopy a obsahem paměti 3.5 adresy sektoru a počtu kroků, nebo vyhledání záznamového sektoru na stopě, určeného obsahem paměti 3.5 adresy sektoru a počtu kroků s následujícím záznamem dat, přicházejících v sériovém tvaru z výstupu 003 vstup-výstupního adaptéru 1 na vstup 802 kódovacího obvodu 3.8 signálu pro zápis, do datového pole sektoru, nebo čtením dat z datového pole tohoto sektoru, jejich dekodováním v dekodéru 3.12 čtených dat a jejich přenosem přes výstup 1202 tohoto dekodéru na vstup 007 vstup-výstupního adaptéru 1. Obvod 3.9 tvorby a kontroly cyklického zabezpečení dat generuje v obou těchto případech slovo cyklického zabezpečení, které je v případě zápisu zapisováno za blok dat, v případě čtení je porovnáváno se slovem, přečteným z paměťového média. Činnost celé vnější paměti je kontrolována obvodem 3.10 vyhodnocení chyb, který jednak pomocí signálů, přiváděných z výstupů 1003 na vstupy 105 řídicích obvodů 3.1, ovlivňuje činnost těchto obvodů, jednak předává stavové a chybové informace pomocí signálů vysílaných z výstupů 1002 obvodů 3.10 vyhodnocení chyb na vstupy 005 vstup-výstupního adaptéru.

Velkou výhodou takto sestaveného řadiče dále je, že umožňuje předznačení paměťového média zápisem takových signálových sekvencí, které vytvoří na novém, dosud nezapsaném médiu – disketě, nebo porušené disketě, předznačení sektorů, odpovídající normě ISO (TC 97)SC 11 a tím umožní její používání v systémech sběru a zpracování dat. Posloupnost adres sektorů na stopě může přitom volit uživatel.

PŘEDMĚT VYNÁLEZU

Řadič pamětí s pružným diskem, vyznačený tím, že je připojen svými řídicími a datovými vstupy a výstupy pro velký interfejs k vstup-výstupnímu adaptéru (1), přičemž řídicí výstupy (107) řídicích obvodů (3.1) jsou spojeny s jeho vstupy (006), výstupy (1002) buzení pamětí chyb obvodu (3.10) vyhodnocení chyb s jeho vstupy (005), výstupy (1202) pro čtená sériová data dekodéru (3.12) čtených dat se vstupy (004)

vstup-výstupního adaptéru (1), vstupy (201) dekodéru (3.2) příkazů, vstupy (401) paměti (3.4) adresy stopy, vstupy (501) paměti (3.5) adresy sektoru a počtu kroků jsou spojeny s výstupy (002) sběrnice adresové a řídicí informace adaptéru (1), řídicí vstupy (101) řídicích obvodů (3.1) jsou spojeny s výstupy (001) adaptéru (1), vstupy (901) pro přenesená čtená data obvodu (3.9) kontroly cyklického zabezpečení dat s výstupy (007) adap-

209213

téru (1) a vstupy (802) sériových dat pro zápis kódovacího obvodu (3.8) signálu pro zápis s výstupy (003) vstup-výstupního adaptéru (1), zatímco svými vstupy a výstupy pro malý interfejs je řadič paměti připojen k pamětem s pružnými disky, přičemž řídicí výstupy (1305) obvodů (3.13) buzení a snímání signálů paměti (2.0 až 2.3) s pružným diskem jsou spojeny se vstupy (010) první paměti (2.0) s pružným diskem, se vstupy (020) druhé paměti (2.1) s pružným diskem, se vstupy (030) třetí paměti (2.2) s pružným diskem a se vstupy (040) čtvrté paměti (2.3) s pružným diskem, datové výstupy (1307) obvodů (3.13) buzení a snímání signálů paměti (2.0 až 2.3) s pružným diskem jsou spojeny se vstupy (012) první paměti (2.0), se vstupy (022) druhé paměti (2.1), se vstupy (032) třetí paměti (2.2) a se vstupy (042) čtvrté paměti (2.3) s pružným diskem, zatímco řídicí vstupy (1306) obvodů (3.13) buzení a snímání paměti (2.0 až 2.3) s pružným diskem jsou spojeny s výstupy (011) první paměti (2.0), s výstupy (021) druhé paměti (2.1), s výstupy (031) třetí paměti (2.2) a s výstupy (041) čtvrté paměti (2.3) s pružným diskem a datové vstupy (1308) obvodů (3.13) buzení a snímání paměti (2.0 až 2.3) s pružným diskem jsou spojeny s výstupy (013) první paměti (2.0), s výstupy (023) druhé paměti (2.1), s výstupy (033) třetí paměti (2.2) a s výstupy (043) čtvrté paměti (2.3) s pružným diskem, přičemž řídicí výstupy (108) řídicích obvodů (3.1) jsou spojeny se vstupy (402) paměti (3.4) adresy stopy a se vstupy (502) paměti (3.5) adresy sektoru a počtu kroků, kdežto výstupy (109) řídicích obvodů (3.1) pro řízení paměti příkazů jsou spojeny se vstupy (302) paměti (3.3) dekodéru příkazů, výstupy (110) řídicích obvodů (3.1) pro řízení obvodu vyhodnocení chyb jsou spojeny se vstupy (1001) obvodu (3.10) vyhodnocení chyb, výstupy (111) řídicích obvodů (3.1) pro řízení formátu jsou připojeny ke vstupům (1101) obvodu (3.11) tvorby formátu záznamu a výstupy (112) řídicích obvodů (3.1) pro řízení paměti s pružným diskem jsou spojeny se vstupy (1302) obvodů (3.13) buzení a snímání signálů paměti s pružným diskem, dále výstupy (202) dekodovaných příkazů dekodéru (3.2) příkazů jsou spojeny se vstupy (301) paměti (3.3)

dekodéru příkazů, výstupy (303) řízení příkazů paměti (3.3) dekodéru příkazů jsou spojeny se vstupy (104) řídicích obvodů (3.1), výstupy (403) pro adresu stopy paměti (3.4) adresy stopy jsou spojeny se vstupy (702) sérializeru (3.7) adresy, výstupy (504) pro adresu sektoru paměti (3.5) adresy sektoru jsou spojeny se vstupy (701) sérializeru (3.7) adresy a výstupy (503) pro signál konce krokování paměti (3.5) adresy sektoru jsou spojeny se vstupy (102) řídicích obvodů (3.1), zatímco výstupy (602) pro hodinové a časovací impulsy generátoru (3.6) hodinových a časovacích impulsů jsou spojeny se vstupy (103) řídicích obvodů (3.1) a se vstupy (801) kódovacího obvodu (3.8) signálu pro zápis, výstupy (703) pro sérializovanou adresu sérializeru (3.7) adresy jsou spojeny se vstupy (803) kódovacího obvodu (3.8) signálu pro zápis, výstupy (806) pro sériová data tohoto obvodu (3.8) jsou spojeny se vstupy (902) obvodu (3.9) tvorby a kontroly cyklického zabezpečení dat a výstupy (807) pro zakodovaná data zápisu kódovacího obvodu (3.8) signálu pro zápis se vstupy (1301) obvodů (3.13) buzení a snímání signálů paměti (2.0 až 2.3) s pružným diskem, výstupy (903) pro chybu dat obvodu (3.9) tvorby a kontroly cyklického zabezpečení dat jsou spojeny se vstupy (1004) obvodu (3.10) vyhodnocení chyb a výstupy (904) pro slovo cyklického zabezpečení obvodu (3.9) tvorby a kontroly cyklického zabezpečení se vstupy (805) kódovacího obvodu (3.8) signálu pro zápis, přičemž výstupy (1003) pro indikaci chyb obvodu (3.10) vyhodnocení chyb jsou spojeny se vstupy (105) řídicích obvodů (3.1), výstupy (1102) pro výběr dat obvodu (3.11) tvorby formátu záznamu jsou spojeny se vstupy (804) kódovacího obvodu (3.8) signálu pro zápis, výstupy (1203) pro separované hodiny dekodéru (3.12) čtených dat jsou spojeny se vstupy (601) generátoru (3.6) hodinových a časovacích impulsů, dále výstupy (1303) řízení paměti obvodů (3.13) buzení a snímání signálů paměti s pružným diskem jsou spojeny se vstupy (106) řídicích obvodů (3.1) a datové výstupy (1304) obvodů (3.13) buzení a snímání signálů paměti s pružným diskem jsou spojeny se vstupy (1201) dekodéru (3.12) čtených dat.

1 výkres

