

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成25年2月14日(2013.2.14)

【公開番号】特開2011-139365(P2011-139365A)

【公開日】平成23年7月14日(2011.7.14)

【年通号数】公開・登録公報2011-028

【出願番号】特願2009-298821(P2009-298821)

【国際特許分類】

H 03K	5/1532	(2006.01)
H 03K	5/15	(2006.01)
H 03K	5/135	(2006.01)
H 03K	5/08	(2006.01)
H 03L	7/081	(2006.01)
H 03L	7/08	(2006.01)

【F I】

H 03K	5/00	E
H 03K	5/15	G
H 03K	5/135	
H 03K	5/08	T
H 03L	7/08	J
H 03L	7/08	H

【手続補正書】

【提出日】平成24年12月21日(2012.12.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

位相をシフトさせた複数のクロックの中からパルスの立ち上がりエッジの位置を決める第1のクロックを選択して出力する第1のクロック選択回路と、

前記複数のクロックの中から前記パルスの立ち下がりエッジの位置を決める第2のクロックを選択して出力する第2のクロック選択回路と、

前記第1のクロック及び前記第2のクロックのエッジに基づいて前記パルスを生成するエッジ検出回路とを有するパルスエッジ選択回路であって、

前記エッジ検出回路は、前記第1のクロック選択回路からの前記第1のクロックの立ち上がりに同期して前記パルスを立ち上げ、前記第2のクロック選択回路からの前記第2のクロックの立ち上がりに同期して前記パルスを立ち下げる回路であることを特徴とするパルスエッジ選択回路。

【請求項2】

前記第1及び第2のクロック選択回路のそれぞれは、レジスタに設定された値に従って前記複数のクロックの中から前記第1のクロック及び前記第2のクロックを選択することを特徴とする請求項1に記載のパルスエッジ選択回路。

【請求項3】

前記第1及び第2のクロック選択回路の出力段が、4入力以上の入力端を有するNORゲート及び4入力以上の入力端を有するNANDゲートの組み合わせを含むことを特徴とする請求項1または2に記載のパルスエッジ選択回路。

【請求項 4】

前記第1及び第2のクロック選択回路の出力段が、8入力以上の入力端を有するNORゲート及び8入力以上の入力端を有するNANDゲートの組み合わせを含むことを特徴とする請求項1または2に記載のパルスエッジ選択回路。

【請求項 5】

請求項1乃至4のいずれか1項に記載の少なくとも1つのパルスエッジ選択回路と、マスタークロックに基づいて前記位相をシフトさせた複数のクロックを生成して、前記パルスエッジ選択回路に提供するクロック生成回路とを有することを特徴とするパルス生成回路。

【請求項 6】

コンデンサと、

前記コンデンサに接続され、当該コンデンサに保持された電圧を出力するオペアンプ回路と、

入力電圧を前記コンデンサに供給してチャージする第1のスイッチと、

前記オペアンプ回路の帰還回路に設けられた第2のスイッチと、

前記コンデンサの入力側を接地するための第3のスイッチと、

前記第1～第3のスイッチを切り替えるための複数のパルスを発生するための請求項5に記載のパルス生成回路と、

を有することを特徴とするサンプルホールド回路。

【請求項 7】

撮像した画像の画素データを記憶する画素部と、

前記画素部から画素データを並列に読み出す読出回路と、

前記読出回路に並列に読み出された画素データをパラレル／シリアル変換して直列に出力するためのシフトレジスタとを有する固体撮像装置であって、

前記シフトレジスタを駆動するためのパルスを提供するパルス発生手段として、請求項5に記載のパルス生成回路が使用されていることを特徴とする固体撮像装置。

【請求項 8】

位相をシフトさせた複数のクロックを入力し、第1の設定値に従って前記複数のクロックからパルスの立ち上がりエッジの位置を決める第1のクロックを選択して出力する第1のクロック選択回路と、

前記複数のクロックを入力し、第2の設定値に従って前記複数のクロックから前記パルスの立ち下がりエッジの位置を決める第2のクロックを選択して出力する第2のクロック選択回路と、

前記第1のクロックに同期して前記パルスを立ち上げ、前記第2のクロックに同期して前記パルスを立ち下げるエッジ検出回路とを有し、

前記エッジ検出回路は、前記第1のクロックの立ち上がりに同期して前記パルスを立ち上げ、前記第2のクロックの立ち上がりに同期して前記パルスを立ち下げる特徴とするパルス生成回路。

【請求項 9】

前記第1及び第2のクロック立ち上がりは、NANDゲートの出力の立ち上がり、前記NANDゲートの出力を入力するNORゲートの出力の立ち下りを介して前記エッジ検出回路に伝えられることを特徴とする請求項8に記載のパルス生成回路。