

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6736276号
(P6736276)

(45) 発行日 令和2年8月5日 (2020. 8. 5)

(24) 登録日 令和2年7月17日 (2020. 7. 17)

(51) Int. Cl.	F I
G 0 9 F 9/30 (2006. 01)	G 0 9 F 9/30 3 3 8
G 0 9 G 3/30 (2006. 01)	G 0 9 F 9/30 3 6 5
G 0 9 G 3/20 (2006. 01)	G 0 9 G 3/30 J
H 0 1 L 51/50 (2006. 01)	G 0 9 G 3/20 6 1 1 H
H 0 5 B 33/02 (2006. 01)	G 0 9 G 3/20 6 1 1 E
請求項の数 8 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2015-188062 (P2015-188062)	(73) 特許権者	514188173
(22) 出願日	平成27年9月25日 (2015. 9. 25)		株式会社 J O L E D
(65) 公開番号	特開2017-62374 (P2017-62374A)		東京都千代田区神田錦町三丁目2 3 番地
(43) 公開日	平成29年3月30日 (2017. 3. 30)	(74) 代理人	110001357
審査請求日	平成30年9月7日 (2018. 9. 7)		特許業務法人つばさ国際特許事務所
		(72) 発明者	藤村 寛
			東京都千代田区神田錦町三丁目2 3 番地
			株式会社 J O L E D 内
		(72) 発明者	山本 哲郎
			東京都千代田区神田錦町三丁目2 3 番地
			株式会社 J O L E D 内
		審査官	新井 重雄
		最終頁に続く	

(54) 【発明の名称】 表示パネルおよび表示装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数の画素と、
列方向に延在する複数の信号線および複数の電源線と
を備え、
複数の電源線は、
奇数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 1 電源線と、
偶数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 2 電源線と
により構成されており、
前記複数の第 1 電源線と、前記複数の第 2 電源線とは、行方向に 1 または 2 つの前記画素ごとに交互に配置され、
奇数番目の各画素行において互いに隣接する 2 つの前記画素ごとに、1 つの前記第 1 電源線が割り当てられ、
偶数番目の各画素行において互いに隣接する 2 つの前記画素ごとに、1 つの前記第 2 電源線が割り当てられて、
前記複数の第 1 電源線のうちの任意の前記第 1 電源線に割り当てられた 2 つの前記画素を 2 つの第 1 画素とし、前記複数の第 1 電源線のうち、前記 2 つの第 1 画素に割り当てられた前記第 1 電源線に隣接する前記第 2 電源線に割り当てられた 2 つの前記画素を 2 つの

第 2 画素としたときに、前記 2 つの第 1 画素と前記 2 つの第 2 画素とは、列方向において 1 画素分だけ互い違いにずれて配置されている

表示パネル。

【請求項 2】

行列状に配置された複数の画素と、

列方向に延在する複数の信号線および複数の電源線と

を備え、

複数の電源線は、

奇数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 1 電源線と、

偶数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 2 電源線と

により構成されており、

各画素は、複数のサブ画素で構成され、

前記複数の第 1 電源線と、前記複数の第 2 電源線とは、行方向に 1 または 2 つの前記サブ画素ごとに交互に配置され、

奇数番目の各画素行において互いに隣接する 2 つの前記サブ画素ごとに、1 つの前記第 1 電源線が割り当てられ、

偶数番目の各画素行において互いに隣接する 2 つの前記サブ画素ごとに、1 つの前記第 2 電源線が割り当てられ、

前記複数の第 1 電源線のうちの任意の前記第 1 電源線に割り当てられた 2 つの前記サブ画素を 2 つの第 1 サブ画素とし、前記複数の第 1 電源線のうち、前記 2 つの第 1 サブ画素に割り当てられた前記第 1 電源線に隣接する前記第 2 電源線に割り当てられた 2 つの前記サブ画素を 2 つの第 2 サブ画素としたときに、前記 2 つの第 1 サブ画素と前記 2 つの第 2 サブ画素とは、列方向において 1 サブ画素分だけ互い違いにずれて配置されている

表示パネル。

【請求項 3】

各前記電源線は、各前記信号線と同一の層内に配置されている

請求項 1 または請求項 2 に記載の表示パネル。

【請求項 4】

表示パネルと、

前記表示パネルを駆動する駆動回路と

を備え、

前記表示パネルは、

行列状に配置された複数の画素と、

列方向に延在する複数の信号線および複数の電源線と

を有し、

複数の電源線は、

奇数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 1 電源線と、

偶数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 2 電源線と

により構成されており、

前記複数の第 1 電源線と、前記複数の第 2 電源線とは、行方向に 1 または 2 つの前記画素ごとに交互に配置され、

奇数番目の各画素行において互いに隣接する 2 つの前記画素ごとに、1 つの前記第 1 電源線が割り当てられ、

偶数番目の各画素行において互いに隣接する 2 つの前記画素ごとに、1 つの前記第 2 電源線が割り当てられて、

前記複数の第 1 電源線のうちの任意の前記第 1 電源線に割り当てられた 2 つの前記画素

を 2 つの第 1 画素とし、前記複数の第 1 電源線のうち、前記 2 つの第 1 画素に割り当てられた前記第 1 電源線に隣接する前記第 2 電源線に割り当てられた 2 つの前記画素を 2 つの第 2 画素としたときに、前記 2 つの第 1 画素と前記 2 つの第 2 画素とは、列方向において 1 画素分だけ互い違いにずれて配置されている

表示装置。

【請求項 5】

表示パネルと、

前記表示パネルを駆動する駆動回路と

を備え、

前記表示パネルは、

行列状に配置された複数の画素と、

列方向に延在する複数の信号線および複数の電源線と

を有し、

複数の電源線は、

奇数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 1 電源線と、

偶数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 2 電源線と

により構成されており、

各画素は、複数のサブ画素で構成され、

前記複数の第 1 電源線と、前記複数の第 2 電源線とは、行方向に 1 または 2 つの前記サブ画素ごとに交互に配置され、

奇数番目の各画素行において互いに隣接する 2 つの前記サブ画素ごとに、1 つの前記第 1 電源線が割り当てられ、

偶数番目の各画素行において互いに隣接する 2 つの前記サブ画素ごとに、1 つの前記第 2 電源線が割り当てられ、

前記複数の第 1 電源線のうちの任意の前記第 1 電源線に割り当てられた 2 つの前記サブ画素を 2 つの第 1 サブ画素とし、前記複数の第 1 電源線のうち、前記 2 つの第 1 サブ画素に割り当てられた前記第 1 電源線に隣接する前記第 2 電源線に割り当てられた 2 つの前記サブ画素を 2 つの第 2 サブ画素としたときに、前記 2 つの第 1 サブ画素と前記 2 つの第 2 サブ画素とは、列方向において 1 サブ画素分だけ互い違いにずれて配置されている

表示装置。

【請求項 6】

前記駆動回路は、1 F 期間を前半と後半の 2 つの期間に分け、奇数画素行と偶数画素行とで交互に発光を行う

請求項 4 または請求項 5 に記載の表示装置。

【請求項 7】

前記駆動回路は、1 F 期間の前半に、偶数画素行に含まれる各前記画素を発光させるとともに、奇数画素行に含まれる各前記画素を消光させ、1 F 期間の後半に、偶数画素行に含まれる各前記画素を消光させるとともに、奇数画素行に含まれる各前記画素を発光させる

請求項 6 に記載の表示装置。

【請求項 8】

前記駆動回路は、偶数画素行に含まれる各前記画素を消光させる期間に、偶数画素行に含まれる各前記画素に対して、補正処理を同時に行い、さらに、奇数画素行に含まれる各前記画素を消光させる期間に、奇数画素行に含まれる各前記画素に対して、前記補正処理を同時に行う

請求項 7 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本技術は、表示パネルおよび表示装置に関する。

【 背景技術 】

【 0 0 0 2 】

近年、映像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 E L (electro luminescence) 素子を用いた表示装置が開発され、商品化が進められている。有機 E L 素子は、液晶素子などとは異なり自発光素子である。そのため、有機 E L 素子を用いた表示装置（有機 E L 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて、軽量化、薄型化、高輝度化することができる。さらに、有機 E L 素子の応答速度は、数 μ s 程度と非常に高速であるので、動画表示時の残像が発生しない。そのため、有機 E L 表示装置は、次世代のフラットパネルディスプレイの主流になると期待されている。

10

【 0 0 0 3 】

アクティブマトリックス型の有機 E L 表示装置においては、1 水平期間（1 H）ごとに各走査線が順次走査されると共に、映像信号に対応する信号電圧がサンプリングされ、保持容量に書き込まれる。即ち、1 H 周期の線順次走査によって、信号電圧の書込動作が行われる。また、有機 E L 表示装置では、駆動トランジスタの閾値電圧や移動度が画素ごとに異なる場合には、有機 E L 素子の発光輝度がばらつき、画面の一様性（ユニフォーミティ）が損なわれてしまう。そこで、アクティブマトリックス型の有機 E L 表示装置では、駆動トランジスタの閾値電圧や移動度のばらつきに起因する発光輝度のばらつきを低減する補正動作が、1 H 周期の線順次走査に併せて行われる（特許文献 1 参照）。

20

【 0 0 0 4 】

アクティブマトリックス型の有機 E L 表示装置では、電源線から各画素に電力を供給するために、電源線には大電流が流される。しかし、電源線には、通常、有機 E L 素子の発光・消光を制御するパルスパワーが印加されるので、電源スキナの規模が非常に大きくなり、電源スキナを格納する表示パネルの額縁も大きくなってしまう。そこで、例えば、全ての画素で電源電圧を共通化し、電源スキナを省略することが考えられる。

【 先行技術文献 】

【 特許文献 】

30

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 9 - 1 4 5 5 3 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

しかし、そのようにした場合には、発光期間が 1 F 期間の半分程度しかなく、フリッカーによる発光ちらつきが生じてしまう場合があった。

【 0 0 0 7 】

本技術はかかる問題点に鑑みてなされたものであり、その目的は、フリッカーによる発光ちらつきを抑えた狭額縁の表示パネルおよびそれを備えた表示装置を提供することにある。

40

【 課題を解決するための手段 】

【 0 0 0 8 】

本技術の第 1 の表示パネルは、行列状に配置された複数の画素と、列方向に延在する複数の信号線および複数の電源線とを備えている。複数の電源線は、奇数番目の各画素行に割り当てられた複数の第 1 電源線と、偶数番目の各画素行に割り当てられた複数の第 2 電源線とにより構成されている。各第 1 電源線は互いに電氣的に接続されており、各第 2 電源線は互いに電氣的に接続されている。複数の第 1 電源線と、複数の第 2 電源線とは、行方向に 1 または 2 つの画素ごとに交互に配置されている。奇数番目の各画素行において互いに隣接する 2 つの画素ごとに、1 つの第 1 電源線が割り当てられ、偶数番目の各画素行

50

において互いに隣接する2つの画素ごとに、1つの第2電源線が割り当てられている。複数の第1電源線のうちの任意の第1電源線に割り当てられた2つの画素を2つの第1画素とし、複数の第1電源線のうち、2つの第1画素に割り当てられた第1電源線に隣接する第2電源線に割り当てられた2つの画素を2つの第2画素としたときに、2つの第1画素と2つの第2画素とは、列方向において1画素分だけ互い違いにずれて配置されている

本技術の第2の表示パネルは、行列状に配置された複数の画素と、列方向に延在する複数の信号線および複数の電源線とを備えている。複数の電源線は、奇数番目の各画素行に割り当てられた複数の第1電源線と、偶数番目の各画素行に割り当てられた複数の第2電源線とにより構成されている。各第1電源線は互いに電氣的に接続されており、各第2電源線は互いに電氣的に接続されている。各画素は、複数のサブ画素で構成されている。複数の第1電源線と、複数の第2電源線とは、行方向に1または2つのサブ画素ごとに交互に配置されている。奇数番目の各画素行において互いに隣接する2つのサブ画素ごとに、1つの第1電源線が割り当てられ、偶数番目の各画素行において互いに隣接する2つのサブ画素ごとに、1つの第2電源線が割り当てられている。複数の第1電源線のうちの任意の第1電源線に割り当てられた2つのサブ画素を2つの第1サブ画素とし、複数の第1電源線のうち、2つの第1サブ画素に割り当てられた第1電源線に隣接する第2電源線に割り当てられた2つのサブ画素を2つの第2サブ画素としたときに、2つの第1サブ画素と2つの第2サブ画素とは、列方向において1サブ画素分だけ互い違いにずれて配置されている。

10

20

【0009】

本技術の第1の表示装置は、上記の第1の表示パネルと、上記の第1の表示パネルを駆動する駆動回路とを備えている。本技術の第2の表示装置は、上記の第2の表示パネルと、上記の第2の表示パネルを駆動する駆動回路とを備えている。

【0010】

本技術の第1および第2の表示パネルおよび本技術の第1および第2の表示装置では、奇数番目の各画素行に割り当てられた各第1電源線が互いに電氣的に接続され、偶数番目の各画素行に割り当てられた各第2電源線が互いに電氣的に接続されている。従って、各第1電源線に対して1つの電源を用意し、各第2電源線に対して1つの電源を用意すればよいので、電源スキャナを用意する必要がない。また、奇数番目の各画素行の発光制御と、偶数番目の各画素行の発光制御とを互いに独立に行うことができるので、例えば、1F期間を前半と後半の2つの期間に分け、奇数画素行と偶数画素行とで交互に発光を行うことが可能である。

30

【発明の効果】

【0011】

本技術の第1および第2の表示パネルおよび本技術の第1および第2の表示装置によれば、電源スキャナを用意する必要がなく、さらに、1F期間を前半と後半の2つの期間に分け、奇数画素行と偶数画素行とで交互に発光を行うことができる回路構成としたので、フリッカーによる発光ちらつきを抑えた狭額縁の表示パネルを実現することができる。なお、本技術の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

40

【図面の簡単な説明】

【0012】

【図1】本技術の一実施の形態に係る表示装置の概略構成図である。

【図2】表示パネルの回路構成の一例を表す図である。

【図3】各サブ画素の回路構成の一例を表す図である。

【図4】表示パネルの配線レイアウトの一例を表す図である。

【図5】各画素回路の配線レイアウトの一例を表す図である。

【図6】消光から発光までの間の信号波形の一例を表す図である。

50

【図 7】消光から発光までの間の信号波形の一例を表す図である。

【図 8】表示パネルに適用される発光制御の一例を表す図である。

【図 9】表示パネルに適用される発光制御の一例を表す図である。

【図 10】比較例に係る表示パネルの回路構成の一例を表す図である。

【図 11】比較例に係る表示パネルに適用される発光制御の一例を表す図である。

【図 12】比較例に係る表示パネルに適用される発光制御の一例を表す図である。

【図 13】表示パネルの回路構成の一変形例を表す図である。

【図 14】表示パネルの回路構成の一変形例を表す図である。

【図 15】表示パネルの回路構成の一変形例を表す図である。

【図 16】上記実施の形態の表示装置の一適用例の外観を表す斜視図である。

10

【発明を実施するための形態】

【0013】

以下、本技術を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（表示装置）

2. 変形例（表示装置）

3. 適用例（電子機器）

【0014】

< 1. 実施の形態 >

20

[構成]

図 1 は、本技術の一実施の形態に係る表示装置 1 の概略構成を表したものである。表示装置 1 は、例えば、表示パネル 10、コントローラ 20 およびドライバ 30 を備えている。ドライバ 30 は、表示パネル 10 の外縁部分に実装されている。表示パネル 10 が、本技術の「表示パネル」の一具体例に対応する。コントローラ 20 およびドライバ 30 が、本技術の「駆動回路」の一具体例に対応する。表示パネル 10 は、行列状に配置された複数の画素 11 を有している。画素 11 が、本技術の「画素」の一具体例に対応する。コントローラ 20 およびドライバ 30 は、外部から入力された映像信号 D_{in} および同期信号 T_{in} に基づいて、表示パネル 10 を駆動する。

【0015】

30

（表示パネル 10）

図 2 は、表示パネル 10 の回路構成の一例を表したものである。表示パネル 10 は、コントローラ 20 およびドライバ 30 によって各画素 11 がアクティブマトリクス駆動されることにより、外部から入力された映像信号 D_{in} および同期信号 T_{in} に基づく画像を表示する。表示パネル 10 は、行方向に延在する複数の走査線 W_{SL} と、列方向に延在する複数の信号線 D_{TL} および複数の電源線 D_{SL} と、行列状に配置された複数の画素 11 とを有している。信号線 D_{TL} が、本技術の「信号線」の一具体例に対応する。電源線 D_{SL} が、本技術の「電源線」の一具体例に対応する。

【0016】

走査線 W_{SL} は、各画素 11 の選択に用いられるものであり、各画素 11 を所定の単位（例えば画素行）ごとに選択する選択パルスを各画素 11 に供給するものである。信号線 D_{TL} は、映像信号 D_{in} に応じた信号電圧 V_{sig} の、各画素 11 への供給に用いられるものであり、信号電圧 V_{sig} を含むデータパルスを各画素 11 に供給するものである。電源線 D_{SL} は、各画素 11 に電力を供給するものである。

40

【0017】

各画素 11 は、複数のサブ画素 12 を有しており、具体的には、図 2 に示したように、4 つのサブ画素 12 で構成されている。4 つのサブ画素 12 は、 2×2 の行列で配置されている。4 つのサブ画素 12 は、例えば、サブ画素 12R、12G、12B、12W で構成されている。サブ画素 12R は、赤色光を発する画素である。サブ画素 12G は、緑色光を発する画素である。サブ画素 12B は、青色光を発する画素である。サブ画素 12W

50

は、白色光を発する画素である。なお、本明細書では、各画素 1 1 に含まれる 4 つのサブ画素 1 2 が、サブ画素 1 2 R, 1 2 G, 1 2 B, 1 2 W で構成されているものとして、表示パネル 1 0 の説明を行う。ただし、本明細書において、各画素 1 1 に含まれる 4 つのサブ画素 1 2 は、上記の要素とは異なる要素によって構成されていてもよい。各画素 1 1 に含まれる 4 つのサブ画素 1 2 は、例えば、1 つのサブ画素 1 2 R、2 つのサブ画素 1 2 G および 1 つのサブ画素 1 2 B で構成されていてもよし、1 つのサブ画素 1 2 R、1 つのサブ画素 1 2 G および 2 つのサブ画素 1 2 B で構成されていてもよい。

【0018】

画素行ごとに、2 本の走査線 W S L が割り当てられている。具体的には、画素行に含まれるサブ画素行ごとに、1 本の走査線 W S L が割り当てられている。各画素行において、2 本の走査線 W S L は、各画素 1 1 を間に挟んで配置されている。各画素行において、画素 1 1 ごとに、2 本の信号線 D T L が割り当てられている。具体的には、画素行に含まれるサブ画素列ごとに、1 本の信号線 D T L が割り当てられている。各画素 1 1 において、2 本の信号線 D T L は、2 つのサブ画素列の間に配置されている。

【0019】

奇数番目の各画素行（上から 1 画素行目、3 画素行目、・・・）には、複数の電源線 D S L のうち所定の複数の電源線 D S L a が割り当てられている。各電源線 D S L a は、互いに電氣的に接続されており、互いに同電位となっている。電源線 D S L a が、本技術の「第 1 電源線」の一具体例に対応する。偶数番目の各画素行（上から 2 画素行目、4 画素行目、・・・）には、複数の電源線 D S L のうち所定の複数の電源線 D S L b が割り当てられている。各電源線 D S L b は、互いに電氣的に接続されており、互いに同電位となっている。電源線 D S L b が、本技術の「第 2 電源線」の一具体例に対応する。各電源線 D S L a と、各電源線 D S L b とは、互いに電氣的に分離されており、互いに独立に駆動される。複数の電源線 D S L a は、例えば、偶数番目の電源線 D S L（上から 2 番目の電源線 D S L、4 番目の電源線 D S L、・・・）である。さらに、複数の電源線 D S L b は、例えば、奇数番目の電源線 D S L（上から 1 番目の電源線 D S L、3 番目の電源線 D S L、・・・）である。なお、複数の電源線 D S L a は、奇数番目の電源線 D S L であってもよい。このとき、複数の電源線 D S L b は、偶数番目の電源線 D S L であってもよい。

【0020】

奇数番目の各画素行において互いに隣接する 2 つの画素 1 1 ごとに、1 つの電源線 D S L a が割り当てられている。さらに、偶数番目の各画素行において互いに隣接する 2 つの画素 1 1 ごとに、1 つの電源線 D S L b が割り当てられている。各電源線 D S L a に割り当てられた 2 つの画素 1 1 と、各電源線 D S L b に割り当てられた 2 つの画素 1 1 とは、1 画素 1 1 分だけ互い違いにずれて配置されている。各電源線 D S L a は、各電源線 D S L a に割り当てられた 2 つの画素 1 1 の間に配置されている。各電源線 D S L b は、各電源線 D S L b に割り当てられた 2 つの画素 1 1 の間に配置されている。

【0021】

各信号線 D T L は、後述の水平セレクタ 3 1 の出力端に接続されている。各走査線 W S L は、後述のライトスキャナ 3 2 の出力端に接続されている。各電源線 D S L a は、後述の第 1 電源 2 3 A の出力端に接続されている。各電源線 D S L b は、後述の第 2 電源 2 3 B の出力端に接続されている。

【0022】

図 3 は、各サブ画素 1 2 の回路構成の一例を表したものである。各サブ画素 1 2 は、例えば、画素回路 1 3 と、有機 E L 素子 1 4 とを有している。有機 E L 素子 1 4 は、例えば、アノード電極、有機層およびカソード電極が順に積層された構成を有している。有機 E L 素子 1 4 は、素子容量を有している。画素回路 1 3 は、有機 E L 素子 1 4 の発光・消光を制御する。画素回路 1 3 は、後述の書込走査によって各画素 1 1 に書き込んだ電圧を保持する機能を有している。画素回路 1 3 は、例えば、駆動トランジスタ T r 1、書込トランジスタ T r 2 および保持容量 C s を含んで構成されている。

【0023】

10

20

30

40

50

書込トランジスタ $T_r 2$ は、駆動トランジスタ $T_r 1$ のゲートに対する、映像信号 D_{in} に対応した信号電圧 V_{sig} の印加を制御する。具体的には、書込トランジスタ $T_r 2$ は、信号線 D_{TL} の電圧をサンプリングするとともに、サンプリングにより得られた電圧を駆動トランジスタ $T_r 1$ のゲートに書き込む。駆動トランジスタ $T_r 1$ は、有機 EL 素子 14 に直列に接続されている。駆動トランジスタ $T_r 1$ は、有機 EL 素子 14 を駆動する。駆動トランジスタ $T_r 1$ は、書込トランジスタ $T_r 2$ によってサンプリングされた電圧の大きさに応じて有機 EL 素子 14 に流れる電流を制御する。保持容量 C_s は、駆動トランジスタ $T_r 1$ のゲート - ソース間に所定の電圧を保持するものである。保持容量 C_s は、後述の待機期間中に駆動トランジスタ $T_r 1$ のゲート - ソース間電圧 V_{gs} を一定に保持する役割を有する。なお、画素回路 13 は、上述の $2T_r 1C$ の回路に対して各種容量やトランジスタを付加した回路構成となっていてよいし、上述の $2T_r 1C$ の回路構成とは異なる回路構成となっていてよい。

10

【0024】

駆動トランジスタ $T_r 1$ および書込トランジスタ $T_r 2$ は、例えば、 n チャネル MOS 型の薄膜トランジスタ($TFET$ (Thin Film Transistor))により形成されている。なお、これらのトランジスタは、 p チャネル MOS 型の $TFET$ により形成されていてよい。これらのトランジスタがエンハンスメント型であるものとして、以下の説明がなされているが、これらのトランジスタが、デプレッション型であってもよい。

【0025】

各信号線 D_{TL} は、後述の水平セクタ 31 の出力端と、書込トランジスタ $T_r 2$ のソースまたはドレインとに接続されている。各走査線 W_{SL} は、後述のライトスキャナ 32 の出力端と、書込トランジスタ $T_r 2$ のゲートとに接続されている。各電源線 D_{SLa} は、第1電源 $23A$ の出力端と、駆動トランジスタ $T_r 1$ のソースまたはドレインに接続されている。各電源線 D_{SLb} は、第2電源 $23B$ の出力端と、駆動トランジスタ $T_r 1$ のソースまたはドレインに接続されている。

20

【0026】

書込トランジスタ $T_r 2$ のゲートは、走査線 W_{SL} に接続されている。書込トランジスタ $T_r 2$ のソースまたはドレインが信号線 D_{TL} に接続されている。書込トランジスタ $T_r 2$ のソースおよびドレインのうち信号線 D_{TL} に未接続の端子が駆動トランジスタ $T_r 1$ のゲートに接続されている。駆動トランジスタ $T_r 1$ のソースまたはドレインが電源線 D_{SLa} または電源線 D_{SLb} に接続されている。駆動トランジスタ $T_r 1$ のソースおよびドレインのうち電源線 D_{SLa} または電源線 D_{SLb} に未接続の端子が有機 EL 素子 14 のアノードに接続されている。保持容量 C_s の一端が駆動トランジスタ $T_r 1$ のゲートに接続されている。保持容量 C_s の他端が駆動トランジスタ $T_r 1$ のソースおよびドレインのうち有機 EL 素子 14 側の端子に接続されている。

30

【0027】

図4は、表示パネル 10 の配線レイアウトの一例を表したものである。図5は、画素回路 13 の配線レイアウトの一例を表したものである。各電源線 D_{SLa} および電源線 D_{SLb} は、各信号線 D_{TL} と同一の層内に配置されている。各電源線 D_{SLa} は、奇数番目の各画素行において割り当てられた2つの画素 11 に含まれる各サブ画素 12 に、導電性の半導体層 $15A$ を介して電氣的に接続されている。各電源線 D_{SLb} は、偶数番目の各画素行において割り当てられた2つの画素 11 に含まれる各サブ画素 12 に、導電性の半導体層 $15B$ を介して電氣的に接続されている。半導体層 $15A$ 、 $15B$ は、駆動トランジスタ $T_r 1$ のソース・ドレイン領域 $17B$ と同一の層内に形成されている。半導体層 $15A$ 、 $15B$ は、例えば、駆動トランジスタ $T_r 1$ のソース・ドレイン領域 $17B$ と共通の半導体層で構成されている。半導体層 $15A$ は、コンタクトホール $H4$ を介して電源線 D_{SLa} に接続されている。半導体層 $15B$ は、コンタクトホール $H4$ を介して電源線 D_{SLb} に接続されている。

40

【0028】

駆動トランジスタ $T_r 1$ のゲート $17A$ は、保持容量 C_s の一方の電極 $16B$ を兼ねて

50

いる。駆動トランジスタ T_{r1} のソース・ドレイン領域 $17C$ が、保持容量 C_s の他方の電極 $16A$ を兼ねている。駆動トランジスタ T_{r1} のソース・ドレイン領域 $17C$ は、コンタクトホール H_3 を介して有機 EL 素子 14 に接続されている。保持容量 C_s の一方の電極 $16B$ は、コンタクトホール H_2 を介して、書込トランジスタ T_{r2} のソース・ドレイン領域 $18B$ と接続されている。書込トランジスタ T_{r2} のソース・ドレイン領域 $18C$ が、コンタクトホール H_1 を介して信号線 DTL に接続されている。書込トランジスタ T_{r2} のゲート $18A$ が走査線 WSL に接続されている。

【0029】

ドライバ 30 は、例えば、水平セクタ 31 およびライトスキャナ 32 を有している。ライトスキャナ 32 は、本技術の「駆動回路」の一具体例に対応する。

10

【0030】

水平セクタ 31 は、例えば、制御信号の入力に応じて（同期して）、映像信号処理回路 21 から入力されたアナログの信号電圧 V_{sig} を、各信号線 DTL に印加する。水平セクタ 31 は、例えば、3種類の電圧（ V_{ofs1} 、 V_{ofs2} 、 V_{sig} ）を出力可能となっている。具体的には、水平セクタ 31 は、ライトスキャナ 32 により選択された画素 11 へ、信号線 DTL を介して3種類の電圧（ V_{ofs1} 、 V_{ofs2} 、 V_{sig} ）を供給する。信号電圧 V_{sig} は、映像信号 Din に対応する電圧値となっている。固定電圧 V_{ofs1} 、 V_{ofs2} は、映像信号 Din とは無関係の一定電圧である。信号電圧 V_{sig} の最小電圧は固定電圧 V_{ofs1} よりも低く、固定電圧 V_{ofs2} よりも高い電圧値となっており、信号電圧 V_{sig} の最大電圧は固定電圧 V_{ofs1} 、 V_{ofs2} よりも高い電圧値となっている。水平セクタ 31 は、1水平期間ごとに、信号電圧 V_{sig} を含むデータパルスを各信号線 DTL に出力する。水平セクタ 31 は、データパルスとして、信号電圧 V_{sig} および固定電圧 V_{ofs1} 、 V_{ofs2} の3値からなるパルスを各信号線 DTL に出力する。

20

【0031】

ライトスキャナ 32 は、複数の画素 11 を所定の単位ごとに走査する。具体的には、ライトスキャナ 32 は、1フレーム期間において、各走査線 WSL に選択パルスを順次、出力する。ライトスキャナ 32 は、例えば、制御信号の入力に応じて（同期して）、複数の走査線 WSL を所定のシーケンスで選択することにより、閾値補正準備や、閾値補正、信号電圧 V_{sig} の書き込み、移動度補正および発光を所望の順番で実行させる。ここで、閾値補正準備とは、駆動トランジスタ T_{r1} のゲート電圧 V_g を初期化する（具体的には V_{ofs2} にする）ことを指している。閾値補正とは、駆動トランジスタ T_{r1} のゲート・ソース間電圧 V_{gs} を駆動トランジスタ T_{r1} の閾値電圧 V_{th} に近づける補正動作を指している。信号電圧 V_{sig} の書き込み（信号書込）とは、駆動トランジスタ T_{r1} のゲートに対して、信号電圧 V_{sig} を、書込トランジスタ T_{r2} を介して書き込む動作を指している。移動度補正とは、駆動トランジスタ T_{r1} のゲート・ソース間に保持される電圧（ゲート・ソース間電圧 V_{gs} ）を、駆動トランジスタ T_{r1} の移動度の大きさに応じて補正する動作を指している。信号書き込みと、移動度補正とは、互いに別個のタイミングで行われることもある。本実施の形態では、ライトスキャナ 32 が、1つの選択パルスを、走査線 WSL へ出力することによって、信号書き込みと、移動度補正とを同時に（もしくは間髪空けずに連続して）行うようになっている。なお、以下では、「ゲート電圧 V_g 」との記載は、特別な説明の無い場合には、駆動トランジスタ T_{r1} のゲート電圧 V_g を指す。「ゲート・ソース間電圧 V_{gs} 」との記載は、特別な説明の無い場合には、駆動トランジスタ T_{r1} のゲート・ソース間電圧 V_{gs} を指す。「閾値電圧 V_{th} 」との記載は、特別な説明の無い場合には、駆動トランジスタ T_{r1} の閾値電圧 V_{th} を指す。

30

40

【0032】

ライトスキャナ 32 は、例えば、2種類の電圧（ V_{on} 、 V_{off} ）を出力可能となっている。具体的には、ライトスキャナ 32 は、駆動対象の画素 11 へ、走査線 WSL を介して2種類の電圧（ V_{on} 、 V_{off} ）を供給し、書込トランジスタ T_{r2} のオンオフ制御を行う。オン電圧 V_{on} は、書込トランジスタ T_{r2} のオン電圧以上の値となっている

50

。オン電圧 V_{on} は、後述の「閾値補正準備期間」や、「閾値補正期間」、「信号書込・移動度補正期間」などにライトスキャナ 32 から出力される選択パルスの波高値である。オフ電圧 V_{off} は、書込トランジスタ Tr_2 のオン電圧よりも低い値となっており、かつ、オン電圧 V_{on} よりも低い値となっている。

【0033】

(コントローラ 20)

次に、コントローラ 20 について説明する。コントローラ 20 は、例えば、映像信号処理回路 21、タイミング生成回路 22 および電源回路 23 を有している。映像信号処理回路 21 は、例えば、外部から入力されたデジタルの映像信号 D_{in} に対して所定の補正を行い、それにより得られた映像信号に基づいて、信号電圧 V_{sig} を生成する。映像信号処理回路 21 は、例えば、生成した信号電圧 V_{sig} を水平セクタ 31 に出力する。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。タイミング生成回路 22 は、ドライバ 30 内の各回路が連動して動作するように制御するものである。タイミング生成回路 22 は、例えば、外部から入力された同期信号 T_{in} に応じて(同期して)、ドライバ 30 内の各回路に対して制御信号を出力する。

【0034】

電源回路 23 は、水平セクタ 31、ライトスキャナ 32、映像信号処理回路 21 およびタイミング生成回路 22 等の種々の回路で必要となる種々の固定電圧を生成し、供給する。電源回路 23 は、例えば、 V_{ss} 、 V_{cc1} 、 V_{cc2} などを生成し、上述の種々の回路に供給する。固定電圧 V_{ss} 、 V_{cc2} は、有機 EL 素子 14 の閾値電圧 V_{el} と、有機 EL 素子 14 のカソード電圧 V_{cath} とを足し合わせた電圧($V_{el} + V_{cath}$)よりも低い電圧値である。固定電圧 V_{cc2} は、固定電圧 V_{ss} よりも高い電圧である。固定電圧 V_{cc1} は、電圧($V_{el} + V_{cath}$)よりも高い電圧値である。

【0035】

電源回路 23 は、図 2、図 4 に示したように、第 1 電源 23A および第 2 電源 23B を有している。第 1 電源 23A は、制御信号の入力に応じて(同期して)各電源線 DSL_a に所定の電圧を印加する。第 2 電源 23B は、制御信号の入力に応じて(同期して)各電源線 DSL_b に所定の電圧を印加する。第 1 電源 23A および第 2 電源 23B は、例えば、3 種類の電圧(V_{cc1} 、 V_{cc2} 、 V_{ss})を出力可能となっている。第 1 電源 23A は、例えば、各電源線 DSL_a を介して、奇数番目の各画素行に含まれる各画素 11 に 3 種類の電圧(V_{cc1} 、 V_{cc2} 、 V_{ss})を供給する。第 2 電源 23B は、例えば、各電源線 DSL_b を介して、偶数番目の各画素行に含まれる各画素 11 に 3 種類の電圧(V_{cc1} 、 V_{cc2} 、 V_{ss})を供給する。

【0036】

[動作]

次に、表示装置 1 の動作(消光から発光までの動作)について説明する。本実施の形態では、有機 EL 素子 14 の I-V 特性が経時変化しても、その影響を受けることなく、有機 EL 素子 14 の発光輝度を一定に保つようにするために、有機 EL 素子 14 の I-V 特性の変動に対する補償動作を組み込んでいる。さらに、本実施の形態では、駆動トランジスタ Tr_1 の閾値電圧や移動度が経時変化しても、それらの影響を受けることなく、有機 EL 素子 14 の発光輝度を一定に保つようにするために、上記閾値電圧や上記移動度の変動に対する補正動作を組み込んでいる。

【0037】

図 6 は、1 つの画素 11 に着目したときの信号線 DTL 、走査線 WSL 、および電源線 DSL_a もしくは電源線 DSL_b に印加される電圧ならびに駆動トランジスタ Tr_1 のゲート電圧 V_g およびソース電圧 V_s の経時変化の一例を表したものである。なお、以下では、「ソース電圧 V_s 」との記載は、特別な説明の無い場合には、駆動トランジスタ Tr_1 のソース電圧 V_s を指す。

【0038】

まず、コントローラ 20 およびドライバ 30 は、画素 11 を消光する。具体的には、走

10

20

30

40

50

査線WSLの電圧がVoffとなっており、信号線DTLの電圧がVofs1となっており、電源線DSL aまたは電源線DSL bの電圧がVccとなっている時（つまり有機EL素子14が発光している時）に、電源回路23は、制御信号に応じて、電源線DSL aまたは電源線DSL bの電圧をVccからVssに下げる（時刻T1）。すると、ソース電圧VsがVss近傍まで下がり、有機EL素子14が消光する。このとき、保持容量Csを介したカップリングによりゲート電圧Vgも下がる。

【0039】

（補正準備期間）

次に、コントローラ20およびドライバ30は、閾値補正の準備を行う。具体的には、電源線DSL aまたは電源線DSL bの電圧がVssとなっており、かつ信号線DTLの電圧がVofs1となっている間に、ライトスキャナ32は、制御信号に応じて、走査線WSLの電圧をVoffからVonに上げる（時刻T2）。すると、ゲート電圧VgがVofs1となり、ソース電圧VsがVssとなる。このとき、ゲート-ソース間電圧Vgsは、閾値電圧Vthよりも高くなっており、駆動トランジスタTr1はオンしている。その後、水平セクタ31は、制御信号に応じて、信号線DTLの電圧をVofs1からVofs2に切り替える。すると、ゲート電圧VgがVofs1からVofs2に下がる。このとき、ソース電圧VsはVssのまま変わらないので、ゲート-ソース間電圧Vgsが、Vofs2-Vssとなり、閾値電圧Vthよりも低くなる。その結果、駆動トランジスタTr1がオフする。その後、ライトスキャナ32は、制御信号に応じて、走査線WSLの電圧をVonからVoffに下げる（時刻T3）

【0040】

（閾値補正期間）

次に、コントローラ20およびドライバ30は、駆動トランジスタTr1の閾値補正を行う。具体的には、信号線DTLの電圧がVofs2となっており、かつ、走査線WSLの電圧がVoffとなっている間に、電源回路23は、制御信号に応じて、電源線DSLの電圧をVssからVcc2に上げる。続いて、水平セクタ31は、制御信号に応じて、信号線DTLの電圧をVofs2からVofs1に切り替えたのち、各画素行に対応する信号電圧Vsigを順次、信号線DTLに印加する。このとき、ライトスキャナ32は、1行目の画素行に対応する信号電圧VsigのパルスP1が入力される前に、走査線WSLの電圧をVoffからVonに上げるパルスP2を走査線WSLに印加する（時刻T4）。すると、ゲート電圧VgがVofs1まで上がり、駆動トランジスタTr1がオンするので、駆動トランジスタTr1のドレイン-ソース間に電流が流れ、ソース電圧Vsが上昇する。その結果、保持容量CsがVthに充電され、ゲート-ソース間電圧VgsがVthとなる。駆動トランジスタTr1がオンしている間に、ソース電圧VsがVofs1-Vthにまで到達しない場合（閾値補正がまだ完了していない場合）には、駆動トランジスタTr1がカットオフするまで（ゲート-ソース間電圧VgsがVthになるまで）、ライトスキャナ32は、パルスP1が入力される前に、繰り返し、パルスP2を走査線WSLに印加してもよい。

【0041】

その後、水平セクタ31が信号線DTLの電圧をVofsからVsigに切り替える前に、ライトスキャナ32は、制御信号に応じて、走査線WSLの電圧をVonからVoffに下げる（時刻T5）。すると、駆動トランジスタTr1のゲートがフローティングとなるので、ゲート-ソース間電圧Vgsを信号線DTLの電圧の大きさに拘わらずVthのままで維持することができる。このように、ゲート-ソース間電圧VgsをVthに設定することにより、駆動トランジスタTr1の閾値電圧Vthが画素回路13ごとにばらついた場合であっても、有機EL素子14の発光輝度がばらつくのをなくすることができる。

【0042】

（信号書込・移動度補正期間）

閾値補正が完了した後、コントローラ20およびドライバ30は、映像信号Dinに応

じた信号電圧 V_{sig} の書き込みと、移動度補正を行う。具体的には、信号線 DTL の電圧が V_{sig} となっており、かつ電源線 $DSL a$ または電源線 $DSL b$ の電圧が V_{cc2} となっている間に、ライトスキャナ 32 は、制御信号に応じて、走査線 WSL の電圧を V_{off} から V_{on} に上げ（時刻 $T6$ ）、駆動トランジスタ $Tr1$ のゲートを信号線 DTL に接続する。すると、ゲート電圧 V_g が信号線 DTL の電圧 V_{sig} となる。このとき、有機 EL 素子 14 のアノード電圧はこの段階ではまだ有機 EL 素子 14 の閾値電圧 V_{el} よりも小さく、有機 EL 素子 14 はカットオフしている。そのため、ゲート - ソース間の電流は有機 EL 素子 14 の素子容量 C_{oled} に流れ、素子容量 C_{oled} が充電されるので、ソース電圧 V_s が V_s だけ上昇し、やがてゲート - ソース間電圧 V_{gs} が $V_{sig} + V_{th} - V_s$ となる。このようにして、書き込みと同時に移動度補正が行われる。ここで、駆動トランジスタ $Tr1$ の移動度が大きい程、 V_s も大きくなるので、ゲート - ソース間電圧 V_{gs} を発光前に V_s だけ小さくすることにより、画素 11 ごとの移動度のばらつきを取り除くことができる。

10

【0043】

その後、ライトスキャナ 32 は、制御信号に応じて、走査線 WSL の電圧を V_{on} から V_{off} に下げる（時刻 $T7$ ）。すると、駆動トランジスタ $Tr1$ のゲートがフローティングとなり、駆動トランジスタ $Tr1$ のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。しかし、電源線 $DSL a$ または電源線 $DSL b$ の電圧が V_{cc2} となっているので、有機 EL 素子 14 に閾値電圧 V_{el} 未満の電圧しか印加されない。そのため、有機 EL 素子 14 は消光を維持する。

20

【0044】

（発光）

各画素 11 において信号書込・移動度補正が完了した後、電源線 33 は、制御信号に応じて、電源線 $DSL a$ または電源線 $DSL b$ の電圧を V_{cc2} から V_{cc1} に上げる（時刻 $T8$ ）。すると、駆動トランジスタ $Tr1$ のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機 EL 素子 14 に閾値電圧 V_{el} 以上の電圧が印加され、有機 EL 素子 14 が所望の輝度で発光する。

【0045】

コントローラ 20 およびドライバ 30 は、例えば、図 7 に示したように、2 行目の画素行から最終行の画素行に対する閾値補正および信号書込・移動度補正を、時刻 $T7$ から時刻 $T8$ の間において、画素行ごとに順次行う。

30

【0046】

次に、表示パネル 10 に適用される発光制御について説明する。図 8 は、表示パネル 10 に適用される発光制御の一例を表したものである。コントローラ 20 およびドライバ 30 は、1 フィールド（1 F）期間を前半と後半の 2 つの期間に分け、奇数画素行と偶数画素行とで交互に発光を行う。コントローラ 20 およびドライバ 30 は、1 F 期間の前半に、偶数画素行に含まれる各画素 11 を発光させるとともに、奇数画素行に含まれる各画素 11 を消光させる。コントローラ 20 およびドライバ 30 は、1 F 期間の後半に、偶数画素行に含まれる各画素 11 を消光させるとともに、奇数画素行に含まれる各画素 11 を発光させる。

40

【0047】

コントローラ 20 およびドライバ 30 は、奇数画素行に含まれる各画素 11 を消光させる期間（垂直のブランキング期間）に、閾値補正準備や、閾値補正、信号書込・移動度補正などを行う。さらに、コントローラ 20 およびドライバ 30 は、偶数画素行に含まれる各画素 11 を消光させる期間（垂直のブランキング期間）に、閾値補正準備や、閾値補正、信号書込・移動度補正などを行う。コントローラ 20 およびドライバ 30 は、1 F 期間の前半（垂直のブランキング期間）に、閾値補正準備を各奇数画素行に対して同時に行った後に、補正処理（例えば、閾値補正）および信号書込・移動度補正を各奇数画素行に対して順次行う。コントローラ 20 およびドライバ 30 は、さらに、1 F 期間の後半（垂直のブランキング期間）に、閾値補正準備を各偶数画素行に対して同時に行った後に、補正

50

処理（例えば、閾値補正）、信号書込・移動度補正を各偶数画素行に対して順次行う。

【0048】

例えば、1 F 期間の前半（垂直のブランキング期間）において、第1電源23Aが各電源線DSL aの電圧をVcc2にするとともに、水平セクタ31が信号線DTLの電圧をVofs1にしている時に、ライトスキャナ32が電圧Vonのパルス印加を奇数番目の各走査線WSLに対して順次行う。これにより、各奇数画素行に対して閾値補正が順次行われる。1 F 期間の後半（垂直のブランキング期間）において、第2電源23Bが各電源線DSL bの電圧をVcc2にするとともに、水平セクタ31が信号線DTLの電圧をVofs1にしている時に、ライトスキャナ32が電圧Vonのパルス印加を偶数番目の各走査線WSLに対して順次行う。これにより、各偶数画素行に対して閾値補正が順次行われる。

10

【0049】

また、例えば、1 F 期間の前半（垂直のブランキング期間）において、第1電源23Aが各電源線DSL aの電圧をVcc2にするとともに、水平セクタ31が信号線DTLの電圧をVsigにしている時に、ライトスキャナ32が電圧Vonのパルス印加を奇数番目の各走査線WSLに対して順次行う。これにより、各奇数画素行に対して信号書込が順次行われ、さらに、各奇数画素行に対して信号書込と同時に移動度補正が行われる。1 F 期間の後半（垂直のブランキング期間）において、第2電源23Bが各電源線DSL bの電圧をVcc2にするとともに、水平セクタ31が信号線DTLの電圧をVsigにしている時に、ライトスキャナ32が電圧Vonのパルス印加を偶数番目の各走査線WSLに対して順次行う。これにより、各偶数画素行に対して信号書込が順次行われ、さらに、各偶数画素行に対して信号書込と同時に移動度補正が行われる。

20

【0050】

なお、コントローラ20およびドライバ30は、例えば、図9に示したように、図8に示した発光制御における発光期間とブランキング期間とを入れ換えて行ってもよい。

【0051】

[効果]

次に、比較例と対比しつつ、表示装置1の効果について説明する。

【0052】

図10は、比較例に係る表示パネル110の回路構成の一例を表したものである。図11は、表示パネル110に適用される発光制御の一例を表したものである。表示パネル110では、全ての電源線DSLが1つの電源123に接続されており、全ての電源線DSLの電圧が1つの電源123によって制御される。そのため、1 F 期間の前半の垂直のブランキング期間に、共通の電源線DSL電位を用いて閾値補正準備が一斉に行われ、さらに、閾値補正および信号書込み・移動度補正が順次行われる。その後、共通の電源線DSL電位を一斉に発光電位まで上げることで、全面同時発光が行われ、1 F 期間の後半の発光期間に移行する。このように、パネル110では、複数の電源線DSLに順次、電圧を印加するスキャナ回路を用いずに、閾値補正準備、閾値補正、信号書込み、移動度補正を行うことができるので、スキャナ回路が省略された分だけ、表示パネル110を狭額縁にすることができる。しかし、この方法では、発光期間が1 F 期間の半分程度しかないので、フリッカーによる発光ちらつきが生じてしまう。

30

40

【0053】

そこで、例えば、図12に示したように、表示パネル110を上半分と下半分とに分け、発光期間を1 F 期間で2回に分けるとともに、表示パネル110の上半分と下半分とにそれぞれ1つずつ、電源を設けることが考えられる。なお、ブランキング期間も1 F 期間で2回に分けられるが、1 F 期間内の一方のブランキング期間において、閾値補正準備、閾値補正、信号書込み、移動度補正が行われ、1 F 期間内の他方のブランキング期間においては、次の発光期間が始まるまで単に消光が維持される。このようにした場合には、垂直方向の走査速度を変えずに、発光周波数を2倍にすることができる。その結果、フリッカーによる発光ちらつきを低減することができる。しかし、この方法では、表示パネル1

50

10の上半分と下半分との境界に対応する箇所に筋が発生してしまう。

【0054】

一方、表示装置1では、奇数番目の各画素行に割り当てられた各電源線DSL aが互いに電氣的に接続され、偶数番目の各画素行に割り当てられた各電源線DSL bが互いに電氣的に接続されている。従って、各電源線DSL aに対して1つの電源23 Aを用意し、各電源線DSL bに対して1つの電源23 Bを用意すればよいので、電源スキャナを用意する必要がない。また、奇数番目の各画素行の発光制御と、偶数番目の各画素行の発光制御とを互いに独立に行うことができるので、例えば、1 F 期間を前半と後半の2つの期間に分け、奇数画素行と偶数画素行とで交互に発光を行うことが可能である。その結果、フリッカーによる発光ちらつきを抑えた狭額縁の表示パネル10を実現することができる。

10

【0055】

また、表示装置1では、例えば、図4に示したように、各電源線DSL aおよび各電源線DSL bが、各信号線DTLと同一の層内に配置されているので、新たな工程を追加することなく、表示パネル10を製造することができる。従って、フリッカーによる発光ちらつきを抑えた狭額縁の表示パネル10を低コストで提供することができる。

【0056】

また、表示装置1では、各電源線DSLを各信号線DTLと同一の層内に配置するために、表示パネル10の配線レイアウトに対して種々の工夫がなされている。まず、各電源線DSLが各信号線DTLの延在方向と同一の方向に延在している。つまり、各電源線DSLと、各信号線DTLとが互いに並走している。さらに、奇数番目の各画素行において互いに隣接する2つの画素11ごとに、1つの電源線DSL aが割り当てられている。さらに、偶数番目の各画素行において互いに隣接する2つの画素11ごとに、1つの電源線DSL bが割り当てられている。さらに、各電源線DSL aに割り当てられた2つの画素11と、各電源線DSL bに割り当てられた2つの画素11とは、1画素分だけ互い違いにずれて配置されている。これらの工夫に対して、新たな工程を追加する必要はない。従って、フリッカーによる発光ちらつきを抑えた狭額縁の表示パネル10を低コストで提供することができる。

20

【0057】

< 2 . 変形例 >

以下に、表示装置1の変形例について説明する。なお、以下では、上記実施の形態の表示装置1と共通する構成要素に対しては、同一の符号が付与される。さらに、上記実施の形態の表示装置1と共通する構成要素についての説明は、適宜、省略されるものとする。

30

【0058】

[変形例A]

上記実施の形態では、各電源線DSL aおよび各電源線DSL bが各信号線DTLの延在方向と同一の方向に延在していた。しかし、上記実施の形態において、各電源線DSL aおよび各電源線DSL bが、各信号線DTLとは異なる層内に配置されている場合には、例えば、図13に示したように、各電源線DSL aおよび各電源線DSL bは、各信号線DTLと直交する方向（つまり、各走査線WSLの延在方向と同一の方向）に延在していてもよい。ただし、その場合には、各電源線DSL aを束ねる配線DSL 1, DSL 2と、各電源線DSL bを束ねる配線DSL 3, DSL 4とが、左右の額縁領域に必要となる。なお、各電源線DSL aにおいて、配線DSL 1だけでなく、配線DSL 2も必要であるのは、各電源線DSL aがパネルの長手方向（左右方向）に延在している場合には、発光電流による電圧降下を抑える必要があるためである。また、各電源線DSL bにおいて、配線DSL 3だけでなく、配線DSL 4も必要であるのは、各電源線DSL bがパネルの長手方向（左右方向）に延在している場合には、発光電流による電圧降下を抑える必要があるためである。このように、配線DSL 1, DSL 2, DSL 3, DSL 4が左右の額縁領域に設けられている場合には、配線DSL 1, DSL 2, DSL 3, DSL 4の分だけ、左右の額縁領域が大きくなるが、スキャナ回路が設けられている場合よりも、左右の額縁領域を狭くすることができる。

40

50

【 0 0 5 9 】

[変形例 B]

上記実施の形態では、各画素 1 1 に含まれる 4 つのサブ画素 1 2 は、 2×2 の行列に配置されていた。しかし、上記実施の形態および変形例 A において、各画素 1 1 に含まれる 4 つのサブ画素 1 2 は、例えば、図 1 4 に示したように、 1×4 の行列に配置されているもよい。

【 0 0 6 0 】

本変形例では、各画素 1 1 は、複数のサブ画素 1 2 で構成されている。サブ画素 1 2 が、本技術の「サブ画素」の一具体例に対応する。さらに、画素行ごとに、1 本の走査線 W S L が割り当てられており、各画素行において、サブ画素 1 2 ごとに、1 本の信号線 D T L が割り当てられている。

10

【 0 0 6 1 】

奇数番目の各画素行（上から 1 画素行目、3 画素行目、・・・）には、複数の電源線 D S L のうち所定の複数の電源線 D S L a が割り当てられている。偶数番目の各画素行（上から 2 画素行目、4 画素行目、・・・）には、複数の電源線 D S L のうち所定の複数の電源線 D S L b が割り当てられている。複数の電源線 D S L a は、例えば、偶数番目の電源線 D S L（上から 2 番目の電源線 D S L、4 番目の電源線 D S L、・・・）である。さらに、複数の電源線 D S L b は、例えば、奇数番目の電源線 D S L（上から 1 番目の電源線 D S L、3 番目の電源線 D S L、・・・）である。なお、複数の電源線 D S L a は、奇数番目の電源線 D S L であってもよい。このとき、複数の電源線 D S L b は、偶数番目の電源線 D S L であってもよい。

20

【 0 0 6 2 】

奇数番目の各画素行において互いに隣接する 2 つのサブ画素 1 2 ごとに、1 つの電源線 D S L a が割り当てられている。さらに、偶数番目の各画素行において互いに隣接する 2 つのサブ画素 1 2 ごとに、1 つの電源線 D S L b が割り当てられている。各電源線 D S L a に割り当てられた 2 つのサブ画素 1 2 と、各電源線 D S L b に割り当てられた 2 つのサブ画素 1 2 とは、1 サブ画素 1 2 分だけ互い違いにずれて配置されている。各電源線 D S L a は、各電源線 D S L a に割り当てられた 2 つのサブ画素 1 2 の間に配置されている。各電源線 D S L b は、各電源線 D S L b に割り当てられた 2 つのサブ画素 1 2 の間に配置されている。

30

【 0 0 6 3 】

各信号線 D T L は、水平セクタ 3 1 の出力端に接続されている。各走査線 W S L は、ライトスキャナ 3 2 の出力端に接続されている。各電源線 D S L a は、第 1 電源 2 3 A の出力端に接続されている。各電源線 D S L b は、第 2 電源 2 3 B の出力端に接続されている。

【 0 0 6 4 】

本変形例では、上記実施の形態と同様、フリッカーによる発光ちらつきを抑えた狭額縁の表示パネル 1 0 を低コストで提供することができる。

【 0 0 6 5 】

ところで、本変形例においても、各電源線 D S L を各走査線 W S L と同一の層内に配置するために、表示パネル 1 0 の配線レイアウトに対して種々の工夫がなされている。まず、各電源線 D S L が各信号線の延在方向と同一の方向に延在している。さらに、奇数番目の各画素行において互いに隣接する 2 つのサブ画素 1 2 ごとに、1 つの電源線 D S L a が割り当てられている。さらに、偶数番目の各画素行において互いに隣接する 2 つのサブ画素 1 2 ごとに、1 つの電源線 D S L b が割り当てられている。さらに、各電源線 D S L a に割り当てられた 2 つのサブ画素 1 2 と、各電源線 D S L b に割り当てられた 2 つのサブ画素 1 2 とは、1 画素分だけ互い違いにずれて配置されている。これらの工夫に対して、新たな工程を追加する必要はない。従って、本変形例においても、フリッカーによる発光ちらつきを抑えた狭額縁の表示パネル 1 0 を低コストで提供することができる。

40

【 0 0 6 6 】

50

[変形例 C]

上記実施の形態では、各画素 11 は、4つのサブ画素 12 を有していた。しかし、上記実施の形態および変形例 A において、各画素 11 は、例えば、図 15 に示したように、3つのサブ画素 12 を有していてもよい。3つのサブ画素 12 は、1×3の行列に配置されている。各画素 11 に含まれる3つのサブ画素 12 は、例えば、サブ画素 11R, 11G, 11B で構成されている。本変形例では、各サブ画素 12 と、複数の走査線 WSL、複数の信号線 DTL および複数の電源線 DSL との接続態様は、上記変形例 A と同様である。

【0067】

本変形例では、上記実施の形態と同様、フリッカーによる発光ちらつきを抑えた狭額縁の表示パネル 10 を低コストで提供することができる。

10

【0068】

< 3. 適用例 >

以下、上記実施の形態およびその変形例（以下、「上記実施の形態等」と称する。）で説明した表示装置 1 の適用例について説明する。上記実施の形態の表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0069】

20

図 16 は、本適用例に係る電子機器 2 の概略構成例を表したものである。電子機器 2 は、例えば、折りたたみ可能な2枚の板状の筐体のうちの一方の筐体の主面に表示面 2A を備えたノート型のパーソナルコンピュータである。電子機器 2 は、上記実施の形態等の表示装置 1 を備えており、例えば、表示面 2A の位置に表示パネル 10 を備えている。本適用例では、表示装置 1 が設けられているので、表示面 2A の周囲に設けられたフレームが狭額縁となっている。

【0070】

以上、実施の形態、変形例および適用例を挙げて本技術を説明したが、本技術は実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本技術の効果は、本明細書中に記載された効果に限定されるものではない。本技術が、本明細書中に記載された効果以外の効果を持ってもよい。

30

【0071】

また、例えば、本技術は以下のような構成を取ることができる。

(1)

行列状に配置された複数の画素と、
行方向に延在する複数の走査線と、
列方向に延在する複数の信号線および複数の電源線と
を備え、

40

複数の電源線は、
奇数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 1 電源線と、

偶数番目の各画素行に割り当てられるとともに互いに電氣的に接続された複数の第 2 電源線と

により構成されている

表示パネル。

(2)

奇数番目の各画素行において互いに隣接する2つの前記画素ごとに、1つの前記第 1 電源線が割り当てられ、

50

偶数番目の各画素行において互いに隣接する2つの前記画素ごとに、1つの前記第2電源線が割り当てられている

(1)に記載の表示パネル。

(3)

各前記第1電源線に割り当てられた2つの前記画素と、各前記第2電源線に割り当てられた2つの前記画素とは、1画素分だけ互い違いにずれて配置されている

(2)に記載の表示パネル。

(4)

各画素は、複数のサブ画素で構成され、

奇数番目の各画素行において互いに隣接する2つの前記サブ画素ごとに、1つの前記第1電源線が割り当てられ、

偶数番目の各画素行において互いに隣接する2つの前記サブ画素ごとに、1つの前記第2電源線が割り当てられている

(1)に記載の表示パネル。

(5)

各前記第1電源線に割り当てられた2つの前記サブ画素と、各前記第2電源線に割り当てられた2つの前記サブ画素とは、1サブ画素分だけ互い違いにずれて配置されている

(4)に記載の表示パネル。

(6)

各前記電源線は、各前記信号線と同一の層内に配置されている

(1)ないし(5)のいずれか1つに記載の表示パネル。

(7)

表示パネルと、

前記表示パネルを駆動する駆動回路と

を備え、

前記表示パネルは、

行列状に配置された複数の画素と、

行方向に延在する複数の走査線と、

列方向に延在する複数の信号線および複数の電源線と

を有し、

複数の電源線は、

奇数番目の各画素行に割り当てられた複数の第1電源線と、

偶数番目の各画素行に割り当てられた複数の第2電源線と

により構成されている

表示装置。

(8)

前記駆動回路は、1F期間を前半と後半の2つの期間に分け、奇数画素行と偶数画素行とで交互に発光を行う

(7)に記載の表示装置。

(9)

前記駆動回路は、1F期間の前半に、偶数画素行に含まれる各前記画素を発光させるとともに、奇数画素行に含まれる各前記画素を消光させ、1F期間の後半に、偶数画素行に含まれる各前記画素を消光させるとともに、奇数画素行に含まれる各前記画素を発光させる

(8)に記載の表示装置。

(10)

前記駆動回路は、偶数画素行に含まれる各前記画素を消光させる期間に、偶数画素行に含まれる各前記画素に対して、補正処理を同時に行い、さらに、奇数画素行に含まれる各前記画素を消光させる期間に、奇数画素行に含まれる各前記画素に対して、前記補正処理を同時に行う

10

20

30

40

50

(9) に記載の表示装置。

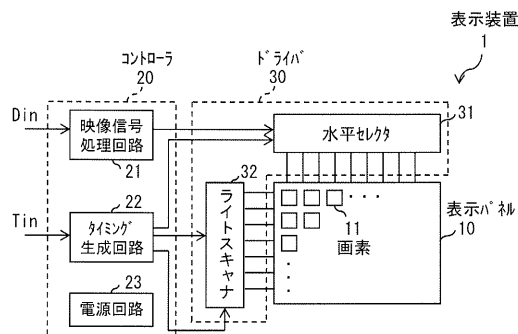
【符号の説明】

【 0 0 7 2 】

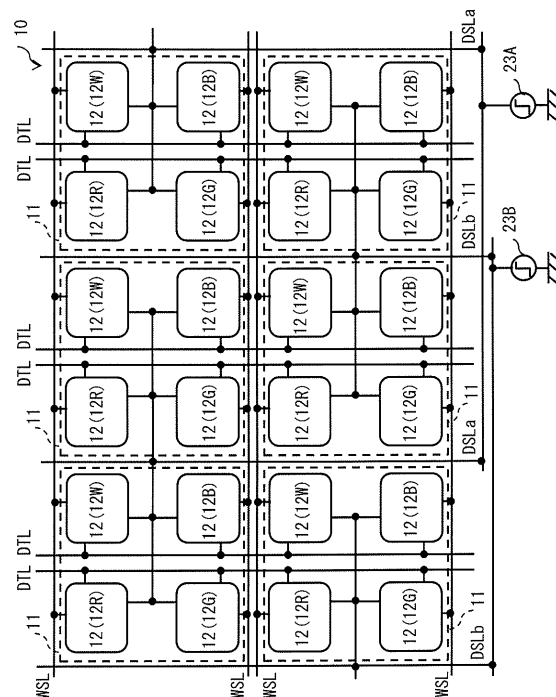
1 ... 表示装置、10、110 ... 表示パネル、11 ... 画素、12、12R、12G、12B、12W ... サブ画素、13 ... 画素回路、14 ... 有機EL素子、15A、15B ... 半導体層、16A、16B ... 電源、17A、18A ... ゲート、17B、17C、18B、18C ... ソース・ドレイン領域、20 ... コントローラ、21 ... 映像信号処理回路、22 ... タイミング生成回路、23 ... 電源回路、23A ... 第1電源、23B ... 第2電源、30 ... ドライバ、31 ... 水平セクタ、32 ... ライトスキャナ、123 ... 電源、Cs ... 容量素子、Din ... 映像信号、DSL、DSL a、DSL b ... 電源線、DTL ... 信号線、H1、H2、H3、H4 ... コンタクトホール、T1、T2、T3、T4、T5、T6、T7、T8 ... 時刻、Tin ... 同期信号、Tr1 ... 駆動トランジスタ、Tr2 ... 書込トランジスタ、Vcc、Vcc1、Vcc2、Vofs、Vofs1、Vofs2、Vss ... 固定電圧、Vg ... ゲート電圧、Vgs ... ゲート・ソース間電圧、Von ... オン電圧、Voff ... オフ電圧、Vs ... ソース電圧、Vsig ... 信号電圧、Vth ... 閾値電圧、WSL ... 走査線。

10

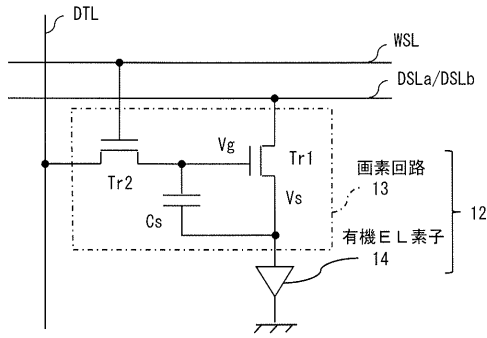
【 図 1 】



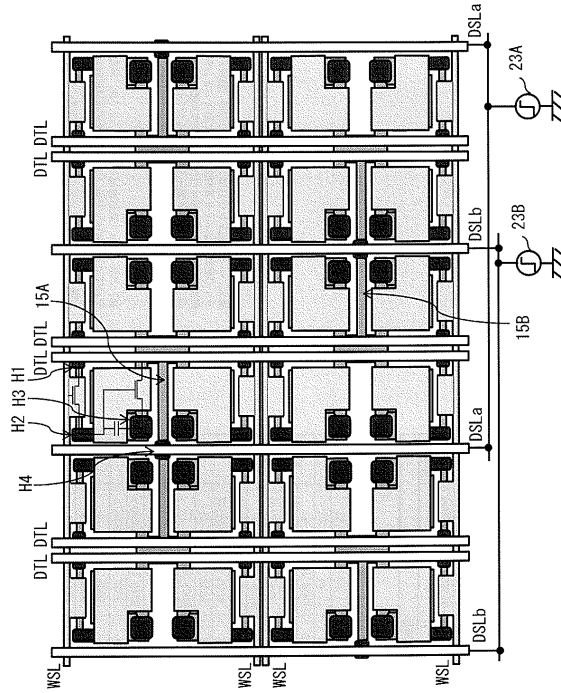
【 図 2 】



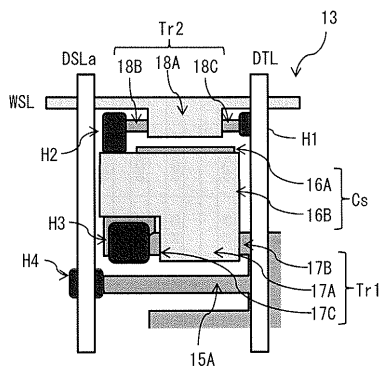
【図 3】



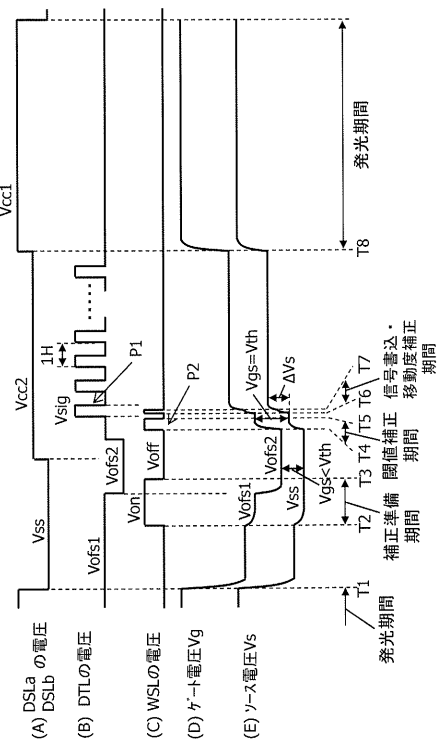
【図 4】



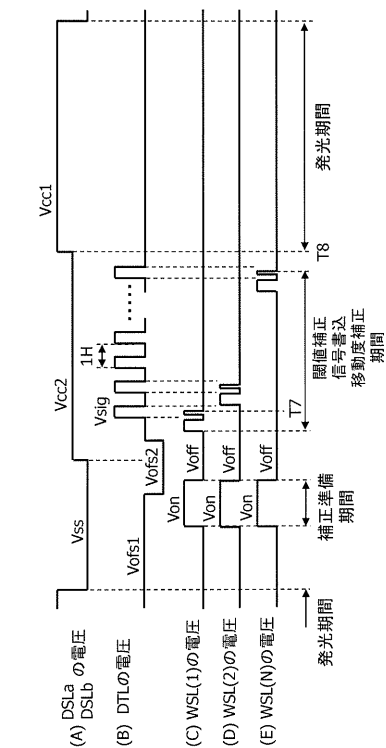
【図 5】



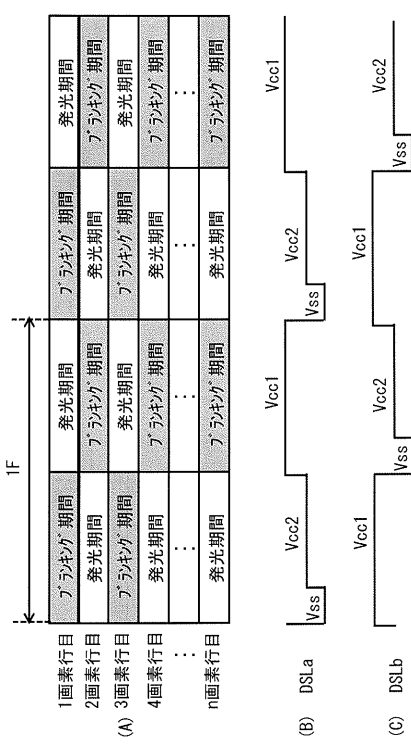
【図 6】



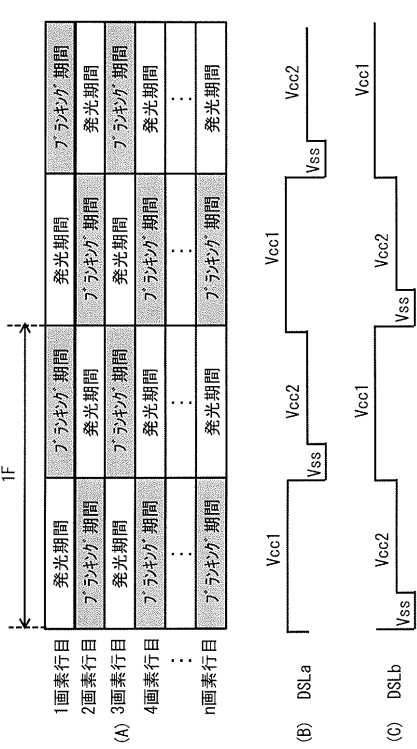
【図 7】



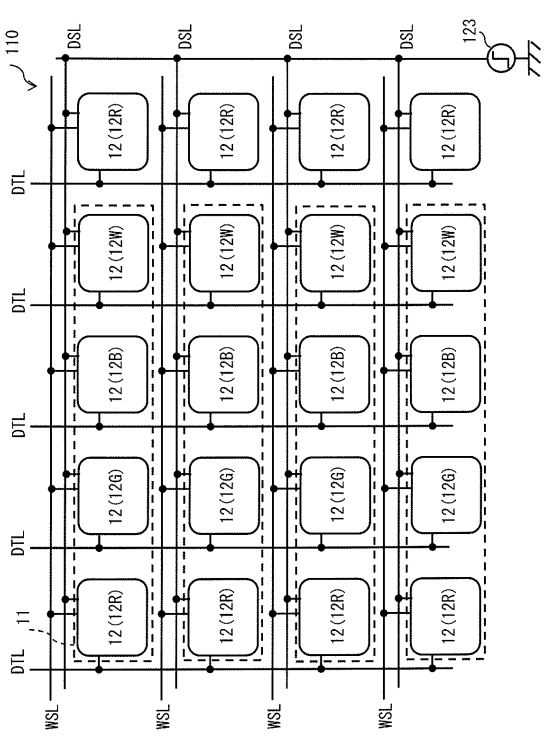
【図 8】



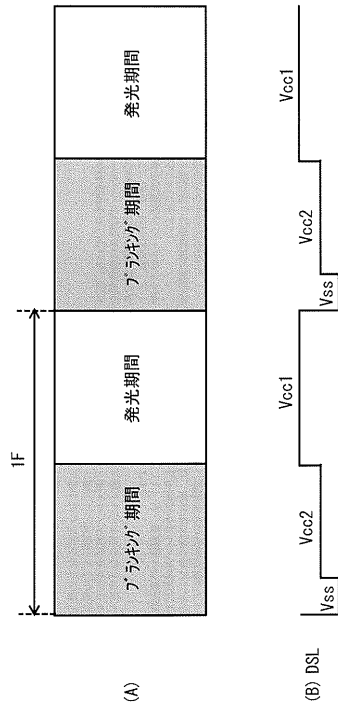
【図 9】



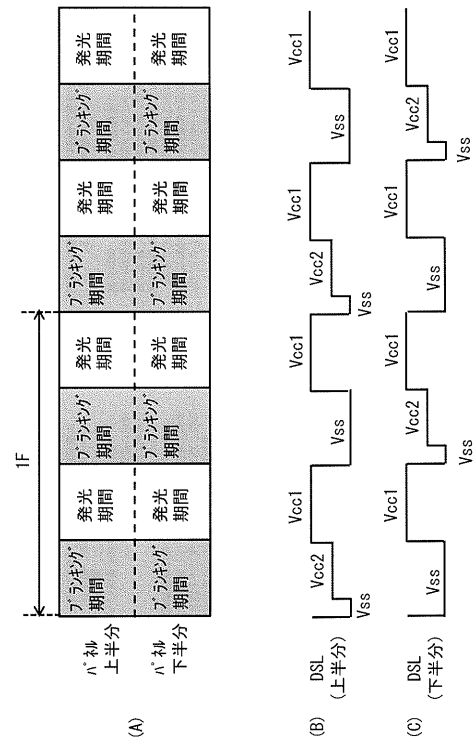
【図 10】



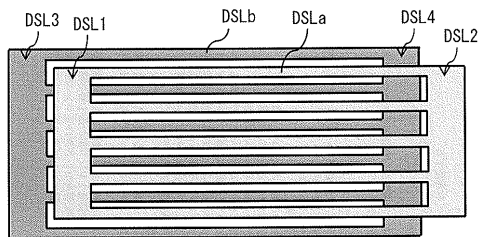
【図 1 1】



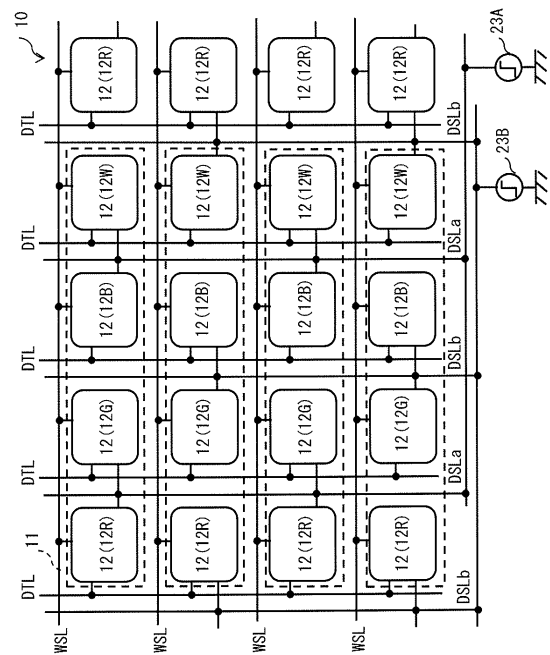
【図 1 2】



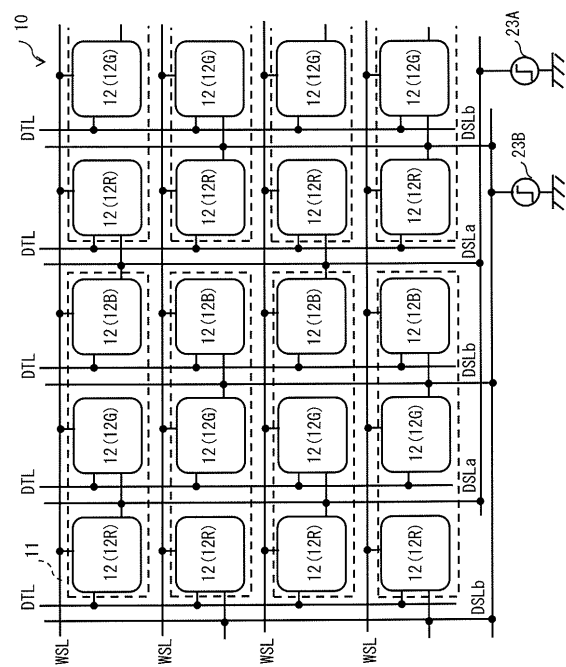
【図 1 3】



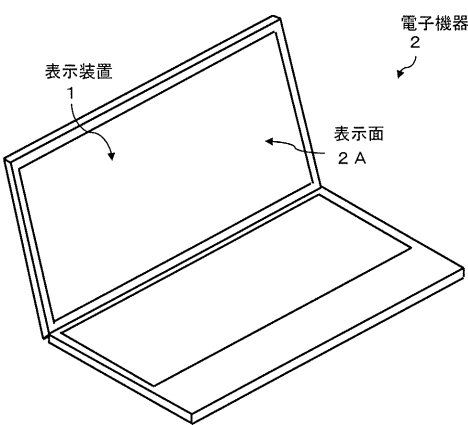
【図 1 4】



【図 15】



【図 16】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 4 1 D
	G 0 9 G	3/20	6 4 2 A
	H 0 5 B	33/14	A
	H 0 5 B	33/02	

(56)参考文献 特開 2 0 1 3 - 2 3 1 9 2 0 (J P , A)
 国際公開第 2 0 1 2 / 0 5 3 4 6 2 (W O , A 1)
 特開 2 0 1 2 - 1 2 3 3 4 9 (J P , A)
 特開 2 0 0 9 - 1 4 5 5 3 1 (J P , A)
 米国特許出願公開第 2 0 1 3 / 0 2 0 8 0 1 9 (U S , A 1)
 韓国公開特許第 1 0 - 2 0 1 3 - 0 0 5 1 1 9 0 (K R , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 F 9 / 3 0
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 0
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 0 2