

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-543353

(P2009-543353A)

(43) 公表日 平成21年12月3日(2009.12.3)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 29/78 (2006.01)</b>	H O 1 L 29/78 3 O 1 D	5 F 1 4 O
	H O 1 L 29/78 3 O 1 V	

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

(21) 出願番号 特願2009-518494 (P2009-518494)  
 (86) (22) 出願日 平成19年6月25日 (2007. 6. 25)  
 (85) 翻訳文提出日 平成21年1月28日 (2009. 1. 28)  
 (86) 国際出願番号 PCT/US2007/072034  
 (87) 国際公開番号 W02008/002879  
 (87) 国際公開日 平成20年1月3日 (2008. 1. 3)  
 (31) 優先権主張番号 11/479, 149  
 (32) 優先日 平成18年6月29日 (2006. 6. 29)  
 (33) 優先権主張国 米国 (US)

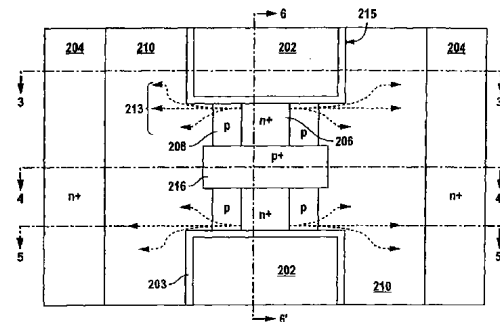
(71) 出願人 599011355  
 フェアチャイルド・セミコンダクター・コーポレーション  
 アメリカ合衆国メイン州04106, サウス・ポートランド, ラニング・ヒル・ロード 82  
 (74) 代理人 100079119  
 弁理士 藤村 元彦  
 (74) 代理人 100109036  
 弁理士 永岡 重幸  
 (72) 発明者 ジョン チャンキ  
 大韓民国 キンボシティ キョンキードー  
 ブックビヨンドン プンニョン 311-1403

最終頁に続く

(54) 【発明の名称】 直接的ソース-ドレイン電流経路を有する横型トレンチゲートFET

## (57) 【要約】

電界効果トランジスタは半導体領域内に伸長するトレンチゲートを含む。当該トレンチゲートは、ドレイン領域と対向した前壁及び当該前壁に垂直な側壁を有する。チャネル領域は、当該トレンチの側壁に沿って伸長し、ドリフト領域は少なくとも当該ドレイン領域と当該トレンチゲートに沿って伸長する。当該ドリフト領域は交互の導電タイプのシリコン層のスタックを含む。



**【特許請求の範囲】****【請求項 1】**

電界効果トランジスタ（FET）であって、

第 1 導電タイプのドレイン領域と対向した前壁及び前記前壁と垂直な側壁を有して半導体領域内に伸長しているトレンチゲートと、

前記トレンチゲートの前記側壁に沿って形成されたチャネル領域と、

少なくとも前記ドレイン領域と前記トレンチゲートとの間に伸長しかつ交互の導電タイプのシリコン層のスタックを含むドリフト領域と、  
を含むことを特徴とする電界効果トランジスタ。

**【請求項 2】**

10

請求項 1 記載の FET であって、前記 FET がオン状態のときに、電流が前記第 1 導電タイプの前記スタックのシリコン層を通して前記チャネル領域から前記ドレイン領域まで横方向に流れることを特徴とする FET。

**【請求項 3】**

請求項 1 記載の FET であって、前記トレンチゲートの前記側壁と隣り合った第 2 導電タイプのボディ領域と、前記ボディ領域内の前記第 1 導電タイプのソース領域と、をさらに含み、前記チャネル領域が、前記ソース領域の外周と前記ボディ領域の外周との間のボディ領域内に伸長していることを特徴とする FET。

**【請求項 4】**

請求項 3 記載の FET であって、前記ソース領域と前記ドレイン領域とが前記 FET の頂部表面に形成された別個の相互接続層によって電氣的に接触させられていることを特徴とする FET。

20

**【請求項 5】**

請求項 3 記載の FET であって、前記第 2 導電タイプの基板と、前記基板上に伸長した交互の導電タイプのシリコン層のスタックと、をさらに含み、前記トレンチゲートは、前記交互の導電タイプのシリコン層のスタック内に伸長しかつ前記ボディ領域の底部表面と前記基板の頂部表面との間の距離の下半分内の深さで終端していることを特徴とする FET。

**【請求項 6】**

請求項 3 記載の FET であって、前記ソース領域と隣り合ったヘビーボディ領域をさらに含むことを特徴とする FET。

30

**【請求項 7】**

請求項 6 記載の FET であって、前記第 2 導電タイプの基板と、前記基板上に伸長している前記交互の導電タイプのシリコン層のスタックと、をさらに含み、前記ヘビーボディ領域が前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して前記基板内で終端していることを特徴とする FET。

**【請求項 8】**

請求項 6 記載の FET であって、前記ヘビーボディ領域が前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して前記第 2 導電タイプの前記スタックのシリコン層と電氣的に短絡していることを特徴とする FET。

40

**【請求項 9】**

請求項 1 記載の FET であって、前記トレンチゲートが、前記トレンチゲートの前記前壁及び側壁をライニングする誘電体層と、前記トレンチゲートを少なくとも部分的に充填するゲート電極と、を含むことを特徴とする FET。

**【請求項 10】**

請求項 9 記載の FET であって、前記誘電体層は、前記トレンチゲートの壁部に沿ってよりもその底部に沿っての方が厚いことを特徴とする FET。

**【請求項 11】**

請求項 9 記載の FET であって、前記誘電体層は、前記トレンチゲートの側壁に沿ってよりもその前記底部及び前記前壁に沿っての方が厚いことを特徴とする FET。

50

## 【請求項 12】

請求項 1 記載の F E T であって、第 2 導電タイプの前記スタックのシリコン層が前記トレンチゲートの前記側壁から横方向に離間して前記チャンネル領域の下に伸長していないことを特徴とする F E T。

## 【請求項 13】

請求項 1 記載の F E T であって、第 2 導電タイプの前記スタックのシリコン層は、前記チャンネル領域の下に伸長していないことを特徴とする F E T。

## 【請求項 14】

請求項 1 記載の F E T であって、前記ドリフト領域が前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して前記第 1 導電タイプの前記スタックのシリコン層と電氣的に短絡していることを特徴とする F E T。

10

## 【請求項 15】

請求項 1 記載の F E T であって、第 2 導電タイプの基板と、前記基板上に伸長した前記交互の導電タイプのシリコン層のスタックと、を含み、前記ドレイン領域が前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して前記基板内で終端していることを特徴とする F E T。

## 【請求項 16】

請求項 1 記載の F E T であって、前記トレンチゲートの前記前壁に沿って形成されたチャンネル領域をさらに含むことを特徴とする F E T。

## 【請求項 17】

20

請求項 16 記載の F E T であって、前記トレンチゲートの前記前壁と隣り合った第 2 導電タイプのボディ領域と、前記ボディ領域内の前記第 1 導電タイプのソース領域と、を含み、前記前壁に沿った前記チャンネル領域が前記ソース領域の外周と前記ボディ領域の外周との間のボディ領域に伸長していることを特徴とする F E T。

## 【請求項 18】

横型電界効果トランジスタ ( F E T ) であって、

各々がコラムに沿って配されておりかつ 2 つのアクティブ側壁及びそれに垂直な 2 つの非アクティブ側壁を有して半導体領域に伸長する複数のトレンチゲートと、

第 1 導電タイプの複数のドレイン領域と、

前記トレンチゲートの各々の前記アクティブ側壁に沿って形成されたチャンネル領域と、

30

前記ドレイン領域とそれらと隣り合うトレンチゲートのコラムとの間及び隣り合うトレンチゲートの間に伸長するドリフト領域と、を含み、

前記 2 つの非アクティブ側壁は前記 2 つのアクティブ側壁と垂直であり、前記トレンチゲートの各々の非アクティブ側壁の各々が隣り合うドレイン領域と対向するように前記トレンチゲートの 2 つの隣り合うコラム毎の間にドレイン領域の各々が配され、前記ドリフト領域は交互の導電タイプのシリコン層のスタックを含むことを特徴とする電界効果トランジスタ。

## 【請求項 19】

請求項 18 記載の横型 F E T であって、前記横型 F E T がオン状態のとき、電流が前記第 1 導電タイプの前記スタックのシリコン層を通して各々のチャンネル領域からそれらに隣り合うドレイン領域まで横方向に流れることを特徴とする F E T。

40

## 【請求項 20】

請求項 18 記載の横型 F E T であって、各々のトレンチゲートの各々のアクティブ側壁と隣り合って配された第 2 導電タイプのボディ領域と、各々のボディ領域内の前記第 1 導電タイプのソース領域と、を含み、各々のチャンネル領域が前記ソース領域の外周と前記ボディ領域の外周との間の対応するボディ領域内に伸長することを特徴とする F E T。

## 【請求項 21】

請求項 20 記載の横型 F E T であって、前記ソース領域及び前記ドレイン領域が前記横型 F E T の頂部表面に形成された別個の相互接続層によって電氣的に接触させられていることを特徴とする F E T。

50

## 【請求項 22】

請求項 20 記載の横型 FET であって、2 つの隣り合うソース領域の各々の間のヘビーボディ領域をさらに含むことを特徴とする FET。

## 【請求項 23】

請求項 20 記載の横型 FET であって、前記第 2 導電タイプの基板と、前記基板上に伸長している前記交互の導電タイプのシリコン層のスタックと、をさらに含み、ヘビーボディ領域の各々が前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して前記基板内で終端していることを特徴とする FET。

## 【請求項 24】

請求項 20 記載の横型 FET であって、ヘビーボディ領域の各々が前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して前記第 2 導電タイプの前記スタックのシリコン層と電氣的に短絡していることを特徴とする FET。

10

## 【請求項 25】

請求項 18 記載の横型 FET であって、前記アクティブ側壁、前記非アクティブ側壁及び前記トレンチの底部をライニングする誘電体層と、前記トレンチゲートを少なくとも部分的に充填するゲート電極と、を含むことを特徴とする FET。

## 【請求項 26】

請求項 25 記載の横型 FET であって、前記誘電体層は、前記トレンチゲートのアクティブ及び非アクティブ側壁に沿ってよりもその前記底部に沿っての方が厚いことを特徴とする FET。

20

## 【請求項 27】

請求項 25 記載の横型 FET であって、前記誘電体層は、前記トレンチゲートのアクティブ側壁に沿ってよりもその前記底部及び前記非アクティブ側壁に沿っての方が厚いことを特徴とする FET。

## 【請求項 28】

請求項 18 記載の横型 FET であって、第 2 導電タイプの前記スタックのシリコン層は、各々のアクティブ側壁から横方向に離間しており、前記チャンネル領域の下に伸長していないことを特徴とする FET。

## 【請求項 29】

請求項 18 記載の横型 FET であって、第 2 導電タイプの前記スタックのシリコン層は、各々のチャンネル領域の下に伸長していないことを特徴とする FET。

30

## 【請求項 30】

請求項 18 記載の横型 FET であって、ドリフト領域の各々が前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して前記第 1 導電タイプの前記スタックのシリコン層と電氣的に短絡していることを特徴とする FET。

## 【請求項 31】

請求項 1 記載の FET であって、第 2 導電タイプの基板と、前記基板上に伸長した前記交互の導電タイプのシリコン層のスタックと、を含み、ドレイン領域の各々が前記交互の導電タイプのシリコン層を貫通して垂直に伸長して前記基板内で終端していることを特徴とする FET。

40

## 【請求項 32】

電界効果トランジスタ (FET) の製造方法であって、  
交互の導電タイプのシリコン層のスタックを含むドリフト領域を形成するステップと、  
前記交互の導電タイプのシリコン層のスタック内に伸長するドレイン領域を形成するステップと、

互いに垂直な非アクティブ側壁及びアクティブ側壁を有して前記交互の導電タイプのシリコン層のスタック内に伸長するトレンチゲートを形成するステップと、

前記トレンチゲートの前記アクティブ側壁と隣り合った第 2 導電タイプのボディ領域を形成するステップと、を含み、

前記トレンチゲートの前記非アクティブ側壁が前記ドレイン領域と対向するように前記

50

トレンチゲート及び前記ドレイン領域が形成されることを特徴とする方法。

【請求項 3 3】

請求項 3 2 記載の方法であって、前記ボディ領域内に前記第 1 導電タイプのソース領域を形成して前記ソース領域の外周と前記ボディ領域の外周との間の前記ボディ領域内にチャンネル領域を形成するステップをさらに含むことを特徴とする方法。

【請求項 3 4】

請求項 3 3 記載の方法であって、前記 F E T の頂面上に相互接続層を形成するステップをさらに含み、前記相互接続層は、前記ソース領域と電氣的に接触させられたソース相互接続部及び前記ドレイン領域と接続しているドレイン相互接続部を含むことを特徴とする方法。

10

【請求項 3 5】

請求項 3 3 記載の方法であって、前記ソース領域と隣り合うヘビーボディ領域を形成するステップをさらに含むことを特徴とする方法。

【請求項 3 6】

請求項 3 5 記載の方法であって、前記交互の導電タイプのシリコン層のスタックは第 2 導電タイプの基板上に形成され、前記ヘビーボディ領域が形成されて前記交互の導電タイプの層のスタックを貫通して垂直に伸長しかつ前記基板内で終端することを特徴とする方法。

【請求項 3 7】

請求項 3 5 記載の方法であって、前記ヘビーボディ領域が形成されて前記交互の導電タイプのシリコン層を貫通して垂直に伸長して第 2 導電タイプのスタックのシリコン層と電氣的に短絡していることを特徴とする方法。

20

【請求項 3 8】

請求項 3 4 記載の方法であって、前記アクティブ側壁、前記非アクティブ側壁及び前記トレンチゲートの底部をライニングする誘電体層を形成するステップと、前記トレンチゲートを少なくとも部分的に充填するゲート電極を形成するステップと、をさらに含むことを特徴とする方法。

【請求項 3 9】

請求項 3 3 記載の方法であって、前記誘電体層を形成するステップが、前記トレンチゲートの前記底部に沿って底部誘電体層を形成するステップと、前記トレンチゲートの前記前壁及び側壁に沿って側壁誘電体を形成するステップと、を含み、前記底部誘電体は前記側壁誘電体よりも厚いことを特徴とする方法。

30

【請求項 4 0】

請求項 3 2 記載の方法であって、前記交互の導電タイプのシリコン層のスタックが形成されて、第 2 導電タイプの前記スタックのシリコン層が前記トレンチゲートの前記側壁から横方向に離間して前記ボディ領域の下に伸長しないことを特徴とする方法。

【請求項 4 1】

請求項 3 2 記載の方法であって、前記交互の導電タイプのシリコン層のスタックが形成されて、第 2 導電タイプの前記スタックのシリコン層が前記ボディ領域の下に伸長しないことを特徴とする方法。

40

【請求項 4 2】

請求項 3 2 記載の方法であって、前記ドレイン領域が形成され、前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して前記第 1 導電タイプの前記スタックのシリコン層と電氣的に短絡することを特徴とする方法。

【請求項 4 3】

請求項 3 2 記載の方法であって、前記交互の導電タイプのシリコン層のスタックが第 2 導電タイプの基板上に形成され、前記ドレイン領域が形成されて前記交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長しかつ前記基板内で終端することを特徴とする方法。

【請求項 4 4】

50

請求項 3 2 記載の方法であって、前記ドリフト領域を形成するステップは、第 2 導電タイプの基板上に前記第 1 導電タイプのエピタキシャル層を形成するステップと、前記エピタキシャル層内に第 2 導電タイプのドーパントを注入して前記エピタキシャル層の上側領域を前記第 2 導電タイプに変更するステップと、を含むことを特徴とする方法。

【請求項 4 5】

請求項 3 2 記載の方法であって、前記ドリフト領域を形成するステップは、第 2 導電タイプの基板上に前記第 1 導電タイプのエピタキシャル層を形成するステップと、当該第 1 のエピタキシャル層上に前記第 2 導電タイプの第 2 のエピタキシャル層を形成するステップと、を含むことを特徴とする方法。

【請求項 4 6】

請求項 3 2 記載の方法であって、前記ドリフト領域を形成するステップは、第 2 導電タイプの基板上にエピタキシャル層を形成するステップと、前記エピタキシャル層に前記第 1 導電タイプのドーパントを注入して前記エピタキシャル層の下側部分を前記第 1 導電タイプに変更するステップと、前記エピタキシャル層に前記第 2 導電タイプのドーパントを注入して前記エピタキシャル層の上側部分を前記第 2 導電タイプに変更するステップと、を含むことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パワーデバイスに関し、特に、改良されたトレンチゲート横方向拡散 F E T を形成する構造及び方法に関する。

【背景技術】

【0002】

パワー M O S F E T デバイスは、自動車電子部品、ディスクドライブ及び電力供給装置を含む多数の電子部品において広く使用されている。通常、これらの装置は、スイッチとして機能して電力供給源と負荷とを接続する。M O S F E T デバイスが使用されている分野の 1 つは、ラジオ周波数 ( R F ) 用途である。このような R F M O S F E T デバイスは、横型トランジスタである。近年の横型 ( すなわち横方向拡散 ) M O S F E T ( L D M O S ) の進歩は、ベースステーション用途の R F 電力増幅器のための縦型 M O S F E T デバイスと比較して、その性能及びコスト特性が改善されている。

【発明の概要】

【発明が解決しようとする課題】

【0003】

減少表面電界構成 ( principal ) に従った高電圧 L D M O S デバイスは、高いオフ状態電圧を支持するために使用される伸長したドレイン領域を提供しつつ、オン抵抗を減少させる。低ドーピングされて伸長したドレイン領域は、デバイスが「オン」状態の時に、キャリアを搬送するためのドリフト領域として動作する。その一方で、デバイスがオフ状態の場合、当該伸長させられたドレイン領域は空乏領域となってそこに加わる電界を減少させ、結果としてブレークダウン電圧の上昇を招来する。

【0004】

従って、当該伸長したドレイン領域のドリフト抵抗及びデバイスのオン抵抗  $R_{DS(on)}$  は、低ドーピングされたドレイン領域内の不純物濃度を上昇させることで更に減少させられ得る。さらに、当該伸長したドリフト領域内の追加層は、当該ドリフト領域が高い電圧を支持するときに当該ドリフト領域の空乏化を促進する。これらの追加的な交互の導電タイプ層は、チャージバランシングまたはフィールド形成層と呼ばれ、多数の R E S U R F L D M O S 技術におけるスーパージャンクション構造の開発をもたらした。

【0005】

しかし、オン抵抗とブレークダウン電圧  $V_{BD}$  との間には、増加した不純物濃度によって起こる高いチャージ濃度を伴う空乏層の境界の伸長の困難性故のトレードオフの関係が存在する。近年、スーパージャンクション構造を使用する R E S U R F L D M O S デバイ

10

20

30

40

50

ス、 $V_{BD}$ の低下無しに $R_{DSon}$ を低下させるよう提案されている。しかし、これらのスーパージャンクション構造を使用する従来技術のLDMOSデバイスには、多数の欠点がある。例えば、シリコンバルク領域内に複数のpタイプチャージバランス層及び表面ゲート電極を有する提案されているLDMOSデバイスは、当該表面ゲートからチャージバランス層までの長い電流経路に起因して $R_{DSon}$ を増加させる高いJFET抵抗を有する。シリコンバルク領域内に複数のpタイプフィールド形成層を有する他の提案されているLDMOSデバイスは、トレンチゲート電極を使用し、そこにおいて電流は当該トレンチゲート周辺を流れかつ反転層を通過して流れる。しかし、ゲート周辺及び反転層を通過する電流の流れは、 $R_{DSon}$ を増加させる高い反転層チャネル抵抗を招来する。

【0006】

10

RESURF構造に従った改良されたLDMOSをもたらし構造及び方法が必要とされている。特に、減少したオン抵抗を有し、伸長したドレイン領域内のチャージの綿密な制御を許容して高いブレイクダウン電圧 $V_{BD}$ を保つLDMOSが必要とされている

【課題を解決するための手段】

【0007】

本発明の実施例によれば、電界効果トランジスタは、半導体領域内に伸長するトレンチゲートを含む。当該トレンチゲートは、ドレイン領域と対向している前壁及び前壁と垂直な側壁を有する。チャネル領域は、当該トレンチゲートの側壁に沿って伸長し、ドリフト領域は、少なくとも当該ドレイン領域と当該トレンチゲートとの間に伸長している。当該ドリフト領域は、交互の導電タイプのシリコン層のスタック（積み重ね構造）を含む。

20

【0008】

1つの実施例において、FETがオン状態のとき、電流は、第1導電タイプのスタックのシリコン層を介して、チャネル領域からドレイン領域に流れる。

【0009】

他の実施例において、第2導電タイプのボディ領域は、トレンチゲートの側壁に隣り合うようにして配され、第1導電タイプのソース領域は当該ボディ領域内に配される。チャネル領域は、当該ボディ領域内で、当該ソース領域の外周と当該ボディ領域の外周との間に伸長する。

【0010】

他の実施例において、ヘビーボディ領域はソース領域に隣り合うようにして配される。

30

【0011】

更に他の実施例において、交互の導電タイプのシリコン層のスタックは、第2導電タイプの基板上に伸長し、ヘビーボディ領域は、当該交互の導電タイプのシリコン層のスタックを貫通して垂直に伸長して当該基板内で終端する。

【0012】

更に他の実施例において、第2導電タイプのスタックのシリコン層は、チャネル領域から離間しており、当該チャネル領域に存在する電流が第1導電タイプのスタックのシリコン層を通過して流れることを許容する。

【0013】

他の実施例において、第2導電タイプのスタックのシリコン層は、チャネル領域の直下で不連続であり、当該チャネル領域に存在する電流が第1導電タイプのスタックのシリコン層を通過して流れることを許容する。

40

【0014】

本発明の他の実施例によれば、電界効果トランジスタは以下の様に形成される。交互の導電タイプのシリコン層のスタックを含むドリフト領域が形成される。当該交互の導電タイプのシリコン層のスタック内に伸長する第1導電タイプのドレイン領域が形成される。当該交互の導電タイプのシリコン層のスタック内に伸長するトレンチゲートが形成され、当該トレンチゲートは、互いに垂直な非アクティブ側壁及びアクティブ側壁を有する。第2導電タイプのボディ領域が当該トレンチゲートの当該アクティブ側壁と隣り合うように形成される。当該トレンチゲート及び当該ドレイン領域が形成され、当該トレンチゲート

50

の当該非アクティブ側壁は当該ドレイン領域と対向している。

【0015】

1つの実施例において、当該第1導電タイプのソース領域は、当該ボディ領域内に形成され、チャンネル領域は、当該ボディ領域内で当該ソース領域の外周と当該ボディ領域の外周との間に形成される。

【0016】

他の実施例において、ヘビーボディ領域は当該ソース領域と隣り合うようにして形成される。

【0017】

更に他の実施例において、当該交互の導電タイプのシリコン層のスタックは第2導電タイプの基板上に形成され、当該ヘビーボディ領域が形成されて当該交互の導電タイプのシリコン層のスタックを貫通して伸長しかつ当該基板内で終端する。

【0018】

他の実施例において、当該交互の導電タイプのシリコン層のスタックが形成され、第2導電タイプのスタックのシリコン層は当該チャンネル領域から離間され、当該チャンネル領域に存在する電流が当該第1導電タイプのスタックのシリコン層を通して流れることを許容する。

【0019】

他の実施例において、当該交互の導電タイプのシリコン層のスタックが形成され、第2導電タイプのスタックのシリコン層は、当該チャンネル領域の直下で不連続であり、当該チャンネル領域に存在する電流が当該第1導電タイプのスタックのシリコン層を通して流れることを許容する。

【0020】

本明細書で開示された本発明の性質及び利点の更なる理解は、明細書の残りの部分と添付の図面を参照することで行われ得る。

【図面の簡単な説明】

【0021】

【図1】本発明の実施例に従ったトレンチゲートLDMOSの斜投影図である。

【図2】本発明の実施例に従ったトレンチゲートLDMOSの平面図である。

【図3】図2の3-3断面の断面図である。

【図4】図2の4-4断面の断面図である。

【図5】図2の5-5断面の断面図である。

【図6】図2の6-6断面の断面図である。

【図7】本発明の実施例に従ったチャージバランス層に沿った上面図である。

【図8】図2のトレンチゲートLDMOSの斜投影図である。

【発明を実施するための形態】

【0022】

以下の説明は、特定の特徴を提供して、本発明全体の理解を提供するものである。しかし、当業者は、本発明がこれらの特定の特徴を使用すること無しに実施可能であることを理解するであろう。本発明は、示された構造及び方法を変更することによって実施され得、当産業分野において従来使用されている装置及び技術の組み合わせにおいて使用され得る。

【0023】

ドリフト領域にチャージバランス構造を有するRESURF LDMOSデバイスは、チャージバランス構造を持たないLDMOSデバイスと比較して、同じブレーク電圧においてさらに低いオン抵抗 $R_{DS(on)}$ を有する。本発明の実施例によれば、交互の導電タイプで横方向に広がっている交互のシリコン層は、トレンチゲートLDMOS内で最適に集積されている。チャージバランス層の各々の全体のチャージは、それらと隣り合う逆導電タイプの層のチャージと合致している。それによって、ドリフト領域及び埋設層からの空乏チャージによってオフ状態における適切なブロックを達成しつつ低下した $R_{DS(on)}$ を伴う高濃

10

20

30

40

50



度ドリフト領域の使用が可能となる。さらに、チャネルの抵抗がチャネル内のチャージ全体に反比例する故に、各々の追加埋設層はデバイスのオン抵抗の減少を招来する。

【0024】

図1は、隣り合う層が交互の導電タイプを有する多層の交互の層を含むドリフト領域110を有する本発明に従ったトレンチゲートLDMOS100の一部の斜投影図である。図1において、様々な領域(ソース領域106、ボディ領域106、n層112、p層114を含む)のインプリント(imprint)は、トレンチゲート115の側壁に示されている。交互のnタイプ層112及びpタイプ層114はドリフト領域110内に伸長している。示されている実施例において、交互のnタイプ層112は、トランジスタがオン状態の時に電流が通過する層であり、pタイプ層114は、それらに隣り合うnタイプ層112と共にチャージバランス構造を形成する。

10

【0025】

トレンチゲート115は、その側壁及び底部表面に沿って伸長している誘電体層103を含む。1つの実施例において、トレンチの底部表面に沿った誘電体層の厚さは、当該トレンチの側壁に沿った誘電体層の厚さよりも厚い。このことは、ゲートドレイン間の静電容量の減少を助成する。ゲート電極102(例えば、ポリシリコンから成るもの)はトレンチ115を充填する。1つの変形例において、ゲート電極はトレンチ115に埋設されている。

【0026】

ハイドロプnタイプドレイン領域104は、トレンチゲート115から横方向に離間し、交互のn-p層112、114を貫通して伸長しているのでn層112と電氣的に短絡している。ドレイン領域104は、当該交互の層の一番下のn層112と同じ深さまで伸長しているように示されているが、代替例として、ドレイン領域104は、更に深くまたは浅く形成されても良い。高ドーピングされたソース領域106及びpタイプボディ領域108は、ドレイン領域104と対向していないトレンチの側部に沿って形成される。従って、当該ソース及びボディ領域は、トレンチゲート115とドレイン領域104との間には位置しない。この構成は、ソース領域106とドレイン領域104との間のダイレクトな電流経路を提供するときに特に有利であり、デバイスの $R_{DS(on)}$ を改善する。

20

【0027】

LDMOS100がオン状態のとき、チャネル領域はボディ領域内にトレンチ側壁に沿って形成される。電流の流れは、図1において破線矢印で示されている。見て分かる通り、キャリアの流れは、ソース領域106からボディ領域108内に向かってトレンチ側壁に沿って複数方向に流れて交互の層のn層112に広がり、最後にドレイン領域104に集められる。この電流経路の抵抗は、p層114がチャネル領域の下に伸長することを防止することで減少させられる。しかし、代替の実施例において、p層114はチャネル領域の下に伸長させられる。このことは、p層114がチャネル領域の下に伸長することを防止するのに必要なプロセスステップを有利に除去する。

30

【0028】

図2は、本発明に従ったトレンチゲートLDMOSの平面図を示している。2つのトレンチゲート215は互いに垂直に離間されていて、pタイプボディ領域208がそれらの間に伸長している。トレンチゲートの各々は、誘電体層203によって隣り合うシリコン領域から絶縁されているゲート電極202を含んでいる。 $N^+$ ソース領域206は、ボディ領域208の内側に各々のトレンチに隣り合うように配されている。 $P^+$ ヘビーボディ領域216は、当該2つの隣り合うソース領域206の間に位置し、水平方向においてボディ領域208のエッジを越えて伸長している。ヘビーボディ領域216は、nタイプソース領域206と、pタイプボディ領域208と、nタイプドレイン領域204との間に形成される寄生的なn-p-nバイポーラトランジスタのベース抵抗を減少させる役割を果たす。このことは、当該寄生的n-p-nがオンにならないようにしかつアバランシェ降伏または非固定誘導スイッチング(UIS)の様な事象の間にデバイスが堅固に存続することを保証する。ヘビーボディ領域216は、それがボディ領域208のエッジを越え

40

50

て伸長するときこの機能を最も効果的に発揮する。

【0029】

ソース相互接続層（図示せず）は、ソース領域とヘビーボディ領域とを接続している。N<sup>+</sup>ドレイン領域204は、トレンチゲート202と横方向において離間しており、ドレイン相互接続層（図示せず）はドレイン領域204と接続している。図2に示されたレイアウトパターンは、4方向に何度も繰り返しミラー（mirrored）形成されている。

【0030】

以上のように、ソース領域206、ボディ領域208及びヘビーボディ領域216は、全て、トレンチ215のドレイン領域204と対向していない側部に形成されている。トレンチ215のこの側部は、ここより後は「アクティブ側部」または「アクティブ側壁」として参照され、ソース領域及びボディ領域の無い側部（すなわちドレイン領域204と対向している側部）は、「非アクティブ側部」または「非アクティブ側壁」として参照される。1つの実施例において、トレンチ215内の誘電体層203は、トレンチゲート215の底部及び／または非アクティブ部側部に沿っての方がそれらのアクティブ側部に沿ってよりも大きな厚さを有している。このことは、ゲートドレイン間の静電容量 $C_{gd}$ を最小化することを助成する。他の実施例において、ソース及びボディ領域は、各々のトレンチゲート215の1つの側壁だけに沿って、2つの側壁に沿って、3つの側壁に沿ってまたは4つ全ての側壁に沿って形成される（すなわち、トレンチの各々は、1、2、3又は4のアクティブ側壁を有し得る）。アクティブ側壁が多い実施例ほど、デバイスの高い定格電流を提供する。

【0031】

LDMOSがオン状態のときの電流の流れは、図2内に破線矢印213によって示されている。示されているように、電流は、ソース領域206からボディ領域208を貫通してトレンチ215のアクティブ側部に沿って流れ、当該ボディ領域を出たところで拡散する。その後、電流は交互の層のn層（図示せず）を通してドレイン領域204に向かって流れ、最終的にドレイン領域204に集められる。図2のレイアウト構成は、ソース領域206からドレイン領域204までの電流経路を有利に形成し、これらには構造バリアがなく、トランジスタのオン抵抗を減少させる。図2のLDMOSの構造は、図3、4、5及び6内の33、44、55及び66の線に沿った断面図を用いて次でさらに完全に説明される。図2の平面図は、図3から6の各々の上にそのまま再掲され、本発明のLDMOSの構造的特徴のより良い視覚化を可能とする。

【0032】

図3は、図2の平面図の切断線33における断面図を示している。図3において、トレンチゲート215の中央に沿ってこの断面図を右半分と左半分とに分割する垂線が描かれていた場合、その右半分が図1の斜投影図に対応する。トレンチゲート215は、トレンチの側壁及び底面に沿ってかつゲート電極202上に伸長する誘電体層203を有する埋込型（recessed）ゲート電極202を含む。代替例において、ゲート電極202は埋め込まれておらず、各々のトレンチゲート215に完全に充填されている。ドリフト領域210において、交互のチャージバランス層212、214は、トレンチゲート215の非アクティブ側部とドレイン領域204との間に水平に伸長している。この構造は、pタイプ基板201上に形成される。ドレイン領域204は、基板201の内部に届く深さまで伸長し、チャージバランス構造のnタイプ層212と電氣的に短絡している。

【0033】

図4は、図2の切断線44における断面図を示している。交互のチャージバランス層212、214は、ヘビーボディ領域216とヘビーボディ領域216の両側にあるドレイン領域204との間に水平に伸長している。ヘビーボディ領域216は、交互の層を貫通して伸長し、基板201に達している。このことは、交互の層のp層214の全てが接地電位（すなわち基板電位）へのダイレクトな経路を有することを保証する。

【0034】

図5は、図3の切断線55における断面図を示している。この図は、チャンネル領域

が形成されているトレンチ側壁に沿っている（すなわち、トレンチのアクティブ側部である）。ソース領域 206 は、ボディ領域 208 内に形成される。ソース領域 206 の外周とボディ領域 208 の外周との間のトレンチ側壁に沿ったボディ領域の一部が、チャネル領域を形成している。ソース領域及びボディ領域の深さは、チャネル長さを画定する。ドレイン領域 204 の間に伸長している交互の層の p タイプ層 214 は、ボディ領域 208 の直下の不連続部を含む。不連続部は、図 5 において参照番号 223 によって示されており、図 7 内に示された p 層 214 の平面に沿った上面図レイアウト図内にも示されている。トレンチのアクティブ側部近傍の不連続部 223 は、電流（図 5 において、破線矢印で示される）を有利に拡散し得かつ交互の層の n 層 212 内に電流を通し得、 $R_{DSon}$  を最小化する。

10

#### 【0035】

図 6 は、図 2 の切断線 6-6 における断面図を示しており、この断面は図 3 から 5 の断面と垂直な断面である。図 6 のいくつかの領域の寸法は、明瞭さのために図 2 の平面図内の対応する領域よりも広くしてある。例えば、ソース領域 206 及びボディ領域 208 は、図 2 においてよりも図 6 においての方が広く表わされている。図 6 において、トレンチゲート 215 は、明らかにボディ領域 208 を越えて伸長し、ドリフト領域の深いところで終端している。トレンチゲート 215 は、ドリフト領域の深いところで終端する必要はないが（すなわち、ボディ領域を少しだけ越えて終端し得る）、そうすることでデバイスのオン抵抗が向上する。1つの実施例において、ゲートドレイン間のさらに低い静電容量が望まれ、トレンチゲート 215 はさらに浅い深さまで伸長させられる。ソース領域 206 は、中央に位置するヘビーボディ領域 216 とトレンチゲート 215 のアクティブ側部との間に伸長する。ボディ領域 208 は、トレンチゲート 215 のアクティブ側部の間の空間全体に沿って伸長している。ヘビーボディ領域 216 は、交互の層を貫通して下に伸長し、基板 201 に達している。

20

#### 【0036】

交互の層は、トレンチゲート 215 のアクティブ側部の間の領域を通して伸長するが、トレンチゲート 215 から距離 220 離間されている。トレンチゲート 215 の間に伸長している p 層 214 部分の幅は、参照番号 222 で示されている。間隔 220 及び p 層の幅 222 は、図 7 の上面レイアウト図においても示されている。図 7 において、p 層 214 内の間隔 220 及び 223 によって画定されるノッチは、チャネル領域に沿って形成され、電流が拡散して最小限の抵抗で交互のチャージバランス層の n 層を通して流れることを有利に許容する。1つの実施例において、p 層 214 内のノッチは、ソース領域 206 と同じサイズである。このことは、同一のマスクを使用してソース領域 206 を画定しかつ p 層 214 内のノッチも画定し、マスクング層 / ステップを排除する。1つの実施例において、p 層 214 内のノッチが取り除かれて、p 層 214 がチャネル領域の下に伸長する。このことは、p 層 214 内のノッチを形成するために必要とされるプロセスステップを排除する。

30

#### 【0037】

図 8 において、図 6 の断面図に対応する斜投影図が示されている。ソース領域 206、ボディ領域 208 及びヘビーボディ領域 216 がトレンチ 215 のアクティブ側部の間に伸長している。破線は、ヘビーボディ領域 216 がどのように交互の層 212、214 を貫通して基板 201 内に伸長しているかを示す。

40

#### 【0038】

図 1 から 8 に図示された LDMOS の製造方法は、次に説明される。交互の層 112、114 が、多数の公知技術のうちの任意の 1 を使用して基板 201 上に形成され得る。通常、これらの技術には、フォトリソグラフィ並びにヒ素またはリンのような n タイプドーパント及び p タイプドーパントのイオン注入を含む。各々のイオン注入に関する交互の層の物理的な寸法並びにドーズ量及びエネルギーは、チャージバランスを保証すべく選択される。

#### 【0039】

50

1つの実施例において、交互の層のスタックの底部の第1のn-pのペアの層は、pタイプのドーパントを第1のnタイプエピタキシャル層内に注入することによってpタイプ基板の上に伸長している第1のnタイプエピタキシャルシリコン層内に形成される。続いて、第2のエピタキシャルシリコン層が当該第1のエピタキシャル層の上に形成され、pタイプのドーパントが注入されて第2のエピタキシャル層内に第2のn-pのペア層が形成される。これらのステップは、所望の数の交互のn-p層が形成されるまで繰り返される。他の実施例において、交互の層は、複数のpタイプエピタキシャル層を形成して当該pタイプエピタキシャル層にnタイプのドーパントを注入することによって形成される。

【0040】

更に他の実施例において、交互の層は、基板上にドーピングされていないエピタキシャル層を成長させ、nタイプのドーパントを注入して第1のnタイプ層を形成し、続いて、pタイプドーパントを注入して当該第1のnタイプ層の上にpタイプ層を形成することによって形成されても良い。その後、第2のドーピングされていないエピタキシャル層が当該第1のエピタキシャル層上に成長せしめられ、所望の数の交互のn-p層が形成されるまでこのステップが繰り返される。

【0041】

更に他の実施例において、交互の層は、単一のドーピングされていないエピタキシャル層を基板上に成長させ、その後に、交互の導電タイプの複数の高エネルギー注入によって当該エピタキシャル層にドーピングを行うことで形成されても良い。代替例として、交互の層は、基板上に第1のnタイプエピタキシャル層を成長させ、続いて、当該第1のnタイプエピタキシャル層上にpタイプエピタキシャル層を成長させることによって形成される。交互の導電タイプのエピタキシャル層の成長は、所望の数の交互の層が形成されるまで繰り返される。

【0042】

チャージバランス構造が形成された後、拡散シンカー技術のような公知の技術を用いて、交互の層を貫通して伸長し基板に達する、高ドーピングされたドレイン領域204が形成される。その後、従来方法を使用して、交互の層を貫通して伸長しているトレンチ215が形成される。1つの実施例において、トレンチゲート及び深いドレイン拡散は、逆の順番で形成される。トレンチ215の形成後、公知の技術を使用して、トレンチの側壁及び底部にライニングされているゲート誘電体層203が形成される。1つの実施例において、ゲート誘電体層が形成される前に、公知の技術を使用して、厚い底部誘電体(TDB)がトレンチ215の底部に沿って形成される。更に他の実施例において、ゲート誘電体は、トレンチのアクティブ側壁に沿って形成され、比較的厚い誘電体層がトレンチの非アクティブトレンチ側壁に沿って形成される。TBD及び非アクティブ側壁に沿った比較的厚い誘電体は、ゲートドレイン間の静電容量を減少させることを助成する。種々のすべての実施例において、マスクが使用されて図7に示されたp層内にノッチが形成させられる。p層内のノッチがチャネル領域の周囲に伸長している故に、マスキングステップは精密なアラインメントを必要としない。

【0043】

トレンチ内における誘電体層203の形成後、ゲート電極202(例えばドーピングされたシリコンから成るもの)がトレンチ215に充填される。1つの実施例において、ゲート電極202は、トレンチ215内に埋め込まれる。次に、従来のドーパント注入が用いられて、隣り合うトレンチの間に伸長するボディ領域208が形成される。その後、nタイプドーパントの注入によってボディ領域208内にソース領域206が形成される。最後に、高ドーピングされたヘビーボディ領域216が、pタイプ導電体のドーパントを注入することでソース領域206の間の領域内に形成される。従来のプロセスステップが行われて、上にある誘電体及び相互接続層を含むLD MOSの残りの層及び領域が形成される。

【0044】

上述において、本発明の好ましい実施例の完全な説明が提供されたが、多数の代替、変

10

20

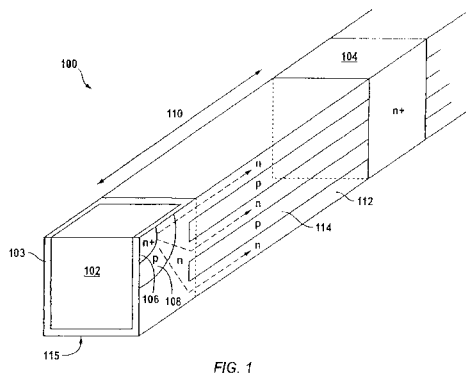
30

40

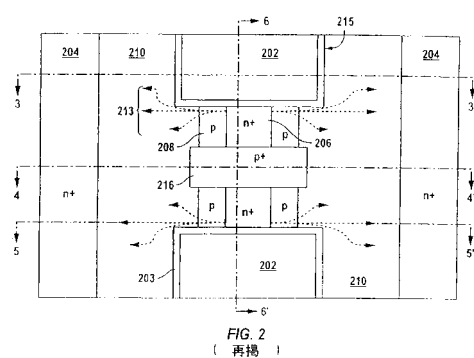
50

形及び均等実施例が可能である。当業者は、同一の技術が他のタイプのスーパージャンクション構造に適用できかつさらに広く他の種類のデバイスに適用できることを認識するであろう。例えば、スーパージャンクション構造は、交互の層の態様である必要はなく、例えば、繊維状の構造またはハニカム構造の様な他の層の態様を取り得る。本明細書に記載された実施例の他の例において、様々な領域の導電タイプが反対にされて、 $p$ チャネルLDMOSが取得され得る。従って、これら及び他の理由に関して、上述の説明は、添付のクレームによって画定される本発明の範囲を制限するものとして用いられるべきではない。

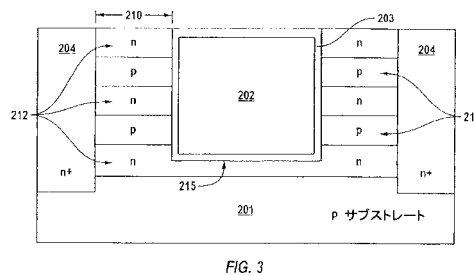
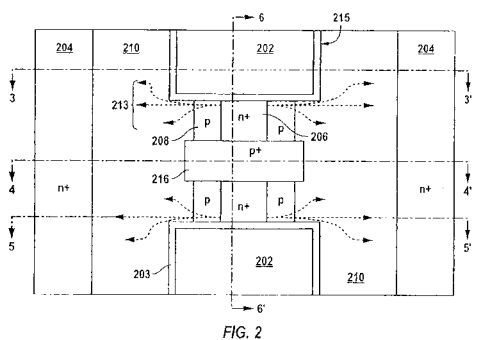
【図1】



【図3】



【図2】



【図 4】

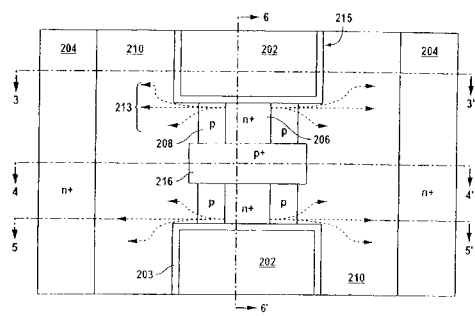
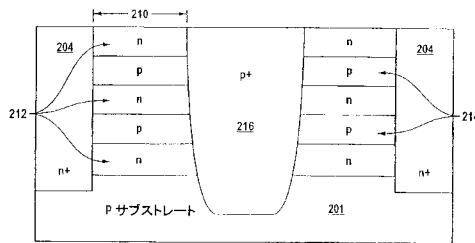
FIG. 2  
(再掲)

FIG. 4

【図 5】

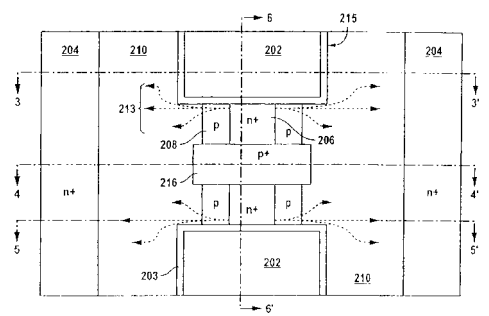
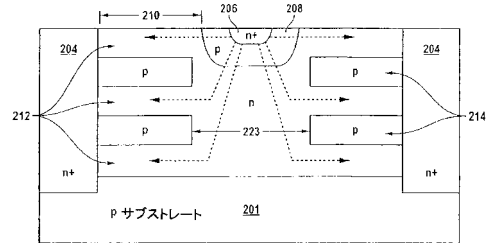
FIG. 2  
(再掲)

FIG. 5

【図 6】

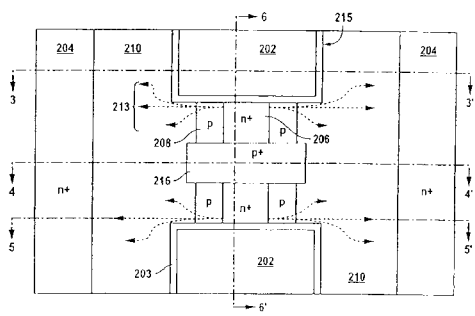
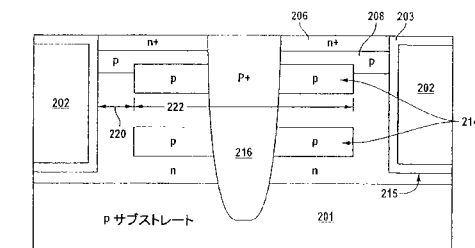
FIG. 2  
(再掲)

FIG. 6

【図 7】

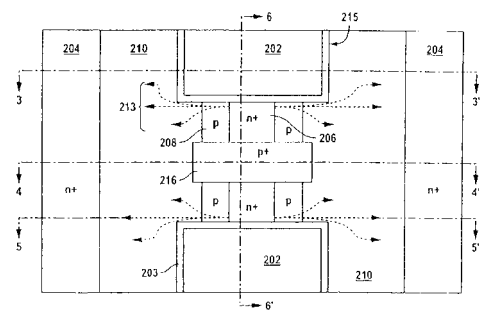
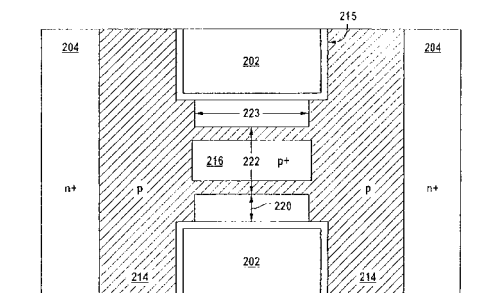

FIG. 2  
(再掲)

FIG. 7



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2007/072034
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int. Cl. <i>H01L 29/06</i> (2006.01) <i>H01L 29/78</i> (2006.01) <i>H01L 29/80</i> (2006.01) US Cl. 257/262 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) DWPI, JAPIO, INSPEC: transistor, drift region, stack, layer, trench and similar terms		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6621132 A (ONISHI et al ) 16 September 2003 Figures 1 and 2, column 6 line 47-column 7 line 9	1,9,14,32,42
A	US 2005/0218431 A1 (NAIR et al) 6 October 2005 Abstract, paragraphs 12-16, 19-28, figure 1	
A	US 5422502 A (KOVACIC) 6 June 1995 Figure 5	
A	US 2003/0085448 A1 (CAI et al) 8 May 2003 Figure 2	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C <input checked="" type="checkbox"/> See patent family annex		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 September 2007		Date of mailing of the international search report <b>16 MAY 2008</b>
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Blaine R. Copenheaver Helpdesk: 571-272-4300 PCT OSP: 571-272-7774 



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2007/072034

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/0135228 A1 (IWAMOTO et al) 15 July 2004 Figure 1	

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
**PCT/US2007/072034**

This Annex lists the known "A" publication level patent family members relating to the patent documents cited in the above-mentioned international search report. These particulars are merely given for the purpose of information.

Patent Document Cited in Search Report		Patent Family Member	
US 6621132	JP 2002076339	US 2002027237	
US 5422502	CA 2135982	EP 0657942	JP 7201883
US 2003085448	SG 99372	US 6489203	US 6664596
	US 2002164844		
US 2004135228	JP 2004134597	US 6825537	
US 2005218431	CN 1667838	US 7126166	
END OF ANNEX			

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ドルニー ゲーリー

アメリカ合衆国 ペンシルバニア州 18707 マウンテントップ サウスメインロード 633

Fターム(参考) 5F140 AA25 AA30 AC21 BA01 BA16 BB05 BB12 BB13 BC06 BC12  
BD18 BF01 BF04 BF43 BF47 BG27 BH02 BH13 BH30 BH41  
BH47 BK13 BK17