

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7123998号  
(P7123998)

(45)発行日 令和4年8月23日(2022.8.23)

(24)登録日 令和4年8月15日(2022.8.15)

(51)国際特許分類 F I  
A 6 3 F 7/02 (2006.01) A 6 3 F 7/02 3 2 6 Z

請求項の数 1 (全66頁)

(21)出願番号	特願2020-61263(P2020-61263)	(73)特許権者	391010943 株式会社藤商事
(22)出願日	令和2年3月30日(2020.3.30)		大阪府大阪市中央区内本町一丁目1番4号
(65)公開番号	特開2021-159139(P2021-159139 A)	(74)代理人	110001645 特許業務法人谷藤特許事務所
(43)公開日	令和3年10月11日(2021.10.11)	(72)発明者	成田 曜漢 大阪市中央区内本町一丁目1番4号 株式会社藤商事内
審査請求日	令和3年4月21日(2021.4.21)	審査官	阿部 知

最終頁に続く

(54)【発明の名称】 遊技機

(57)【特許請求の範囲】

【請求項1】

複数の配線層と、それら複数の配線層を互いに導通させるための板厚方向の層間導通部とを有する基板を備え、

前記複数の配線層のうちの第1配線層に、CPU回路を内蔵したチップが配置される第1配置領域と、前記チップと接続されるROMが配置される第2配置領域とを設けた遊技機において、

前記第2配置領域内に、前記層間導通部のうちの特定層間導通部を配置し、

前記チップと前記ROMとを接続する複数の配線路は、前記特定層間導通部を介して配線される複数の特定配線路を含み、

前記複数の特定配線路は、アドレス情報又はデータ情報を伝送する第1配線路と、チップセレクト情報を伝送する第2配線路とを含み、

前記第1配線路と前記第2配線路とは、互いに異なる前記配線層で前記チップ側から前記特定層間導通部に接続され、

前記第1配線路は前記ROMの第1端子に、前記第2配線路は前記ROMの第2端子に夫々接続され、

前記ROMの端子列における前記第1端子と前記第2端子との間に未使用端子を設け、

前記第1配線路における前記特定層間導通部を、前記第2配線路における前記特定層間導通部とは別にまとめて配置した

ことを特徴とする遊技機。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、パチンコ機、スロットマシン等の遊技機に関するものである。

## 【背景技術】

## 【0002】

パチンコ機等の遊技機では、演出制御手段、払出制御手段、発射制御手段、それらの統括制御を行う主制御手段等の各種制御手段が、複数の基板に分散された形で搭載されている。各制御基板には、CPU回路を内蔵した複合チップ(LSI)、各種IC、ROM、コンデンサ、抵抗、コネクタ等の電子部品が搭載されるとともに、それらの電子部品を接続するための配線パターンが、例えば複数の配線層に跨がって形成されている(特許文献1)。

10

## 【先行技術文献】

## 【特許文献】

## 【0003】

【文献】特開2019-187989号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

近年の遊技機は、可動体や画像表示手段などの各種演出手段を多数搭載し、しかもそれらが大型化する傾向にあるため、限られたスペースに多数の部品を効率よく配置する必要がある。遊技機本体の後側等に配置される各種基板も例外ではなく、基板の大きさを最小化すべく、複雑な配線パターンを効率的に配置することが求められている。

20

本発明は上記事情に鑑みてなされたものであり、基板上の配線パターンをより効率的に配置することが可能な遊技機を提供することを目的とする。

## 【課題を解決するための手段】

## 【0005】

本発明は、複数の配線層と、それら複数の配線層を互いに導通させるための板厚方向の層間導通部とを有する基板を備え、前記複数の配線層のうちの第1配線層に、CPU回路を内蔵したチップが配置される第1配置領域と、前記チップと接続されるROMが配置される第2配置領域とを設けた遊技機において、前記第2配置領域内に、前記層間導通部のうちの特定層間導通部を配置し、前記チップと前記ROMとを接続する複数の配線路は、前記特定層間導通部を介して配線される複数の特定配線路を含み、前記複数の特定配線路は、アドレス情報又はデータ情報を伝送する第1配線路と、チップセレクト情報を伝送する第2配線路とを含み、前記第1配線路と前記第2配線路とは、互いに異なる前記配線層で前記チップ側から前記特定層間導通部に接続され、前記第1配線路は前記ROMの第1端子に、前記第2配線路は前記ROMの第2端子に夫々接続され、前記ROMの端子列における前記第1端子と前記第2端子との間に未使用端子を設け、前記第1配線路における前記特定層間導通部を、前記第2配線路における前記特定層間導通部とは別にまとめて配置したものである。

30

40

## 【発明の効果】

## 【0006】

本発明によれば、基板上の配線パターンをより効率的に配置することが可能となる。

## 【図面の簡単な説明】

## 【0007】

【図1】本発明の一実施形態に係るパチンコ機の全体正面図である。

【図2】同パチンコ機の分解斜視図である。

【図3】同パチンコ機のガラス扉の分解斜視図である。

【図4】同パチンコ機の操作演出手段、十字操作ボタン、音量調整ボタン、光量調整ボタン等を示す要部平面図である。

50

【図 5】同パチンコ機の遊技盤の正面図である。

【図 6】同パチンコ機の遊技情報表示手段の正面図である。

【図 7】同パチンコ機の背面図である。

【図 8】同パチンコ機の演出基板ケース及び演出制御部の分解斜視図である。

【図 9】同パチンコ機の演出基板ケース及び演出制御部の平面断面図である。

【図 10】同パチンコ機の全体回路構成を示すブロック図である。

【図 11】同パチンコ機の液晶制御基板に搭載される複合チップについて、関連する回路素子も含めて図示した回路ブロック図である。

【図 12】同パチンコ機の液晶制御基板における第 1 配線層の配線パターンを示す図である。

10

【図 13】同パチンコ機の液晶制御基板における第 2 配線層の配線パターンを示す図である。

【図 14】同パチンコ機の液晶制御基板における第 3 配線層の配線パターンを示す図である。

【図 15】同パチンコ機の液晶制御基板における第 4 配線層の配線パターンを示す図である。

【図 16】同パチンコ機の液晶制御基板における第 5 配線層の配線パターンを示す図である。

【図 17】同パチンコ機の液晶制御基板における第 6 配線層の配線パターンを示す図である。

20

【図 18】同パチンコ機の液晶制御基板に配置された複合チップの端子情報を示す図である。

【図 19】同パチンコ機の液晶制御基板に配置された制御 ROM の端子情報を示す図である。

【図 20】同パチンコ機の液晶制御基板における第 1 配線層から配線路 P 1 ~ P 4 7 のみを抽出した図である。

【図 21】同パチンコ機の液晶制御基板における第 2 配線層から配線路 P 1 ~ P 4 7 のみを抽出した図である。

【図 22】同パチンコ機の液晶制御基板における第 3 配線層から配線路 P 1 ~ P 4 7 のみを抽出した図である。

30

【図 23】同パチンコ機の液晶制御基板における第 4 配線層から配線路 P 1 ~ P 4 7 のみを抽出した図である。

【図 24】同パチンコ機の液晶制御基板における第 5 配線層から配線路 P 1 ~ P 4 7 のみを抽出した図である。

【図 25】同パチンコ機の液晶制御基板における第 6 配線層から配線路 P 1 ~ P 4 7 のみを抽出した図である。

【図 26】図 20 における領域 E 1 a の拡大図である。

【図 27】図 20 における領域 E 1 b の拡大図である。

【図 28】図 22 における領域 E 3 a の拡大図である。

【図 29】図 22 における領域 E 3 b の拡大図である。

40

【図 30】図 22 における領域 E 3 c の拡大図である。

【図 31】図 23 における領域 E 4 の拡大図である。

【図 32】図 25 における領域 E 6 a の拡大図である。

【図 33】図 25 における領域 E 6 b の拡大図である。

【図 34】図 25 における領域 E 6 c の拡大図である。

【図 35】本発明の一実施形態に係るパチンコ機の液晶制御基板における配線路 P 1 ~ P 8 の配線経路を模式的に示す図である。

【図 36】同パチンコ機の液晶制御基板における配線路 P 9 ~ P 1 7 の配線経路を模式的に示す図である。

【図 37】同パチンコ機の液晶制御基板における配線路 P 1 8 ~ P 2 6 の配線経路を模式

50

的に示す図である。

【図 38】同パチンコ機の液晶制御基板における配線路 P 27 ~ P 34 の配線経路を模式的に示す図である。

【図 39】同パチンコ機の液晶制御基板における配線路 P 35 ~ P 42 の配線経路を模式的に示す図である。

【図 40】同パチンコ機の液晶制御基板における配線路 P 43 ~ P 47 の配線経路を模式的に示す図である。

【図 41】同パチンコ機の液晶制御基板におけるデコード回路の回路図である。

【図 42】同パチンコ機の液晶制御基板におけるリセット回路の回路図である。

【図 43】同パチンコ機の液晶制御基板における第 1 配線層側のシルク印刷パターンを示す図である。

10

【発明を実施するための最良の形態】

【0008】

以下、発明の実施形態を図面に基づいて詳述する。図 1 ~ 図 43 は本発明をパチンコ機に採用した一実施形態を例示している。図 1 及び図 2 において、遊技機本体 1 は、外枠 2 と、この外枠 2 の前側に配置された前枠 3 とを備えている。前枠 3 は、左右方向一端側、例えば左端側に配置された上下方向の第 1 ヒンジ 4 を介して外枠 2 に開閉自在及び着脱自在に枢着されており、左右方向における第 1 ヒンジ 4 と反対側、例えば右端側に設けられた施錠手段 5 によって外枠 2 に対して閉状態で施錠可能となっている。

【0009】

20

前枠 3 は、内枠 6 と、その内枠 6 の前側に配置された前扉 7 とを備えている。前扉 7 は、左右方向一端側、例えば左端側に配置された上下方向の第 2 ヒンジ 8 を介して内枠 6 に開閉自在及び着脱自在に枢着されており、施錠手段 5 によって内枠 6 に対して閉状態で施錠可能となっている。

【0010】

外枠 2 は、図 2 に示すように左右一对の縦枠材 2 a , 2 b と上下一对の横枠材 2 c , 2 d とで矩形状に形成されている。外枠 2 の前側下部には、例えば合成樹脂製の前カバー部材 9 が、下横枠材 2 d の前縁に沿って左右の縦枠材 2 a , 2 b の前側下部を連結するように装着されている。前カバー部材 9 は、左右の縦枠材 2 a , 2 b よりも前側に突出しており、その上側に内枠 6 が配置されている。また外枠 2 には、第 1 ヒンジ 4 を構成する外枠上ヒンジ金具 11 が例えば左上部に、同じく外枠下ヒンジ金具 12 が左下部における前カバー部材 9 の上側に夫々配置されている。

30

【0011】

内枠 6 は合成樹脂製で、前カバー部材 9 の上側で外枠 2 の前縁側に略当接可能な矩形状の枠部 13 と、この枠部 13 内の上部側に設けられた遊技盤装着部 14 と、枠部 13 内の下部側に設けられた下部装着部 15 とを例えば一体に備えている。遊技盤装着部 14 には、遊技盤 16 が例えば前側から着脱自在に装着され、下部装着部 15 には、その前側に発射手段 17、下部スピーカ 18 等が配置されている。また内枠 6 には、第 1 ヒンジ 4 を構成する本体枠上ヒンジ金具 19 と第 2 ヒンジ 8 を構成する本体枠上ヒンジ金具 20 とが例えば左上部に、第 1 , 第 2 ヒンジ 4 , 8 を構成する本体枠下ヒンジ金具 21 が例えば左下部に夫々配置されている。

40

【0012】

前扉 7 は、内枠 6 の前面側に対応する矩形状に形成された樹脂製の扉ベース 22 を備えている。この扉ベース 22 には、遊技盤 16 に形成された遊技領域 23 の前側に対応してガラス窓 24 の窓孔 24 a が形成されると共に、例えば窓孔 24 a の周囲に複数（ここでは 4 つ）の上部スピーカ 25、枠第 1 可動体 26、枠第 2 可動体 27、送風手段 28 等の各種演出手段が配置されている。

【0013】

扉ベース 22 の上部前側には、窓孔 24 a の外周の少なくとも一部、例えば窓孔 24 a の上側と右側とに対応する正面視逆 L 字型の部分にサイドユニット 30 が装着され、その

50

他の一部、例えば窓孔 2 4 a の左側には上装飾カバー 3 1 が装着されている。サイドユニット 3 0 内や上装飾カバー 3 1 内には、演出用の電飾を構成する多数の LED が配置されている。サイドユニット 3 0 は、図 2 , 図 3 等に示すように、前枠 3 を開いた状態で、特殊な工具を使用することなく、前枠 3 の裏側の固定ネジ 3 0 a、固定レバー 3 0 b 等を操作することにより容易に着脱が可能となっている。通常、前枠 3 は複数の機種で共通に用いられ、機種毎に異なる遊技盤 1 6 をこの前枠 3 に装着することでその機種に特有の遊技性やデザインを実現しているが、本パチンコ機では、前枠 3 の前側の一部を、その他の部品に比べて容易に着脱可能なサイドユニット 3 0 とし、このサイドユニット 3 0 に、遊技盤 1 6 と一体感のあるデザインや特有の機能を持たせることにより、前枠 3 の大部分を共通化しつつも、機種毎のデザインや機能の自由度を高めることを可能としている。

10

**【 0 0 1 4 】**

本実施形態のサイドユニット 3 0 には、電飾用の LED の他、枠第 1 可動体 2 6、枠第 2 可動体 2 7、送風手段 2 8 等が搭載されている。枠第 1 可動体 2 6 は、図外の駆動手段の駆動により略前後方向へのスライド移動が可能となっている。枠第 2 可動体 2 7 は、図外の駆動手段の駆動により略前後方向へのスライド移動が可能であると共に、遊技者による押し込み操作が可能となっている。送風手段 2 8 は、例えば遊技者が枠第 2 可動体 2 7 を操作するタイミングで、遊技者の手に向けて風を送ることが可能となっている。

**【 0 0 1 5 】**

扉ベース 2 2 の下部前側には、内枠 6 の後側に配置された払出手段 3 2 から払い出された遊技球を貯留して発射手段 1 7 に供給する上皿 3 3、その上皿 3 3 が満杯のときの余剰球等を貯留する下皿 3 4、発射手段 1 7 を作動させるために操作する発射ハンドル 3 5 等が配置され、更に上皿 3 3、下皿 3 4 等を前側から略覆う下装飾カバー 3 6 が装着されている。下装飾カバー 3 6 は、例えば前向きに膨出状に形成されており、例えばその上部側に、操作演出手段 3 7、十字操作ボタン 3 8、音量調整ボタン 3 9、光量調整ボタン 4 0 等の各種操作手段が設けられている ( 図 4 ) 。

20

**【 0 0 1 6 】**

操作演出手段 3 7 は、図柄変動中の予告演出、その他の演出に用いられるもので、遊技者が押下操作可能な上下動式の演出ボタン 4 1、その演出ボタン 4 1 の内部に配置された枠第 3 可動体 4 2 等を備えている。枠第 3 可動体 4 2 は、例えば横軸廻りに回転可能な略球状の回転体により構成されており、回転駆動モータ 4 3 により正逆両方向に回転可能となっている。

30

**【 0 0 1 7 】**

十字操作ボタン 3 8 は、図 4 に示すように上下左右の 4 つの操作ボタン 3 8 a ~ 3 8 d を備え、遊技者がメニュー項目を選択する場合など、上下左右へのカーソル移動等の操作が必要な場面で使用される。音量調整ボタン 3 9 は、遊技者による音量調整に用いられるもので、図 4 に示すように、遊技者がスピーカからの音量を上げたいときに操作するプラスボタン 3 9 a と、同じく音量を下げたいときに操作するマイナスボタン 3 9 b とを備えている。光量調整ボタン 4 0 は、遊技者による光量調整に用いられるもので、図 4 に示すように遊技者が LED 電飾の光量を上げたいときに操作するプラスボタン 4 0 a と、同じく光量を下げたいときに操作するマイナスボタン 4 0 b とを備えている。なお、本実施形態では音量調整専用の音量調整ボタン 3 9 と光量調整専用の光量調整ボタン 4 0 とを設けたが、それらを設けることなく、十字操作ボタン 3 8 等の汎用操作手段を音量調整用、光量調整用にも使用するようにしてもよい。

40

**【 0 0 1 8 】**

扉ベース 2 2 の背面側には、図 2 に示すように窓孔 2 4 a を後側から略塞ぐガラスユニット 5 0 が着脱自在に装着されると共に、第 1、第 2 ヒンジ 4、8 側の縁部に沿って配置される上下方向のヒンジ端側補強板金 5 1 a と、開閉端側の縁部に沿って配置される上下方向の開閉端側補強板金 5 1 b と、窓孔 2 4 a の下側に配置される左右方向の下部補強板金 5 1 c とがねじ止め等により着脱自在に固定されている。また扉ベース 2 2 には、第 2 ヒンジ 8 を構成するガラス扉上ヒンジ金具 5 2 a が例えば左上部に、同じくガラス扉下ヒ

50

ンジ金具 5 2 b が例えば左下部に夫々配置されている。

【 0 0 1 9 】

また、例えば下部補強板金 5 1 c の背面側には、球送りユニット 5 3 a、下皿案内ユニット 5 3 b 等が装着されている。球送りユニット 5 3 a は、上皿 3 3 内の遊技球を発射手段 1 7 に供給するためのもので、内枠 6 側に配置された発射手段 1 7 の前側に対応して配置されており、発射手段 1 7 の発射動作と同期して球送りソレノイド 5 3 c を作動させることにより、上皿 3 3 内の遊技球を 1 個ずつ発射手段 1 7 の発射レール 1 7 a 上に供給するようになっている。

【 0 0 2 0 】

なお発射手段 1 7 は、正面視で左上がりの傾斜状に配置された発射レール 1 7 a と、球送りユニット 5 3 a により発射レール 1 7 a 上に供給された遊技球を発射待機位置で支持する発射球ストッパ 1 7 b と、発射レール 1 7 a 上の発射待機位置に対応して配置され且つ前後方向の駆動軸廻りに揺動可能な打撃槌 1 7 c と、打撃槌 1 7 c を揺動駆動するロータリソレノイド等の発射駆動手段 1 7 d とを備え、発射ハンドル 3 5 が回転操作されたときに、その操作量に応じた発射強度で発射駆動手段 1 7 d により打撃槌 1 7 c を打撃方向（時計方向）に連続的に駆動するようになっている。

10

【 0 0 2 1 】

下皿案内ユニット 5 3 b は、上皿 3 3 が満杯となったときの余剰球、及び発射手段 1 7 により発射されたにも拘わらず遊技領域 2 3 に達することなく戻ってきたファール球を下皿 3 4 に案内するためのもので、例えば球送りユニット 5 3 a に隣接してその第 1、第 2 ヒンジ 4、8 側に配置されている。

20

【 0 0 2 2 】

遊技盤 1 6 は、図 5 に示すようにベニヤ板、ポリカーボネート板等よりなるベース板 5 5 を備え、そのベース板 5 5 の前側に、発射手段 1 7 から発射された遊技球を案内するガイドレール 5 6 が環状に配置されると共に、そのガイドレール 5 6 の内側の遊技領域 2 3 に、中央表示枠ユニット 5 7、始動入賞ユニット 5 8、普通入賞ユニット 5 9 等のユニット部品その他、多数の遊技釘（図示省略）が配置され、また遊技領域 2 3 の外側の例えば下部側には遊技情報表示手段 6 0 が配置されている。もちろん、遊技情報表示手段 6 0 は遊技領域 2 3 内に配置してもよい。

【 0 0 2 3 】

遊技情報表示手段 6 0 は、図 6 に示すように、例えば 8 個の LED 7 0 で構成される LED グループを 4 つ備えており、それら計 3 2 個の LED 7 0 が普通図柄表示手段 6 1、普通保留個数表示手段 6 2、第 1 特別図柄表示手段 6 3、第 2 特別図柄表示手段 6 4、第 1 特別保留個数表示手段 6 5、第 2 特別保留個数表示手段 6 6、変動短縮報知手段 6 7、右打ち報知手段 6 8 及びラウンド数報知手段 6 9 に所定個数ずつ割り当てられている。即ち、第 1、第 2 LED グループ 6 0 a、6 0 b に属する各 8 個の LED 7 0 は夫々第 1、第 2 特別図柄表示手段 6 3、6 4 を構成し、第 3 LED グループ 6 0 c に属する 8 個の LED 7 0 は、2 個ずつに分けられて夫々第 1 特別保留個数表示手段 6 5、第 2 特別保留個数表示手段 6 6、普通保留個数表示手段 6 2、変動短縮報知手段 6 7 を構成し、第 4 LED グループ 6 0 d に属する 8 個の LED 7 0 は、そのうちの 2 個が普通図柄表示手段 6 1 を、他の 2 個が右打ち報知手段 6 8 を、残りの 4 個がラウンド数報知手段 6 9 を夫々構成している。

30

40

【 0 0 2 4 】

遊技盤 1 6 の複数のユニット部品 5 7 ~ 5 9 上には、普通図柄始動手段 7 1、第 1 特別図柄始動手段 7 2、第 2 特別図柄始動手段 7 3、大入賞手段 7 4、複数の普通入賞手段 7 5 等が設けられている。またベース板 5 5 の後側には、液晶表示ユニット（画像表示手段）7 6 の他、盤第 1 可動体 7 7、盤第 2 可動体 7 8、盤第 3 可動体 7 9 等の可動体が配置されている。

【 0 0 2 5 】

中央表示枠ユニット 5 7 は、液晶表示ユニット 7 6 及び可動体 7 7 ~ 7 9 の表示枠を構

50

成するもので、後側の液晶表示ユニット76に対応する開口窓80が略中央に形成されており、ベース板55に形成された前後方向貫通状の装着孔(図示省略)に対して前側から着脱自在に装着されている。この中央表示枠ユニット57は、図5に示すように、ベース板55の前面に沿って装着孔の外側に配置され且つその前側を遊技球が通過可能な前面装着板81と、液晶表示ユニット76の前側における左右両側から上部側にわたる正面視略門形状に配置され且つ前面装着板81の内周側で前向きに突設された装飾枠82と、その装飾枠82の左右の下端部間に配置されるステージ83とを備えている。発射手段17により発射され、遊技領域23の上部側に進入した遊技球は、装飾枠82の頂部で左右に振り分けられ、中央表示枠ユニット57の左側の左流下経路84aと右側の右流下経路84bとの何れかを流下する。

10

**【0026】**

中央表示枠ユニット57には、左流下経路84a側と右流下経路84b側との少なくとも一方側、例えば左流下経路84a側に、遊技球が流入可能なワープ入口85が設けられている。左流下経路84aを流下中にワープ入口85に流入した遊技球は、ステージ83上で左右方向に自由に転動した後、遊技領域23の左右方向中央に対応して設けられた中央落下部86とそれ以外の部分との何れかから前側に落下する。

**【0027】**

盤第1可動体77及び盤第3可動体79は、何れも液晶表示ユニット76の前側に横長状に配置され、その左右両端側が開口窓80の外側で上下方向移動可能に支持されており、図外の昇降駆動手段により個別に昇降移動可能となっている。盤第2可動体78は、キャラクタ等の所定形状に形成された立体造形物で、盤第1可動体77の前側に配置されており、盤第1可動体77と一体的に昇降移動可能であると共に、図外の回転駆動手段の駆動により、盤第1可動体77に対して前後方向の中心軸廻りに回転動作可能となっている。

20

**【0028】**

始動入賞ユニット58は、図5に示すように中央表示枠ユニット57の下側にガイドレール56に沿って配置され、ベース板55に対して前側から着脱自在に装着されている。普通入賞ユニット59は、図5に示すように中央表示枠ユニット57の下側で始動入賞ユニット58の左側にガイドレール56に沿って配置され、ベース板55に対して前側から着脱自在に装着されている。

**【0029】**

普通図柄始動手段71は、普通図柄表示手段61による普通図柄の変動表示を開始させるためのもので、遊技球が通過可能な通過ゲート等により構成され、遊技球の通過を検出する遊技球検出スイッチ(図示省略)を備えている。この普通図柄始動手段71は、図5に示すように例えば中央表示枠ユニット57の右部における前面装着板81の前側に設けられており、右流下経路84bを流下する遊技球が通過可能となっている。

30

**【0030】**

普通図柄表示手段61は、普通図柄を変動表示するためのもので、図6に示すように遊技情報表示手段60における所定個数(ここでは2個)のLED70で構成されており、普通図柄始動手段71が遊技球を検出することに基づいて、普通図柄を構成するそれら2個のLED70が普通変動中発光パターンで発光した後、普通図柄始動手段71による遊技球検出時に取得された普通乱数情報に含まれる当り判定乱数値が予め定められた当り判定値と一致する場合には当り態様で、それ以外の場合にははずれ態様で変動を停止する。なお、普通図柄を構成する2個のLED70は、それらの発光態様(例えば点灯/消灯)の組み合わせにより一又は複数の当り態様と一又は複数のはずれ態様とを表示可能であり、また普通変動中発光パターンは、例えば特定の複数種類(ここでは2種類)の発光態様を所定時間(例えば128ms)毎に切り替えるようになっている。

40

**【0031】**

また、普通図柄表示手段61の図柄変動中と普通利益状態中とを含む普通保留期間中に普通図柄始動手段71が遊技球を検出した場合には、それによって取得された普通乱数情報が予め定められた上限保留個数、例えば4個を限度として保留記憶され、普通保留期間

50

が終了する毎に1個ずつ消化されて普通図柄の変動が行われる。普通乱数情報の記憶個数(普通保留個数)は、普通保留個数表示手段62等によって遊技者に報知される。普通保留個数表示手段62は、図6に示すように遊技情報表示手段60における所定個数(ここでは2個)のLED70で構成されており、それら2個のLED70の夫々の発光態様(例えば点灯/点滅/消灯)の組み合わせにより、0~4個の5種類の普通保留個数を表示可能となっている。

#### 【0032】

第1特別図柄始動手段72は、第1特別図柄表示手段63による図柄変動を開始させるためのもので、開閉手段を有しない非開閉式入賞手段により構成され、入賞した遊技球を検出する遊技球検出スイッチ(図示省略)を備えている。この第1特別図柄始動手段72は、図5に示すように例えば始動入賞ユニット58に設けられ、ステージ83の中央落下部86に対応してその下側に上向き開口状に配置されており、左流下経路84a側のワープ入口85からステージ83を経て入賞するルートが存在すること等により、右流下経路84bを流下してきた遊技球よりも左流下経路84aを流下してきた遊技球の方が高い確率で入賞可能となっている。なお、この第1特別図柄始動手段72に遊技球が入賞すると、1入賞当たり所定個数の遊技球が賞球として払い出される。

10

#### 【0033】

第2特別図柄始動手段73は、第2特別図柄表示手段64による図柄変動を開始させるためのもので、開閉部88の作動によって遊技球が入賞可能な開状態と入賞不可能(又は開状態よりも入賞困難)な閉状態とに変化可能な開閉式入賞手段により構成され、入賞した遊技球を検出する遊技球検出スイッチ(図示省略)と、開閉部88を開閉する電磁ソレノイド等の開閉駆動手段とを備えており、普通図柄表示手段61の変動後の停止図柄が当り態様となって普通利益状態が発生した場合に、開閉部88が所定時間閉状態から開状態に変化するようになっている。

20

#### 【0034】

この第2特別図柄始動手段73は、図5に示すように例えば中央表示枠ユニット57の右部における前面装着板81上で且つ普通図柄始動手段71の下流側に配置されており、右流下経路84bを流下してきた遊技球が入賞可能となっている。なお、開閉部88は例えば下部側に設けられた左右方向の回転軸廻りに揺動可能であり、閉状態では前面装着板81と略面一となって遊技球が前側を通過可能となり、開状態では前面装着板81の前側で後ろ下がりの傾斜状となって遊技球を後向きに入賞させるようになっている。この第2特別図柄始動手段73に遊技球が入賞すると、1入賞当たり所定個数の遊技球が賞球として払い出される。

30

#### 【0035】

第1特別図柄表示手段63は、図6に示すように遊技情報表示手段60における所定個数(ここでは8個)のLED70で構成されており、第1特別図柄始動手段72が遊技球を検出することを条件に、第1特別図柄を構成するそれら8個のLED70が特別変動中発光パターンで発光した後、第1特別図柄始動手段72による遊技球検出時に取得された第1特別乱数情報に含まれる大当たり判定乱数値が予め定められた大当たり判定値と一致する場合には第1大当たり態様で、それ以外の場合には第1はずれ態様で変動を停止するようになっている。第1特別図柄表示手段63の変動後の停止図柄が第1大当たり態様となった場合には第1特別利益状態が発生する。

40

#### 【0036】

第2特別図柄表示手段64は、図6に示すように遊技情報表示手段60における所定個数(ここでは8個)のLED70で構成されており、第2特別図柄始動手段73が遊技球を検出することを条件に、第2特別図柄を構成するそれら8個のLED70が特別変動中発光パターンで発光した後、第2特別図柄始動手段73による遊技球検出時に取得された第2特別乱数情報に含まれる大当たり判定乱数値が予め定められた大当たり判定値と一致する場合には第2大当たり態様で、それ以外の場合には第2はずれ態様で変動を停止するようになっている。第2特別図柄表示手段64の変動後の停止図柄が第2大当たり態様となった場

50

合には第2特別利益状態が発生する。

【0037】

第1,第2特別図柄表示手段63,64は、各8個のLED70の発光態様(例えば点灯/消灯)の組み合わせにより一又は複数の第1,第2大当り態様と一又は複数の第1,第2はずれ態様とを表示可能であり、また特別変動中発光パターンは、特定の複数種類(ここでは2種類)の発光態様を所定時間(例えば128ms)毎に切り替えるようになっている。

【0038】

また、第1特別図柄表示手段63の図柄変動中、第2特別図柄表示手段64の図柄変動中及び第1,第2特別利益状態中を含む特別保留期間中に第1,第2特別図柄始動手段72,73が遊技球を検出した場合には、それによって取得された第1,第2特別乱数情報が夫々予め定められた上限保留個数、例えば各4個を限度として保留記憶される。そして、特別保留期間が終了した時点で第2特別図柄側の保留記憶が1以上の場合にはその第2特別図柄の保留記憶を1個消化して第2特別図柄の変動を行い、第1特別図柄側の保留記憶のみが1以上の場合にはその第1特別図柄の保留記憶を1個消化して第1特別図柄の変動を行う。このように本実施形態では、第1特別図柄と第2特別図柄とが共に変動中になることはなく、また第1特別図柄側と第2特別図柄側との両方に保留記憶がある場合には、第2特別図柄の変動を優先的に行うようになっている。

【0039】

なお、第1,第2特別乱数情報の記憶個数(第1,第2特別保留個数)は、第1,第2特別保留個数表示手段65,66、液晶表示ユニット76等によって遊技者に報知される。ここで、第1,第2特別保留個数表示手段65,66は、図6に示すように遊技情報表示手段60における所定個数(ここでは各2個)のLED70で構成され、それらの発光態様(例えば点灯/点滅/消灯)の組み合わせにより、0~4個の5種類の第1,第2特別保留個数を表示可能となっている。

【0040】

大入賞手段74は、遊技球が入賞可能な開状態と入賞不可能な閉状態とに切り換え可能な開閉板89を備えた開閉式入賞手段で、図5に示すように例えば中央表示枠ユニット57に設けられ、入賞した遊技球を検出する遊技球検出スイッチ(図示省略)と、開閉板89を開閉する電磁ソレノイド等の開閉駆動手段とを備えており、第2特別図柄始動手段73の下流側で且つ第1特別図柄始動手段72の上流側に配置されていることにより、左流下経路84aを流下してきた遊技球よりも右流下経路84bを流下してきた遊技球の方が高い確率で入賞可能となっている。この大入賞手段74は、第1,第2特別図柄表示手段63,64の第1,第2特別図柄が変動後に第1,第2大当り態様(特定態様)で停止した場合に発生する第1,第2特別利益状態において、開閉板89が一又は複数種類の開放パターンの何れかに従って前側に開放して、その上に落下してきた遊技球を内部へと入賞させるようになっている。この大入賞手段74に遊技球が入賞すると、1入賞当り所定個数の遊技球が賞球として払い出される。

【0041】

また液晶表示ユニット76には、第1,第2特別図柄表示手段63,64による第1,第2特別図柄の変動表示と並行して演出図柄90を変動表示可能である他、第1,第2特別保留個数を示す第1,第2保留画像X1~X4,Y1~Y4,変動中保留画像Z等の各種画像を表示可能となっている。

【0042】

ここで演出図柄90は、数字図柄その他の複数個の図柄で構成される図柄列を複数(ここでは左右方向に3つ)備えており、またそれら各図柄列を構成する各図柄は、図5に示すように、1~8等の数字、その他で構成される図柄本体部90aと、この図柄本体部90aに付随するキャラクタその他の装飾部90bとの結合で構成されている。なお演出図柄90は、拡大又は縮小、表示位置の変更、装飾部90bの消去等、表示態様を任意に変化させることが可能である。

10

20

30

40

50

## 【 0 0 4 3 】

演出図柄 9 0 は、例えば第 1 , 第 2 特別図柄の変動開始と略同時に所定の変動パターンに従って図柄列毎に縦スクロール等による変動を開始すると共に、所定の有効ライン上の停止図柄が所定態様となるように例えば第 1 , 第 2 特別図柄の変動停止と略同時に最終停止する。なお演出図柄 9 0 では、例えば有効ライン上の全ての停止図柄が同じ場合が大当り演出態様、それ以外が外れ演出態様となっており、第 1 , 第 2 特別図柄が第 1 , 第 2 大当り態様となる場合には演出図柄 9 0 は大当り演出態様となり、第 1 , 第 2 特別図柄が第 1 , 第 2 外れ態様となる場合には演出図柄 9 0 は外れ演出態様となる。

## 【 0 0 4 4 】

また第 1 , 第 2 保留画像 X 1 ~ X 4 , Y 1 ~ Y 4 , 変動中保留画像 Z に関しては、第 1 , 第 2 特別図柄始動手手段 7 2 , 7 3 が遊技球を検出することに基づいて第 1 , 第 2 特別保留個数が増加した場合に、第 1 , 第 2 保留画像 X 1 ~ , Y 1 ~ を液晶表示ユニット 7 6 上に 1 個追加表示し、また第 1 , 第 2 特別図柄表示手段 6 3 , 6 4 による第 1 , 第 2 特別図柄の新たな変動が開始することに基づいて第 1 , 第 2 特別保留個数が減少した場合に、例えば変動中保留画像 Z を消去し、第 1 , 第 2 保留画像 X 1 ~ , Y 1 ~ を待ち行列の前側（例えば画面右側）に向けて 1 個分ずつシフトすると共に、押し出された先頭の第 1 , 第 2 保留画像 X 1 , Y 1 を例えば所定位置まで移動させて新たな変動中保留画像 Z に変化させるようになっている。

## 【 0 0 4 5 】

また遊技盤 1 6 の裏側には、図 7 に示すように、液晶表示ユニット 7 6 を遊技盤 1 6 の後側で支持するための裏ケース 9 1 が装着され、この裏ケース 9 1 の背面側に、主制御部 9 2 を構成する主制御基板 9 3 が格納された主基板ケース 9 4、演出制御部 9 5 を構成する演出インターフェース基板 9 6、液晶インターフェース基板 9 7、液晶制御基板 9 8 及び ROM 基板 9 9 が格納された演出基板ケース 1 0 0 等が着脱自在に装着されている。

## 【 0 0 4 6 】

ここで、演出インターフェース基板 9 6、液晶インターフェース基板 9 7、液晶制御基板 9 8 及び ROM 基板 9 9 について、演出基板ケース 1 0 0 への格納状態の詳細について図 8 , 図 9 を参照しつつ説明する。

## 【 0 0 4 7 】

演出インターフェース基板 9 6 と液晶インターフェース基板 9 7 とは、夫々の表面 9 6 a , 9 7 a が後側となる向きで、左右に互いに近接した状態で配置されている。そして、演出インターフェース基板 9 6 と液晶インターフェース基板 9 7 とは、演出インターフェース基板 9 6 における液晶インターフェース基板 9 7 側の縁部に沿って配置された演出 I F 第 1 , 第 2 コネクタ C N 1 1 , C N 1 2 と、液晶インターフェース基板 9 7 における演出インターフェース基板 9 6 側の縁部に沿って配置された液晶 I F 第 1 , 第 2 コネクタ C N 2 1 , C N 2 2 とを夫々左右方向に直結することによって互いに一体化されている。なお、演出インターフェース基板 9 6 では、その表裏両面に各種電子部品が配置されているが、音声プロセッサ 1 0 1、デジタルアンプ 1 0 2 等の各種 I C、液晶 I F 第 1 ~ 第 3 コネクタ C N 2 1 ~ C N 2 3 等の各種コネクタ、音声 ROM 1 0 3 等は表面 9 6 a 側に配置されている。また液晶インターフェース基板 9 7 についても、その表裏両面に各種電子部品が配置されているが、液晶 I F 第 1 ~ 第 3 コネクタ C N 2 1 ~ C N 2 3 等の各種コネクタについては表面 9 7 a 側に配置されている。

## 【 0 0 4 8 】

また液晶制御基板 9 8 は、その表面 9 8 a が後向きとなり、裏面 9 8 b が演出インターフェース基板 9 6 及び液晶インターフェース基板 9 7 の表面 9 6 a , 9 7 a と対向するように、演出インターフェース基板 9 6 及び液晶インターフェース基板 9 7 の後側に配置されている。そして液晶制御基板 9 8 は、その裏面 9 8 b 側に設けられた液晶制御第 1 コネクタ C N 3 1 を演出インターフェース基板 9 6 側の演出 I F 第 3 コネクタ C N 1 3 に、同じく裏面 9 8 b 側に設けられた液晶制御第 2 コネクタ C N 3 2 を液晶インターフェース基板 9 7 側の液晶 I F 第 3 コネクタ C N 2 3 に夫々直結することにより、演出インターフェ

10

20

30

40

50

ース基板 96 及び液晶インターフェース基板 97 と一体化されている。なお、液晶制御基板 98 では、その表裏両面に各種電子部品が配置されており、表面 98 a 側には複合チップ 104、制御 ROM 105、DRAM 106、液晶制御第 3 コネクタ CN 33 等が配置され、裏面 98 b 側には液晶制御第 1、第 2 コネクタ CN 31、CN 32 等が配置されている。

#### 【0049】

また ROM 基板 99 は、表面 99 a が後向きとなり、裏面 99 b が演出インターフェース基板 96、液晶インターフェース基板 97 のうちの例えば液晶インターフェース基板 97 の表面 97 a と対向するように、液晶制御基板 98 に隣接して例えばその下側に配置されている。そして ROM 基板 99 は、その表面 99 a 側の上縁部に配置されている ROM 第 1 コネクタ CN 41 を、液晶制御基板 98 の下縁部に配置されている液晶制御第 3 コネクタ CN 33 に直結することにより液晶制御基板 98 と一体化されている。なお、ROM 基板 99 では、その表裏両面に各種電子部品が配置されているが、CGROM 107、ROM 第 1 コネクタ CN 41 等については表面 99 a 側に配置されている。

10

#### 【0050】

以上説明したように、基板 96 ~ 99 は、互いのコネクタ同士を直結することにより、演出インターフェース基板 96 及び液晶インターフェース基板 97 の表面 96 a、97 a と液晶制御基板 98 及び ROM 基板 99 の裏面 98 b、99 b とを、所定の隙間を空けて対向させた状態で接続され、一体化される。従って、それら基板 96 ~ 99 を互いに接続した状態では、液晶制御基板 98 の裏面 98 b 側は、演出インターフェース基板 96 及び液晶インターフェース基板 97 の陰になって目視することができない。

20

#### 【0051】

演出基板ケース 100 は透明な合成樹脂製で、基板 96 ~ 99 の裏面側を覆うベース体 111 と、基板 96 ~ 99 の表面側を覆うカバー体 112 とで略箱形に形成されている。基板 96 ~ 99 を演出基板ケース 100 に格納する際には、まず液晶制御基板 98 と ROM 基板 99 とを、コネクタの直結により互いに連結した状態で、カバー体 112 の内側の所定位置にねじ止めにより固定する。このとき、液晶制御基板 98、ROM 基板 99 の表面 98 a、99 a が、カバー体 112 の背壁 113 の内面側に所定の隙間を挟んで対向する。

#### 【0052】

次に、演出インターフェース基板 96 と液晶インターフェース基板 97 とを、コネクタの直結により互いに連結した状態で、液晶制御基板 98 及び ROM 基板 99 の背面側からカバー体 112 の内側の所定位置に嵌め込む。このとき、演出インターフェース基板 96 側の演出 IF 第 3 コネクタ CN 13 が液晶制御基板 98 側の液晶制御第 1 コネクタ CN 31 に、液晶インターフェース基板 97 側の液晶 IF 第 3 コネクタ CN 23 が液晶制御基板 98 側の液晶制御第 2 コネクタ CN 32 に夫々結合される。

30

#### 【0053】

続いて、ベース体 111 を、演出インターフェース基板 96 及び液晶インターフェース基板 97 の裏面 96 b、97 b 側からカバー体 112 に嵌め合わせる。そして更に、ベース体 111 の外側から演出インターフェース基板 96、液晶インターフェース基板 97 の通孔 114 を介してカバー体 112 側のねじ止め基部 115 に対してねじ止めすることにより、基板 96 ~ 99 は演出基板ケース 100 内の所定位置に固定される。基板 96 ~ 99 が格納された演出基板ケース 100 は、ベース体 111 を前側、カバー体 112 を後側に向けた状態で、裏ケース 91 の背面側に着脱自在に装着される。

40

#### 【0054】

また前枠 3 の裏側には、図 7 に示すように、遊技盤 16 の裏側を開閉自在に覆う裏カバー 121 が着脱自在に装着されると共に、その上側に遊技球タンク 122 とタンクレール 123 とが、左右一側に払出手段 32 と払出通路 124 とが夫々装着されており、遊技球が大入賞手段 74 等の入賞口に入賞したとき、又は図外の自動球貸し機から球貸し指令があったときに、遊技球タンク 122 内の遊技球をタンクレール 123 経由で払出手段 32

50

により払い出し、その遊技球を払出通路 1 2 4 経由で上皿 3 3 に案内するようになっている。なお、裏カバー 1 2 1 は、演出基板ケース 1 0 0 の略全体と主基板ケース 9 4 の上部側の一部分とを後側から覆うように配置されている。

【 0 0 5 5 】

また、前枠 3 の裏側下部には、基板装着台 1 2 5 が着脱自在に装着されており、この基板装着台 1 2 5 の背面側に、電源基板 1 2 6 が格納された電源基板ケース 1 2 7、払出發射制御基板 1 2 8 が格納された払出發射基板ケース 1 2 9 が夫々着脱自在に装着されている。

【 0 0 5 6 】

図 1 0 は本パチンコ機の全体回路構成を示すブロック図である。図 1 0 に示すように、本パチンコ機の全体回路構成は、遊技盤 1 6 側に搭載される盤側部材 1 3 1 と、前枠 3 側に搭載される枠側部材 1 3 2 とで構成されている。

10

【 0 0 5 7 】

盤側部材 1 3 1 は、主制御部 9 2 を構成する主制御基板 9 3、演出制御部 9 5 を構成する演出インターフェース基板 9 6、液晶インターフェース基板 9 7、液晶制御基板 9 8 及び ROM 基板 9 9 の他、遊技盤中継基板 1 3 3、LED 接続基板 1 3 4、主制御中継基板 1 3 5、電源中継基板 1 3 6、枠 LED 中継基板 1 3 7 等で構成されている。

【 0 0 5 8 】

主制御基板 9 3 は、遊技制御を統括的に行うもので、普通図柄始動手段 7 1 や大入賞手段 7 4 等に設けられた遊技球検出スイッチ、大入賞手段 7 4 等に設けられた開閉駆動手段、遊技盤 1 6 の各部に配置された磁気、電波、振動等の各種センサ、遊技情報表示手段 6 0 等が、遊技盤中継基板 1 3 3 等の中継基板を介して、或いは中継基板を介することなく直接的に接続されている。また主制御基板 9 3 は、演出制御ハーネス 1 3 8 を介して演出インターフェース基板 9 6 に接続されており、制御コマンド CMD とストロブ信号 STB とを送信可能となっている。

20

【 0 0 5 9 】

主制御中継基板 1 3 5、電源中継基板 1 3 6 及び枠 LED 中継基板 1 3 7 は、盤側部材 1 3 1 を枠側部材 1 3 2 に接続するためのもので、主制御基板 9 3 は主制御中継基板 1 3 5 を介して払出發射制御基板 1 2 8 に接続され、演出インターフェース基板 9 6 は電源中継基板 1 3 6 を介して電源基板 1 2 6 に、枠 LED 中継基板 1 3 7 を介して枠下 LED 接続基板 1 3 9 に夫々接続されている。遊技盤 1 6 側の主制御中継基板 1 3 5、電源中継基板 1 3 6、枠 LED 中継基板 1 3 7 には、盤側第 1 ~ 第 3 コネクタ CN 1 a ~ CN 3 a が夫々遊技盤 1 6 の後側に対応して配置され、また内枠 6 側の遊技盤装着部 1 4 ( 図 2 ) には、枠側第 1 ~ 第 3 コネクタ CN 1 b ~ CN 3 b が夫々盤側第 1 ~ 第 3 コネクタ CN 1 a ~ CN 3 a に対向するように配置されており、遊技盤 1 6 が内枠 6 の遊技盤装着部 1 4 に前側から装着されたとき、盤側第 1 ~ 第 3 コネクタ CN 1 a ~ CN 3 a が枠側第 1 ~ 第 3 コネクタ CN 1 b ~ CN 3 b に夫々結合されるようになっている。なお、枠側第 1 コネクタ CN 1 b は、払出發射制御基板 1 2 8 に接続される払出發射制御中継ハーネス 1 4 1 の一端側に設けられ、枠側第 2 コネクタ CN 2 b は、電源基板 1 2 6 に接続される演出制御電源ハーネス 1 4 2 の一端側に設けられ、枠側第 3 コネクタ CN 3 b は、枠下 LED 接続基板 1 3 9 に接続される枠下 LED 接続ハーネス 1 4 3 の一端側に設けられている。

30

40

【 0 0 6 0 】

また、演出制御部 9 5 を構成する演出インターフェース基板 9 6、液晶インターフェース基板 9 7、液晶制御基板 9 8 及び ROM 基板 9 9 は、既に説明したようにハーネスを介することなくコネクタ同士を直結することによって互いに一体化されている。

【 0 0 6 1 】

液晶インターフェース基板 9 7 には、バックライトハーネス 1 4 4、液晶表示ユニットハーネス 1 4 5 を介して液晶表示ユニット 7 6 が接続されている。また演出インターフェース基板 9 6 には、LED 接続ハーネス 1 4 6 を介して LED 接続基板 1 3 4 が接続されている。LED 接続基板 1 3 4 には、遊技盤 1 6 側の各種 LED 基板の他、可動体 7 7 ~

50

79の駆動制御に使用するモータ、ソレノイド等の可動体駆動手段、位置検出スイッチ等が接続されている。

【0062】

枠側部材132は、電源基板126、払出發射制御基板128を中心に構成されている。電源基板126は、AC24Vを受けて各種の直流電圧を出力するもので、払出發射制御基板128にDC5V、DC12V、DC35Vを、枠下LED接続基板139にDC12Vを夫々出力する他、電源中継基板136を介して演出インターフェース基板96にDC5V、DC12V、DC35Vを出力するようになっている。払出發射制御基板128にはバックアップ基板147が接続されており、払出發射制御基板128から主制御基板93に対しては、電源基板126から受けたDC5V、DC12V、DC35Vの他、

10

【0063】

また払出發射制御基板128には、発射手段17を構成する発射駆動手段17d、外部のホストコンピュータ等に各種情報を出力するための外部端子板148、外部の遊技球貸出装置を接続するための貸出装置接続端子板149の他、枠中継基板150、受け皿中継基板151等が接続されている。

【0064】

枠中継基板150は、内枠6側に配置された払出モータ32a、払出計数スイッチ32b、前扉・内枠開放スイッチ152等と払出發射制御基板128との接続を中継するものである。また受け皿中継基板151は、前扉7側の発射接続基板153、球詰まり検出基板154、度数表示基板155等と払出發射制御基板128との接続を中継するものである。発射接続基板153には、発射ハンドル35を構成する可変抵抗器35a、発射停止スイッチ35b、タッチセンサ35cの他、球送りユニット53aに設けられた球送りソレノイド53c等が接続されている。

20

【0065】

また、枠下LED接続基板139には、内枠6側の下部スピーカ18の他、前扉7側の枠左下LED接続基板156が接続されている。枠左下LED接続基板156には、前扉7側の電飾を構成するLED基板157、発射ハンドル35に配置されたハンドルLED基板158、演出ボタン41やその内部のLED基板等が接続される演出ボタンLED接続基板159、音量/光量調整ボタン39、40等が接続される音量光量ボタン基板160、上部スピーカ25、サイドユニット30に接続されるサイドユニット中継基板161等が接続されている。

30

【0066】

続いて、演出制御部95を構成する演出インターフェース基板96、液晶インターフェース基板97、液晶制御基板98及びROM基板99の回路構成について、図10、図11を参照しつつ詳細に説明する。

【0067】

図10に示すように、演出インターフェース基板96は、各種入出力バッファの他、液晶制御基板98の複合チップ104に搭載されているCPU回路171(図11)から受ける指示に基づいて音声信号を再生する音声プロセッサ101、再生される音声信号の元データである圧縮音声データ等を記憶する音声ROM103、音声プロセッサ101から出力される音声信号を受けるデジタルアンプ102等を備えている。音声プロセッサ101は、内部回路の異常動作時に内部回路の設定値を自動的にデフォルト値にリセットするWDT回路と、音声制御レジスタSRGとを内蔵しており、音声制御レジスタSRGが、複合チップ104のCPU回路171から受ける動作パラメータに基づいて音声ROM103にアクセスし、必要な音声信号を再生してデジタルアンプ102に出力するようになっている。

40

【0068】

演出インターフェース基板96に搭載されている各種入出力バッファには、主制御基板93から制御コマンドCMDとストローク信号STBとを受けて液晶制御基板98の複合

50

チップ104に転送するための入力バッファ、枠LED中継基板137を經由して演出ボタン41等のスイッチ信号を受けて液晶制御基板98の複合チップ104に転送するための入力バッファ、液晶制御基板98から受けたシリアル信号を枠LED中継基板137を經由してLED基板等のドライバICに転送するための出力バッファ、LED接続基板134を經由して可動体の位置検出スイッチ等のスイッチ信号を受けて液晶制御基板98の複合チップ104に転送するための入力バッファ、液晶制御基板98から受けたシリアル信号をLED接続基板134を經由してLED基板等のドライバICに転送するための出力バッファ等がある。

#### 【0069】

また液晶制御基板98には、CPU回路171を内蔵する複合チップ(チップ)104と、CPU回路171の制御プログラムを記憶する制御ROM(チップと接続されるROM)105と、大量のデータを高速にアクセス可能なDRAM(Dynamic Random Access Memory)106とが搭載されており、その液晶制御基板98に接続されているROM基板99には、演出制御に必要な大量のCGデータを記憶するCGROM107が搭載されている。

10

#### 【0070】

制御ROM105は、チップセレクト信号CS0で選択されるアドレス空間CS0に位置付けされている。またDRAM106は、チップセレクト信号CS5で選択されるアドレス空間CS5に位置付けされている。

#### 【0071】

図11は、液晶制御基板98に搭載される複合チップ104について、関連する回路素子も含めて図示した回路ブロック図である。図示の通り、複合チップ104には、所定時間毎にディスプレイリストDLを発行するCPU回路171と、発行されたディスプレイリストDLに基づいて画像データを生成し、液晶表示ユニット76を駆動するVDP回路172とが内蔵されている。そして、CPU回路171とVDP回路172とは、互いの送受信データを中継するCPUIF回路173を介して接続されている。

20

#### 【0072】

CPU回路171は、複合チップ104のHCLKI端子で受けた発振器OSC1からの発振出力(例えば100/3MHz)を周波数逡倍(例えば8逡倍)して、266.7MHz程度のCPU動作クロックとしている。ここで、発振器OSC1は、スペクトラム拡散波を出力するよう構成されることで、電波障害/電磁妨害を防止するEMI(Electromagnetic Interference)対策を図っている。

30

#### 【0073】

一方、VDP回路172は、複合チップ104のPLLREF端子で受けた発振器OSC2からの発振出力(例えば40MHz)を、必要に応じて周波数逡倍した上で、VDP回路172のシステムクロック、表示装置用の表示クロック(ドットクロックなど)、及び外付けのDRAM106のDDRクロックとして使用している。即ち、発振器OSC2の出力は、VDP回路172全体のリファレンスクロックとして機能している。

#### 【0074】

そこで、このリファレンスクロックの重要性を考慮して、発振器OSC2をVDP回路172と同じ電源電圧3.3Vで動作させると共に、出力イネーブル端子OEがHレベル(=3.3V)であることを条件に、リファレンスクロックを発振出力し、電源電圧3.3Vが所定レベル以下に低下した場合には、マスク不能の割込み(NMI)が生じるよう構成されている。

40

#### 【0075】

また複合チップ104にはHBTSL端子が設けられており、このHBTSL端子の論理レベルに基づいて、電源投入(CPUリセット)後に実行されるブートプログラム(初期設定プログラム)を記憶するROMを特定している。図示の通り、本実施形態ではHBTSL=Lに設定されており、CPU回路171のアドレス空間CS0のゼロ番地が制御ROM105に割り当てられている。

50

## 【 0 0 7 6 】

C P U I F 回路 1 7 3 には、制御プログラムや必要な制御データを不揮発的に記憶する制御 R O M 1 0 5 と、2 M バイト程度の記憶容量を有するワークメモリ ( R A M ) 1 7 4 とが接続されており、各々 C P U 回路 1 7 1、V D P 回路 1 7 2 からアクセス可能となっている。

## 【 0 0 7 7 】

なお、制御 R O M 1 0 5 は、チップセレクト信号 C S 0 で選択されるアドレス空間 C S 0 に位置付けられ、ワークメモリ 1 7 4 は、チップセレクト信号 C S 6 で選択されるアドレス空間 C S 6 に位置付けられている。このワークメモリ 1 7 4 には、液晶表示ユニット 7 6 の一フレームを特定する一連の指示コマンドが記載されたディスプレイリスト D L を一次的に記憶する D L バッファ B U F が確保されている。

10

## 【 0 0 7 8 】

C P U 回路 1 7 1 は、汎用のワンチップマイコンと同等の性能を有する回路であり、制御 R O M 1 0 5 の制御プログラムに基づいて画像演出を統括的に制御する演出制御 C P U 1 8 1 と、1 6 k バイト程度の記憶容量を有して C P U の作業領域として使用される内蔵 R A M 1 8 2 と、演出制御 C P U 1 8 1 を経由しないでデータ転送を実現するための D M A C ( Direct Memory Access Controller ) 1 8 3 と、複数の入力ポート S i 及び出力ポート S o を有するシリアル入出力ポート ( S I O ) 1 8 4 と、複数の入力ポート P i 及び出力ポート P o を有するパラレル入出力ポート ( P I O ) 1 8 5 と、それら各部の動作を制御するべく設定値が設定される制御レジスタ ( R E G ) 1 8 6 等を備えている。

20

## 【 0 0 7 9 】

パラレル入出力ポート 1 8 5 は、入出力回路 1 8 7 等を介して外部機器 ( 演出インターフェース基板 9 6 ) に接続されており、演出制御 C P U 1 8 1 は、入出力回路 1 8 7 を経て、演出ボタン 4 1 等のスイッチ信号、制御コマンド C M D、割込み信号 S T B 等を受信するようになっている。

## 【 0 0 8 0 】

また本実施形態では、発光演出と可動体演出のために、V D P 回路 1 7 2 の S M C 部 ( S e r i a l Management Controller ) 1 8 8 を使用している。S M C 部 1 8 8 は、L E D コントローラとモータコントローラとを内蔵し、クロック同期方式でシリアル信号を出力可能となっている。また、モータコントローラは、所定の制御レジスタへの設定値に基づいて、任意のタイミングでラッチパルスを出力可能であり、またクロック同期方式でシリアル信号を入力可能となっている。そこで本実施形態では、クロック信号に同期してモータ駆動信号や L E D 駆動信号を S M C 部 1 8 7 から出力させる一方、適宜のタイミングで、ラッチパルスを動作制御信号 E N A B L E として出力するようになっている。また、可動体駆動手段を構成するモータ群 M 1 ~ M n からの原点センサ信号 S N 0 ~ S N n をクロック同期方式でシリアル入力するようになっている。

30

## 【 0 0 8 1 】

続いて、演出制御部 9 5 を構成する液晶制御基板 9 8 について、配線パターン等の詳細を説明する。液晶制御基板 9 8 は、基板本体 1 9 0 ( 図 8 参照 ) に複数の配線層、具体的には表面 ( 第 1 面 ) 9 8 a 側の第 1 配線層 L 1 と、裏面 ( 第 2 面 ) 9 8 b 側の第 6 配線層 L 6 と、それらの間に配置される第 2 ~ 第 5 配線層 L 2 ~ L 5 とよりなる計 6 層の第 1 ~ 第 6 配線層 L 1 ~ L 6 ( 図 1 2 ~ 図 1 7 ) を備えている。なお、第 2 配線層 L 2 ( 図 1 3 ) はグラウンドに接続されるベタ配線層、第 5 配線層 L 5 ( 図 1 6 ) は電源に接続されるベタ配線層となっている。また、液晶制御基板 9 8 の基板本体 1 9 0 には多数のビア ( 層間導通部 ) が板厚方向に設けられており、複数の配線層 L 1 ~ L 6 はそれらのビア ( 層間導通部 ) を介して互いに導通されている。本実施形態で使用されるビアは、スルーホールにメッキを施したスルーホール型のビアで、基板本体 1 9 0 の表面 ( 第 1 面 ) 9 8 a から裏面 ( 第 2 面 ) 9 8 b まで貫通している。

40

## 【 0 0 8 2 】

なお以下の説明では、各配線層 L 1 ~ L 6 の面内での方向や向きについては、図 1 2 ~

50

図 17 に座標系で示すように、同図における左右方向を X 方向、同じく上下方向を Y 方向とし、右向き / 左向きを夫々 + X / - X 方向（側）、上向き / 下向きを夫々 + Y / - Y 方向（側）とする。また、斜め方向についても斜め + X - Y 方向、斜め - X - Y 方向のように表現する。なお図 7、図 8 等より明らかなように、液晶制御基板 98 を遊技機本体 1 に装着した状態では、液晶制御基板 98 の + X 方向が上向き、同じく + Y 方向が遊技機本体 1 に向かって右向き（背面視で左向き）となる。

#### 【0083】

図 12 に示すように、表面 98 a 側の第 1 配線層 L1 には、複合チップ（第 1 電子部品）104 が配置される複合チップ配置領域（第 1 配置領域）191 と、制御 ROM（第 2 電子部品、特定電子部品）105 が配置される制御 ROM 配置領域（第 2 配置領域）192 とが設けられている。複合チップ配置領域 191 は、複合チップ 104 の形状に対応する略正方形で、液晶制御基板 98 の表面 98 a における中央部付近に配置されている。複合チップ配置領域 191 内には、複合チップ 104 の各端子に対応するドット状の端子接続部が略等間隔でマトリクス状に配置されている。なお複合チップ 104 は、3 行 3 列（但し四隅の 4 個は欠落）で配列される計 1020 個の端子を底面側に備えており、それら各端子を夫々対応する端子接続部に接続させた状態で複合チップ配置領域 191 に装着されている。

10

#### 【0084】

制御 ROM 配置領域 192 は、制御 ROM 105 を装着する ROM ソケット 193（図 8 参照）の形状に対応して Y 方向に長い略長方形で、その長辺の長さが複合チップ配置領域 191 の一辺の長さと同程度となっている。制御 ROM 配置領域 192 は、複合チップ配置領域 191 に対して + X 側の近傍に配置されており、制御 ROM 配置領域 192 の - X 側、+ X 側の長辺である第 1、第 2 縁部 192 a、192 b のうちの第 1 縁部 192 a が、複合チップ配置領域 191 における + X 側の第 1 縁部 191 a に対して、- Y 方向にずれた状態で所定距離をおいて対向している。

20

#### 【0085】

制御 ROM 配置領域 192 には、その両長辺、即ち第 1、第 2 縁部 192 a、192 b に沿って夫々複数個（ここでは各 35 個）の端子接続部（ROM 端子接続部）が配列されている。また制御 ROM 配置領域 192 には、制御 ROM 105 を着脱可能に支持する ROM ソケット 193 が固定されており、その ROM ソケット 193 に制御 ROM 105 が着脱自在に装着されている（図 8）。制御 ROM 105 には、その両端部に沿って夫々複数（ここでは各 35 個）の端子が配列されており、それら各端子が、ROM ソケット 193 を介して制御 ROM 配置領域 192 の各端子接続部に接続されている。

30

#### 【0086】

なお ROM ソケット 193 は、図 8 に示すように、制御 ROM 配置領域 192 に対応する略長方形の底壁 193 a と、その底壁 193 a 上に装着された制御 ROM 105 の両縁部を係脱可能に保持する一对の ROM 保持部 193 b とを備えており、底壁 193 a が制御 ROM 配置領域 192 の略全体を覆う状態で液晶制御基板 98 の表面 98 a に固定されている。従って、第 1 配線層 L1 における制御 ROM 配置領域 192 内の配線パターン（ビア等）については、ROM ソケット 193 から制御 ROM 105 を取り外した状態でも ROM ソケット 193 の底壁（遮蔽壁）193 a によって遮蔽され、外部から視認することはできない。これにより、複合チップ 104 と制御 ROM 105 とを接続する配線パターンを不正改造するなどのゴト行為に対する予防性を高めることが可能となる。また、制御 ROM 配置領域 192 内に配線パターンを引くことで、それ以外の領域に配線スペースを確保することが可能となる。

40

#### 【0087】

また図 17 に示すように、裏面 98 b 側の第 6 配線層 L6 には、液晶制御第 1 コネクタ CN31 が配置される第 1 コネクタ配置領域 194 と、液晶制御第 2 コネクタ CN32 が配置される第 2 コネクタ配置領域 195 とが設けられている。第 1 コネクタ配置領域 194 は、X 方向に長い略長方形で、液晶制御基板 98 の裏面 98 b における + Y 側の縁部近

50

傍に配置されている。第1コネクタ配置領域194内には、液晶制御第1コネクタCN31の各端子に対応する端子接続部が、一对の長辺に沿って夫々複数（ここでは各70個）配列されている。また第2コネクタ配置領域195は、X方向に長い略長方形で、液晶制御基板98の裏面98bにおける-Y側の縁部近傍に配置されている。第2コネクタ配置領域195内には、液晶制御第2コネクタCN32の各端子に対応する端子接続部が、一对の長辺に沿って夫々複数（ここでは各50個）配列されている。

#### 【0088】

複合チップ104の全ての端子のうち、制御ROM105に接続される端子については、複合チップ配置領域191における制御ROM105側の第1縁部191aの近傍に集中的に配置されている。図18は、複合チップ104の全ての端子のうち、第1縁部191a近傍の一部の端子についてその種類（端子情報）を示している。なお、図18における各端子の配列は、図12における複合チップ配置領域191内の端子接続部の配列と一致させている。

10

#### 【0089】

図18において、HAD0～HAD25がアドレス情報を出力するためのアドレス出力端子、HDT0～HDT15がデータ情報を入出力するためのデータ入出力端子、HCS0がチップセレクト信号を出力するためのチップセレクト出力端子、HRDがリードストロープ信号を出力するためのリードストロープ出力端子、HRESETがシステムリセット信号を入力するためのシステムリセット端子である。なお以下の説明では、複合チップ配置領域191内の端子接続部に、対応する複合チップ104の端子の符号HAD0～HAD25, HDT0～HDT15等をそのまま用いるものとする。例えば、端子接続部HRDは、リードストロープ出力端子HRDに対応する端子接続部を示している。

20

#### 【0090】

また図19は、制御ROM105の各端子についてその種類（端子情報）を示している。図19に示す各端子のうち、A0～A24はアドレス情報を入力するためのアドレス入力端子、Q0～Q15はデータ情報を入出力するためのデータ入出力端子で、夫々複合チップ104のアドレス出力端子、データ入出力端子と接続される。CE#はチップセレクト信号を入力するためのチップセレクト入力端子で、複合チップ104のチップセレクト出力端子と接続される。WE#は書き込み可能入力端子で、電源と接続して常にHレベルとすることにより、OE#端子の値（H/L）に応じてモードを切り替えることが可能となっている。なお、OE#は出力可能入力端子で、複合チップ104のリードストロープ出力端子と接続される。

30

#### 【0091】

RESET#はリセット端子で、複合チップ104のシステムリセット入力端子HRESETと共に電源電圧監視用集積回路（リセットIC）と接続される。WP#/ACCは書き込み禁止/プログラムインプット端子で、グランド（Lレベル）又は電源（Hレベル）に接続することで、書き込みの禁止/許容、プログラムの実行禁止/許容を切り替えることが可能となっている。本実施形態では、WP#/ACC端子は電源に接続され、Hレベルに設定されている。BYTE#は8/16bitモード選択端子で、グランド（Lレベル）又は電源（Hレベル）に接続することで、8bit通信モードと16bit通信モードとの何れかを選択することが可能となっている。

40

#### 【0092】

なお以下の説明では、制御ROM配置領域192に対応する端子接続部についても、対応する制御ROM105の端子の符号A0～A24, Q0～Q15, CE#等をそのまま用いるものとする。例えば、端子接続部RESET#は、リセット端子RESET#に対応する端子接続部を示している。

#### 【0093】

以下、液晶制御基板98上に設けられた多数の配線路のうち、複合チップ104と制御ROM105とを接続している配線路を含む複数種類の配線路P1～P47に着目し、その詳細について図面を参照しつつ説明する。なお、図20～図25は、図12～図17に

50

示す第1～第6配線層L1～L6の各配線パターンから夫々配線路P1～P47を構成する部分のみを抽出して示したもので、図26～図34はその部分拡大図である。また、図35～図40は、配線路P1～P47の配線経路を模式的に示したものである。なお、図35～図40において、グレーで表示したビア（例えば図35の配線路P1におけるビアv86）は、制御ROM配置領域192内に配置されているビア（特定層間導通部）を示し、太線で表示した配線路（例えば図35の配線路P2における配線路cp13）は、制御ROM105側の端子接続部に対して制御ROM配置領域192の内側から接続されている配線路を示している。

#### 【0094】

まず初めに、複合チップ104のアドレス出力端子HAD0～HAD25に接続される配線路P1～P26について説明する。本実施形態では、アドレス出力端子HAD0～HAD25のうち、HAD1～HAD25については、制御ROM105側のアドレス入力端子A0～A24に夫々接続されるとともに、液晶制御第1コネクタCN31にも接続されている。一方、アドレス出力端子HAD0については、液晶制御第1コネクタCN31には接続されているが、制御ROM105側の端子とは接続されていない。

#### 【0095】

なお、複合チップ104のアドレス出力端子HAD1～HAD25の配列（図18）と、それに対応する制御ROM105のアドレス入力端子A0～A24の配列（図19）とを比較すると、両者は明らかに相違している。即ち、複合チップ104のアドレス出力端子HAD1～HAD25は、図18に示すように6行に分けて配列されており、行毎に列数は異なるが並び順は一定しているのに対し、制御ROM105のアドレス入力端子A0～A24は、図19に示すように2列に分けて配列されており、各列における並び順に一定の規則性はない。しかも、複合チップ104と制御ROM105の配置位置や配線パターンの数の多さが関係してくることで、配線パターンの引き回しが非常に複雑なものとなる。そのため、複合チップ104と制御ROM105とを接続する配線パターンの引き回しを最適化することは非常に重要であり、それによって配線パターンの線長を短くすることができ、ノイズ低減や基板全体のスリム化を図ることにつながる。また、これらは複合チップ104と制御ROM105との間の関係だけでなく、複合チップ104と各種コネクタ等の電子部品との関係性においても同様のことが言える。特に、HAD1～HAD25やHDT1～HDT25などの複合チップ104や制御ROM105、各種コネクタなどの複数の電子部品と接続される配線パターンについては、上述の課題が大きい分、最適化することによる効果も大きいものとなる。

#### 【0096】

配線路P1～P26のうち、配線路P1（図35）では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD0が、配線路cp0により、斜め-X-Y方向の近傍に配置されたビアv0に接続されている。ビアv0は、その周囲に配置されている4つの端子接続部（端子接続部HAD0を含む）の略中央に配置されている。このビアv0は、図28に示すように、第3配線層L3に設けられた配線路cp1によりビアv41と接続されている。このビアv41は、複合チップ配置領域191と制御ROM配置領域192との間に配置されている。そしてビアv41は、図31に示すように、第4配線層L4に設けられた配線路cp2により、制御ROM配置領域192内に配置されるビアv86と接続されている。このように、第1配線層L1で端子接続部HAD0から引き出された配線路は、2つの配線層L3、L4を経て制御ROM配置領域192内のビアv86に接続されている。

#### 【0097】

端子接続部HAD0からビアv86に達した配線路は、このビアv86で2つに分岐している。第1の分岐路は、図28、図29に示すように、第3配線層L3に設けられた配線路cp3により、ビアv86からテストポイントTP28を構成するビアv205を経て第1コネクタ配置領域194内のビアv146に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp4により、端子接続部had0に対して第1コネ

10

20

30

40

50

クタ配置領域 194 の内側から接続されている。また第 2 の分岐路は、図 32 に示すように、第 6 配線層 L6 に設けられた配線路 cp5 により、ビア v86 から終端抵抗 RA16 に接続されている。この終端抵抗 RA16 は、他端側が所定のビアを介して第 2 配線層 L2 のベタ配線層 (GND) に接続されている (配線図では省略)。

【0098】

配線路 P2 (図 35) では、図 26 に示すように、第 1 配線層 L1 の複合チップ配置領域 191 に設けられた端子接続部 HAD1 が、配線路 cp11 により、斜め - X - Y 方向の近傍に配置されたビア v5 に接続されている。ビア v5 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HAD1 を含む) の略中央に配置されている。このビア v5 は、図 31 に示すように、第 4 配線層 L4 に設けられた配線路 cp12 により、制御 ROM 配置領域 192 内に配置されるビア v85 に接続されている。このように、端子接続部 HAD1 から引き出された配線路は、端子接続部 HAD0 から引き出された配線路とは異なり、第 3 配線層 L3 は経由せず、第 4 配線層 L4 を経て制御 ROM 配置領域 192 内のビア v85 に接続されている。

10

【0099】

端子接続部 HAD1 からビア v85 に達した配線路は、このビア v85 で 4 つに分岐している。第 1 の分岐路は、図 27 に示すように、第 1 配線層 L1 に設けられた配線路 cp13 により、ビア v85 から制御 ROM 105 の端子接続部 A0 に対して制御 ROM 配置領域 192 の内側から接続されている。また第 2 の分岐路は、図 32 に示すように、第 6 配線層 L6 に設けられた配線路 cp14 により、ビア v85 から終端抵抗 RA16 に接続されている。

20

【0100】

また第 3 の分岐路は、図 28, 図 29 に示すように、第 3 配線層 L3 に設けられた配線路 cp15 により、ビア v85 から第 1 コネクタ配置領域 194 内のビア v145 に接続され、更に図 33 に示すように、第 6 配線層 L6 に設けられた配線路 cp16 により、端子接続部 had1 に対して第 1 コネクタ配置領域 194 の内側から接続されている。また第 4 の分岐路は、図 28, 図 30 に示すように、第 3 配線層 L3 に設けられた配線路 cp17 により、ビア v85 からビア v182 に接続され、更に図 34 に示すように、第 6 配線層 L6 に設けられた配線路 cp18 により、デコード回路を構成するデコーダ IC12 に接続されている。

30

【0101】

なお、図 34 等の配線図では省略しているが、デコーダ IC12 ~ IC14 を含むデコード回路は図 41 に示すように構成されている。図 41 に示すように、デコーダ IC13, IC14 は、液晶 IF 第 3 コネクタ CN23 等を介して液晶表示ユニット 76 等に接続されており、電源投入時に、複合チップ 104 のデータ入出力端子 HDT0 ~ HDT15 からデータ情報が入力される。そしてデコーダ IC13, IC14 は、デコーダ IC12 から入力される CPU と同期したクロックに基づいて、液晶表示ユニット 76 等にデータ情報を出力するため、固定のデータ情報を CPU が毎回送信する必要がない。これにより、CPU から所定時間毎に同一のデータ情報を出力する必要がなく、CPU はデータ情報の内容を変更する場合にのみ新たなデータ情報を送信するようにすればよいため、制御プログラムを簡素化することが可能となる。

40

【0102】

配線路 P3 (図 35) では、図 26 に示すように、第 1 配線層 L1 の複合チップ配置領域 191 に設けられた端子接続部 HAD2 が、配線路 cp21 により、斜め + X - Y 方向の近傍に配置されたビア v4 に接続されている。ビア v4 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HAD2 を含む) の略中央に配置されている。このビア v4 は、図 31 に示すように、第 4 配線層 L4 に設けられた配線路 cp22 により、制御 ROM 配置領域 192 内に配置されるビア v84 に接続されている。

【0103】

端子接続部 HAD2 からビア v84 に達した配線路は、このビア v84 で 4 つに分岐し

50

ている。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp23により、ビアv84から制御ROM105の端子接続部A1に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp24により、ビアv84から終端抵抗RA16に接続されている。

【0104】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp25により、ビアv84から第1コネクタ配置領域194内のビアv144に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp26により、端子接続部had2に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図28，図30に示すように、第3配線層L3に設けられた配線路cp27により、ビアv84からビアv184に接続され、更に図34に示すように、第6配線層L6に設けられた配線路cp28により、デコード回路を構成するデコーダIC12に接続されている。

【0105】

配線路P4(図35)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD3が、配線路cp31により、斜め+X-Y方向の近傍に配置されたビアv13に接続されている。ビアv13は、その周囲に配置されている4つの端子接続部(端子接続部HAD3を含む)の略中央に配置されている。このビアv13は、図31に示すように、第4配線層L4に設けられた配線路cp32により、制御ROM配置領域192内に配置されるビアv83に接続されている。

【0106】

端子接続部HAD3からビアv83に達した配線路は、このビアv83で4つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp33により、ビアv83から制御ROM105の端子接続部A2に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp34により、ビアv83から終端抵抗RA16に接続されている。

【0107】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp35により、ビアv83から第1コネクタ配置領域194内のビアv143に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp36により、端子接続部had3に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図28，図30に示すように、第3配線層L3に設けられた配線路cp37により、ビアv83からビアv181に接続され、更に図34に示すように、第6配線層L6に設けられた配線路cp38により、デコード回路を構成するデコーダIC12に接続されている。

【0108】

配線路P5(図35)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD4が、配線路cp41により、斜め+X-Y方向の近傍に配置されたビアv20に接続されている。ビアv20は、その周囲に配置されている4つの端子接続部(端子接続部HAD4を含む)の略中央に配置されている。このビアv20は、図31に示すように、第4配線層L4に設けられた配線路cp42により、制御ROM配置領域192内に配置されるビアv82に接続されている。

【0109】

端子接続部HAD4からビアv82に達した配線路は、このビアv82で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp43により、ビアv82から制御ROM105の端子接続部A3に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp44により、ビアv82から終端抵抗RA15に接続

10

20

30

40

50

されている。この終端抵抗 R A 1 5 は、他端側が所定のピアを介して第 2 配線層 L 2 のベタ配線層 ( G N D ) に接続されている ( 配線図では省略 )。

【 0 1 1 0 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 4 5 により、ピア v 8 2 から第 1 コネクタ配置領域 1 9 4 内のピア v 1 4 2 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 6 により、端子接続部 h a d 4 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 1 1 1 】

配線路 P 6 ( 図 3 5 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 5 が、配線路 c p 5 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたピア v 3 4 に接続されている。なお、端子接続部 H A D 5 は、複合チップ配置領域 1 9 1 の外周側から 2 列目に配置されている。ピア v 3 4 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 5 2 により、制御 R O M 配置領域 1 9 2 内に配置されるピア v 8 1 に接続されている。

10

【 0 1 1 2 】

端子接続部 H A D 5 からピア v 8 1 に達した配線路は、このピア v 8 1 で 3 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 5 3 により、ピア v 8 1 から制御 R O M 1 0 5 の端子接続部 A 4 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 5 4 により、ピア v 8 1 から終端抵抗 R A 1 5 に接続されている。

20

【 0 1 1 3 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 5 5 により、ピア v 8 1 から第 1 コネクタ配置領域 1 9 4 内のピア v 1 4 1 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 5 6 により、端子接続部 h a d 5 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 1 1 4 】

配線路 P 7 ( 図 3 5 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 6 が、配線路 c p 6 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたピア v 3 9 に接続されている。なお、端子接続部 H A D 6 は、複合チップ配置領域 1 9 1 の最も外周側に配置されている。ピア v 3 9 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 6 2 により、制御 R O M 配置領域 1 9 2 内に配置されるピア v 8 0 に接続されている。

30

【 0 1 1 5 】

端子接続部 H A D 6 からピア v 8 0 に達した配線路は、このピア v 8 0 で 3 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 6 3 により、ピア v 8 0 から制御 R O M 1 0 5 の端子接続部 A 5 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 6 4 により、ピア v 8 0 から終端抵抗 R A 1 5 に接続されている。

40

【 0 1 1 6 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 6 5 により、ピア v 8 0 から第 1 コネクタ配置領域 1 9 4 内のピア v 1 4 0 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 6 6 により、端子接続部 h a d 6 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 1 1 7 】

配線路 P 8 ( 図 3 5 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 7 が、配線路 c p 7 1 により、斜め + X - Y 方向

50

の近傍に配置されたビアv3に接続されている。ビアv3は、その周囲に配置されている4つの端子接続部(端子接続部HAD7を含む)の略中央に配置されている。このビアv3は、図31に示すように、第4配線層L4に設けられた配線路cp72により、制御ROM配置領域192内に配置されるビアv79に接続されている。

【0118】

端子接続部HAD7からビアv79に達した配線路は、このビアv79で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp73により、ビアv79から制御ROM105の端子接続部A6に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp74により、ビアv79から終端抵抗RA15に接続されている。

10

【0119】

また第3の分岐路は、図28, 図29に示すように、第3配線層L3に設けられた配線路cp75により、ビアv79から第1コネクタ配置領域194内のビアv139に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp76により、端子接続部had7に対して第1コネクタ配置領域194の内側から接続されている。

【0120】

配線路P9(図36)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD8が、配線路cp81により、斜め+X-Y方向の近傍に配置されたビアv12に接続されている。ビアv12は、その周囲に配置されている4つの端子接続部(端子接続部HAD8を含む)の略中央に配置されている。このビアv12は、図31に示すように、第4配線層L4に設けられた配線路cp82により、制御ROM配置領域192内に配置されるビアv78に接続されている。

20

【0121】

端子接続部HAD8からビアv78に達した配線路は、このビアv78で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp83により、ビアv78から制御ROM105の端子接続部A7に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp84により、ビアv78から終端抵抗RA13に接続されている。この終端抵抗RA13は、他端側が所定のビアを介して第2配線層L2のベタ配線層(GND)に接続されている(配線図では省略)。

30

【0122】

また第3の分岐路は、図28, 図29に示すように、第3配線層L3に設けられた配線路cp85により、ビアv78から第1コネクタ配置領域194内のビアv138に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp86により、端子接続部had8に対して第1コネクタ配置領域194の内側から接続されている。

【0123】

配線路P10(図36)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD9が、配線路cp91により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域192との間に配置されたビアv33に接続されている。なお、端子接続部HAD9は、複合チップ配置領域191の外周側から2列目に配置されている。ビアv33は、図31に示すように、第4配線層L4に設けられた配線路cp92により、制御ROM配置領域192内に配置されるビアv77に接続されている。

40

【0124】

端子接続部HAD9からビアv77に達した配線路は、このビアv77で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp93により、ビアv77から制御ROM105の端子接続部A8に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp94により、ビアv77から終端抵抗RA13に接続

50

されている。

【 0 1 2 5 】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp95により、ビアv77から第1コネクタ配置領域194内のビアv137に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp96により、端子接続部had9に対して第1コネクタ配置領域194の内側から接続されている。

【 0 1 2 6 】

配線路P11(図36)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD10が、配線路cp101により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域192との間に配置されたビアv38に接続されている。なお、端子接続部HAD10は、複合チップ配置領域191の最も外周側に配置されている。ビアv38は、図31に示すように、第4配線層L4に設けられた配線路cp102により、制御ROM配置領域192内に配置されるビアv76に接続されている。

10

【 0 1 2 7 】

端子接続部HAD10からビアv76に達した配線路は、このビアv76で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp103により、ビアv76から制御ROM105の端子接続部A9に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp104により、ビアv76から終端抵抗RA13

20

【 0 1 2 8 】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp105により、ビアv76から第1コネクタ配置領域194内のビアv136に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp106により、端子接続部had10に対して第1コネクタ配置領域194の内側から接続されている。

【 0 1 2 9 】

配線路P12(図36)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD11が、配線路cp111により、斜め-X+Y方向の近傍に配置されたビアv2に接続されている。ビアv2は、その周囲に配置されている4つの端子接続部(端子接続部HAD11を含む)の略中央に配置されている。このビアv2は、図31に示すように、第4配線層L4に設けられた配線路cp112により、制御ROM配置領域192内に配置されるビアv75に接続されている。

30

【 0 1 3 0 】

端子接続部HAD11からビアv75に達した配線路は、このビアv75で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp113により、ビアv75から制御ROM105の端子接続部A10に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp114により、ビアv75から終端抵抗RA13に接続されている。

40

【 0 1 3 1 】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp115により、ビアv75から第1コネクタ配置領域194内のビアv135に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp116により、端子接続部had11に対して第1コネクタ配置領域194の内側から接続されている。

【 0 1 3 2 】

配線路P13(図36)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD12が、配線路cp121により、斜め+X-Y方向の近傍に配置されたビアv19に接続されている。ビアv19は、その周囲に配置されている4つの端子接続部(端子接続部HAD12を含む)の略中央に配置されている

50

。このビアv 1 9は、図3 1に示すように、第4配線層L 4に設けられた配線路c p 1 2 2により、制御ROM配置領域1 9 2内に配置されるビアv 7 4に接続されている。

【0 1 3 3】

端子接続部H A D 1 2からビアv 7 4に達した配線路は、このビアv 7 4で3つに分岐している。第1の分岐路は、図2 7に示すように、第1配線層L 1に設けられた配線路c p 1 2 3により、ビアv 7 4から制御ROM 1 0 5の端子接続部A 1 1に対して制御ROM配置領域1 9 2の内側から接続されている。また第2の分岐路は、図3 2に示すように、第6配線層L 6に設けられた配線路c p 1 2 4により、ビアv 7 4から終端抵抗R A 1 1に接続されている。この終端抵抗R A 1 1は、他端側が所定のビアを介して第2配線層L 2のベタ配線層(G N D)に接続されている(配線図では省略)。

10

【0 1 3 4】

また第3の分岐路は、図2 8, 図2 9に示すように、第3配線層L 3に設けられた配線路c p 1 2 5により、ビアv 7 4から第1コネクタ配置領域1 9 4内のビアv 1 3 4に接続され、更に図3 3に示すように、第6配線層L 6に設けられた配線路c p 1 2 6により、端子接続部h a d 1 2に対して第1コネクタ配置領域1 9 4の内側から接続されている。

【0 1 3 5】

配線路P 1 4(図3 6)では、図2 6に示すように、第1配線層L 1の複合チップ配置領域1 9 1に設けられた端子接続部H A D 1 3が、配線路c p 1 3 1により、複合チップ配置領域1 9 1の外側、具体的には制御ROM配置領域1 9 2の+ Y側に配置されたビアv 4 9に接続されている。なお、端子接続部H A D 1 3は、複合チップ配置領域1 9 1の外周側から2列目に配置されている。ビアv 4 9は、図3 1に示すように、第4配線層L 4に設けられた配線路c p 1 3 2により、制御ROM配置領域1 9 2内に配置されるビアv 7 3に接続されている。

20

【0 1 3 6】

端子接続部H A D 1 3からビアv 7 3に達した配線路は、このビアv 7 3で2つに分岐している。第1の分岐路は、図3 2に示すように、第6配線層L 6に設けられた配線路c p 1 3 3により、ビアv 7 3から終端抵抗R A 1 1に接続されている。

【0 1 3 7】

また第2の分岐路は、図2 8に示すように、第3配線層L 3に設けられた配線路c p 1 3 4により、ビアv 7 3から、制御ROM配置領域1 9 2内に配置されるビアv 1 0 7に接続されており、ここで更に2つに分岐している。その1つ目の第2 aの分岐路は、図2 7に示すように、第1配線層L 1に設けられた配線路c p 1 3 5により、ビアv 1 0 7から制御ROM 1 0 5の端子接続部A 1 2に対して制御ROM配置領域1 9 2の内側から接続されている。また2つ目の第2 bの分岐路は、図2 8, 図2 9に示すように、第3配線層L 3に設けられた配線路c p 1 3 6により、ビアv 1 0 7から第1コネクタ配置領域1 9 4内のビアv 1 3 3に接続され、更に図3 3に示すように、第6配線層L 6に設けられた配線路c p 1 3 7により、端子接続部h a d 1 3に対して第1コネクタ配置領域1 9 4の内側から接続されている。

30

【0 1 3 8】

配線路P 1 5(図3 6)では、図2 6に示すように、第1配線層L 1の複合チップ配置領域1 9 1に設けられた端子接続部H A D 1 4が、配線路c p 1 4 1により、複合チップ配置領域1 9 1の外側、具体的には制御ROM配置領域1 9 2の+ Y側に配置されたビアv 5 0に接続されている。なお、端子接続部H A D 1 4は、複合チップ配置領域1 9 1の最も外周側に配置されている。ビアv 5 0は、図3 1に示すように、第4配線層L 4に設けられた配線路c p 1 4 2により、制御ROM配置領域1 9 2内に配置されるビアv 7 2に接続されている。

40

【0 1 3 9】

端子接続部H A D 1 4からビアv 7 2に達した配線路は、このビアv 7 2で2つに分岐している。第1の分岐路は、図3 2に示すように、第6配線層L 6に設けられた配線路c p 1 4 3により、ビアv 7 2から終端抵抗R A 1 1に接続されている。

50

## 【 0 1 4 0 】

また第2の分岐路は、図28に示すように、第3配線層L3に設けられた配線路cp144により、ビアv72から、制御ROM配置領域192内に配置されるビアv106に接続されており、ここで更に2つに分岐している。その1つ目の第2aの分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp145により、ビアv106から制御ROM105の端子接続部A13に対して制御ROM配置領域192の内側から接続されている。また2つ目の第2bの分岐路は、図28、図29に示すように、第3配線層L3に設けられた配線路cp146により、ビアv106から第1コネクタ配置領域194内のビアv132に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp147により、端子接続部had14に対して第1コネクタ配置領域194の内側から接続されている。

10

## 【 0 1 4 1 】

配線路P16(図36)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD15が、配線路cp151により、斜め+X-Y方向の近傍に配置されたビアv11に接続されている。ビアv11は、その周囲に配置されている4つの端子接続部(端子接続部HAD15を含む)の略中央に配置されている。このビアv11は、図31に示すように、第4配線層L4に設けられた配線路cp152により、制御ROM配置領域192内に配置されるビアv71に接続されている。

## 【 0 1 4 2 】

端子接続部HAD15からビアv71に達した配線路は、このビアv71で2つに分岐している。第1の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp153により、ビアv71から終端抵抗RA11に接続されている。

20

## 【 0 1 4 3 】

また第2の分岐路は、図28に示すように、第3配線層L3に設けられた配線路cp154により、ビアv71から、制御ROM配置領域192内に配置されるビアv105に接続されており、ここで更に2つに分岐している。その1つ目の第2aの分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp155により、ビアv105から制御ROM105の端子接続部A14に対して制御ROM配置領域192の内側から接続されている。また2つ目の第2bの分岐路は、図28、図29に示すように、第3配線層L3に設けられた配線路cp156により、ビアv105から第1コネクタ配置領域194内のビアv131に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp157により、端子接続部had15に対して第1コネクタ配置領域194の内側から接続されている。

30

## 【 0 1 4 4 】

配線路P17(図36)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD16が、配線路cp161により、斜め+X-Y方向の近傍に配置されたビアv18に接続されている。ビアv18は、その周囲に配置されている4つの端子接続部(端子接続部HAD16を含む)の略中央に配置されている。このビアv18は、図31に示すように、第4配線層L4に設けられた配線路cp162により、制御ROM配置領域192内に配置されるビアv70に接続されている。

40

## 【 0 1 4 5 】

端子接続部HAD16からビアv70に達した配線路は、このビアv70で2つに分岐している。第1の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp163により、ビアv70から終端抵抗RA10に接続されている。この終端抵抗RA10は、他端側が所定のビアを介して第2配線層L2のベタ配線層(GND)に接続されている(配線図では省略)。

## 【 0 1 4 6 】

また第2の分岐路は、図28に示すように、第3配線層L3に設けられた配線路cp164により、ビアv70から、制御ROM配置領域192内に配置されるビアv104に接続されており、ここで更に2つに分岐している。その1つ目の第2aの分岐路は、図2

50

7に示すように、第1配線層L1に設けられた配線路cp165により、ビアv104から制御ROM105の端子接続部A15に対して制御ROM配置領域192の外側から接続されている。また2つ目の第2bの分岐路は、図28, 図29に示すように、第3配線層L3に設けられた配線路cp166により、ビアv104から第1コネクタ配置領域194内のビアv130に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp167により、端子接続部had16に対して第1コネクタ配置領域194の内側から接続されている。

【0147】

配線路P18(図37)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD17が、配線路cp171により、複合チップ配置領域191の外側、具体的には制御ROM配置領域192の+Y側に配置されたビアv51に接続されている。なお、端子接続部HAD17は、複合チップ配置領域191の外周側から2列目に配置されている。ビアv51は、図31に示すように、第4配線層L4に設けられた配線路cp172により、制御ROM配置領域192内に配置されるビアv69に接続されている。

10

【0148】

端子接続部HAD17からビアv69に達した配線路は、このビアv69で2つに分岐している。第1の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp173により、ビアv69から終端抵抗RA10に接続されている。

【0149】

また第2の分岐路は、図28に示すように、第3配線層L3に設けられた配線路cp174により、ビアv69から、制御ROM配置領域192内に配置されるビアv103に接続されており、ここで更に2つに分岐している。その1つ目の第2aの分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp175により、ビアv103から制御ROM105の端子接続部A16に対して制御ROM配置領域192の外側から接続されている。また2つ目の第2bの分岐路は、図28, 図29に示すように、第3配線層L3に設けられた配線路cp176により、ビアv103から第1コネクタ配置領域194内のビアv129に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp177により、端子接続部had17に対して第1コネクタ配置領域194の内側から接続されている。

20

【0150】

配線路P19(図37)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD18が、配線路cp181により、複合チップ配置領域191の外側、具体的には制御ROM配置領域192の+Y側に配置されたビアv52に接続されている。なお、端子接続部HAD18は、複合チップ配置領域191の最も外周側に配置されている。ビアv52は、図31に示すように、第4配線層L4に設けられた配線路cp182により、制御ROM配置領域192内に配置されるビアv68に接続されている。

30

【0151】

端子接続部HAD18からビアv68に達した配線路は、このビアv68で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp183により、ビアv68から制御ROM105の端子接続部A17に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp184により、ビアv68から終端抵抗RA10に接続されている。

40

【0152】

また第3の分岐路は、図28, 図29に示すように、第3配線層L3に設けられた配線路cp185により、ビアv68から第1コネクタ配置領域194内のビアv128に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp186により、端子接続部had18に対して第1コネクタ配置領域194の内側から接続されている。

50

## 【0153】

配線路P20(図37)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD19が、配線路cp191により、斜め+X-Y方向の近傍に配置されたビアv1に接続されている。ビアv1は、その周囲に配置されている4つの端子接続部(端子接続部HAD19を含む)の略中央に配置されている。このビアv1は、図31に示すように、第4配線層L4に設けられた配線路cp192により、制御ROM配置領域192内に配置されるビアv67に接続されている。

## 【0154】

端子接続部HAD19からビアv67に達した配線路は、このビアv67で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp193により、ビアv67から制御ROM105の端子接続部A18に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp194により、ビアv67から終端抵抗RA10に接続されている。

10

## 【0155】

また第3の分岐路は、図28,図29に示すように、第3配線層L3に設けられた配線路cp195により、ビアv67から第1コネクタ配置領域194内のビアv127に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp196により、端子接続部had19に対して第1コネクタ配置領域194の内側から接続されている。

## 【0156】

配線路P21(図37)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD20が、配線路cp201により、斜め+X-Y方向の近傍に配置されたビアv10に接続されている。ビアv10は、その周囲に配置されている4つの端子接続部(端子接続部HAD20を含む)の略中央に配置されている。このビアv10は、図31に示すように、第4配線層L4に設けられた配線路cp202により、制御ROM配置領域192内に配置されるビアv66に接続されている。

20

## 【0157】

端子接続部HAD20からビアv66に達した配線路は、このビアv66で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp203により、ビアv66から制御ROM105の端子接続部A19に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp204により、ビアv66から終端抵抗RA9に接続されている。この終端抵抗RA9は、他端側が所定のビアを介して第2配線層L2のベタ配線層(GND)に接続されている(配線図では省略)。

30

## 【0158】

また第3の分岐路は、図28,図29に示すように、第3配線層L3に設けられた配線路cp205により、ビアv66から第1コネクタ配置領域194内のビアv126に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp206により、端子接続部had20に対して第1コネクタ配置領域194の内側から接続されている。

## 【0159】

配線路P22(図37)では、図26,図27に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HAD21が、配線路cp211により、複合チップ配置領域191の外側、具体的には制御ROM配置領域192の+Y側に配置されたビアv54に接続されている。なお、端子接続部HAD21は、複合チップ配置領域191の最も外周側に配置されている。ビアv54は、図31に示すように、第4配線層L4に設けられた配線路cp212により、制御ROM配置領域192内に配置されるビアv65に接続されている。

40

## 【0160】

端子接続部HAD21からビアv65に達した配線路は、このビアv65で3つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路c

50

p 2 1 3 により、ビア v 6 5 から制御 ROM 1 0 5 の端子接続部 A 2 0 に対して制御 ROM 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 1 4 により、ビア v 6 5 から終端抵抗 R A 9 に接続されている。

【 0 1 6 1 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 2 1 5 により、ビア v 6 5 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 5 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 1 6 により、端子接続部 h a d 2 1 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 1 6 2 】

配線路 P 2 3 ( 図 3 7 ) では、図 2 6 , 図 2 7 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 2 2 が、配線路 c p 2 2 1 により、複合チップ配置領域 1 9 1 の外側、具体的には制御 ROM 配置領域 1 9 2 の + Y 側に配置されたビア v 5 3 に接続されている。なお、端子接続部 H A D 2 2 は、複合チップ配置領域 1 9 1 の外周側から 2 列目に配置されている。ビア v 5 3 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 2 2 2 により、制御 ROM 配置領域 1 9 2 内に配置されるビア v 6 4 に接続されている。

【 0 1 6 3 】

端子接続部 H A D 2 2 からビア v 6 4 に達した配線路は、このビア v 6 4 で 3 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 2 2 3 により、ビア v 6 4 から制御 ROM 1 0 5 の端子接続部 A 2 1 に対して制御 ROM 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 2 4 により、ビア v 6 4 から終端抵抗 R A 9 に接続されている。

【 0 1 6 4 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 2 2 5 により、ビア v 6 4 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 4 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 2 6 により、端子接続部 h a d 2 2 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 1 6 5 】

配線路 P 2 4 ( 図 3 7 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 2 3 が、配線路 c p 2 3 1 により、斜め + X + Y 方向の近傍に配置されたビア v 2 1 に接続されている。ビア v 2 1 は、その周囲に配置されている 4 つの端子接続部 ( 端子接続部 H A D 2 3 を含む ) の略中央に配置されている。このビア v 2 1 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 2 3 2 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 ROM 配置領域 1 9 2 との間に配置されたビア v 3 6 に接続され、更に図 2 6 , 図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 2 3 3 により、制御 ROM 配置領域 1 9 2 内に配置されるビア v 6 3 に接続されている。

【 0 1 6 6 】

端子接続部 H A D 2 3 からビア v 6 3 に達した配線路は、このビア v 6 3 で 3 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 2 3 4 により、ビア v 6 3 から制御 ROM 1 0 5 の端子接続部 A 2 2 に対して制御 ROM 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 3 5 により、ビア v 6 3 から終端抵抗 R A 9 に接続されている。

【 0 1 6 7 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 2 3 6 により、ビア v 6 3 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 3 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 3 7 により

10

20

30

40

50

、端子接続部 h a d 2 3 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 1 6 8 】

配線路 P 2 5 ( 図 3 7 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 2 4 が、配線路 c p 2 4 1 により、斜め + X + Y 方向の近傍に配置されたビア v 1 4 に接続されている。ビア v 1 4 は、その周囲に配置されている 4 つの端子接続部 ( 端子接続部 H A D 2 4 を含む ) の略中央に配置されている。このビア v 1 4 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 2 4 2 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 3 5 に接続され、更に図 2 6 , 図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 2 4 3 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 6 2 に接続されている。

10

【 0 1 6 9 】

端子接続部 H A D 2 4 からビア v 6 2 に達した配線路は、このビア v 6 2 で 4 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 2 4 4 により、ビア v 6 2 から制御 R O M 1 0 5 の端子接続部 A 2 3 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 4 5 により、ビア v 6 2 から終端抵抗 R 4 5 に接続されている。この終端抵抗 R 4 5 は、他端側が所定のビアを介して第 2 配線層 L 2 のベタ配線層 ( G N D ) に接続されている ( 配線図では省略 ) 。

【 0 1 7 0 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 2 4 6 により、ビア v 6 2 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 2 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 4 7 により、端子接続部 h a d 2 4 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 2 4 8 により、ビア v 6 2 からビア v 1 8 3 に接続され、更に図 3 4 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 4 9 により、デコード回路を構成するデコーダ I C 1 2 に接続されている。

20

【 0 1 7 1 】

配線路 P 2 6 ( 図 3 7 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 2 5 が、配線路 c p 2 5 1 により、斜め + X + Y 方向の近傍に配置されたビア v 6 に接続されている。ビア v 6 は、その周囲に配置されている 4 つの端子接続部 ( 端子接続部 H A D 2 5 を含む ) の略中央に配置されている。このビア v 6 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 2 5 2 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 4 0 に接続され、更に図 2 6 , 図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 2 5 3 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 6 1 に接続されている。

30

【 0 1 7 2 】

端子接続部 H A D 2 5 からビア v 6 1 に達した配線路は、このビア v 6 1 で 3 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 2 5 4 により、ビア v 6 1 から制御 R O M 1 0 5 の端子接続部 A 2 4 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 5 5 により、ビア v 6 1 から終端抵抗 R 4 4 に接続されている。この終端抵抗 R 4 4 は、他端側が所定のビアを介して第 2 配線層 L 2 のベタ配線層 ( G N D ) に接続されている ( 配線図では省略 ) 。

40

【 0 1 7 3 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 2 5 6 により、ビア v 6 1 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 1 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 2 5 7 により

50

、端子接続部 h a d 2 5 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 1 7 4 】

続いて、複合チップ 1 0 4 のデータ入出力端子 H D T 0 ~ H D T 1 5 に接続される配線  
路 P 2 7 ~ P 4 2 について説明する。データ入出力端子 H D T 0 ~ H D T 1 5 は、制御 R  
O M 1 0 5 側のデータ入出力端子 Q 0 ~ Q 1 5 に夫々接続されるとともに、液晶制御第 1  
コネクタ C N 3 1 にも接続されている。

【 0 1 7 5 】

なお、複合チップ 1 0 4 のデータ入出力端子 H D T 0 ~ H D T 1 5 の配列 ( 図 1 8 ) と  
、それに対応する制御 R O M 1 0 5 のデータ入出力端子 Q 0 ~ Q 1 5 の配列 ( 図 1 9 ) と  
を比較すると、両者は明らかに相違している。即ち、複合チップ 1 0 4 のデータ入出力端  
子 H D T 0 ~ H D T 1 5 は、図 1 8 に示すように 4 行に分けて配列されており、行毎に列  
数は異なるが並び順は一定しているのに対し、制御 R O M 1 0 5 のデータ入出力端子 Q 0  
~ Q 1 5 は、図 1 9 に示すように 2 列に分けて配列されており、各列における並び順に一  
定の規則性はない。しかも、複合チップ 1 0 4 と制御 R O M 1 0 5 の配置位置や配線パタ  
ーンの数の多さが関係してくることで、配線パターンの引き回しが非常に複雑なものとな  
る。そのため、複合チップ 1 0 4 と制御 R O M 1 0 5 とを接続する配線パターンの引き回  
しを最適化することは非常に重要であり、それによって配線パターンの線長を短くするこ  
とができ、ノイズ低減や基板全体のスリム化を図ることにつながる。また、これらは複合  
チップ 1 0 4 と制御 R O M 1 0 5 との間の関係だけでなく、複合チップ 1 0 4 と各種コネ  
クタ等の電子部品との関係性においても同様のことが言える。特に、H A D 1 ~ H A D 2  
5 や H D T 1 ~ H D T 2 5 などの複合チップ 1 0 4 や制御 R O M 1 0 5 、各種コネクタな  
どの複数の電子部品と接続される配線パターンについては、上述の課題が大きい分、最適  
化することによる効果も大きいものとなる。

【 0 1 7 6 】

配線路 P 2 7 ~ P 4 2 のうち、配線路 P 2 7 ( 図 3 8 ) では、図 2 6 に示すように、第  
1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 0 が、配線路 c  
p 3 0 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9  
1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 3 2 に接続されている。なお、  
端子接続部 H D T 0 は、複合チップ配置領域 1 9 1 の最も外周側に配置されている。ビア  
v 3 2 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 3 0 2 により、  
制御 R O M 配置領域 1 9 2 内に配置されるビア v 1 0 2 に接続されている。

【 0 1 7 7 】

端子接続部 H D T 0 からビア v 1 0 2 に達した配線路は、このビア v 1 0 2 で 4 つに分  
岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路  
c p 3 0 3 により、ビア v 1 0 2 から制御 R O M 1 0 5 の端子接続部 Q 0 に対して制御 R  
O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 3 2 に示すよ  
うに、第 6 配線層 L 6 に設けられた配線路 c p 3 0 4 により、ビア v 1 0 2 から終端抵抗 R  
A 3 4 に接続されている。この終端抵抗 R A 3 4 は、他端側が所定のビアを介して第 2 配  
線層 L 2 のベタ配線層 ( G N D ) に接続されている ( 配線図では省略 ) 。

【 0 1 7 8 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線  
路 c p 3 0 5 により、ビア v 1 0 2 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 6 2 に  
接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 0 6 によ  
り、端子接続部 h d t 0 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている  
。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線  
路 c p 3 0 7 により、ビア v 1 0 2 からビア v 1 9 7 に接続され、更に図 3 4 に示すよ  
うに、第 6 配線層 L 6 に設けられた配線路 c p 3 0 8 により、デコード回路を構成するデ  
コード I C 1 3 に接続されている。

【 0 1 7 9 】

配線路 P 2 8 ( 図 3 8 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置

10

20

30

40

50

領域 191 に設けられた端子接続部 HDT1 が、配線路 cp311 により、複合チップ配置領域 191 の外側、具体的には複合チップ配置領域 191 と制御 ROM 配置領域 192 との間に配置されたビア v31 に接続されている。なお、端子接続部 HDT1 は、複合チップ配置領域 191 の外周側から 2 列目に配置されている。ビア v31 は、図 31 に示すように、第 4 配線層 L4 に設けられた配線路 cp312 により、制御 ROM 配置領域 192 内に配置されるビア v101 に接続されている。

#### 【0180】

端子接続部 HDT1 からビア v101 に達した配線路は、このビア v101 で 4 つに分岐している。第 1 の分岐路は、図 27 に示すように、第 1 配線層 L1 に設けられた配線路 cp313 により、ビア v101 から制御 ROM 105 の端子接続部 Q1 に対して制御 ROM 配置領域 192 の外側から接続されている。また第 2 の分岐路は、図 32 に示すように、第 6 配線層 L6 に設けられた配線路 cp314 により、ビア v101 から終端抵抗 RA34 に接続されている。

10

#### 【0181】

また第 3 の分岐路は、図 28, 図 29 に示すように、第 3 配線層 L3 に設けられた配線路 cp315 により、ビア v101 から第 1 コネクタ配置領域 194 内のビア v161 に接続され、更に図 33 に示すように、第 6 配線層 L6 に設けられた配線路 cp316 により、端子接続部 hdt1 に対して第 1 コネクタ配置領域 194 の内側から接続されている。また第 4 の分岐路は、図 28, 図 30 に示すように、第 3 配線層 L3 に設けられた配線路 cp317 により、ビア v101 からビア v198 に接続され、更に図 34 に示すように、第 6 配線層 L6 に設けられた配線路 cp318 により、デコード回路を構成するデコーダ IC13 に接続されている。

20

#### 【0182】

配線路 P29 (図 38) では、図 26 に示すように、第 1 配線層 L1 の複合チップ配置領域 191 に設けられた端子接続部 HDT2 が、配線路 cp321 により、斜め +X +Y 方向の近傍に配置されたビア v24 に接続されている。ビア v24 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HDT2 を含む) の略中央に配置されている。このビア v24 は、図 31 に示すように、第 4 配線層 L4 に設けられた配線路 cp322 により、制御 ROM 配置領域 192 内に配置されるビア v100 に接続されている。

#### 【0183】

端子接続部 HDT2 からビア v100 に達した配線路は、このビア v100 で 4 つに分岐している。第 1 の分岐路は、図 27 に示すように、第 1 配線層 L1 に設けられた配線路 cp323 により、ビア v100 から制御 ROM 105 の端子接続部 Q2 に対して制御 ROM 配置領域 192 の外側から接続されている。また第 2 の分岐路は、図 32 に示すように、第 6 配線層 L6 に設けられた配線路 cp324 により、ビア v100 から終端抵抗 RA34 に接続されている。

30

#### 【0184】

また第 3 の分岐路は、図 28, 図 29 に示すように、第 3 配線層 L3 に設けられた配線路 cp325 により、ビア v100 から第 1 コネクタ配置領域 194 内のビア v160 に接続され、更に図 33 に示すように、第 6 配線層 L6 に設けられた配線路 cp326 により、端子接続部 hdt2 に対して第 1 コネクタ配置領域 194 の内側から接続されている。また第 4 の分岐路は、図 28, 図 30 に示すように、第 3 配線層 L3 に設けられた配線路 cp327 により、ビア v100 からビア v199 に接続され、更に図 34 に示すように、第 6 配線層 L6 に設けられた配線路 cp328 により、デコード回路を構成するデコーダ IC13 に接続されている。

40

#### 【0185】

配線路 P30 (図 38) では、図 26 に示すように、第 1 配線層 L1 の複合チップ配置領域 191 に設けられた端子接続部 HDT3 が、配線路 cp331 により、斜め -X -Y 方向の近傍に配置されたビア v8 に接続されている。ビア v8 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HDT3 を含む) の略中央に配置されている。このビ

50

ア v 8 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 3 3 2 により、制御 ROM 配置領域 1 9 2 内に配置されるビア v 9 9 に接続されている。

【 0 1 8 6 】

端子接続部 H D T 3 からビア v 9 9 に達した配線路は、このビア v 9 9 で 4 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 3 3 3 により、ビア v 9 9 から制御 ROM 1 0 5 の端子接続部 Q 3 に対して制御 ROM 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 3 4 により、ビア v 9 9 から終端抵抗 R A 3 4 に接続されている。

【 0 1 8 7 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 3 3 5 により、ビア v 9 9 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 5 9 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 3 6 により、端子接続部 h d t 3 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 3 3 7 により、ビア v 9 9 からビア v 2 0 0 に接続され、更に図 3 4 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 3 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

【 0 1 8 8 】

配線路 P 3 1 ( 図 3 8 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 4 が、配線路 c p 3 4 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 ROM 配置領域 1 9 2 との間に配置されたビア v 3 7 に接続されている。なお、端子接続部 H D T 4 は、複合チップ配置領域 1 9 1 の最も外周側に配置されている。ビア v 3 7 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 3 4 2 により、制御 ROM 配置領域 1 9 2 内に配置されるビア v 9 8 に接続されている。

【 0 1 8 9 】

端子接続部 H D T 4 からビア v 9 8 に達した配線路は、このビア v 9 8 で 4 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 3 4 3 により、ビア v 9 8 から制御 ROM 1 0 5 の端子接続部 Q 4 に対して制御 ROM 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 4 4 により、ビア v 9 8 から終端抵抗 R A 3 2 に接続されている。この終端抵抗 R A 3 2 は、他端側が所定のビアを介して第 2 配線層 L 2 のベタ配線層 ( G N D ) に接続されている ( 配線図では省略 ) 。

【 0 1 9 0 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 3 4 5 により、ビア v 9 8 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 5 8 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 4 6 により、端子接続部 h d t 4 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 3 4 7 により、ビア v 9 8 からビア v 1 8 9 に接続され、更に図 3 4 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 4 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

【 0 1 9 1 】

配線路 P 3 2 ( 図 3 8 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 5 が、配線路 c p 3 5 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 ROM 配置領域 1 9 2 との間に配置されたビア v 4 6 に接続されている。なお、端子接続部 H D T 5 は、複合チップ配置領域 1 9 1 の外周側から 2 列目に配置されている。ビア v 4 6 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 3 5 2 により、制御 ROM 配置領域 1 9

10

20

30

40

50

2 内に配置されるビア v 9 7 に接続されている。

【 0 1 9 2 】

端子接続部 H D T 5 からビア v 9 7 に達した配線路は、このビア v 9 7 で 4 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 3 5 3 により、ビア v 9 7 から制御 R O M 1 0 5 の端子接続部 Q 5 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 5 4 により、ビア v 9 7 から終端抵抗 R A 3 2 に接続されている。

【 0 1 9 3 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 3 5 5 により、ビア v 9 7 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 5 7 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 5 6 により、端子接続部 h d t 5 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 3 5 7 により、ビア v 9 7 からビア v 1 9 0 に接続され、更に図 3 4 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 5 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

【 0 1 9 4 】

配線路 P 3 3 ( 図 3 8 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 6 が、配線路 c p 3 6 1 により、斜め + X + Y 方向の近傍に配置されたビア v 1 7 に接続されている。ビア v 1 7 は、その周囲に配置されている 4 つの端子接続部 ( 端子接続部 H D T 6 を含む ) の略中央に配置されている。このビア v 1 7 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 3 6 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 9 6 に接続されている。

【 0 1 9 5 】

端子接続部 H D T 6 からビア v 9 6 に達した配線路は、このビア v 9 6 で 4 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 3 6 3 により、ビア v 9 6 から制御 R O M 1 0 5 の端子接続部 Q 6 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 6 4 により、ビア v 9 6 から終端抵抗 R A 3 2 に接続されている。

【 0 1 9 6 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 3 6 5 により、ビア v 9 6 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 5 6 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 6 6 により、端子接続部 h d t 6 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 3 6 7 により、ビア v 9 6 からビア v 1 9 5 に接続され、更に図 3 4 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 3 6 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

【 0 1 9 7 】

配線路 P 3 4 ( 図 3 8 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 7 が、配線路 c p 3 7 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 4 5 に接続されている。なお、端子接続部 H D T 7 は、複合チップ配置領域 1 9 1 の最も外周側に配置されている。ビア v 4 5 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 3 7 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 9 5 に接続されている。

【 0 1 9 8 】

端子接続部 H D T 7 からビア v 9 5 に達した配線路は、このビア v 9 5 で 4 つに分岐し

10

20

30

40

50

ている。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp373により、ビアv95から制御ROM105の端子接続部Q7に対して制御ROM配置領域192の外側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp374により、ビアv95から終端抵抗RA32に接続されている。

【0199】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp375により、ビアv95から第1コネクタ配置領域194内のビアv155に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp376により、端子接続部hdt7に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図28，図30に示すように、第3配線層L3に設けられた配線路cp377により、ビアv95からビアv196に接続され、更に図34に示すように、第6配線層L6に設けられた配線路cp378により、デコード回路を構成するデコーダIC13に接続されている。

10

【0200】

配線路P35(図39)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HDT8が、配線路cp381により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域192との間に配置されたビアv44に接続されている。なお、端子接続部HDT8は、複合チップ配置領域191の外周側から2列目に配置されている。ビアv44は、図31に示すように、第4配線層L4に設けられた配線路cp382により、制御ROM配置領域192内に配置されるビアv94に接続されている。

20

【0201】

端子接続部HDT8からビアv94に達した配線路は、このビアv94で4つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp383により、ビアv94から制御ROM105の端子接続部Q8に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp384により、ビアv94から終端抵抗RA30に接続されている。この終端抵抗RA30は、他端側が所定のビアを介して第2配線層L2のベタ配線層(GND)に接続されている(配線図では省略)。

30

【0202】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp385により、ビアv94から第1コネクタ配置領域194内のビアv154に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp386により、端子接続部hdt8に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図28，図30に示すように、第3配線層L3に設けられた配線路cp387により、ビアv94からビアv191に接続され、更に図34に示すように、第6配線層L6に設けられた配線路cp388により、デコード回路を構成するデコーダIC14に接続されている。

【0203】

配線路P36(図39)では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HDT9が、配線路cp391により、斜め+X+Y方向の近傍に配置されたビアv23に接続されている。ビアv23は、その周囲に配置されている4つの端子接続部(端子接続部HDT9を含む)の略中央に配置されている。このビアv23は、図31に示すように、第4配線層L4に設けられた配線路cp392により、制御ROM配置領域192内に配置されるビアv93に接続されている。

40

【0204】

端子接続部HDT9からビアv93に達した配線路は、このビアv93で4つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp393により、ビアv93から制御ROM105の端子接続部Q9に対して制御ROM配

50

置領域 192 の内側から接続されている。また第 2 の分岐路は、図 32 に示すように、第 6 配線層 L6 に設けられた配線路 cp394 により、ビア v93 から終端抵抗 RA30 に接続されている。

【0205】

また第 3 の分岐路は、図 28 , 図 29 に示すように、第 3 配線層 L3 に設けられた配線路 cp395 により、ビア v93 から第 1 コネクタ配置領域 194 内のビア v153 に接続され、更に図 33 に示すように、第 6 配線層 L6 に設けられた配線路 cp396 により、端子接続部 hdt9 に対して第 1 コネクタ配置領域 194 の内側から接続されている。また第 4 の分岐路は、図 28 , 図 30 に示すように、第 3 配線層 L3 に設けられた配線路 cp397 により、ビア v93 からビア v192 に接続され、更に図 34 に示すように、第 6 配線層 L6 に設けられた配線路 cp398 により、デコード回路を構成するデコーダ IC14 に接続されている。

10

【0206】

配線路 P37 (図 39) では、図 26 に示すように、第 1 配線層 L1 の複合チップ配置領域 191 に設けられた端子接続部 HDT10 が、配線路 cp401 により、斜め +X + Y 方向の近傍に配置されたビア v16 に接続されている。ビア v16 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HDT10 を含む) の略中央に配置されている。このビア v16 は、図 31 に示すように、第 4 配線層 L4 に設けられた配線路 cp402 により、制御 ROM 配置領域 192 内に配置されるビア v92 に接続されている。

【0207】

端子接続部 HDT10 からビア v92 に達した配線路は、このビア v92 で 4 つに分岐している。第 1 の分岐路は、図 27 に示すように、第 1 配線層 L1 に設けられた配線路 cp403 により、ビア v92 から制御 ROM 105 の端子接続部 Q10 に対して制御 ROM 配置領域 192 の内側から接続されている。また第 2 の分岐路は、図 32 に示すように、第 6 配線層 L6 に設けられた配線路 cp404 により、ビア v92 から終端抵抗 RA30 に接続されている。

20

【0208】

また第 3 の分岐路は、図 28 , 図 29 に示すように、第 3 配線層 L3 に設けられた配線路 cp405 により、ビア v92 から第 1 コネクタ配置領域 194 内のビア v152 に接続され、更に図 33 に示すように、第 6 配線層 L6 に設けられた配線路 cp406 により、端子接続部 hdt10 に対して第 1 コネクタ配置領域 194 の内側から接続されている。また第 4 の分岐路は、図 28 , 図 30 に示すように、第 3 配線層 L3 に設けられた配線路 cp407 により、ビア v92 からビア v193 に接続され、更に図 34 に示すように、第 6 配線層 L6 に設けられた配線路 cp408 により、デコード回路を構成するデコーダ IC14 に接続されている。

30

【0209】

配線路 P38 (図 39) では、図 26 に示すように、第 1 配線層 L1 の複合チップ配置領域 191 に設けられた端子接続部 HDT11 が、配線路 cp411 により、斜め +X + Y 方向の近傍に配置されたビア v7 に接続されている。ビア v7 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HDT11 を含む) の略中央に配置されている。このビア v7 は、図 31 に示すように、第 4 配線層 L4 に設けられた配線路 cp412 により、制御 ROM 配置領域 192 内に配置されるビア v91 に接続されている。

40

【0210】

端子接続部 HDT11 からビア v91 に達した配線路は、このビア v91 で 4 つに分岐している。第 1 の分岐路は、図 27 に示すように、第 1 配線層 L1 に設けられた配線路 cp413 により、ビア v91 から制御 ROM 105 の端子接続部 Q11 に対して制御 ROM 配置領域 192 の内側から接続されている。また第 2 の分岐路は、図 32 に示すように、第 6 配線層 L6 に設けられた配線路 cp414 により、ビア v91 から終端抵抗 RA30 に接続されている。

【0211】

50

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp415により、ビアv91から第1コネクタ配置領域194内のビアv151に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp416により、端子接続部hdt11に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図28，図30に示すように、第3配線層L3に設けられた配線路cp417により、ビアv91からビアv194に接続され、更に図34に示すように、第6配線層L6に設けられた配線路cp418により、デコード回路を構成するデコーダIC14に接続されている。

#### 【0212】

配線路P39（図39）では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HDT12が、配線路cp421により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域192との間に配置されたビアv43に接続されている。なお、端子接続部HDT12は、複合チップ配置領域191の最も外周側に配置されている。ビアv43は、図31に示すように、第4配線層L4に設けられた配線路cp422により、制御ROM配置領域192内に配置されるビアv90に接続されている。

10

#### 【0213】

端子接続部HDT12からビアv90に達した配線路は、このビアv90で4つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp423により、ビアv90から制御ROM105の端子接続部Q12に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp424により、ビアv90から終端抵抗RA17に接続されている。この終端抵抗RA17は、他端側が所定のビアを介して第2配線層L2のベタ配線層（GND）に接続されている（配線図では省略）。

20

#### 【0214】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線路cp425により、ビアv90から第1コネクタ配置領域194内のビアv150に接続され、更に図33に示すように、第6配線層L6に設けられた配線路cp426により、端子接続部hdt12に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図28，図30に示すように、第3配線層L3に設けられた配線路cp427により、ビアv90からビアv185に接続され、更に図34に示すように、第6配線層L6に設けられた配線路cp428により、デコード回路を構成するデコーダIC14に接続されている。

30

#### 【0215】

配線路P40（図39）では、図26に示すように、第1配線層L1の複合チップ配置領域191に設けられた端子接続部HDT13が、配線路cp431により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域192との間に配置されたビアv42に接続されている。なお、端子接続部HDT13は、複合チップ配置領域191の外周側から2列目に配置されている。ビアv42は、図31に示すように、第4配線層L4に設けられた配線路cp432により、制御ROM配置領域192内に配置されるビアv89に接続されている。

40

#### 【0216】

端子接続部HDT13からビアv89に達した配線路は、このビアv89で4つに分岐している。第1の分岐路は、図27に示すように、第1配線層L1に設けられた配線路cp433により、ビアv89から制御ROM105の端子接続部Q13に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図32に示すように、第6配線層L6に設けられた配線路cp434により、ビアv89から終端抵抗RA17に接続されている。

#### 【0217】

また第3の分岐路は、図28，図29に示すように、第3配線層L3に設けられた配線

50

路 c p 4 3 5 により、ビア v 8 9 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 4 9 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 3 6 により、端子接続部 h d t 1 3 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 4 3 7 により、ビア v 8 9 からビア v 1 8 6 に接続され、更に図 3 4 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 3 8 により、デコード回路を構成するデコーダ I C 1 4 に接続されている。

【 0 2 1 8 】

配線路 P 4 1 ( 図 3 9 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 1 4 が、配線路 c p 4 4 1 により、斜め + X + Y 方向の近傍に配置されたビア v 2 2 に接続されている。ビア v 2 2 は、その周囲に配置されている 4 つの端子接続部 ( 端子接続部 H D T 1 4 を含む ) の略中央に配置されている。このビア v 2 2 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 4 4 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 8 8 に接続されている。

10

【 0 2 1 9 】

端子接続部 H D T 1 4 からビア v 8 8 に達した配線路は、このビア v 8 8 で 4 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 4 4 3 により、ビア v 8 8 から制御 R O M 1 0 5 の端子接続部 Q 1 4 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 4 4 により、ビア v 8 8 から終端抵抗 R A 1 7 に接続されている。

20

【 0 2 2 0 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 4 4 5 により、ビア v 8 8 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 4 8 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 4 6 により、端子接続部 h d t 1 4 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 4 4 7 により、ビア v 8 8 からビア v 1 8 7 に接続され、更に図 3 4 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 4 8 により、デコード回路を構成するデコーダ I C 1 4 に接続されている。

30

【 0 2 2 1 】

配線路 P 4 2 ( 図 3 9 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 1 5 が、配線路 c p 4 5 1 により、斜め + X + Y 方向の近傍に配置されたビア v 1 5 に接続されている。ビア v 1 5 は、その周囲に配置されている 4 つの端子接続部 ( 端子接続部 H D T 1 5 を含む ) の略中央に配置されている。このビア v 1 5 は、図 3 1 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 4 5 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 8 7 に接続されている。

【 0 2 2 2 】

端子接続部 H D T 1 5 からビア v 8 7 に達した配線路は、このビア v 8 7 で 4 つに分岐している。第 1 の分岐路は、図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 4 5 3 により、ビア v 8 7 から制御 R O M 1 0 5 の端子接続部 Q 1 5 / A - 1 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 3 2 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 5 4 により、ビア v 8 7 から終端抵抗 R A 1 7 に接続されている。

40

【 0 2 2 3 】

また第 3 の分岐路は、図 2 8 , 図 2 9 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 4 5 5 により、ビア v 8 7 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 4 7 に接続され、更に図 3 3 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 5 6 により、端子接続部 h d t 1 5 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 2 8 , 図 3 0 に示すように、第 3 配線層 L 3 に設けられた配線

50

路 c p 4 5 7 により、ビア v 8 7 からビア v 1 8 8 に接続され、更に図 3 4 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 4 5 8 によりデコーダ I C 1 4 に接続されている。

【 0 2 2 4 】

続いて、複合チップ 1 0 4 のチップセレクト出力端子 H C S 0、リードストロブ出力端子 H R D、システムリセット端子 H R E S E T に夫々接続される配線路 P 4 3 ~ P 4 5 について説明する。

【 0 2 2 5 】

配線路 P 4 3 ( 図 4 0 ) では、図 2 6 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H C S 0 が、配線路 c p 5 0 1 により、斜め - X + Y 方向の近傍に配置されたビア v 9 に接続され、ここで 2 つに分岐している。なおビア v 9 は、その周囲に配置されている 4 つの端子接続部 ( 端子接続部 H C S 0 を含む ) の略中央に配置されている。ビア v 9 における第 1 の分岐路は、図 2 5 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 5 0 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 6 0 に接続され、更に図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 5 0 3 により、端子接続部 C E # に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。

【 0 2 2 6 】

またビア v 9 における第 2 の分岐路は、図 2 3 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 5 0 4 によってビア v 1 7 3 に接続され、ここで更に 2 つに分岐している。このビア v 1 7 3 における第 2 a の分岐路は、図 2 5 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 5 0 5 によってビア v 2 0 1 に接続されている。このビア v 2 0 1 はテストポイント T P 3 3 を構成している。またビア v 1 7 3 における第 2 b の分岐路は、図 2 0 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 5 0 6 により、抵抗 R A 1 2 を経て D C 3 . 3 V ( 第 5 配線層 L 5 ) に接続されている。

【 0 2 2 7 】

配線路 P 4 4 ( 図 4 0 ) では、図 2 0 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H R D が、配線路 c p 5 1 1 により、斜め + X - Y 方向の近傍に配置されたビア v 2 5 に接続され、ここで 2 つに分岐している。なおビア v 2 5 は、その周囲に配置されている 4 つの端子接続部 ( 端子接続部 H R D を含む ) の略中央に配置されている。ビア v 2 5 における第 1 の分岐路は、図 2 5 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 5 1 2 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 4 7 に接続され、更に図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 5 1 3 により、端子接続部 O E # に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。

【 0 2 2 8 】

またビア v 2 5 における第 2 の分岐路は、図 2 2 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 5 1 4 によってビア v 1 7 2 に接続され、ここで更に 2 つに分岐している。このビア v 1 7 2 における第 2 a の分岐路は、図 2 2 に示すように、第 3 配線層 L 3 に設けられた配線路 c p 5 1 5 により、第 1 コネクタ配置領域 1 9 4 の外側近傍に配置されたビア v 1 7 1 に接続され、更に図 2 5 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 5 1 6 により、端子接続部 h r d に対して第 1 コネクタ配置領域 1 9 4 の外側から接続されている。またビア v 1 7 2 における第 2 b の分岐路は、図 2 0 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 5 1 7 により、抵抗 R A 8 を経て D C 3 . 3 V ( 第 5 配線層 L 5 ) に接続されている。

【 0 2 2 9 】

配線路 P 4 5 ( 図 4 0 ) では、図 2 0 に示すように、第 1 配線層 L 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H R E S E T が、配線路 c p 5 2 1 により、複合チップ配置領域 1 9 1 の外側 ( + X 側 ) に配置されたビア v 2 6 に接続されている。なお、端子接続部 H R E S E T は、複合チップ配置領域 1 9 1 の最も外周側に配置されている。ピ

10

20

30

40

50

ア v 2 6 は、図 2 3 に示すように、第 4 配線層 L 4 に設けられた配線路 c p 5 2 2 によってビア v 2 0 2 に接続され、更に図 2 5 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 5 2 3 によってビア v 1 7 4 に接続され、ここで 2 つに分岐している。

#### 【 0 2 3 0 】

ビア v 1 7 4 における第 1 の分岐路は、図 2 5 に示すように、第 6 配線層 L 6 に設けられた配線路 c p 5 2 4 により、制御 ROM 配置領域 1 9 2 の外側 (+ X 側) 近傍に配置されたビア v 1 0 8 に接続され、更に図 2 7 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 5 2 5 により、端子接続部 R E S E T # に対して制御 ROM 配置領域 1 9 2 の内側から接続されている。なお図 2 5 に示すように、第 6 配線層 L 6 の配線路 c p 5 2 4 は、抵抗 R 4 0 を介して D C 3 . 3 V (第 5 配線層 L 5 ) に接続され、またコンデンサ C 1 5 1 を介してグランド (第 2 配線層 L 2 ) に接続されている。

10

#### 【 0 2 3 1 】

またビア v 1 7 4 における第 2 の分岐路は、図 2 0 に示すように、第 1 配線層 L 1 に設けられた配線路 c p 5 2 6 によってビア v 2 0 4 に接続されている。なお、このビア v 2 0 4 はテストポイント T P 1 7 を構成している。そしてビア v 2 0 4 は、第 6 配線層 L 6 側のリセット回路に接続されている。即ち図 2 5 に示すように、ビア v 2 0 4 は、第 6 配線層 L 6 に設けられた配線路 c p 5 2 7 によって抵抗内蔵トランジスタ T 1 に接続され、更に配線路 c p 5 2 8 によって論理集積回路 I C 7 に接続され、更に配線路 c p 5 2 9 により、テストポイント T P 2 3 を構成するビア v 2 0 3 を経て W D T 内蔵リセット集積回路 (リセット I C ) I C 1 0 に接続されている。なお、配線路 c p 5 2 8 は、抵抗 R 1 9 を介して D C 3 . 3 V (第 5 配線層 L 5 ) に接続され、配線路 c p 5 2 9 は、コンデンサ C 4 0 を介してグランド (第 2 配線層 L 2 ) に、また抵抗 R 2 6 を介して D C 3 . 3 V (第 5 配線層 L 5 ) に夫々接続されている。

20

#### 【 0 2 3 2 】

なお、この第 6 配線層 L 6 側のリセット回路は図 4 2 に示すように構成されている。論理集積回路 I C 7 には、液晶制御第 1 コネクタ C N 3 1 を介してシステムリセット信号が、また W D T 内蔵リセット集積回路 (リセット I C ) I C 1 0 からリセット信号が夫々入力可能となっており、それらの何れかのリセット信号が入力されたとき、ノイズ対策用の抵抗内蔵トランジスタ T 1 を介して複合チップ 1 0 4 及び制御 ROM 1 0 5 にリセット信号が送信されるようになっている。なお、W D T 内蔵リセット集積回路 (リセット I C ) I C 1 0 には、W D T リセット用として例えば複合チップ 1 0 4 の L E D 用データ出力端子 A S I B L D T B が接続されている。

30

#### 【 0 2 3 3 】

ここで、テストポイント T P 2 3 はリセット集積回路 I C 1 0 が作動した場合にチェックを行うためのもので、図 2 5 に示すように、第 6 配線層 L 6 側の配線路 c p 4 2 1 上で且つリセット集積回路 I C 1 0 の近傍に配置されているため、テストポイント T P 2 3 を示す識別情報である " T P 2 3 " の表示は、シルク印刷により、配線路 c p 4 2 1 が設けられている第 6 配線層 L 6 側、即ち裏面 9 8 b 側に配置するのが通常である。一方、テストポイント T P 2 3 によるチェック作業は基板を組み上げた状態 (図 8 , 図 9 参照)、又は基板を遊技機本体に組み付けた (設置した) 状態で行う必要があるが、その状態では液晶制御基板 9 8 の裏面 9 8 b は、対向する演出インターフェース基板 9 6 、液晶インターフェース基板 9 7 の陰になってテスターを当てることができない。そこで本実施形態では、図 4 3 に示すように、テストポイント T P 2 3 を示す識別情報である " T P 2 3 " の表示を、そのテストポイント T P 2 3 が配置されている配線路 c p 4 2 1 側、即ち裏面 9 8 b 側ではなく表面 9 8 a 側に配置している。なお、テストポイント T P 2 3 は、基板本体 1 9 0 を貫通するビア v 2 0 3 により構成されているため、基板本体 1 9 0 の表面 9 8 a 側からもテスターを当てることが可能である。

40

#### 【 0 2 3 4 】

また、テストポイント T P 1 7 は、第 1 配線層 L 1 側の配線路 c p 4 1 8 と、第 6 配線層 L 6 側の配線路 c p 4 1 9 とを接続するビア v 2 0 4 に設けられているが、このテスト

50

ポイントTP17を示す識別情報である"TP17"の表示についても、テストポイントTP23と同じく表面98a側に配置されている。

【0235】

また、上述したその他のテストポイントTP28, TP33についても同様である。即ち、テストポイントTP28は、第3配線層L3の配線路cp3上に設けられているが、このテストポイントTP28を示す識別情報である"TP28"の表示は表面98a側に配置されている。またテストポイントTP33は、第6配線層L6の配線路cp505上に設けられているが、このテストポイントTP33を示す識別情報である"TP33"の表示は表面98a側に配置されている。

【0236】

続いて、制御ROM105の8/16bitモード選択端子BYTE#、書き込み可能入力端子WE#、書き込み禁止/プログラムインプット端子WP#/ACCに夫々接続される配線路P46, P47について説明する。なお、これらの配線路P46, P47は複合チップ104には接続されない。

【0237】

配線路P46(図40)では、図27に示すように、第1配線層L1の制御ROM配置領域192に設けられた端子接続部BYTE#が、配線路cp531によってビアv48と接続されている。このビアv48は、制御ROM配置領域192の外側(-X側)における端子接続部BYTE#の近傍に配置されており、図24に示すように、第5配線層L5を介してDC3.3Vに接続されている。このように本実施形態では、制御ROM105の8/16bitモード選択端子BYTE#が電源(Hレベル)に接続されていることにより、16ビット通信モードが選択されている。

【0238】

配線路P47(図40)では、図27に示すように、第1配線層L1の制御ROM配置領域192に設けられた端子接続部WE#(第1所定端子)が、配線路cp541によってビアv111と接続されている。このビアv111(第1所定層間導通部)は、制御ROM配置領域192の外側(+X側)における端子接続部WE#の近傍に配置されており、図24に示すように、第5配線層L5を介してDC3.3Vに接続されている。このように本実施形態では、制御ROM105の書き込み可能入力端子WE#が電源(Hレベル)に接続されていることにより、Hレベル(非読み込み時)のときは出力不能モード、Lレベル(読み込み時)のときは出力モードとするなど、出力可能入力端子OE#の値(H/L)に応じてモードを切り替えることが可能となっている。なお、出力可能入力端子OE#は、上述したように複合チップ104のリードストロブ出力端子HRDと接続されている。

【0239】

また配線路P47では、図27に示すように、第1配線層L1の制御ROM配置領域192に設けられた端子接続部WP#/ACC(第2所定端子)が、配線路cp542によってビアv112と接続されている。このビアv112は、制御ROM配置領域192の外側(+X側)における端子接続部WP#/ACCの近傍に配置されている。またビアv112(第2所定層間導通部)は、図25に示すように、第6配線層L6に設けられた配線路cp543により、抵抗R43を介してビアv111に接続されている。このビアv111は、上述したように第5配線層L5を介してDC3.3Vに接続されている。このように本実施形態では、制御ROM(特定電子部品)105の書き込み禁止/プログラムインプット端子WP#/ACCが電源(Hレベル)に接続されていることにより、書き込み可能且つプログラム実行可能に設定されている。また、抵抗R43を介して電源と接続することにより、Hレベルを超える入力を排除して安定的にHレベルとなるようにしている。

【0240】

例えば、制御ROMの種類によって、Hレベルを超える入力があった場合に、書き込みの禁止/許容、プログラムの実行禁止/許容とは異なるモード設定が行われる場合には、

10

20

30

40

50

このように抵抗を介して安定的にHレベルとなるように構成することで、ノイズ等によりHレベルを超える入力された場合であっても、制御ROMが書き込みの禁止/許容、プログラムの実行禁止/許容とは異なるモード設定となってしまうことを防止することが可能となる。

#### 【0241】

以上説明した配線路P1～P47の構成を総括すると、まず複合チップ104と制御ROM105とを接続する配線路P2～P45のうち、配線路P2～P43，P45（特定配線路）については、図27，図35～図40に示すように、制御ROM配置領域（第2配置領域）192内に配置されたビアv60～v108（特定層間導通部；図35～図40にグレーで表示したビア）を経て制御ROM105側の端子接続部に接続されており、更にそれらのうちの配線路P2～P16，P19～P23，P35～P43，P45（第1特定配線路）については、制御ROM105側の端子接続部A0～A14，A17～A21，Q8～Q15，CE#，RESET#に対して制御ROM配置領域192の内側から接続されている（図35～図40に太線で表示した配線路）。このように、複合チップ104と制御ROM105とを接続する配線路を、比較的スペースに余裕のある制御ROM配置領域192内を経由するように配置し、しかも制御ROM105の端子に対してはできる限り制御ROM配置領域192の内側から接続することにより、基板上の配線パターンをより効率的に配置することができ、限られたスペースをより有効に利用することが可能となる。

10

#### 【0242】

なお、制御ROM配置領域（第2配置領域）192内に配置されたビアv60～v108（特定層間導通部）から制御ROM105側の端子接続部に対して制御ROM配置領域192の外側から接続する配線路、具体的には配線路cp165，cp175，cp234，cp244，cp254，cp343，cp353，cp363，cp373，cp303，cp313，cp323，cp333については、図27に示すように、制御ROM配置領域192の長辺192a，192bを各端子接続部の外側で横切るように配置されている。このように構成することにより、制御ROM配置領域192を避けて配線する場合に比べて、配線長を短く構成することができるため、配線効率が高まるとともに、ノイズを低減することが可能となる。また、制御ROM配置領域192で示した範囲については、実際には制御ROM105が位置するため、配線パターンを目視することができず、よって配線パターンに対して不正アクセスされることを防止することが可能である。

20

30

#### 【0243】

また、制御ROM配置領域（第2配置領域）192内に配置されたビアv60～v108（特定層間導通部）に対して第1配線層L1で接続される配線路、具体的には配線路cp233，cp243，cp253についても、図27に示すように、制御ROM配置領域192の長辺192aを各端子接続部の外側で横切るように配置されている。前段の構成と合わせて、複数箇所でのこのような構成とすることで、前段に記載した効果がより効果的なものとなる。

#### 【0244】

また、制御ROM配置領域192にはROMソケット193（図8）が固定され、そのROMソケット193の底壁（特定層間導通部に対応する遮蔽壁）193aが制御ROM配置領域192を遮蔽するため、ROMソケット193から制御ROM105を取り外した状態でも、ビアv60～v108（特定層間導通部）を含む制御ROM配置領域192内の配線パターンを外部から視認することはできず、またアクセスすることもできない。

40

#### 【0245】

制御ROM配置領域192内のビアv60～v108（特定層間導通部）は、基板本体190の表面（第1面）98aから裏面（第2面）98bまで貫通させることで放熱効果を高めている。また、制御ROM配置領域192内のビアv60～v108（特定層間導通部）は、裏面98b側、即ち第6配線層L6側でIC、抵抗、コンデンサ、コネクタ等の所定電子部品と接続されている。

50

## 【 0 2 4 6 】

また、複合チップ 104 と制御 ROM 105 とを接続する配線路 P 2 ~ P 4 5 については、複合チップ 104 と所定のビア（所定層間導通部）とを接続する第 1 配線部から、所定のビアと制御 ROM 105 とを接続する第 2 配線部と、所定のビアと液晶制御第 1 コネクタ CN 3 1 等の他の電子部品とを接続する第 3 配線部とに分岐している。そして、第 2 配線部は第 1 配線層 L 1 等の第 1 所定配線層に、第 3 配線部は第 1 所定配線層とは異なる第 3 配線層 L 3 , 第 6 配線層 L 6 等の第 2 所定配線層に夫々配置されている。

## 【 0 2 4 7 】

またそれら配線路 P 2 ~ P 4 5 のうち、アドレス / データ情報の伝送を行う配線路 P 2 ~ P 4 2 については、分岐箇所である所定のビア（所定層間導通部）が、制御 ROM 配置領域（第 2 配置領域）192 内に配置された特定層間導通部（図 35 ~ 図 40 にグレーで表示したビア）となっており、しかも第 2 配線部を第 1 配線層 L 1 に、第 1 配線部の少なくとも一部を第 4 配線層 L 4（第 1 配線層とは別の所定配線層の一例）に、第 3 配線部を第 1 配線層 L 1（第 1 所定配線層）に夫々設けている。これにより、アドレス / データ情報の伝送を行う配線パターン及びビアを不正改造するなどのゴト行為に対する予防性を高めることが可能となる。また、制御 ROM 配置領域 192 内に配線パターンを引くことで、それ以外の領域に配線スペースを確保することが可能となる。また、特に分岐箇所に関しては、基板の複数層にわたって配線パターンが密集しやすい傾向にあるため、分岐箇所を設ける部分には十分な配線スペースが必要となるが、その点からも、配線スペースに余裕のある制御 ROM 配置領域 192 内に分岐箇所を配置することは効果的である。

## 【 0 2 4 8 】

また、制御 ROM 配置領域 192 内のビア v 6 0 ~ v 1 0 7（特定層間導通部）のうち、アドレス情報を伝送するための配線路 P 2 ~ P 2 6（アドレス配線）の一部を構成するビア v 6 1 ~ v 8 5 , v 1 0 3 ~ v 1 0 7（第 1 特定層間導通部）と、データ情報を伝送するための配線路 P 2 7 ~ P 4 2（データ配線）の一部を構成するビア v 8 7 ~ v 1 0 2（第 2 特定層間導通部）とを、制御 ROM 105 における端子の配列方向である Y 方向（第 1 方向）に配列している。

## 【 0 2 4 9 】

また、複合チップ 104 側のアドレス出力端子 H A D 1 ~ H A D 2 5 , データ入出力端子 H D T 0 ~ H D T 1 5（第 1 端子）と、それらに対応する制御 ROM 105 側のアドレス入力端子 A 0 ~ A 2 4 , データ入出力端子 Q 0 ~ Q 1 5（第 2 端子）とは配列が相違しており、それらを接続する配線路 P 2 ~ P 4 2 は、制御 ROM 配置領域 192 内のビア v 6 0 ~ v 8 5 , v 8 7 ~ v 1 0 7（特定層間導通部）を有し、それら制御 ROM 配置領域 192 内のビア v 6 0 ~ v 8 5 , v 8 7 ~ v 1 0 7（特定層間導通部）の配列を、対応する制御 ROM 105 側の端子（特定第 2 端子）の配列と近似させている。これにより、特定層間導通部と制御 ROM の端子とを接続する配線パターンを整頓することができ、例えば複数の配線パターン同士の位置関係が変わる（捻れる）ようにパターンの引き回しを行う必要がないので、接続方法がより容易で、制御 ROM 配置領域 192 内のスペースをより有効に活用できる。このように、複合チップ 104 の端子配列と制御 ROM 105 の端子配列とが異なる場合に、制御 ROM 105 の配置領域内の特定層間導通部から制御 ROM 105 の端子に至るまでの比較的配線距離の短い配線パターンの引き回しを工夫するよりも、複合チップ 104 から特定層間導通部までの比較的配線距離の長い配線パターンの引き回しを工夫することにより、特定層間導通部の配列を制御 ROM 105 の端子配列と近似させる方が配線効率の面ではより効果的であると言える。

## 【 0 2 5 0 】

具体的には、図 27 に示すように、例えばアドレス入力端子 A 0 ~ A 6 とそれに対応するビア v 8 5 ~ v 7 9、アドレス入力端子 A 1 7 ~ A 2 0 とそれに対応するビア v 6 8 ~ v 6 4、データ入出力端子 Q 1 2 ~ Q 1 5 とそれに対応するビア v 9 0 ~ v 8 7 については、夫々 Y 方向に略同じ順序で配列されており、アドレス入力端子 A 2 3 , A 2 2 , A 2 4 , A 1 6 , A 1 5 とそれに対応するビア v 6 2 , v 6 3 , v 6 1 , v 1 0 3 , v 1 0 4

、データ入出力端子Q0～Q3とそれに対応するビアv102～v99、データ入出力端子Q8～Q11とそれに対応するビアv94～v91、データ入出力端子Q4～Q7とそれに対応するビアv98～v95については、夫々Y方向に略逆の順序で配列されている。このように、制御ROM105の端子配列のみを考慮して特定層間導通部の配列を工夫するのではなく、同じく接続関係にある複合チップ104側の端子配列や液晶制御第1コネクタCN31側の端子配列を考慮して、特定層間導通部を配列させるようにしてもよい。これにより、部分的には制御ROM105との接続関係は複雑化してしまうが、特定層間導通部を基準として、制御ROM105の端子よりも遠方に位置する複合チップ104、液晶制御第1コネクタCN31側の端子との接続関係は簡素化されるため、基板全体の配線効率を向上させることが可能となる。即ち、制御ROM配置領域192内において、必要に応じて特定層間導通部の配列を工夫することで、基板全体の配線効率を高めることができる。また、制御ROM配置領域192内に限らず、分岐箇所となるビアの配列を前述のように工夫することで基板全体の配線効率を高めることができる。

10

#### 【0251】

また、複合チップ104側のアドレス出力端子HAD1～HAD25，データ入出力端子HDT0～HDT15（第1端子）は、それらに対応する制御ROM105側のアドレス入力端子A0～A24，データ入出力端子Q0～Q15（第2端子）だけでなく、液晶制御第1コネクタCN31の各端子had1～had25，hdt0～hdt15（第3端子）とも配列が相違しており、ビアv61～v85，v87～v102（特定層間導通部）の配列を、液晶制御第1コネクタCN31の各端子had1～had25，hdt0～hdt15（第3端子）の配列と一致（近似）させている。即ち、図28，図29，図33に示すように、ビアv61～v85，v87～v102（特定層間導通部）のY方向の配列は、それに対応する液晶制御第1コネクタCN31の各端子had1～had25，hdt0～hdt15のX方向の配列と一致しているため、それらを接続する配線路群（第3配線路群）を捻れなく並列に配列することができる。なおこれにより、ビアv61～v85，v87～v102（特定層間導通部）と制御ROM105側のアドレス入力端子A0～A24，データ入出力端子Q0～Q15（第2端子）とを接続する配線路群（第2配線路群）については捻れを含む複雑な配線パターンとなるが、こちらは比較的スペースに余裕のある制御ROM配置領域192内に配置することで容易に実現可能である。

20

#### 【0252】

なお、アドレス/データ情報の伝送を行う配線路P2～P42のうち、配線路P2～P13，P19～P42については、制御ROM配置領域192内のビアv61～v68，v74～v85，v87～v102（特定層間導通部）において制御ROM105側と液晶制御第1コネクタCN31側とに分岐しているが、配線路P14～P18については、制御ROM配置領域192内のビアv69～v73では制御ROM105側には分岐せず、ビアv69～v73と液晶制御第1コネクタCN31とを接続する配線路上で且つ制御ROM配置領域192内に別途ビアv103～v107を設け、そのビアv103～v107から制御ROM105側に分岐している。このように構成することで、液晶制御第1コネクタCN31への配線については他の配線路と調和させて捻れなく並列に配列させつつ、制御ROM105への配線についても他の配線路との干渉を回避しつつ効率的に配列することが可能である。

30

40

#### 【0253】

また、制御ROM（第2電子部品）105の一端側に配置された一端側端子に含まれる特定一端側端子A0～A7，A17，A18，A20，A21，Q0～Q3，Q8～Q11とそれらに対応する複合チップ（第1電子部品）104側の第1特定端子HAD0～HAD7，HAD17，HAD18，HAD20，HAD21、HDT0～HDT3，HDT8～HDT11とをビアv65～v68，v78～v85，v91～v94，v99～v102（第1層間導通部）を介して夫々接続する複数的一端側配線路P2～P9，P19，P20，P22，P23，P27～P30，P35～P38と、制御ROM（第2電子部品）105の他端側に配置された他端側端子に含まれる特定他端側端子A8～A16

50

、A 1 9 , A 2 2 ~ A 2 4 , Q 4 ~ Q 7 , Q 1 2 ~ Q 1 5 とそれらに対応する複合チップ（第 1 電子部品）1 0 4 側の第 2 特定端子 H A D 8 ~ H A D 1 6 , H A D 1 9 , H A D 2 2 ~ H A D 2 4 , H D T 4 ~ H D T 7 , H D T 1 2 ~ H D T 1 5 とをビア v 6 1 ~ v 6 3 , v 6 6 , v 7 4 ~ v 7 7 , v 8 7 ~ v 9 0 , v 9 5 ~ v 9 8 （第 2 層間導通部）を介して夫々接続する複数の他端側配線路 P 1 0 ~ P 1 8 , P 2 1 , P 2 4 ~ P 2 6 , P 3 1 ~ P 3 4 , P 3 9 ~ P 4 2 とを備え、第 1 層間導通部と第 2 層間導通部とを、夫々第 1 特定端子、第 2 特定端子とは異なる配列であって、特定一端側端子、特定他端側端子に対応する配列となるように互いに近傍に配置している。

#### 【 0 2 5 4 】

また、一列状に配列された複数の R O M 端子接続部に対し、制御 R O M 配置領域 1 9 2 の内側から接続する内接続配線部と外側から接続する外接続配線部とを交互に配置している。即ち図 2 7 に示すように、制御 R O M 配置領域 1 9 2 の端子接続部 Q 0 , Q 8 , Q 1 , Q 9 , Q 2 , Q 1 0 , Q 3 , Q 1 1 に対しては、外接続配線部 c p 3 0 3 , c p 3 1 3 , c p 3 2 3 , c p 3 3 3 と内接続配線部 c p 3 8 3 , c p 3 9 3 , c p 4 0 3 , c p 4 1 3 とが交互に接続されている。しかも、それら外接続配線部 c p 3 0 3 , c p 3 1 3 , c p 3 2 3 , c p 3 3 3 の他端側のビア v 1 0 2 ~ v 9 9 は互いに近傍に配置され、内接続配線部 c p 3 8 3 , c p 3 9 3 , c p 4 0 3 , c p 4 1 3 の他端側のビア v 9 4 ~ v 9 1 についても互いに近傍に配置されている。同様に、制御 R O M 配置領域 1 9 2 の端子接続部 Q 1 5 / A - 1 , Q 7 , Q 1 4 , Q 6 , Q 1 3 , Q 5 , Q 1 2 , Q 4 に対しては、内接続配線部 c p 4 5 3 , c p 4 4 3 , c p 4 3 3 , c p 4 2 3 と外接続配線部 c p 3 7 3 , c p 3 6 3 , c p 3 5 3 , c p 3 4 3 とが交互に接続されている。しかも、それら内接続配線部 c p 4 5 3 , c p 4 4 3 , c p 4 3 3 , c p 4 2 3 の他端側のビア v 8 7 ~ v 9 0 は互いに近傍に配置され、外接続配線部 c p 3 7 3 , c p 3 6 3 , c p 3 5 3 , c p 3 4 3 の他端側のビア v 9 5 ~ v 9 8 についても互いに近傍に配置されている。このように、制御 R O M 1 0 5 の端子配列ではなく、内接続配線部と外接続配線部とをそれぞれ近傍に配置してグルーピングすることで、配線パターンの引き回しが簡素化され、配線効率を高めることができる。

#### 【 0 2 5 5 】

また、アドレス情報又はデータ情報を伝送する第 1 配線路 P 2 ~ P 4 2 と、チップセレクト情報を伝送する第 2 配線路 P 4 3 とは、互いに異なる配線層、即ち第 1 配線層 P 2 ~ P 4 2 は第 4 配線層 L 4 、第 2 配線路 P 4 3 は第 6 配線層 L 6 において複合チップ 1 0 4 側から制御 R O M 配置領域 1 9 2 内のビア v 6 1 ~ v 8 5 , v 8 7 ~ v 1 0 1 , v 6 0 （特定層間導通部）に接続されている。このように、データ伝送において重要なチップセレクト信号を、アドレス情報又はデータ情報を伝送する配線パターンとは異なる配線層を使用して配線することで、アドレス情報又はデータ情報を伝送する配線パターンの伝送ノイズがチップセレクト信号に乗りにくくすることができ、ノイズに強い構成とすることが可能となる。また、チップセレクト信号の配線路のパターンを他の配線路と異ならせることにより、チップセレクト信号の配線を特定することが比較的容易となり、配線パターンをショートさせるなどのゴトがなされていないかのチェックや通電チェックを比較的容易に行うことが可能となる。

#### 【 0 2 5 6 】

また、リセット回路を構成する配線路 P 4 5 においては、リセット集積回路（リセット I C ） I C 1 0 とビア v 1 7 4 （所定層間導通部）とを接続する配線路 c p 4 1 8 ~ c p 4 2 1 （リセット第 1 配線路）と、ビア v 1 7 4 （所定層間導通部）と複合チップ 1 0 4 のリセット端子 H R E S E T とを接続する配線路 c p 4 1 3 ~ c p 4 1 5 （リセット第 2 配線路）と、ビア v 1 7 4 （所定層間導通部）と制御 R O M 1 0 5 のリセット端子 R E S E T # とを接続する配線路 c p 4 1 6 , c p 4 1 7 （リセット第 3 配線路）とを備え、配線路 c p 4 1 8 ~ c p 4 2 1 （リセット第 1 配線路）上に、液晶制御基板 9 8 を板厚方向に貫通するテストポイント T P 1 7 （第 1 テストポイント）及びテストポイント T P 2 3 （第 2 テストポイント）を配置し、それらテストポイント T P 1 7 , T P 2 3 を示す識別

10

20

30

40

50

情報 " T P 1 7 " , " T P 2 3 " を、液晶制御基板 9 8 を他の演出インターフェース基板 9 6、液晶インターフェース基板 9 7 等とともに組み上げたときに表側、即ち基板 9 6 , 9 7 とは反対側の表面 ( 第 1 面 ) 9 8 a に表示している。なお、リセット集積回路 ( リセット I C ) I C 1 0 は裏面 ( 第 2 面 ) 9 8 b 側に配置している。これにより、基板を組み上げた状態 ( 図 8 , 図 9 参照 )、又は基板を遊技機本体に組み付けた ( 設置した ) 状態では、テストポイント T P 1 7 , T P 2 3 が配置されている配線路の部分は視認できないにも拘わらず、視認可能な表面 9 8 a 側に表示された識別情報に基づいてテストポイント T P 1 7 , T P 2 3 によるチェック作業を容易に行うことが可能である。

#### 【 0 2 5 7 】

また配線路 c p 4 1 8 ~ c p 4 2 1 ( リセット第 1 配線路 ) は、表面 ( 第 1 面 ) 9 8 a 側に配置された配線路 c p 4 1 8 ( 第 1 配線路 ) と、裏面 ( 第 2 面 ) 9 8 b 側に配置された配線路 c p 4 2 0 , c p 4 2 1 ( 第 2 配線路 ) と、それらを接続するビア v 2 0 4 ( リセット第 1 層間導通部 ) とを有し、テストポイント T P 1 7 ( 第 1 テストポイント ) をそのビア v 2 0 4 に配置し、テストポイント T P 2 3 ( 第 2 テストポイント ) を配線路 c p 4 2 1 ( 第 2 配線路 ) 上に配置している。

#### 【 0 2 5 8 】

また、制御 R O M ( 特定電子部品 ) 1 0 5 は、書き込み禁止 / プログラムインプット端子 W P # / A C C ( 第 2 所定端子 ) の電圧レベルに応じた動作モードにて動作し、書き込み可能入力端子 W E # ( 第 1 所定端子 ) は、ビア v 1 1 1 ( 第 1 所定層間導通部 ) を介して第 5 配線層 L 5 の電源配線路に接続され、書き込み禁止 / プログラムインプット端子 W P # / A C C ( 第 2 所定端子 ) は、抵抗 R 4 3 を介してビア v 1 1 1 ( 第 1 所定層間導通部 ) に接続されている。また、液晶制御基板 9 8 の表面 ( 第 1 面 ) 9 8 a に制御 R O M ( 特定電子部品 ) 1 0 5 が、裏面 ( 第 2 面 ) 9 8 b に抵抗 R 4 3 が夫々配置され、ビア v 1 1 2 ( 第 2 所定層間導通部 ) を介して書き込み禁止 / プログラムインプット端子 W P # / A C C ( 第 2 所定端子 ) と抵抗 R 4 3 とが接続されている。このように、 W P # / A C C ( 第 2 所定端子 ) を抵抗 R 4 3 を介して電源配線路に接続するビアを、 W E # ( 第 1 所定端子 ) を電源配線路に接続するためのビアとして共通的に利用することで、個別にビアを介して接続する場合に比べてビアの数を削減することができる。

#### 【 0 2 5 9 】

また、複合チップ 1 0 4 の底面側には複数の端子がマトリックス状に配置されており、それら複数の端子のうち、複合チップ配置領域 ( 第 1 配置領域 ) 1 9 1 の外周近傍に配置される外側端子、例えば最外周側とその内側の 2 列目に配置された端子 H D T 0 , H D T 1 , H D T 4 , H D T 5 等は第 1 配線路 P 2 7 , P 2 8 , P 3 1 , P 3 2 等により制御 R O M 1 0 5 と接続され、外側端子よりも内側に配置される内側端子、例えば端子 H D T 2 , H D T 3 , H D T 6 等は第 2 配線路 P 2 9 , P 3 0 , P 3 3 等により制御 R O M 1 0 5 と接続され、第 1 配線路 P 2 7 , P 2 8 , P 3 1 , P 3 2 等は、複合チップ配置領域 1 9 1 の外側に配置されたビア v 3 2 , v 3 1 , v 3 7 , v 4 6 等 ( 第 1 層間導通部 ) と外側端子 H D T 0 , H D T 1 , H D T 4 , H D T 5 等とを第 1 配線層 L 1 で接続し、第 2 配線路 P 2 9 , P 3 0 , P 3 3 等は、複合チップ配置領域 1 9 1 の内側に配置されたビア v 2 4 , v 8 , v 1 7 等 ( 第 2 層間導通部 ) と内側端子 H D T 2 , H D T 3 , H D T 6 等とを第 1 配線層 L 1 で接続している。また、内側端子 H D T 2 , H D T 3 , H D T 6 等からビア v 2 4 , v 8 , v 1 7 等 ( 第 2 層間導通部 ) までの距離を、外側端子 H D T 0 , H D T 1 , H D T 4 , H D T 5 等からビア v 3 2 , v 3 1 , v 3 7 , v 4 6 等 ( 第 1 層間導通部 ) までの距離よりも短くしている。

#### 【 0 2 6 0 】

このように、複数の端子がマトリックス状に配置された複合チップ 1 0 4 において、複合チップ 1 0 4 の配置領域の外周近傍に配置される外側端子に関しては、複合チップ 1 0 4 の外側に配置したビアと接続させることで、複合チップ 1 0 4 の外周近傍に配線スペースが生じ、複合チップ 1 0 4 の内側端子の配線パターンを複合チップに外側へと引き回しやすくなるため、配線効率を高めることができる。また、上述の配線スペースに関しては

10

20

30

40

50

、基板の複数の配線層において、複合チップの外周近傍の配線スペースが生じるので、複数の配線層のうちどの配線層を利用したとしても、複合チップの外側へと配線パターンを配線し易くなることは言うまでもない。

#### 【0261】

以上、本発明の実施形態について詳述したが、本発明はこれらの実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。例えば実施形態では、複合チップ104と制御ROM105との間でアドレス情報/データ情報を伝送する配線路P2~P42については、制御ROM配置領域(第2配置領域)192内に配置された特定層間導通部を有するものとしたが、それらの配線路P2~P42の少なくとも一部が特定層間導通部を有しないものであってもよい。

10

#### 【0262】

実施形態では、配線路P2~P42において、ビアv61~v85, v87~v102(特定層間導通部)のY方向の配列を、それに対応する液晶制御第1コネクタCN31の各端子had1~had25, hdt0~hdt15のX方向の配列と一致させたが、ビアv61~v85, v87~v102(特定層間導通部)のY方向の配列を、制御ROM105の端子配列と一致(又は近似)させてもよい。

#### 【0263】

実施形態では、基板を組み上げた状態でチェック作業を行う必要があるテストポイントに関しては、チェック対象が基板の表裏のどちらに存在するかに関係なく、基板を組み上げた状態で外側となる面にそのテストポイントの識別情報を表示するように構成したが、そのようなテストポイントに関しては基板の両面に識別情報を表示してもよい。

20

#### 【0264】

実施形態では、複合チップ104の端子のうち、複合チップ配置領域(第1配置領域)191における最外周側とその内側の2列目に配置された端子(外側端子)については、第1配線層L1において複合チップ配置領域191の外側に配置された層間導通部と接続し、それよりも内側の端子(内側端子)については、第1配線層L1において複合チップ配置領域191の内側に配置された層間導通部と接続するように構成したが、複合チップ配置領域191における最外周側の端子のみを外側端子としてもよいし、最外周側から3列目までの端子を外側端子としてもよい。

#### 【0265】

また、実施形態では具体的に複合チップ104の一縁部側の端子に関連する配線のみを例示したが、これに限らず、複合チップ104の他縁部側においても同様の構成、または実施形態に記載した内容となるように構成してもよい。このように、複合チップ104の各縁部側でも本実施形態の記載の構成を採用することで、より配線効率を高めることが可能となる。例えば、図12に示すような構成が一例として挙げられる。

30

#### 【0266】

実施形態では、液晶制御基板98に第1~第6配線層L1~L6を設けた例を示したが、配線層の数はこれよりも少なくても多くてもよい。配線層の数を少なくする場合、グラウンド接続のベタ配線層や、電源接続のベタ配線層を省略してもよい。

#### 【0267】

複合チップ104の端子と複合チップ配置領域191内のビアとの接続に関して、各端子と各ビアとの距離をそれぞれ略共通の距離となるように設計してもよい。これにより、複数ある各端子と各ビアとの距離が略等間隔となることで、ノイズが乗りにくく、またビアの配列をより適切な状態に整えることが可能となる。

40

#### 【0268】

また、複合チップ104の端子からビアに向けて配線を引き出す方向に関して、上下左右に隣り合う端子同士に関してはその配線引き出し方向(ビアの配置方向)を共通にすることが望ましい。また、それらの端子を1群として捉えた場合に、それとは別の端子群に関しては、配線引き出し方向(ビアの配置方向)を前述とは異なる方向とすることが望ましい。このように端子群毎に配線引き出し方向(ビアの配置方向)を設定することで、各

50

端子の情報を配線パターンにより確認、認識することが容易となるため、完成後の検査やチェックが容易となる。また、アドレス情報を伝送する端子を1群としたり、データ情報を伝送する端子を1群としたりすることにより、前述の効果がより発揮されることとなる。また、チップセレクト信号などの個別の信号の端子に関しては、前述の1群のものとは異なる配線引き出し方向にビアを設けることで、確認・認識が容易となるようにしてもよい。また、チップセレクト信号の端子についても共通の配線引き出し方向にビアを設けることで、チップセレクト信号などの重要な端子や信号線を特定されにくくし、不正行為に強い構成としてもよい。

#### 【0269】

図26に示すように、複合チップ104のHAD22端子に接続される配線路cp221のように、ビアを介することなく制御ROM配置領域192内又はその近傍に達するような配線パターンを設けてもよい。このように配線することで複合チップ104周辺のビアの数を減らすことができるため、その分のスペースをその他の配線やビアの設置箇所として使用することが可能となる。また、配線路cp221に関してはビアv53と接続されているが、これに限らずビアを介することなく制御ROM105の端子へと接続されるように構成してもよい。

10

#### 【0270】

図27に示すように、制御ROM105の端子のうちOE#、WE#、BYTE#、WP#ACC、CE#、RESET#などの特別な端子の配線パターンについては、アドレス情報やデータ情報を伝送する配線パターンに比べて、ビアからの接続距離を短く設定してもよい。これにより、基板の組み立て時、検査時などにおいて、配線パターンの種類の区別がつきやすくすることができる。また逆に、接続距離を長く設定することで、配線パターンの種類の区別がつきやすいように構成してもよい。また、制御ROM105の動作を制御するための端子の接続パターンであるため、ノイズ等を考慮して比較的短い配線パターンとしておくことが望ましい。

20

#### 【0271】

図27に示すように、制御ROM配置領域192において、第1ビア配列群(v61~v85等)と第2ビア配列群(v87~v102等)とをX軸方向にずらして配置することで、それぞれの配列群からY軸方向に配線パターンを引き出しやすくすることができる。また仮に、第1ビア配列群と第2ビア配列群とをX軸方向にずらさずY軸方向に並べると制御ROM配置領域192内に収まらずはみ出してしまふような場合には、X軸方向にずらしてY軸方向に重なるように配置することで、第1ビア配列群と第2ビア配列群とを制御ROM配置領域192内に収めることができ、制御ROM配置領域192内の配線スペースをより有効に活用することが可能となる。

30

#### 【0272】

また、仮に第1ビア配列群と第2ビア配列群とをY軸方向にずらしてX軸方向に重なるように並べた場合でも制御ROM配置領域192内に収まる場合には、Y軸方向にずらしてX軸方向に重なるように並べてもよい。この場合には、それぞれの配列群からY軸方向に配線パターンを引き出しにくくなるが、少なくともX軸方向への引き出しは制限されない。また、例えば第1ビア配列群や第2ビア配列群が分岐箇所となる場合については、分岐先の接続端子の配列を考慮したうえで、Y軸方向にずらしてX軸方向に重なるように並べた方が効率的な配置となる場合には、そのように構成してもよい。また、同様にX軸方向にずらしてY軸方向に重なるように配置してもよい。制御ROM配置領域192の形状や、配線パターンの引き回し方によってはその方が好適な配置関係となる場合も考えられる。

40

#### 【0273】

図20に示すように、複合チップ104と制御ROM105との配置関係を、制御ROM105の端子と接続関係にある複合チップ104の端子配列の位置に応じて決定することで、物理的な接続距離を近づけるように構成してもよい。これは特に制御ROM105に限定されず、複合チップ104の各端子の位置を基準として、それらの端子と接続関係

50

にある電子部品の配置位置、配置方向、距離等を決定することで配線効率を高めることができる。勿論、制御ROM105などの特定の電子部品においてのみ前述のような配置関係としてもよく、それにより部分的な配線効率を高めることができるが、より好適には複数の電子部品を同様の配置関係とすることで、基板全体の配線効率を高めることができる。

#### 【0274】

また、アドレス情報やデータ情報を伝送する配線パターンのように複合チップ104と複数の電子部品とを接続する必要がある配線に関しては、複合チップ104からの距離が近い第1電子部品（例：制御ROM105）とそれよりも遠方の第2電子部品（例：液晶制御第1コネクタCN31）とのうち、距離の近い第1電子部品を複合チップ104の接続端子が位置する側に設けることで配線効率を高めるようにしてもよい。また、第1電子部品とそれよりも遠方の第2電子部品との両方を複合チップの接続端子が位置する側に設けることで、より配線効率を高めることができる点は言うまでもない。また、第1電子部品と第2電子部品とのうち、遠方の第2電子部品を複合チップ104の接続端子が位置する側に設けることで配線効率を高めるようにしてもよい。この場合、第1電子部品は、複合チップの接続端子が位置する側とは異なる側に配置されることになるので、一見非効率に思えるが、基板全体におけるアドレス情報やデータ情報を伝送する配線パターンの配線効率を考慮した場合には、その方が効果的となる場合もある。また第1電子部品は制御ROMに限らず、コネクタや（終端）抵抗などであってもよい。同様に第2電子部品はコネクタに限らず、制御ROMや（終端）抵抗であってもよい。

#### 【0275】

図19に示すように、制御ROM105の端子には複合チップ104の端子と接続関係にない端子（NC端子等）があり、図27において（ここではNC端子等は省略されているが）、制御ROM配置領域192における制御ROM105のNC端子が位置する箇所に対してX軸方向にずれた箇所（領域）に、NC端子以外の端子と接続関係にある配線パターンを接続するためのビア（図27においてはv80～v85等が相当）を設けるように構成してもよい。このように構成する理由としては、NC端子等は接続される配線パターンやビアの配置を考慮する必要がないことからその周辺には比較的配線スペースが生じやすい傾向にあるため、その領域を活用してビアを配置することができるからである。また、そのようにNC端子等の周辺はスペースに余裕があるため、ビアからの配線パターンをY軸方向またはX軸方向に引き出しやすくなるというメリットがある。また、NC端子に限らず、VCC端子やGND端子に関しても同様の構成とすることで前述の効果を奏することが可能である。

#### 【0276】

図31に示すように、複合チップ104の端子と制御ROM105の端子とを接続するための配線パターンを接続するビア（例：v49～v54）を、制御ROM配置領域192の外側近傍またはその周囲に設け、そのビアを介して制御ROM配置領域192内に配線パターンを引き回すように構成することで、そのビアは制御ROM105等に遮蔽されることなく基板の外側から視認可能であるため、制御ROM配置領域192の外側近傍またはその周囲にビアを設けない配線パターンと比べて複合チップ104の端子と制御ROM105の端子とを接続する配線パターンの確認や検査が容易になるとともに、制御ROM配置領域192の外側近傍にビアを配置することでより配線効率を高めることが可能となる。

#### 【0277】

図27、図28に示すように、ビアv69～v73に関しては、制御ROM配置領域192にその他のビアとともに配列して配置されているが、制御ROM105の端子との接続に関しては、ビアv103～v107を介して制御ROM配置領域192に配線パターンを引き出すように構成している。このように、他の特定層間導通部と共に配列されたビア（v69～v73）と制御ROM105の端子とを接続する配線パターンを、別のビア（v103～v107）を介して制御ROM配置領域192内を引き回すことで配線効率を高めるように構成することができる。また、その場合であってもビアv69～v73に

関してはその他のビアと同様に配列されているので、接続関係の確認や通電チェック等の検査については比較的容易に行うことが可能である。

#### 【0278】

実施形態ではVDP + CPUの複合チップ104を例示したが、VDP機能を有さないCPUチップであってもよい。また、制御ROMについてもCPUの制御プログラムを記憶する記憶媒体に限らず、音声データや画像データを記憶するROMであってもよい。

#### 【0279】

複合チップ配置領域191や制御ROM配置領域192に位置するビアを、導通チェック用のテストポイントとして使用するようにしてもよい。この場合、複合チップ配置領域191や制御ROM配置領域192に位置するビアの近傍または周辺に、シルク印刷によるテストポイント表記（識別情報の表示）を行うように構成することが望ましい。これにより、複合チップ104や制御ROM105の導通チェックが容易に行えたとともに、複合チップ配置領域191や制御ROM配置領域192を活用してテストポイントのシルク印刷表記を配置することができる。

10

#### 【0280】

図42に示すように、SRESET信号とWTD OG信号とを共通の論理集積回路IC7に接続することで、何れかのリセット要因によりリセット信号が入力された場合に適切にリセット処理を行うことが可能となっている。また、論理集積回路IC7からの出力情報（リセット信号）を、複合チップ104及び/又は制御ROM105に対して出力するだけでなく、図41に示すデコーダIC13, IC14に対しても出力する（図42のIO-RSTから出力）ように構成することで、液晶表示ユニット76に対するリセット処理を実行することが可能となる。これにより、異なる電子部品などのハードウェアによる同期的又は略同タイミングでのリセット動作を実現させることができる。

20

#### 【0281】

また、CGROMや音声ROMなどの外部ROMをリセットするために、複合チップ104に対して、別途リセット信号を出力する（図42のDDR-RSTから出力）ように構成してもよい。このように、出力対象は同じ複合チップ104であっても、リセット対象毎に異なるリセット信号を出力するように構成してもよい。これにより、リセット対象やリセット目的に応じたリセット処理が可能な回路構成とすることができる。また、図42に示すように、IO-RST信号やDDR-RST信号についても論理集積回路IC7から出力される信号であり、これはCPU-RST信号と同様にSRESET信号及び/又はWTD OG信号が論理集積回路IC7に入力されたことをトリガーに出力される信号である。

30

#### 【0282】

また、実施形態では共通の論理集積回路IC7を用いているが、これに限らず複数の論理集積回路を設けるようにしてもよい。この場合、CPU-RST信号、IO-RST信号、DDR-RST信号ごとに異なる論理集積回路を用いるようにしてもよいし、CPU-RST信号と、IO-RST信号, DDR-RST信号とで異なる論理集積回路を用いるように構成してもよい。このように複数の論理集積回路を用いる場合、コストはかかるが、不具合により全てのハードウェアに対してリセット信号が出力されてしまうことを防止することができる。またこの場合であっても、異なる論理集積回路には共通のSRESET信号及び/又はWTD OG信号が入力されるように構成される。

40

#### 【0283】

図19に示すように、制御ROM105の端子には複合チップ104の端子と接続関係がない端子（NC等）があり、図27において（ここではNC端子等は省略されているが）制御ROM配置領域192における制御ROMのNC端子が位置する箇所に対してX軸方向にずらした箇所（領域）と、NC端子以外の端子が位置する箇所に対してX軸方向にずらした箇所（領域）とで、制御ROM配置領域192内に設置されるビアの配置数を異ならせるように構成してもよい。このように、対応する箇所（領域）毎にビアの配置数を異ならせることで、制御ROM配置領域192内のスペースを有効活用するように構成し

50

てもよい。また、当然ながらNC端子以外の端子にはビアから引き出された配線パターンが接続されることになるので、近傍に配置する場合には接続距離が短くなるというメリットがあり、逆にNC端子が位置する箇所に対してX軸方向にずらした箇所（領域）から引き出されたビアから引き出された配線パターンが接続される場合には、接続距離が長くなるが、配線スペースに比較的余裕があるため、引き回しが容易になるというメリットがある。

#### 【0284】

また、制御ROM配置領域192のビアのうち制御ROMの端子と直接の接続関係のないビア（例：図27のv68とv74との間に位置する複数のビア）については、図27に示すように、NC端子以外の端子が位置する箇所に対してX軸方向にずらした箇所（領域）に設けるようにしてもよい。これらのビアからは第1配線層L1上では配線パターンが引き出されないため、制御ROM配置領域192において配線スペースを阻害する恐れが少ないからである。また、逆に制御ROM配置領域192における制御ROM105のNC端子が位置する箇所に対してX軸方向にずらした箇所（領域）に設けるようにしてもよい。この場合には、NC端子以外の端子が位置する箇所に対してX軸方向にずらした箇所（領域）により配線スペースを設けることができる。いずれにしても、実施形態においては、前述のメリットを考慮しながら、制御ROM以外の電子部品（例：コネクタ）との接続関係も意識したうえで、図27に示すようなビア配列を構築している。

10

#### 【0285】

図27の例では、アドレス情報を伝送するための配線パターンを導通させるビアを所定の配列で並べ、データ情報を伝送するための配線パターンを導通させるビアを所定の配列で並べることで、夫々のビア配列が群となるように設置したが、これに限らず、アドレス情報を伝送するための配線パターンを導通させるビアと、データ情報を伝送するための配線パターンを導通させるビアを所定の配列で並べることで1のビア群となるように設置してもよい。この場合、異なる情報を伝送する配線パターンを導通させるビアを密集させることができるので、ビアの設置範囲を比較的小さくすることができる。また、図27に示すビアv87～v90のように、データ情報を伝送するための配線パターンを導通させるビアの配列の中で、いくつかのビアを小群として配列するように設けてもよく、アドレス情報を伝送するための配線パターンを導通させるビアについても同様の構成としてもよい。

20

#### 【0286】

図27の例では、制御ROM配置領域192にアドレス情報を伝送するための配線パターンを導通させるビアや、データ情報を伝送するための配線パターンを導通させるビアをそれぞれ所定の配列にて配置したが、これに限らず、制御ROM配置領域192外にて夫々のビアを所定の配列で配置するようにしてもよい。この場合、制御ROM配置領域192を活かすことはできないが、制御ROM配置領域192の外側から制御ROM105の端子へと配線パターンを接続することになるので、制御ROMの端子ごとの接続状況を確認し易くなるというメリットが生じる。ただし、制御ROM配置領域192を使用する場合に比べて、必要な配線スペースが比較的多くなってしまいうので、比較的スペースに余裕がある場合にそのような構成を採用することが望ましい。

30

#### 【0287】

図27に示すように、制御ROM105の端子のうちOE#、WE#、BYTE#、WP#/ACCなどの特別な端子の配線パターンについては、制御ROM配置領域192の外側から端子へと配線パターンを接続することで、接続状況を確認し易くなるように構成してもよい。また、CE#、RESET#についても同様の構成とするようにしてもよい。ただし、実施形態においてはチップセレクト信号を入力するためのチップセレクト入力端子であるCE#や、リセット信号を入力するためのリセット端子であるRESET#については、ゴトや不具合の対象となり易いため、配線パターンを不正改造されないように制御ROM配置領域192内から各端子へと配線パターンを接続している。

40

#### 【0288】

図26に示すように、複合チップ104の端子と複合チップ配置領域191内のビアに

50

関して、Y軸方向（及び／又はX軸方向）に直線状に並んだ複合チップの端子と同様に、複合チップ配置領域191内のビアもY軸方向（及び／又はX軸方向）に直線状に並ぶように配置することで、各端子の配列とビアの配列の確認が容易となるようにするとともに、スペース的に余裕の少ない複合チップ配置領域191内において、ビアを整列した形で配置することができる。

【0289】

また図26に示すように、Y軸方向（及び／又はX軸方向）に直線状に並んだ複合チップ104の端子と、Y軸方向（及び／又はX軸方向）に直線状に並んだビアは、それぞれY軸方向（及び／又はX軸方向）に重ならない位置となるように配列することが望ましい。このように構成することで、例えば隣り合う又は近傍に位置する端子を避けてビアを配列

10

【0290】

また図26に示すように、複合チップ配置領域191内のビアは、複合チップ配置領域191の外周近傍に配置される外側端子（例：HAD18，HAD14，HAD10，HAD6，HAD21，HDT12，HDT7，HDT4，HDT0）及び／又はその内側に配置された端子（例：HAD17，HAD13，HAD9，HAD5，HAD22，HDT13，HDT8，HDT5，HDT1）と、それぞれX軸方向（及び／又はY軸方向）に重ならない位置に配列することが望ましい。これにより、外側端子及び／又はその内側に配置された端子を避けてビアを配列することができるので、ビアからの配線パターンが配置し易くなる。つまり、第1配線層L1において、外側端子及び／又はその内側に配置された端子を避けてビアを配列しておけば、異なる配線層においてビアから配線パターンを引き出す際に、外側端子及び／又はその内側に配置された端子を気にすることなく、X軸方向（及び／又はY軸方向）に向かって直線的に配線パターンを引き出すことが可能となる。

20

【0291】

また、図26に示す複合チップ配置領域191の外周近傍に配置される外側端子（例：HAD18，HAD14，HAD10，HAD6，HAD21，HDT12，HDT7，HDT4，HDT0）及び／又はその内側に配置された端子（例：HAD17，HAD13，HAD9，HAD5，HAD22，HDT13，HDT8，HDT5，HDT1）を避けるように配置されたビア（例：V11～V24等）に関して、第1特定のビア（例：v18～v24）と、第1特定のビアよりも複合チップ104の内側に配置されている第2特定のビア（例：v11～v17）については、外側端子及び／又はその内側に配置された端子を避けた結果、第1配線層L1ではX軸方向に夫々重なるように配置されている。この場合に、第1特定のビアよりも複合チップ104の内側に配置されている第2特定のビアについては、例えば、図31に示すような第1配線層L1とは異なる配線層において、第1特定のビアを避けるように配線パターンを配線するように構成してもよい。このように、複数の配線層を利用して、複合チップ配置領域191の外周近傍に配置される外側端子及び／又はその内側に配置された端子を避けるように、複合チップ配置領域191の内側に配置された第1特定のビアや第2特定のビアを設け、さらに第1特定のビアを避けるように第2特定のビアから引き出された配線パターンを設けるように構成してもよい。これにより、比較的配線スペースに余裕のない複合チップ配置領域191内から複合チップ配置領域191外へと効率的に配線パターンを引き出すことが可能となる。また、ここでは図26や図31に基づいて、特定の端子や特定のビアを例に示したが、これに限らず、その他の端子やビアについても同様の構成とするようにしてもよい。例えば、図26では複合チップ104の一縁部側を例にしているが、他縁部側においても同様の構成となるようにしてもよい。また、複合チップ配置領域191内の第1配線層L1に比較的配線スペースがある場合には、第1配線層L1において、第1特定のビアをX軸方向（及び／又はY軸方向）に避けるように第2特定のビアを設置するように構成してもよい。

30

40

【0292】

前述したとおり、図26に示す複合チップ配置領域191内のビアを、Y軸方向（及び／又はX軸方向）に直線状に並ぶように配置する構成としたことで、当然ながら図31に

50

示す異なる配線層においても複合チップ配置領域 191 内のビアは Y 軸方向（及び/又は X 軸方向）に直線状に並ぶ構成となる。ここで、第 1 ビア（例：v 2 1）と、第 1 ビアよりも複合チップ配置領域 191 の内側に位置する第 2 ビア（例：v 1 4）と、第 2 ビアよりも複合チップ配置領域 191 の内側に位置する第 3 ビア（例：v 6）とがあり、第 1 ビアは X 軸方向に直線状に引き出された配線パターンにより複合チップ配置領域 191 外へと進行し、第 2 ビアは第 1 ビアを避ける方向に第 1 距離引き出された配線パターンを経て X 軸方向に直線状に引き出された第 1 配線パターン及び接続先である制御 ROM 105 が位置する方向に向かう形で直線状に引き出された第 2 配線パターンにより複合チップ配置領域 191 外へと進行し、第 3 ビアは第 1 ビア及び/又は第 2 ビアを避ける方向に第 1 距離引き出された配線パターン（第 2 ビアから第 1 ビアを避ける方向に第 1 距離引き出された配線パターンと同一方向）と、Y 軸方向に直線状に引き出された配線パターン（ここまでの配線パターン長は、第 2 ビアから第 1 ビアを避ける方向に第 1 距離引き出された配線パターンよりも長い）を経て、X 軸方向に直線状に引き出された第 1 配線パターン及び接続先である制御 ROM 105 が位置する方向に向かう形で直線状に引き出された第 2 配線パターンにより複合チップ配置領域 191 外へと進行するように構成されている。このように、第 1 ビア、第 2 ビア、第 3 ビアの順に、複合チップ配置領域 191 の内側に向けて配置される場合には、まず複合チップ配置領域 191 内に、外側に位置するビアを避けるように配線パターンを設けるように構成してもよい。これにより、複合チップ配置領域 191 内の配線スペースを有効に活用することができる。

#### 【0293】

また前述の例では、特定のビアを例に第 1 ビア、第 2 ビア、第 3 ビアの関係性を示したが、これに限らず、図示するその他のビアにおいても同様の構成とすることが望ましい。このように、複数箇所において同様の構成とすることで、単数箇所を実施するよりも、より効果的に複合チップ配置領域 191 内の配線スペースを有効に活用することができる。また前述の例は、複合チップ配置領域 191 内の第 1 配線層 L1 とは異なる配線層にて実施する点を示したが、これに限らず第 1 配線層 L1 にて実施するように構成してもよい。しかしながら、第 1 配線層 L1 においては複合チップ 104 の端子が複数配列されているため、比較的配線スペースに余裕がないことが想定されるので、第 1 配線層 L1 とは異なる配線層での実施が望ましい。

#### 【0294】

また図 26 の例では、HAD1 から HAD0 まで Y 軸方向に直線状に並んだ複合チップ 104 の各端子のように、それぞれの端子から引き出される配線パターンの引き出し方向は異なる（例：HAD1, HAD0 は - X - Y 方向、HAD8, HAD3, HAD15, HAD20 は + X - Y 方向、HAD11 は - X + Y 方向）が、各端子と接続されるビアの配列は Y 軸方向に直線状に配置されている。このように、Y 軸方向（及び/又は X 軸方向）に直線状に並んだ複合チップ 104 の端子とそれぞれ配線パターンにより接続されるビア同士を Y 軸方向（及び/又は X 軸方向）に直線状に並ぶように配置させる必要はなく、Y 軸方向（及び/又は X 軸方向）に直線状に並んだ関係のない複合チップ 104 の端子とそれぞれ配線パターンにより接続されるビア同士を Y 軸方向（及び/又は X 軸方向）に直線状に並ぶように配置させてもよい。このように構成したとしても、結果的に複合チップ 104 の端子配列とビアの配列を Y 軸方向（及び/又は X 軸方向）に直線状に並ぶように配置させることができるので、前述の内容と同様の効果を奏することが可能となる。

#### 【0295】

図 26 の例では、Y 軸方向に直線上に並んだ複合チップ 104 の複数の端子（例：HDT6, HDT10, HDT15, HAD24）からは、略同一方向に配線パターンが引き出され、それぞれ複合チップ配置領域 191 内で Y 軸方向に直線状に並ぶようにビア（例：v 17 ~ v 14）が配列されている。そして図 31 に示すように、これらのビアを介して第 1 配線層 L1 から第 4 配線層 L4 へ導通され、第 4 配線層 L4 から配線パターンが引き出される構成となっている。このように、ビアからの導通先（ここでは第 4 配線層 L4）が共通している複合チップ 104 の端子同士に関して、各端子から同一方向に配線パタ

10

20

30

40

50

ーンを引き出すように構成してもよい。また、同様に各端子と接続されるビアを複合チップ配置領域 191 内で Y 軸方向に直線状に並ぶように配列するようにしてもよい。またこの場合、図 26 に示すように、アドレス情報を出力するためのアドレス出力端子と、データ情報を入出力するためのデータ入出力端子とを前述の構成とするようにしてもよいし、アドレス情報を出力するためのアドレス出力端子のみ又はデータ情報を入出力するためのデータ入出力端子のみで前述の構成とするようにしてもよい。このように構成することで、各端子の配列とビアの配列及び接続経路となる配線パターンについても確認が容易となる。また、ビアからの導通先（ここでは第 4 配線層 L4）が共通している複合チップ 104 の端子同士のみならず、ビアから配線パターンを通じて接続先（例：制御 ROM 105）へと接続される接続先の種類が共通している複合チップ 104 の端子同士を前述の構成となるようにしてもよい。また、ビアから配線パターンを通じて接続先（例：制御 ROM 105）へと接続されるまでの配線経路（どの配線層を通過するか、どのような配線パターンにより配線されているか等）が略共通している複合チップ 104 の端子同士を前述の構成となるようにしてもよい。このように構成することで、各端子の配列とビアの配列及び接続経路となる配線パターンについても確認が容易となる。

10

#### 【0296】

以上の説明では、「制御 ROM 配置領域 192 内のビア v60～v85，v87～v107（特定層間導通部）の配列を、対応する制御 ROM 105 側の端子（特定第 2 端子）の配列と近似させている。」等のように「近似」の語を用いたが、この「近似」とは、接続関係にある全ての端子とビアとで配列が一致しているものでもよいし、接続関係にある一部の端子とビアとで配列が一致しているものでもよい。また、接続関係にあるものが複数ある場合（例：所定のビアに対して制御 ROM の端子とコネクタ端子）には、片方又は両方の端子の配列と一致しているものでもよい。また、接続先が複数ある場合に、それらが同一の電子部品であれば問題ないが、異なる電子部品である場合には、両方の端子の配列が異なっている可能性が高い。その場合、両方の端子の配列と完全一致するビア配列というのは現実的に不可能である。そこで、できる限り両方の端子の配列と一致させるために、一部共通の配列となるように構成してもよい。例えば、第 1 接続先の端子の一部の配列（制御 ROM 105 の端子の一部の配列）と、第 2 接続先の端子の一部の配列（コネクタの端子の一部の配列）と、それぞれの一部の配列と対応するビア配列があってもよいし、第 1 接続先の端子の一部の配列（制御 ROM の端子の一部の配列）と対応するが、第 2 接続先の端子の一部の配列（コネクタの端子の一部の配列）には対応しない第 1 ビア配列と、第 1 接続先の端子の一部の配列（制御 ROM の端子の一部の配列）には対応しないが、第 2 接続先の端子の一部の配列（コネクタの端子の一部の配列）には対応する第 2 ビア配列と、を備えるような構成であってもよい。そして、このようなビアの配列に関しても、前述の「近似」の関係にあるものとする。

20

30

#### 【0297】

基板の組み立てに関して、「組み立て」とは、複数の基板を組み合わせて 1 の制御基板が完成されるものであってもよいし、1 枚の基板に対してコネクタにハーネスを挿して導電可能な状態とし、またハーネスを介してその他の基板と接続させるものであってもよい。また、複数の基板が 1 枚の基板かに限らず、基板に対して動作に必要な種々の電子部品を取り付けた状態であってもよい。

40

#### 【0298】

以上の実施例の内容は如何様にも組み合わせることが可能であり、組み合わせることでより効果的に配線効率が高まるとともに、ノイズや不正行為に強い基板構成とすることが可能となる。

#### 【0299】

また、図示している全ての端子配列や配線パターン、電子部品の設置位置等に関しては、最適解を求めて構築したものであり、図示した全ての構成が組み合わせられた結果、より好適な配線効率、基板の縮小化、ノイズ低減が可能となっているものである。

#### 【0300】

50

また本発明は、アレンジボール機、雀球遊技機等の各種弾球遊技機その他、スロットマシン等の弾球遊技機以外の遊技機においても同様に実施することが可能である。

【符号の説明】

【 0 3 0 1 】

9 8	液晶制御基板（基板）	
1 0 4	複合チップ（チップ）	
1 0 5	制御ROM（ROM）	
1 9 1	複合チップ配置領域（第1配置領域）	
1 9 2	制御ROM配置領域（第2配置領域）	
v 0 ~	ビア（層間導通部）	10
L 1		
~ L 6	第1 ~ 第6配線層	

20

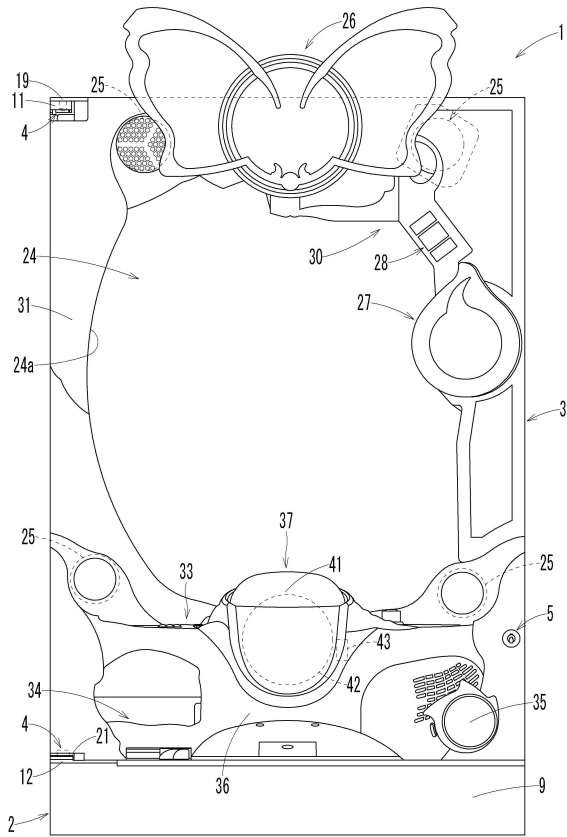
30

40

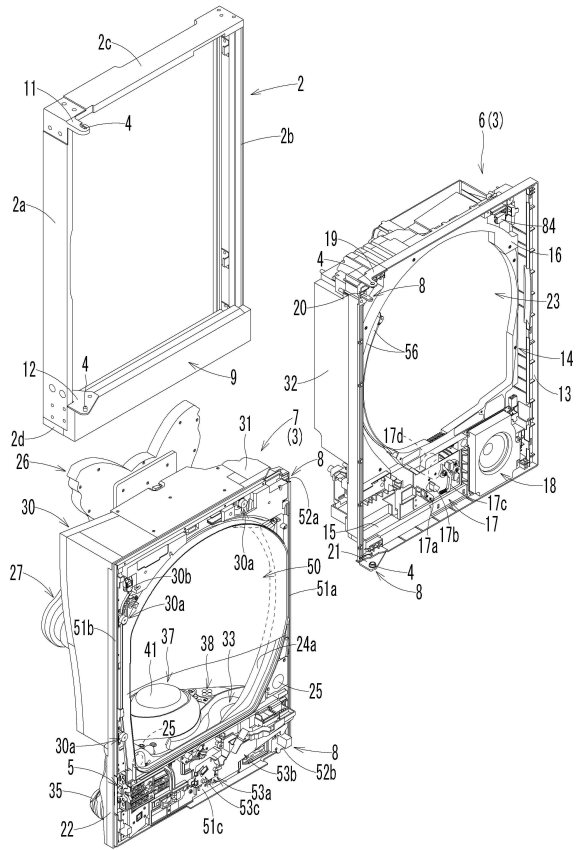
50

【 図面 】

【 図 1 】



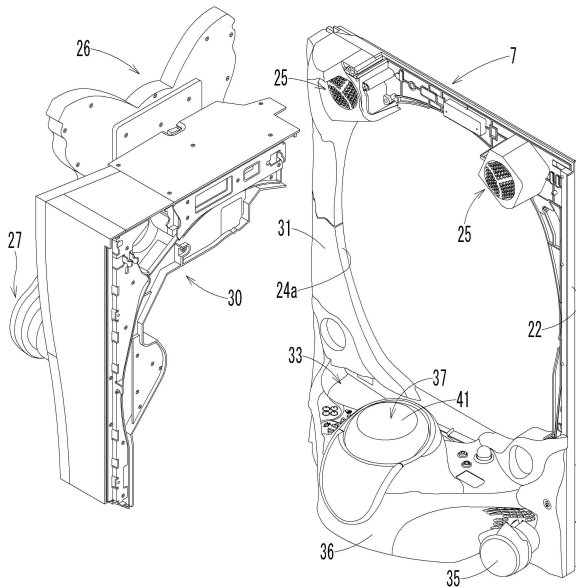
【 図 2 】



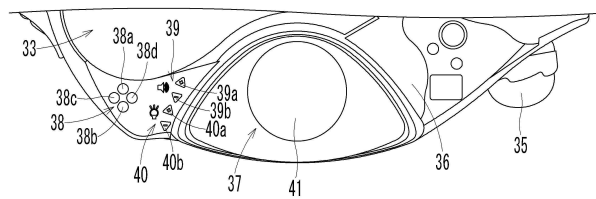
10

20

【 図 3 】



【 図 4 】



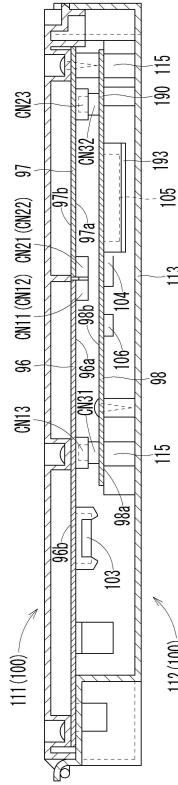
30

40

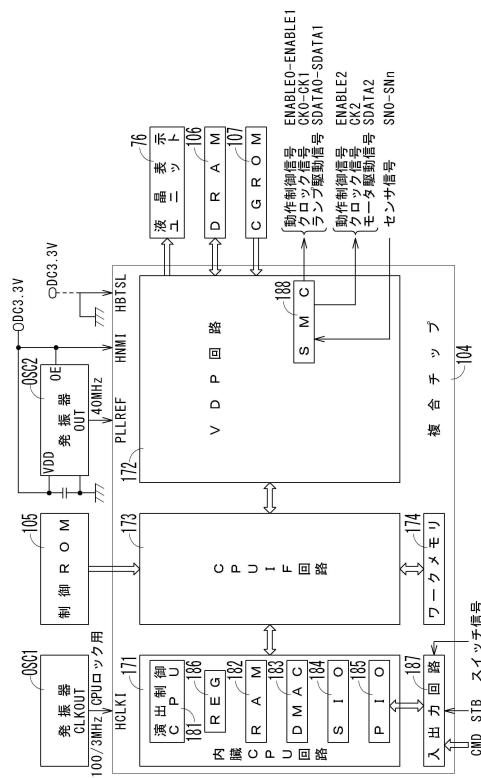
50



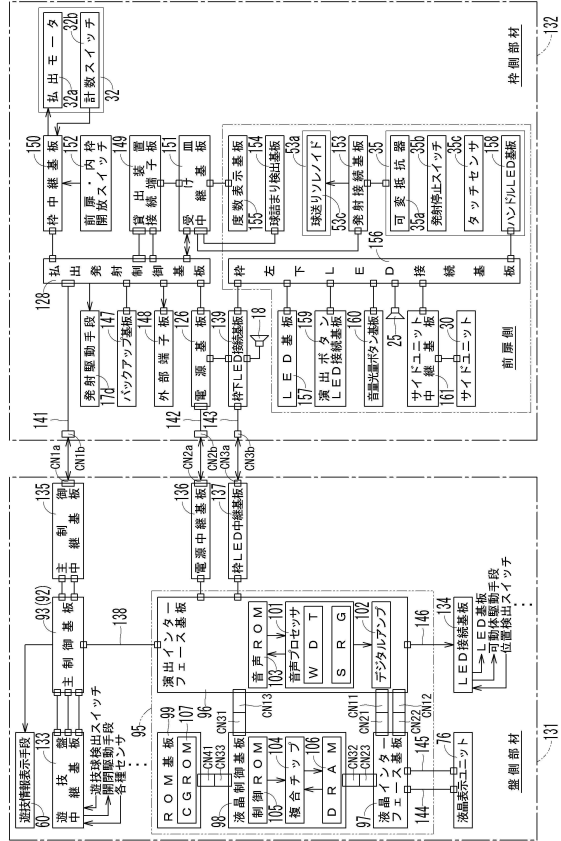
【図 9】



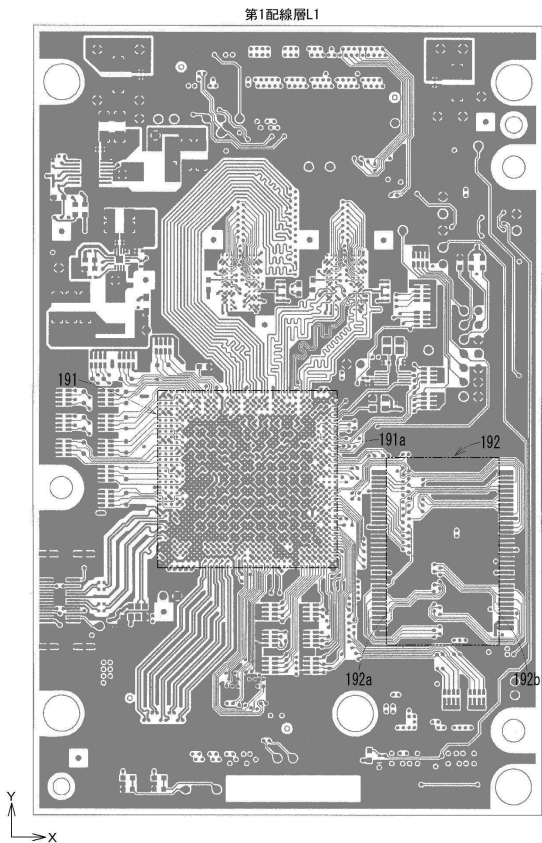
【図 11】



【図 10】



【図 12】



10

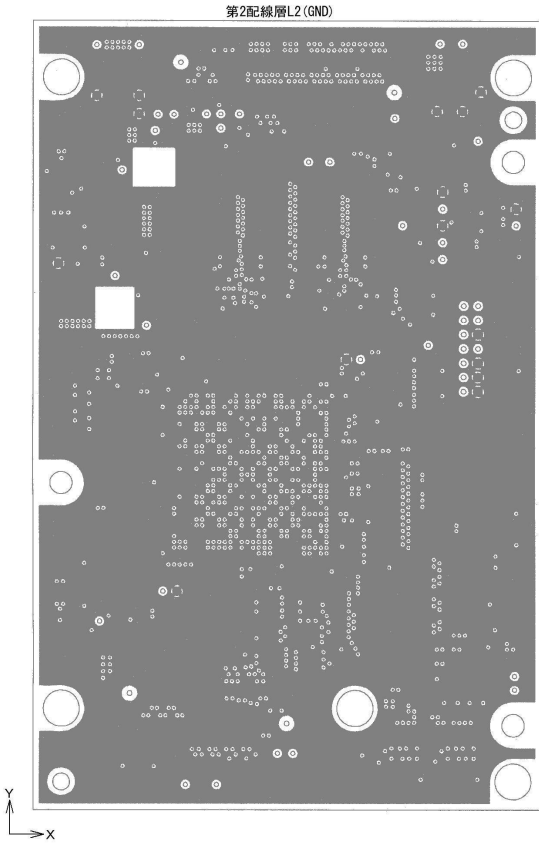
20

30

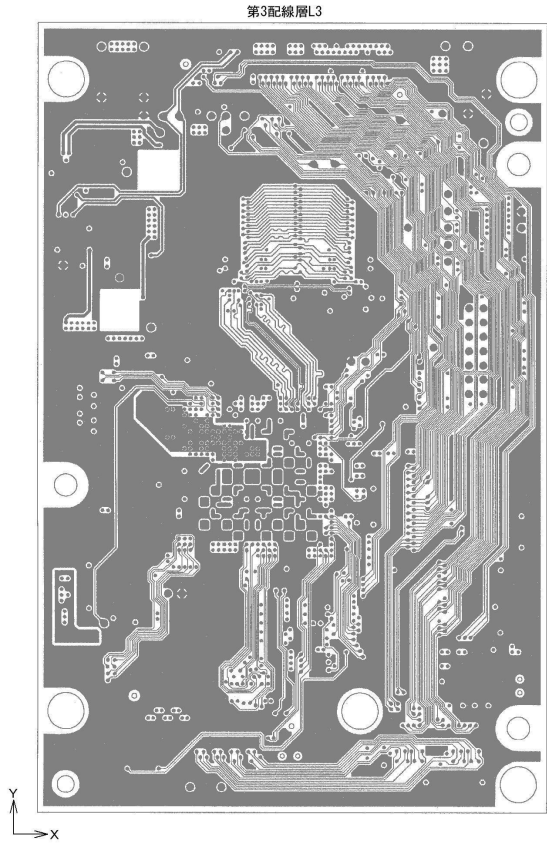
40

50

【 図 1 3 】



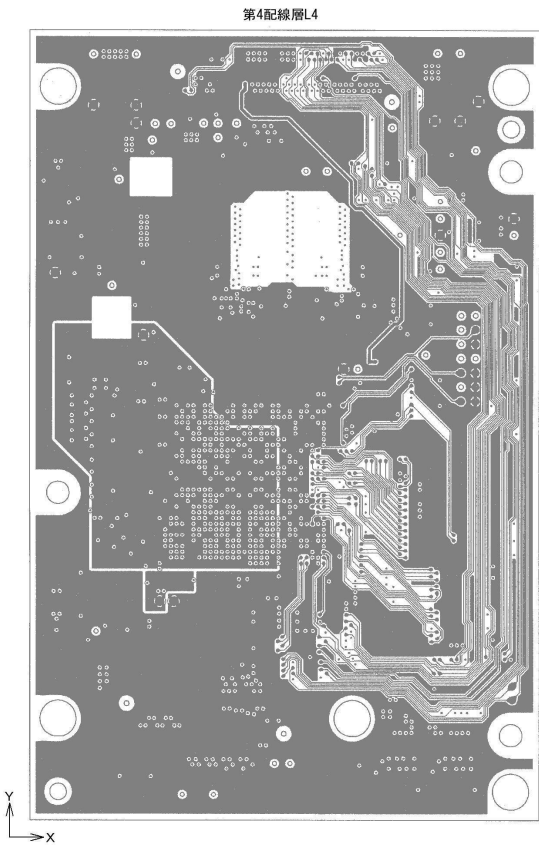
【 図 1 4 】



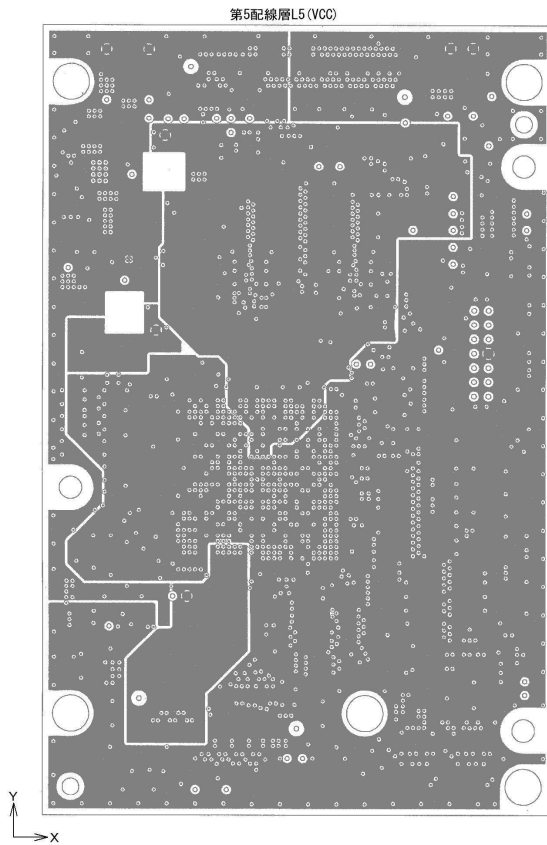
10

20

【 図 1 5 】



【 図 1 6 】

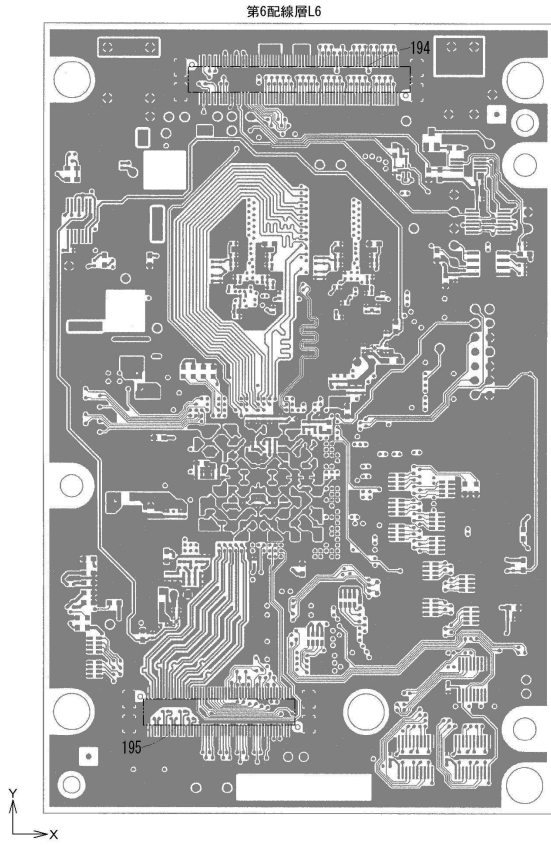


30

40

50

【 図 1 7 】



【 図 1 8 】

複合チップ104の端子情報

				GND	GND	2	
				GND	PLLMD2	HCLKMD	3
		PLLMD0	PLLMD1	DREFCLKI	HRESET		4
	HASEMDN	DCLKB1	DCLKA1	SCLK1	HCLK1		5
GND	DCLKC1	TMS	TRSTN	TDO	PLLREF		6
GND	GND	HWA1T	HRD	TCK	TDI		7
GND	GND	HDREQ	HDACK	HIRQ0	HIRQ1		8
GND	GND	HIRQ2	HIRQ3	HWR0	HWR1		9
VDD10	HWR2	HAD0	GND	HCS3	HCS4		10
VDD10	HAD19	HAD20	HCS0	HCS1	HCS2		11
GND	GND	HAD15	HAD16	HAD17	HAD18		12
GND	GND	HAD11	HAD12	HAD13	HAD14		13
VDD10	HAD7	HAD8	GND	HAD9	HAD10		14
VDD10	HAD2	HAD3	HAD4	HAD5	HAD6		15
GND	GND	HAD1	HAUDATA3	HAUDATA2	HAUDATA1		16
GND	GND	HAUDATA0	HAUDCK	HAUSYNC	HASEBRK/AK		17
VDD10	HUBCTRG	HNW1	GND	HIRQOUT	HWDTINTN		18
VDD10	HAD25	HAD24	HAD23	HAD22	HAD21		19
GND	GND	HDT15	HDT14	HDT13	HDT12		20
GND	HDT11	HDT10	HDT9	HDT8	HDT7		21
VDD10	GND	HDT6	GND	HDT5	HDT4		22
GND	GND	HDT3	HDT2	HDT1	HDT0		23
		HRXD0	HRXD1	HRXD2	HRXD3		24
			HTXD1	HTXD2	HTXD3		25
				HSCK2	HSCK3		26

10

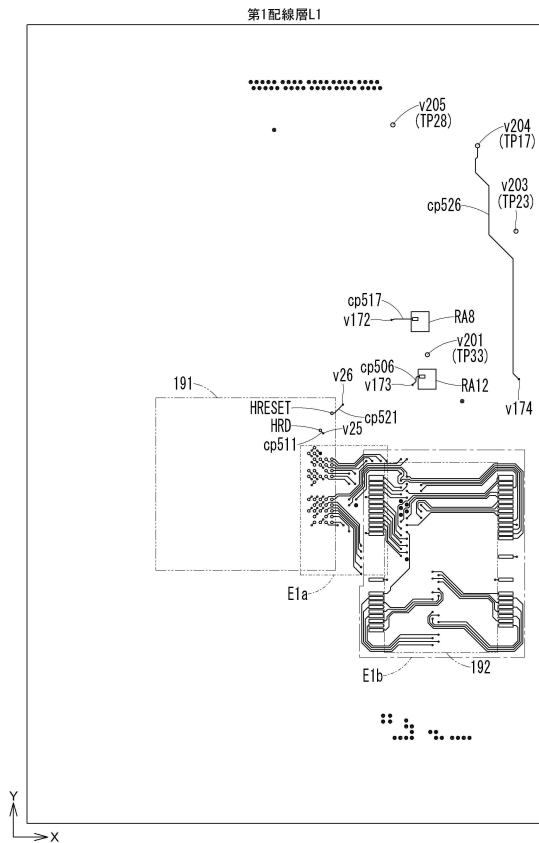
20

【 図 1 9 】

制御ROM105の端子情報

A20	1	70	A19
A21	2	69	A8
A18	3	68	A15
A17	4	67	A10
OE#	5	66	A11
A6	6	65	A12
A5	7	64	A13
A4	8	63	A14
A3	9	62	A9
A2	10	61	A16
A1	11	60	WE#
A0	12	59	A24
BYTE#	13	58	A22
GND	14	57	A23
NC	15	56	GND
NC	16	55	NC
NC	17	54	NC
NC	18	53	WP#/ACC
NC	19	52	NC
NC	20	51	NC
GND	21	50	NC
NC	22	49	GND
CE#	23	48	RESET#
GND	24	47	GND
NC	25	46	GND
A7	26	45	Q15/A-1
Q0	27	44	Q7
Q8	28	43	Q14
Q1	29	42	Q6
Q9	30	41	Q13
Q2	31	40	Q5
Q10	32	39	Q12
Q3	33	38	Q4
Q11	34	37	VCC
NC	35	36	VCC

【 図 2 0 】

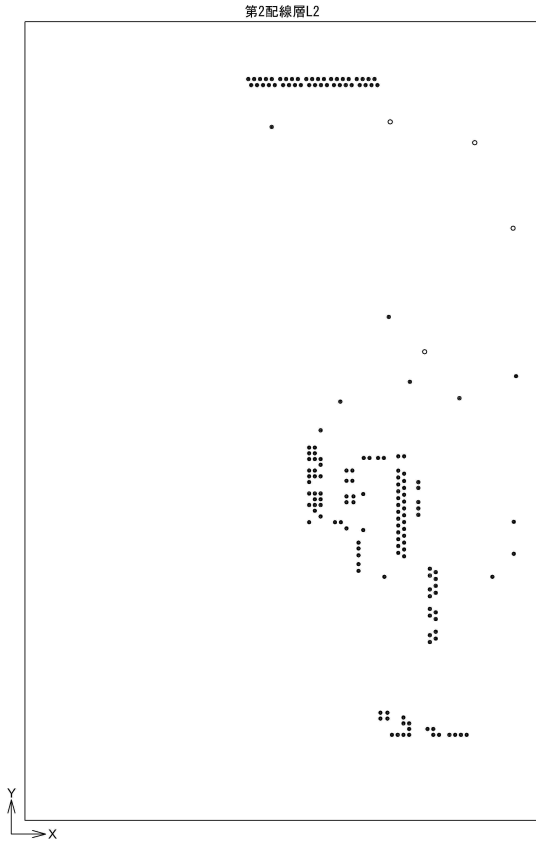


30

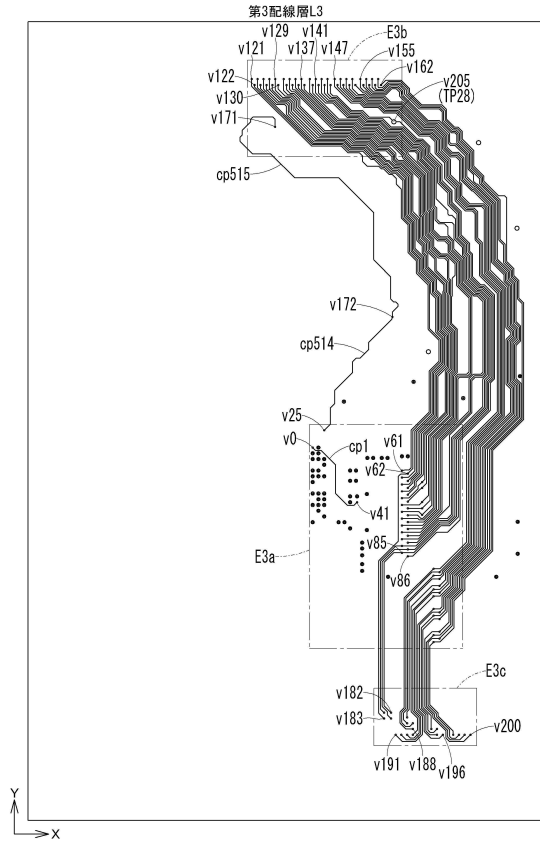
40

50

【 図 2 1 】



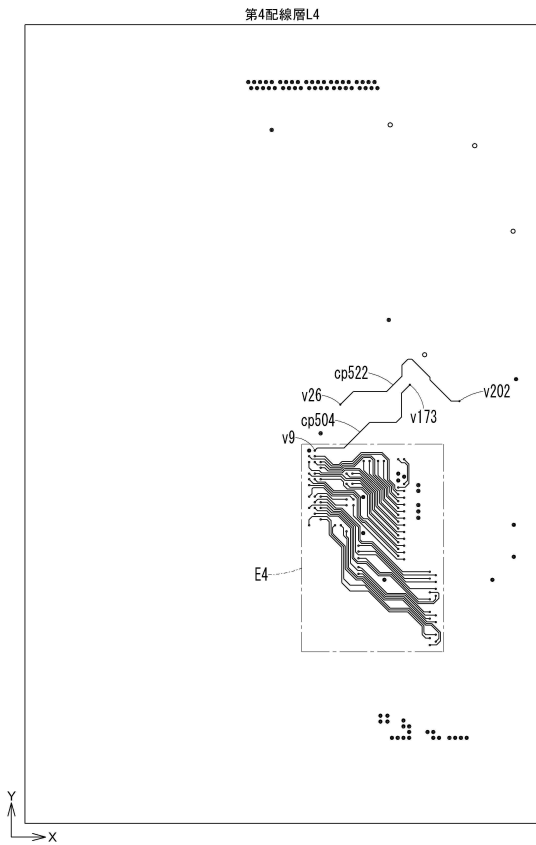
【 図 2 2 】



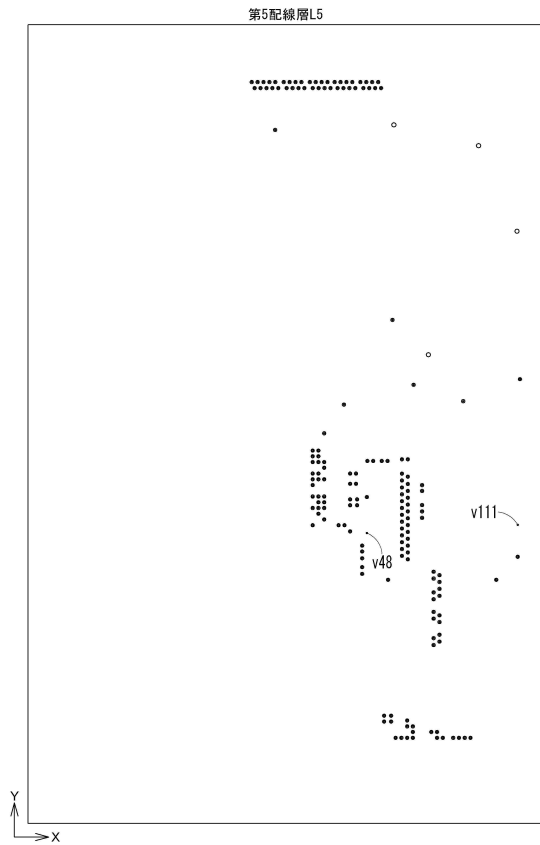
10

20

【 図 2 3 】



【 図 2 4 】



30

40

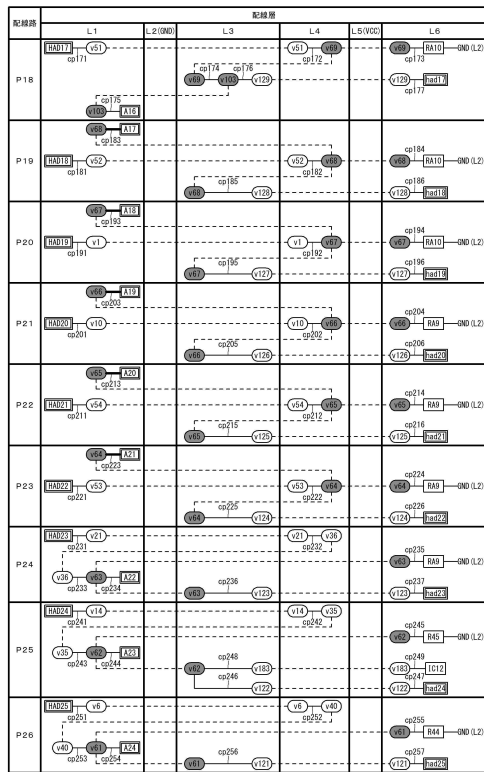
50



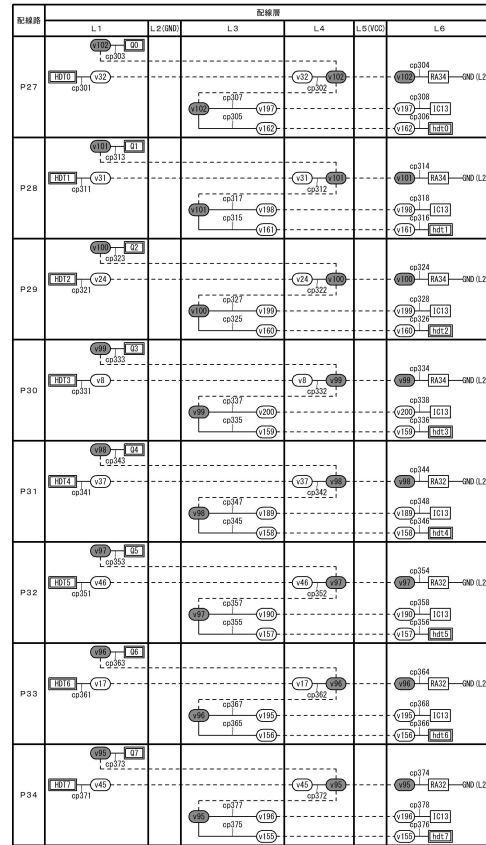




【図 3 7】



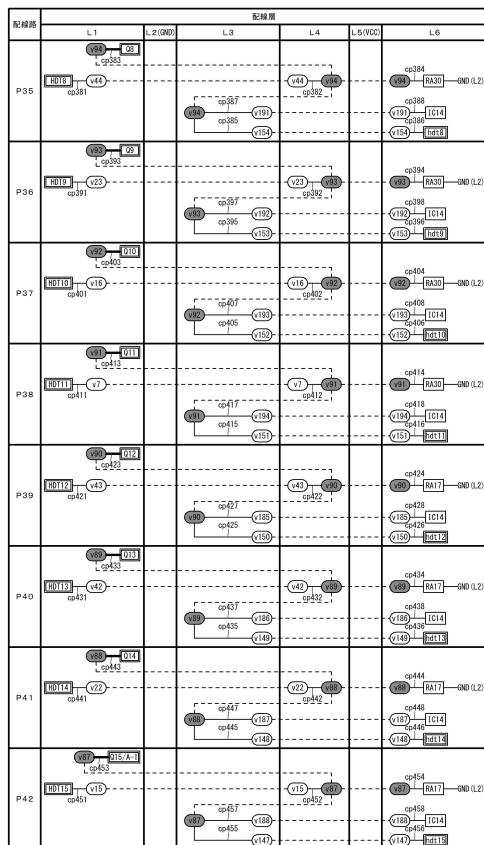
【図 3 8】



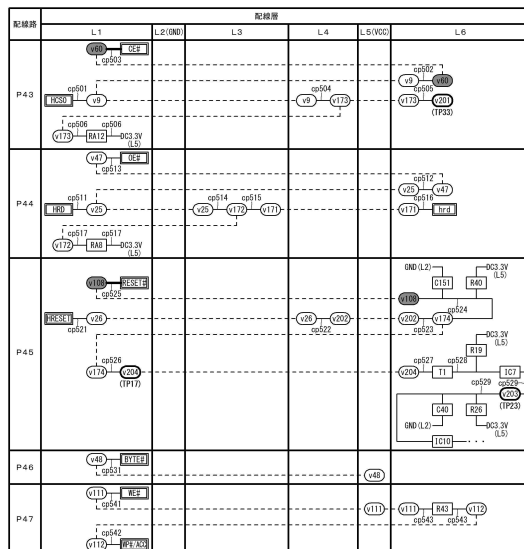
10

20

【図 3 9】



【図 4 0】

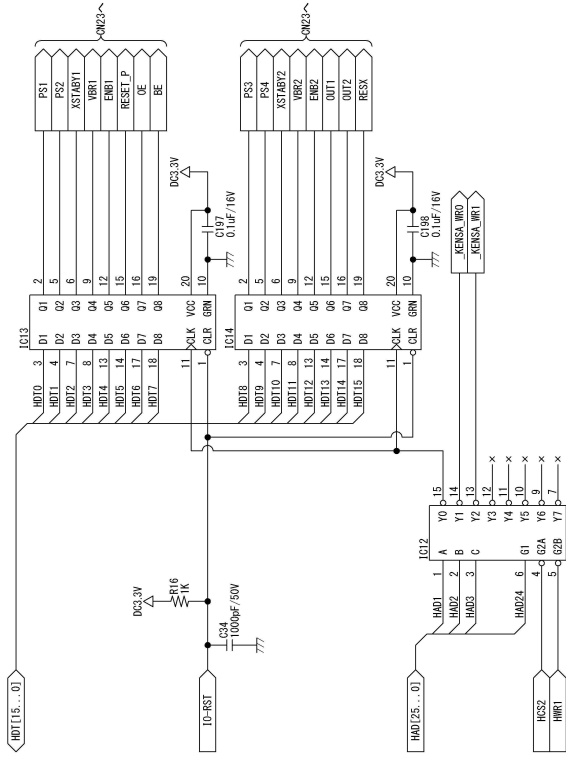


30

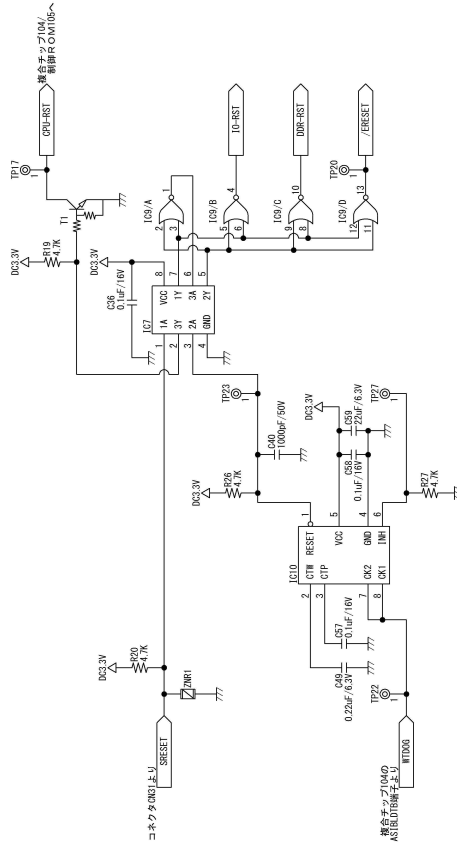
40

50

【図 4 1】



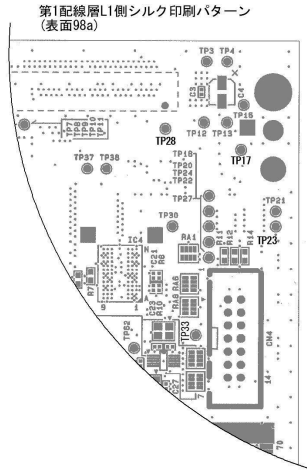
【図 4 2】



10

20

【図 4 3】



30

40

50

---

フロントページの続き

- (56)参考文献 特開2009-273566(JP,A)  
特開平07-050476(JP,A)
- (58)調査した分野 (Int.Cl., DB名)  
A63F 7/02