

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8238 (2006.01)

G02F 1/136 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410098272.6

[45] 授权公告日 2009 年 8 月 5 日

[11] 授权公告号 CN 100524694C

[22] 申请日 1999.11.17

[21] 申请号 200410098272.6

分案原申请号 99127754.6

[30] 优先权

[32] 1998.11.17 [33] JP [31] 327180/98

[32] 1998.12.28 [33] JP [31] 373222/98

[32] 1999.7.22 [33] JP [31] 206958/99

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平

[56] 参考文献

JP10-104659 A 1998.4.24

US 4394182 A 1983.6.19

JP10-233511 A 1998.9.2

审查员 吴晓达

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 张志醒

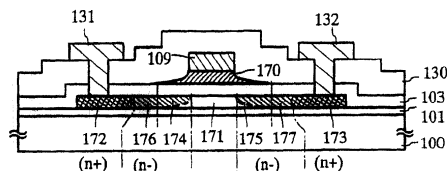
权利要求书 9 页 说明书 47 页 附图 37 页

[54] 发明名称

制造半导体器件的方法

[57] 摘要

提供一种可靠性得到改善的薄膜晶体管。栅极包括具有锥形部分的第一栅极和宽度比第一栅极窄的第二栅极。对半导体层经第一栅极掺入低浓度的磷。在半导体层中，在沟道形成区和 n^+ 型杂质区之间形成两种 n^- 型杂质区。一些 n^- 型杂质区与栅极交叠，而其它 n^- 型杂质区不与栅极交叠。由于形成两种 n^- 型杂质区，可降低截止电流，并可抑制性能的退化。



1. 一种制造有源矩阵显示器件的方法，所述方法包括如下步骤：
形成与半导体层接触的绝缘膜；
在半导体层上形成具有锥形部分的栅极，所述绝缘膜插在半导体层与栅极之间；
第一次经该栅极的锥形部分将一种导电类型的第一杂质加入到该半导体层中；以及
第二次在没有经过栅极的情况下，将一种导电类型的第二杂质加入到半导体层中；
其中所述锥形部分形成在栅极的侧面与栅极的底面之间，
其中栅极的锥形部分的角度范围是 $3-60^{\circ}$ ，并且
其中第一杂质和第二杂质都是磷或砷。
2. 根据权利要求1的制造有源矩阵显示器件的方法，其中，在第二步添加步骤中，使用覆盖栅极并且其宽度在沟道长度方向上比栅极宽的掩模，将第二杂质加入到半导体层中。
3. 根据权利要求1的制造有源矩阵显示器件的方法，其中，所述有源矩阵显示器件是有源矩阵液晶显示器件。
4. 一种制造有源矩阵显示器件的方法，所述方法包括如下步骤：
形成与半导体层接触的绝缘膜；
形成与绝缘膜接触的第一导电膜；
形成与第一导电膜接触的第二导电膜；
通过对第一导电膜和第二导电膜进行构图形成栅极；
其中该栅极包括具有锥形部分的第一栅极和形成在第一栅极上的第二栅极；
其中第二栅极在沟道长度方向上具有比第一栅极要窄的宽度；
第一次经第一栅极的锥形部分将一种导电类型的第一杂质加入到该半导体层中；以及
第二次在没有经过栅极的情况下，将一种导电类型的第二杂质加入到半导体层中；

其中所述锥形部分形成在第一栅极的侧面与第一栅极的底面之间，

其中第一栅极的锥形部分的角度范围是 $3-60^{\circ}$ ，并且

其中第一杂质和第二杂质都是磷或砷。

5. 根据权利要求 4 的制造有源矩阵显示器件的方法，其中，使用覆盖第一栅极并且其宽度在沟道长度方向上比第一栅极宽的掩模，将第二杂质加入到半导体层中。

6. 根据权利要求 4 的制造有源矩阵显示器件的方法，其中，所述绝缘膜是单层的氧化硅、氮化硅或氮氧化硅。

7. 根据权利要求 4 的制造有源矩阵显示器件的方法，其中，所述绝缘膜是包括氮氧化硅膜和氧化硅膜的多层。

8. 根据权利要求 4 的制造有源矩阵显示器件的方法，其中，所述第一栅极包括选自铬、钽、钛、钨和钼的金属。

9. 根据权利要求 4 的制造有源矩阵显示器件的方法，其中，所述第二栅极包括选自铝、铜、铬、钽、钛、钨和钼的金属。

10. 根据权利要求 4 的制造有源矩阵显示器件的方法，其中，所述角度范围是 $5-45^{\circ}$ 。

11. 一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的有源矩阵显示器件的方法，所述方法包括如下步骤：

形成第一半导体层和第二半导体层；

形成与第一半导体层和第二半导体层接触的绝缘膜；

在第一半导体层和第二半导体层上形成第一导电膜，所述绝缘膜插在第一半导体层和第二半导体层与第一导电膜之间；

在第一导电膜上形成第二导电膜；

刻蚀第二导电膜以形成第二栅布线；

刻蚀第一导电膜以形成具有锥形部分的第一栅布线；

首先通过第一栅布线的锥形部分将第一 n 型杂质加入到第一半导体层中；

第二次将第二 n 型杂质加入到第一半导体层中而不通过第一栅布线；和

利用第一栅布线和第二栅布线作为掩模第三次将 p 型杂质加入到第二半导体层中；

其中所述锥形部分形成在第一栅布线的侧面与第一栅布线的底面之间，

其中在第一半导体层上的第一栅布线的锥形部分的角度范围是 $3-60^{\circ}$ ，并且

其中第一 n 型杂质和第二 n 型杂质都是磷或砷。

12. 根据权利要求 11 的制造有源矩阵显示器件的方法，其中，所述绝缘膜是单层的氧化硅、氮化硅或氮氧化硅。

13. 根据权利要求 11 的制造有源矩阵显示器件的方法，其中，所述绝缘膜是包括氮氧化硅膜和氧化硅膜的多层。

14. 根据权利要求 11 的制造有源矩阵显示器件的方法，其中，所述第一栅布线包括选自铬、钽、钛、钨和钼的金属。

15. 根据权利要求 11 的制造有源矩阵显示器件的方法，其中，所述第二栅布线包括选自铝、铜、铬、钽、钛、钨和钼的金属。

16. 根据权利要求 11 的制造有源矩阵显示器件的方法，其中，所述角度范围是 $5-45^{\circ}$ 。

17. 一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的有源矩阵显示器件的方法，所述方法包括如下步骤：

形成第一半导体层和第二半导体层；

形成与第一半导体层和第二半导体层接触的绝缘膜；

在第一半导体层和第二半导体层上形成第一导电膜，所述绝缘膜插在第一半导体层和第二半导体层与第一导电膜之间；

在第一导电膜上形成第二导电膜；

刻蚀第二导电膜以形成第二栅布线；

刻蚀第一导电膜以形成具有锥形部分的第一栅布线；

首先利用第一栅布线和第二栅布线作为掩模将 p 型杂质加入到第二半导体层中；

第二次通过第一栅布线的锥形部分将第一 n 型杂质加入到第一半导体层中；和

第三次将第二 n 型杂质加入到第一半导体层中而不通过第一栅布线；

其中所述锥形部分形成在第一栅布线的侧面与第一栅布线的底面之间，

其中在第一半导体层上的第一栅布线的锥形部分的角度范围是 $3-60^{\circ}$ ，并且

其中第一 n 型杂质和第二 n 型杂质都是磷或砷。

18. 根据权利要求 17 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是单层的氧化硅、氮化硅或氮氧化硅。

19. 根据权利要求 17 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是包括氮氧化硅膜和氧化硅膜的多层。

20. 根据权利要求 17 的制造有源矩阵显示器件的方法, 其中, 所述第一栅布线包括选自铬、钽、钛、钨和钼的金属。

21. 根据权利要求 17 的制造有源矩阵显示器件的方法, 其中, 所述第二栅布线包括选自铝、铜、铬、钽、钛、钨和钼的金属。

22. 根据权利要求 17 的制造有源矩阵显示器件的方法, 其中, 所述角度范围是 $5-45^{\circ}$ 。

23. 一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的有源矩阵显示器件的方法, 所述方法包括如下步骤:

形成第一半导体层和第二半导体层;

形成与第一半导体层和第二半导体层接触的绝缘膜;

在第一半导体层和第二半导体层上形成第一导电膜, 所述绝缘膜插在第一半导体层和第二半导体层与第一导电膜之间;

在第一导电膜上形成第二导电膜;

刻蚀第二导电膜以形成第二栅布线;

刻蚀第一导电膜以形成具有锥形部分的第一栅布线;

首先利用第一栅布线和第二栅布线作为掩模将 p 型杂质加入到第二半导体层中;

第二次将第一 n 型杂质加入到第一半导体层中而不通过第一栅布线; 和通过第一栅布线的锥形部分第三次将第二 n 型杂质加入到第一半导体层中;

其中所述锥形部分形成在第一栅布线的侧面与第一栅布线的底面之间, 其中在第一半导体层上的第一栅布线的锥形部分的角度范围是 $3-60^{\circ}$, 并且

其中第一 n 型杂质和第二 n 型杂质都是磷或砷。

24. 根据权利要求 23 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是单层的氧化硅、氮化硅或氮氧化硅。

25. 根据权利要求 23 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是包括氮氧化硅膜和氧化硅膜的多层。

26. 根据权利要求 23 的制造有源矩阵显示器件的方法, 其中, 所述第一栅布线包括选自铬、钽、钛、钨和钼的金属。

27. 根据权利要求 23 的制造有源矩阵显示器件的方法, 其中, 所述第二栅布线包括选自铝、铜、铬、钽、钛、钨和钼的金属。

28. 根据权利要求 23 的制造有源矩阵显示器件的方法, 其中, 所述角度范围是 $5-45^{\circ}$ 。

29. 一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的有源矩阵显示器件的方法, 所述方法包括如下步骤:

形成第一半导体层和第二半导体层;

形成与第一半导体层和第二半导体层接触的绝缘膜;

在第一半导体层和第二半导体层上形成第一导电膜, 所述绝缘膜插在第一半导体层和第二半导体层与第一导电膜之间;

在第一导电膜上形成第二导电膜;

刻蚀第二导电膜以形成第二栅布线;

刻蚀第一导电膜以形成具有锥形部分的第一栅布线;

通过第一栅布线的锥形部分首先将第一 n 型杂质加入到第一半导体层中;

利用第一栅布线和第二栅布线作为掩模第二次将 p 型杂质加入到第二半导体层中; 和

第三次将第二 n 型杂质加入到第一半导体层中而不通过第一栅布线;

其中所述锥形部分形成在第一栅布线的侧面与第一栅布线的底面之间,

其中在第一半导体层上的第一栅布线的锥形部分的角度范围是 $3-60^{\circ}$, 并且,

其中第一 n 型杂质和第二 n 型杂质都是磷或砷。

30. 根据权利要求 29 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是单层的氧化硅、氮化硅或氮氧化硅。

31. 根据权利要求 29 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是包括氮氧化硅膜和氧化硅膜的多层。

32. 根据权利要求 29 的制造有源矩阵显示器件的方法, 其中, 所述第一栅

布线包括选自铬、钽、钛、钨和钼的金属。

33. 根据权利要求 29 的制造有源矩阵显示器件的方法, 其中, 所述第二栅布线包括选自铝、铜、铬、钽、钛、钨和钼的金属。

34. 根据权利要求 29 的制造有源矩阵显示器件的方法, 其中, 所述角度范围是 $5-45^{\circ}$ 。

35. 一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的有源矩阵显示器件的方法, 所述方法包括如下步骤:

形成第一半导体层和第二半导体层;

形成与第一半导体层和第二半导体层接触的绝缘膜;

在第一半导体层和第二半导体层上形成第一导电膜, 所述绝缘膜插在第一半导体层和第二半导体层与第一导电膜之间;

在第一导电膜上形成第二导电膜;

刻蚀第二导电膜以形成第二栅布线;

刻蚀第一导电膜以形成具有锥形部分的第一栅布线;

首先将第一 n 型杂质加入到第一半导体层中而不通过第一栅布线;

利用第一栅布线和第二栅布线作为掩模第二次将 p 型杂质加入到第二半导体层中; 和

通过第一栅布线的锥形部分第三次将第二 n 型杂质加入到第一半导体层中;

其中所述锥形部分形成在第一栅布线的侧面与第一栅布线的底面之间,

其中在第一半导体层上的第一栅布线的锥形部分的角度范围是 $3-60^{\circ}$, 并且

其中第一 n 型杂质和第二 n 型杂质都是磷或砷。

36. 根据权利要求 35 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是单层的氧化硅、氮化硅或氮氧化硅。

37. 根据权利要求 35 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是包括氮氧化硅膜和氧化硅膜的多层。

38. 根据权利要求 35 的制造有源矩阵显示器件的方法, 其中, 所述第一栅布线包括选自铬、钽、钛、钨和钼的金属。

39. 根据权利要求 35 的制造有源矩阵显示器件的方法, 其中, 所述第二栅

布线包括选自铝、铜、铬、钽、钛、钨和钼的金属。

40. 根据权利要求 35 的制造有源矩阵显示器件的方法, 其中, 所述角度范围是 $5-45^{\circ}$ 。

41. 一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的有源矩阵显示器件的方法, 所述方法包括如下步骤:

形成第一半导体层和第二半导体层;

形成与第一半导体层和第二半导体层接触的绝缘膜;

在第一半导体层和第二半导体层上形成第一导电膜, 所述绝缘膜插在第一半导体层和第二半导体层与第一导电膜之间;

在第一导电膜上形成第二导电膜;

刻蚀第二导电膜以形成第二栅布线;

刻蚀第一导电膜以形成具有锥形部分的第一栅布线;

首先将第一 n 型杂质加入到第一半导体层中而不通过第一栅布线;

通过第一栅布线的锥形部分第二次将第二 n 型杂质加入到第一半导体层中; 和

利用第一栅布线和第二栅布线作为掩模第三次将 p 型杂质加入到第二半导体层中;

其中所述锥形部分形成在第一栅布线的侧面与第一栅布线的底面之间,

其中在第一半导体层上的第一栅布线的锥形部分的角度范围是 $3-60^{\circ}$, 并且

其中第一 n 型杂质和第二 n 型杂质都是磷或砷。

42. 根据权利要求 41 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是单层的氧化硅、氮化硅或氮氧化硅。

43. 根据权利要求 41 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是包括氮氧化硅膜和氧化硅膜的多层。

44. 根据权利要求 41 的制造有源矩阵显示器件的方法, 其中, 所述第一栅布线包括选自铬、钽、钛、钨和钼的金属。

45. 根据权利要求 41 的制造有源矩阵显示器件的方法, 其中, 所述第二栅布线包括选自铝、铜、铬、钽、钛、钨和钼的金属。

46. 根据权利要求 41 的制造有源矩阵显示器件的方法, 其中, 所述角度范围是 $5-45^{\circ}$ 。

47. 根据权利要求 1 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是单层的氧化硅、氮化硅或氮氧化硅。

48. 根据权利要求 1 的制造有源矩阵显示器件的方法, 其中, 所述绝缘膜是包括氮氧化硅膜和氧化硅膜的多层。

49. 根据权利要求 1 的制造有源矩阵显示器件的方法, 其中, 所述栅极包括选自铬、钽、钛、钨和钼的金属。

50. 根据权利要求 1 的制造有源矩阵显示器件的方法, 其中, 所述角度范围是 $5-45^{\circ}$ 。

51. 根据权利要求 11 的制造有源矩阵显示器件的方法, 其中, 在第二次加入步骤中, 使用覆盖第一栅布线并且其宽度在沟道长度方向上比第一栅布线宽的掩模, 将第二 n-型杂质加入到第一半导体层中。

52. 根据权利要求 17 的制造有源矩阵显示器件的方法, 其中, 在第三次加入步骤中, 使用覆盖第一栅布线并且其宽度在沟道长度方向上比第一栅布线宽的掩模, 将第二 n-型杂质加入到第一半导体层中。

53. 根据权利要求 23 的制造有源矩阵显示器件的方法, 其中, 在第二次加入步骤中, 使用覆盖第一栅布线并且其宽度在沟道长度方向上比第一栅布线宽的掩模, 将第一 n-型杂质加入到第一半导体层中。

54. 根据权利要求 29 的制造有源矩阵显示器件的方法, 其中, 在第三次加入步骤中, 使用覆盖第一栅布线并且其宽度在沟道长度方向上比第一栅布线宽的掩模, 将第二 n-型杂质加入到第一半导体层中。

55. 根据权利要求 35 的制造有源矩阵显示器件的方法, 其中, 在第二次加入步骤中, 使用覆盖第一栅布线并且其宽度在沟道长度方向上比第一栅布线宽的掩模, 将第一 n-型杂质加入到第一半导体层中。

56. 根据权利要求 41 的制造有源矩阵显示器件的方法, 其中, 在第二次加入步骤中, 使用覆盖第一栅布线并且其宽度在沟道长度方向上比第一栅布线宽的掩模, 将第一 n-型杂质加入到第一半导体层中。

57. 根据权利要求 4 的制造有源矩阵显示器件的方法, 其中, 所述有源矩阵显示器件是有源矩阵液晶显示器件。

58. 根据权利要求 11 的制造有源矩阵显示器件的方法, 其中, 所述有源矩阵显示器件是有源矩阵液晶显示器件。

59. 根据权利要求 17 的制造有源矩阵显示器件的方法, 其中, 所述有源矩阵显示器件是有源矩阵液晶显示器件。

60. 根据权利要求 23 的制造有源矩阵显示器件的方法, 其中, 所述有源矩阵显示器件是有源矩阵液晶显示器件。

61. 根据权利要求 29 的制造有源矩阵显示器件的方法, 其中, 所述有源矩阵显示器件是有源矩阵液晶显示器件。

62. 根据权利要求 35 的制造有源矩阵显示器件的方法, 其中, 所述有源矩阵显示器件是有源矩阵液晶显示器件。

63. 根据权利要求 41 的制造有源矩阵显示器件的方法, 其中, 所述有源矩阵显示器件是有源矩阵液晶显示器件。

制造半导体器件的方法

本申请是母案（申请日 1999 年 11 月 17 日，申请号 99127754.6，发明名称为：制造半导体器件的方法）的分案申请。

技术领域

本发明涉及薄膜晶体管（下文称为“TFT”）和包括由薄膜晶体管组成的电路的半导体器件。本发明也涉及作为半导体器件的如液晶板为代表的电光器件和包括作为部件的电光器件的电子设备。

背景技术

附带谈谈，该说明书中的术语“半导体器件”表示通过利用半导体性能起作用的任何器件，并且电光器件、半导体电路和电子设备也是半导体器件。

近年来，有源矩阵型液晶显示器件已引起注意，在有源矩阵型液晶显示器件中的电路由使用多晶硅膜的 TFT 组成。该器件通过以矩阵形式排列的多个像素控制作用于矩阵状态的液晶的电场并实现高精度的图像显示。

在该有源矩阵型液晶显示器件中，当分辨率变得像 XGA 或 SXGA 的高精度时，单是像素的数目就超过一百万。驱动所有像素的驱动电路由非常复杂和很多的 TFT 形成。

实际液晶显示器件（也称为液晶板）所需的规格是严格的，为了所有像素正常运行，对于像素和驱动器必须确保高可靠性。具体而言，如在驱动电路中发生反常，则会出现一行（或一行）的所有像素受到破坏的称为线性缺陷的不良状态。

然而，通常认为使用多晶硅膜的 TFT 在可靠性方面比用于 LSI 等的（形成在单晶半导体衬底上的晶体管）MOSFET 要差。这种观点很强烈，除非克服该弱点，否则难于通过 TFT 制成 LSI 电路。

改善 TFT、GOLD（栅交叠-轻掺杂漏）、LATID（大仰角注入漏）等的可靠性的结构已众所周知。这些结构的特征是 LDD 区和栅电极相互交叠，并由此能降低 LDD 区的杂质浓度，降低电场的作用变大，热载流子电阻变高。

例如，在“M.Hatano, H.Akimoto, 和 T.Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997”中，通过使用由硅组成的侧壁实现具有 GOLD 结

构的 TFT。

然而，在该文中所述的 GOLD 结构存在与常规 LDD 结构相比截止电流（当 TFT 处于截止状态时流过的电流）变大的问题，对此需要对策。

发明内容

本发明的目的是提供消除 GOLD 结构缺陷、降低截止电流和热载流子电阻变高的 TFT。本发明的另一目的是实现包括由该 TFT 构成的半导体电路的高可靠性的半导体器件。

为实现上述目的，本发明的薄膜晶体管包括在形成沟道的半导体层内起源区或漏区作用的 n 型或 p 型第一杂质区和位于沟道和第一杂质区之间的并具有与第一杂质区相同导电类型的两种杂质区（第二和第三杂质区）。这些第二和第三杂质区具有确定导电类型的杂质浓度，该浓度低于第一杂质区的浓度并起高电阻区的作用。

第二杂质区是经栅绝缘膜与栅极交叠的低浓度杂质区并具有提高热载流子电阻的作用。另一方面，第三杂质区是不与栅极交叠的低浓度杂质区并具有防止截止电流增加的作用。

顺带说说，栅极是经栅绝缘膜与半导体层交叉的电极，并是将电场施加于半导体层而形成耗尽层的电极。在栅布线中，经栅绝缘膜与半导体层交叉的部分是栅极。

而且，在本发明的栅极中，栅极边缘厚度由其中心平坦部分朝外侧线性降低。由于产生导电类型的杂质经栅极的锥形部分加入第二杂质区，浓度梯度反映栅极侧的倾斜度（厚度变化）。即，加入第二杂质区的杂质浓度由沟道形成区朝第一区增加。

本发明中，栅极的另一结构中的与栅绝缘膜接触的第一栅极和形成在第一栅极上的第二栅极相互层叠。该结构中，第一栅极一侧与栅绝缘膜之间的角度范围是 $3-60^\circ$ ，形成锥形。另一方面，沟道长度方向上的第二栅极宽度小于第一栅极的宽度。

同时，在包括上面层叠型栅极的薄膜晶体管中，第二杂质区的杂质浓度分布反映第一栅极的膜厚度的变化，其杂质浓度从沟道形成区朝第一区升高。

由于本发明的薄膜晶体管在半导体层内包括两种低浓度杂质区，具有可与 MOSFET 媲美或优于 MOSFET 的可靠性。

实现本发明目的的方法还包括:

一种制造有源矩阵显示器件的方法, 所述方法包括如下步骤:

形成与半导体层接触的绝缘膜;

经该绝缘膜形成与半导体层交叉的栅极;

第一次经至少该栅极的一部分将第一一种导电类型的杂质加入到该半导体层中; 以及

第二次在没有经过栅极的情况下, 将第二一种导电类型的杂质加入到半导体层中;

其中栅极侧面和该绝缘膜之间的角度范围是 $3-60^{\circ}$ 。

一种制造有源矩阵显示器件的方法, 所述方法包括如下步骤:

形成与半导体层接触的绝缘膜;

形成与绝缘膜接触的第一导电膜;

形成与第一导电膜接触的第二导电膜;

通过对第一导电膜和第二导电膜进行构图形成栅极;

其中该栅极包括第一栅极和形成在第一栅极上的第二栅极;

其中第二栅极在沟道长度方向上具有比第一栅极要窄的宽度;

第一次经第一栅极的一部分将第一一种导电类型的杂质加入到该半导体层中; 以及

第二次在没有经过栅极的情况下, 将第二一种导电类型的杂质加入到半导体层中;

其中第一栅极侧面和该绝缘膜之间的角度范围是 $3-60^{\circ}$ 。

一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的半导体器件的方法, 所述方法包括如下步骤:

形成第一半导体层和第二半导体层;

形成与第一半导体层和第二半导体层接触的绝缘膜;

形成与第一半导体层和第二半导体层交叉的第一栅布线;

在第一栅布线上形成第二栅布线;

首先通过第一栅布线的一部分将第一 n 型杂质加入到第一半导体层中;

第二次将第二 n 型杂质加入到第一半导体层中而不通过第一栅布线; 和

利用第一栅布线和第二栅布线作为掩模第三次将 p 型杂质加入到第二半

导体层中;

其中与第一半导体层交叉的第一栅布线的侧面部分和该绝缘膜之间的角度范围是 $3-60^{\circ}$ 。

一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的半导体器件的方法, 所述方法包括如下步骤:

形成第一半导体层和第二半导体层;

形成与第一半导体层和第二半导体层接触的绝缘膜;

形成与第一半导体层和第二半导体层交叉的第一栅布线;

在第一栅布线上形成第二栅布线;

首先利用第一栅布线和第二栅布线作为掩模将 p 型杂质加入到第二半导体层中;

第二次通过第一栅布线的一部分将第一 n 型杂质加入到第一半导体层中;

和

第三次将第二 n 型杂质加入到第一半导体层中而不通过第一栅布线;

其中与第一半导体层交叉的第一栅布线的侧面部分和该绝缘膜之间的角度范围是 $3-60^{\circ}$ 。

一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的半导体器件的方法, 所述方法包括如下步骤:

形成第一半导体层和第二半导体层;

形成与第一半导体层和第二半导体层接触的绝缘膜;

形成与第一半导体层和第二半导体层交叉的第一栅布线;

在第一栅布线上形成第二栅布线;

首先利用第一栅布线和第二栅布线作为掩模将 p 型杂质加入到第二半导体层中;

第二次将第一 n 型杂质加入到第一半导体层中而不通过第一栅布线; 和

通过至少第一栅布线的一部分第三次将第二 n 型杂质加入到第一半导体层中;

其中与第一半导体层交叉的侧面部分和该绝缘膜之间的角度范围是 $3-60^{\circ}$ 。

一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路

的半导体器件的方法，所述方法包括如下步骤：

形成第一半导体层和第二半导体层；

形成与第一半导体层和第二半导体层接触的绝缘膜；

形成与第一半导体层和第二半导体层交叉的第一栅布线；

在第一栅布线上形成第二栅布线；

通过第一栅布线的一部分首先将第一 n 型杂质加入到第一半导体层中；

利用第一栅布线和第二栅布线作为掩模第二次将 p 型杂质加入到第二半导体层中；和

第三次将第二 n 型杂质加入到第一半导体层中而不通过第一栅布线；

其中与第一半导体层交叉的第一栅布线的侧面部分和该绝缘膜之间的角度范围是 $3-60^{\circ}$ 。

一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的半导体器件的方法，所述方法包括如下步骤：

形成第一半导体层和第二半导体层；

形成与第一半导体层和第二半导体层接触的绝缘膜；

形成与第一半导体层和第二半导体层交叉的第一栅布线；

在第一栅布线上形成第二栅布线；

首先将第一 n 型杂质加入到第一半导体层中而不通过第一栅布线；

利用第一栅布线和第二栅布线作为掩模第二次将 p 型杂质加入到第二半导体层中；和

通过第一栅布线的一部分第三次将第二 n 型杂质加入到第一半导体层中；

其中与第一半导体层交叉的第一栅布线的侧面部分和该绝缘膜之间的角度范围是 $3-60^{\circ}$ 。

一种制造包括具有 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的 CMOS 电路的半导体器件的方法，所述方法包括如下步骤：

形成第一半导体层和第二半导体层；

形成与第一半导体层和第二半导体层接触的绝缘膜；

形成与第一半导体层和第二半导体层交叉的第一栅布线；

在第一栅布线上形成第二栅布线；

首先将第一 n 型杂质加入到第一半导体层中而不通过第一栅布线；
通过第一栅布线的一部分第二次将第二 n 型杂质加入到第一半导体层中；
和
利用第一栅布线和第二栅布线作为掩模第三次将 p 型杂质加入到第二半导体层中；
其中与第一半导体层交叉的第一栅布线的侧面部分和绝缘膜之间的角度范围是 3-60°。

附图说明

图 1A-1D 是表示制造本发明的 TFT（实施模式 1）的步骤的剖面图；
图 2A-2C 是表示制造本发明的 TFT（实施模式 1）的步骤的剖面图；
图 3 是栅极（实施模式 1）的部分剖面图；
图 4A-4D 是半导体层（实施模式 1）的部分剖面图；
图 5A-5C 是表示制造本发明的 TFT（实施模式 2）的步骤的剖面图；
图 6A-6C 是表示制造本发明的 TFT（实施模式 2）的步骤的剖面图；
图 7 是本发明的 TFT（实施模式 3）的剖面图；
图 8 是本发明的 TFT（实施模式 4）的剖面图；
图 9 是本发明的 TFT（实施模式 4）的剖面图；
图 10 是表示本发明（实施例 1）的液晶显示板的外形的示图；
图 11A-11C 是表示本发明（实施例 1）的像素部分和 CMOS 电路的俯视图；
图 12A 和 12B 是本发明（实施例 1）的有源矩阵衬底的剖面图；
图 13A-13F 是表示制造本发明（实施例 1）的像素部分步骤的剖面图；
图 14A-14E 是表示制造本发明（实施例 1）的像素部分步骤的剖面图；
图 15A-15F 是表示制造本发明（实施例 1）的 CMOS 电路步骤的剖面图；
图 16A-16E 是表示制造本发明（实施例 1）的 CMOS 电路步骤的剖面图；
图 17A-17E 是表示制造本发明（实施例 2）的 CMOS 电路步骤的剖面图；
图 18A-18E 是表示制造本发明（实施例 3）的 CMOS 电路步骤的剖面图；
图 19A-19E 是表示制造本发明（实施例 4）的 CMOS 电路步骤的剖面图；
图 20A-20E 是表示制造本发明（实施例 5）的 CMOS 电路步骤的剖面图；
图 21A-21E 是表示制造本发明（实施例 6）的 CMOS 电路步骤的剖面图；

图 22 是表示 ICP 刻蚀装置（实施例 7）的等离子产生机理图；
图 23 是多螺线圈系统（实施例 7）的 ICP 刻蚀装置的原理图；
图 24 是偏置功率与锥形角 θ （实施例 7）的特性关系图；
图 25 是 CF_4 流量与锥形角 θ （实施例 7）的特性关系图；
图 26 是（W/抗蚀剂）选择比与锥形角 θ （实施例 7）的特性关系图；
图 27A 和 27B 是表示制造本发明（实施例 8）的结晶硅膜步骤的图；
图 28A 和 28B 是表示制造本发明（实施例 9）的结晶硅膜步骤的图；
图 29A 和 29B 是表示制造本发明（实施例 10）的结晶硅膜步骤的图；
图 30A 和 30B 是表示制造本发明（实施例 11）的结晶硅膜步骤的图；
图 31A-31D 是表示制造本发明（实施例 13）的 CMOS 电路步骤的图；
图 32A-32F 是表示本发明（实施例 15）的电子设备实施例的图；
图 33A-33D 是表示本发明（实施例 15）的电子设备实施例的图；
图 34A-34H 是 TFT 的栅电压—漏电流的特性图；
图 35A-35B 是表示有源矩阵型 EL 显示板（实施例 16）的结构的图；
图 36A-36B 是表示有源矩阵型 EL 显示板（实施例 17）的结构的图；
图 37 是表示有源矩阵型 EL 显示板（实施例 18）中的像素部分的截面图；
图 38A-38B 是分别表示有源矩阵型 EL 显示板的像素部分结构和用于像素部分的电路结构（实施例 18）的图；
图 39 是表示有源矩阵型 EL 显示板（实施例 19）的结构的图；
图 40A-40C 是表示用于有源矩阵型 EL 显示板（实施例 20）的像素部分的电路结构的图。

具体实施方式

首先，参考图 34A-34H 与传统 TFT 相比较，描述本发明的优点。

本发明的特征是第二杂质区（栅交叠型 LDD 区）和第三杂质区（栅非交叠型 LDD 区）的两种低浓度杂质区形成在半导体层内。

图 34A 是没有 LDD 区的 n 沟道 TFT 的示意图，图 34B 是表示其电性能（栅电压 V_g 与漏电流 I_d 的性能关系）的图。同样，图 34C 和 34D 表示常规 LDD 结构的情况，图 34E 和 34F 表示所谓的 GOLD 结构的情况，而图 34G 和 34H 表示本发明的 n 沟道 TFT 的情况。

在图中，标号 “n⁺” 表示源区或漏区，“沟道” 表示沟道形成区，而 “n⁻”

表示具有比区“n⁺”杂质浓度要低的低杂质浓度区。标号“ I_d ”表示漏电流而“ V_g ”表示栅电压。

如图 34A 和 34B 所示, 在不存在 LDD 的情况下, 截止电流 (TFT 处于断开状态下的漏电流) 高, 而导通电流 (TFT 处于导通状态下的漏电流) 和截止电流易于受到损失。

另一方面, 通过形成栅非交叠型 LDD, 可较大地抑制截止电流, 并可抑制导通和截止电流的损失。然而, 导通电流的损失并不完全被抑制 (图 34C 和 34D)。

如图 34E 和 34F 所示的 TFT 结构 (GOLD 结构) 只具有 LDD 区与栅极交叠的交叠型 LDD, 该结构的重要性是可获得传统 LDD 结构的导通电流损失的抑制。

在这种情况下, 尽管可充分抑制导通电流的损失, 该结构的问题是截止电流比常规非交叠型 LDD 结构的略高。现有技术中所公开的论文采用该结构, 在认识截止电流高的问题的前提下, 本发明是研究解决该问题的结构之后所得的结果。

如图 34G 和 34H 所示, 本发明的结构是在半导体层内形成与栅极交叠的 LDD 区 (第二杂质区) 和不与栅极交叠的 LDD 区 (第三杂质区)。通过采用该结构, 能降低截止电流并保持对导通电流损失的抑制作用。

本申请人假定在如图 34E 和 34F 所示结构的情况下截止电流为何变高的原因如下: 当 n 沟道 TFT 处于截止状态, 负几十伏的负电压作用于栅极。如正几十伏的正电压在该状态下作用于漏区, 在栅绝缘膜的漏侧端形成非常大的电场。

此时, 在 LDD 区中形成空穴, 形成通过少数载流子并连接漏区、LDD 区和沟道形成区的电流通路。预计该电流通路导致截止电流的提高。

本申请人认为为了断导通路上的电流通路, 必须形成另一电阻, 即, 在不与栅极交叠的位置上的 LDD 区的第三杂质区。本发明涉及具有该结构的薄膜晶体管和使用该薄膜晶体管的电路。

参考图 1A-7 将描述本发明的实施模式。

实施模式 1

在该实施模式中, 将本发明应用于 TFT。参考图 1A-4D 将描述该实施例

的制造步骤。

首先，在衬底 100 的整个表面上形成底膜 101，在底膜 101 上形成岛状半导体层 102。在衬底 100 的整个表面上形成作为栅绝缘膜的绝缘膜 103 以便覆盖半导体层 102（图 1A）。

作为衬底 100，可使用玻璃衬底、石英衬底、结晶玻璃衬底、不锈钢衬底或聚对苯二甲酸乙酯（PFT）树脂衬底等。

底膜 101 是用于防止如钠离子的杂质从衬底扩散到半导体层 102 并用于提高形成在衬底 100 上的半导体膜的粘附性的膜。作为底膜 101，可以是如氧化硅膜、氮化硅膜和氮氧化硅膜的无机绝缘膜的单层或多层膜。

作为形成底膜 101 的方法，不仅可使用 CVD 法或溅射法，也可利用通过在使用如石英衬底的耐热衬底情况下形成并热氧化非晶硅膜来形成氧化硅的方法。

作为底膜 101，不仅可使用上述的无机绝缘膜，还可使用上述的无机绝缘膜作为上膜被层叠在例如硅化钨等硅化物、铬、钛、氮化钛和氮化铝的金属或合金导电膜的下层上的多层膜。

半导体层 102 的材料和晶体性可按照 TFT 所需的性能适当选择。可使用非晶硅、非晶硅锗、非晶锗或结晶硅、结晶锗、或结晶硅锗，这些材料可通过激光辐射或热使非晶半导结晶化而得到。可使半导体层 102 的厚度为 10-150nm。

绝缘膜 103 是用于制造 TFT 的栅绝缘膜的膜，是氧化硅、氮化硅或氮氧化硅的无机膜的单层膜或多层膜。例如，在制造层叠膜的情况下，可使用氮氧化硅膜和氧化硅膜的两层膜以及夹在氧化硅膜之间的氮化硅膜的层叠膜等。

至于形成绝缘膜 103 的方法，可使用例如等离子 CVD 方法或 ECRCVD 方法的化学汽相淀积法（CVD）、或如溅射法的物理气相淀积法（PVD）。

用于制造栅极（栅布线）的第一导电膜 104 和第二导电膜 105 形成在绝缘膜 103 上（图 1B）。

第一导电膜 104 形成具有锥形部分的第一栅极（第一栅布线）108。因此，希望使用容易完成锥形刻蚀的材料。例如，一般使用含有铬（Cr）或钽（Ta）作为主要组分（成分比率为 50%或更多）的材料或含有磷的 n 型硅。此外，可以使用含有钛（Ti）、钨（W）、钼（Mo）等作为主要组分的材料。另外，不仅

能使用该材料的单层膜，也可以使用多层膜，例如，氮化钽（TaN）膜和夹在它们之间的钽膜的三层膜。

第二导电膜 105 是用于制造第二栅极（第二栅布线）109 的膜，并可由含有铝（Al）、铜（Cu）、铬（Cr）、钽（Ta）、钛（Ti）、钨（W）、或钼（Mo）作为主要组分（成分比率为 50%或更多）的材料、或如含有磷的 n 型硅或硅化物的材料构成。然而，必须选择具有第一导电膜和第二导电膜的交互构图时的刻蚀选择比的这种材料。

例如，对于第一导电膜 104/第二导电膜 105，能选择 n 型 Si/Ta、n 型 Si/Ta-Mo 合金、Ta/Al、Ti/Al、WN/W、TaN/Ta 等的组合。至于材料选择的另一目录，希望第二导电膜 105 具有尽可能低的电阻率，并由其薄层电阻至少比第一导电膜 104 要低的材料组成。这是因为，为了将栅布线与上层布线连接，在第二栅布线和上层布线之间保持接触。第一导电膜 104 的厚度为 10-400nm，第二导电膜的厚度为 10-400nm，而总厚度为 200-500nm。

接着，在第二导电膜 105 上形成抗蚀剂掩模 106。通过利用抗蚀剂掩模 106 刻蚀第二导电膜 105 以便形成第二栅极 109。对于刻蚀，可使用各向同性湿刻蚀。如果对于第一导电膜 104 可固定刻蚀选择比，可使用干刻蚀（图 1C）。

通过使用相同抗蚀剂掩模 106 各向异性地刻蚀（所谓的锥形刻蚀）第一导电膜 104 以便形成第一栅极（第一栅布线）108。对此刻蚀可形成新的抗蚀剂掩模。

利用该刻蚀，如图 3 所示，栅极 108 的侧面和栅绝缘膜 103 之间的锥形角 θ 范围是 3-60°。该锥形角的范围优选是 5-45°，更优选是 7-20°。锥形角 θ 越小，栅极锥形部分的厚度变化越小，对应于此，可减缓在与锥形部分交叉的半导体层部分内的 n 型或 p 型杂质浓度的变化。

如图 3 所示，利用锥形部分的宽度 WG 和厚度 HG，锥形角 θ 定义为 $\tan \theta = HG/WG$ 。

去除抗蚀剂掩模 106 并通过使用栅极 108 和 109 作为掩模将预定导电类型（n 型或 p 型）的杂质加入半导体层 102。作为加入方法，可以使用离子注入法或离子掺杂法。n 型杂质是变成施主的杂质，对于硅或锗是族 15 的元素，一般为磷（P）或砷（As）。p 型杂质是变成受主的杂质，对于硅或锗是族 13 的元素，一般为硼（B）。

在此,磷通过离子掺杂法加入以形成 n 型杂质区 111 和 112。在该加入步骤中,确定 n 型第二杂质区 124 和 125、和 n 型第三杂质区 126 和 127 的 n 型杂质浓度分布。该说明书中,术语 n 型表示变成施主的杂质浓度比 n⁺型要低,薄膜电阻要高(图 2A)。

由于磷通过第一栅极 108 的锥形部分加入 n 型杂质区 111 和 112,浓度梯度反映第一栅极 108 的锥形部分厚度变化,如图所示。即,在深度方向上的磷浓度分布中,当注意浓度具有随机值的深度时,浓度梯度变成反映栅极锥形部分的倾斜的分布。

而且,如后面所述,n 型杂质区 111 和 112 的浓度梯度也取决于掺杂时的加速电压。在本发明中,为实现磷穿过第一栅极 108 的锥形部分和绝缘膜 103 的目的,必须设定掺杂的加速电压高至 40-100keV。如选择该加速电压,磷可穿过栅极 108 锥形部分的 100nm 或更小厚度的部分。

图 2A 中,尽管在 n 型杂质区 111 和 112 上与第一栅极 108 交叠的区域分别由阴影部分和空白部分表示,这并不表明磷未加入到空白部分中,而是如上所述,这是用来可直观理解该区域的磷浓度分布反映第一栅极 108 锥形部分的厚度变化。该说明书的其它图也是同样的。

接着,形成覆盖栅极 108 和 109 的抗蚀剂掩模 120。由掩模 120 确定第三杂质区的长度。将作为 n 型杂质的磷利用离子掺杂法通过抗蚀剂掩模 120 再次加入半导体层 102 中(图 2B)。

磷有选择地加入到未被覆盖抗蚀剂掩模 120 的 n 型杂质区 111 和 112 中,从而形成 n⁺型第一杂质区 122 和 123。由于在图 2A 和 2B 的加入步骤中覆盖有第二栅极 109 的区域 121 未加入磷,它就变成沟道形成区。

在 n 型杂质区 111 和 112 上,在图 2B 的加入步骤中未加入磷的区域变成具有高于源/漏区的电阻的低浓度杂质区 124-127。

与第一栅极 108 交叠的区域 124 和 125 变成 n 型第二杂质区,未与第一栅极 108 交叠的区域变成 n 型第三杂质区 126 和 127。

顺带说说,在图 2B 的加入步骤之前,利用栅布线作为掩模刻蚀绝缘膜 103 可以暴露半导体层 102 的表面。

如图 4A-4D 所示,第二杂质区 124 可分成四种。为区分这些种类的目的,图 4 分成图 4A-4D,标号 121 和 124 加入记号 A-D。尽管在图 4A-4D 未表示,

相对栅极 109 对称形成的另一第二杂质区 125 也类似于区域 124。

如图 4A 所示, 第二杂质区 124 的磷浓度与第一栅极 108 锥形部分的厚度变化成反比, 它从第三杂质区 126 朝沟道形成区 121A 几乎线性降低。即, 在第二杂质区 124A 的磷浓度在深度方向上取平均值的情况下, 磷平均浓度从沟道形成区 121A 朝第三杂质区 126A 增加。

在这种情况下, 第三杂质区 126A 内, 厚度方向上的磷平均浓度在区域 126A 内几乎相同。由于磷并绝对不加入覆盖有第二栅极 109 的半导体层, 该区域变成沟道形成区 121A, 在沟道长度方向上沟道长度 LA 变成第二栅极 109 的宽度。

在图 2A 的磷加入步骤中, 在获得比图 4A 的情况要高的加速电压的情况下, 如图 4B 所示, 磷也加入到第二杂质区 124B 与沟道形成区 121B 的连接部分。同样在这种情况下, 沟道形成区 121B 是覆盖第二栅极 109 的区域, 在沟道长度方向上沟道长度 LB 变成第二栅极 109 的宽度。尽管加速电压与图 4A 的情况一样, 同样在锥形角小或锥形部分的厚度薄的情况下, 可形成第二杂质区 124B。

在进一步提高加速电压的情况下, 如图 4C 所示, 在厚度方向上的磷平均浓度在第二杂质区 124C 也相同。在这种情况下, 在沟道长度方向上沟道长度 LC 变成第二栅极 109 的宽度。

当图 2A 磷加入步骤中加速电压小于图 4A 的情况, 如图 4D 所示, 由于磷只穿过第一栅极 108 锥形部分的薄部分, 第二杂质区 124D 比图 4A 的要窄。

在第二杂质区 124D 内, 类似于图 4A, 在深度方向上的磷平均浓度逐渐从第三杂质区 126D 朝沟道形成区 121D 降低。然而, 图 4D 的情况与图 4A 不同, 即, 在第一栅极 108 锥形部分下面存在第二杂质区 124D 和沟道形成区 121D 的连接部分。因此, 在沟道长度方向上沟道长度 LD 比第二栅极 109 的宽度要宽。

尽管加速电压与图 4A 相同, 同样在锥形角大或第一栅极 108 的膜厚的情况下, 可形成图 4D 的第二杂质区 124D。

如上所述, 当利用等离子掺杂法在第一栅极 108 的锥形部分上加入杂质时, 杂质可穿过厚度 100nm 或更小的部分以形成第二杂质区 124, 从而通过调节第一导电膜 104 的厚度 (第一栅极 108 的厚度为最大的部分的厚度) 和锥

形角 θ 可控制沟道长度和第二杂质区的长度。

在此,第一杂质区 122 和 123 的长度(沟道长度方向上)是 $2\text{-}20\text{ }\mu\text{m}$ (一般 $3\text{-}10\text{ }\mu\text{m}$)。产生半导体层的导电类型的杂质浓度(该情况下,磷)是 $1\times 10^{19}\text{-}1\times 10^{21}$ 原子/ cm^3 (一般 $1\times 10^{20}\text{-}5\times 10^{20}$ 原子/ cm^3)。第一杂质区 122 和 123 分别是低电阻区,以便将源布线或漏布线与 TFT 电连接,并变成源区或漏区。

第二杂质区 124 和 125 的长度是 $0.1\text{-}1\text{ }\mu\text{m}$ (一般 $0.1\text{-}0.5\text{ }\mu\text{m}$, 优选 $0.1\text{-}0.2\text{ }\mu\text{m}$), 磷浓度是 $1\times 10^{15}\text{-}1\times 10^{17}$ 原子/ cm^3 (一般 $5\times 10^{15}\text{-}5\times 10^{16}$ 原子/ cm^3 , 优选 $1\times 10^{16}\text{-}2\times 10^{16}$ 原子/ cm^3)。由于杂质经过第一栅极 108 加入,磷浓度比第一和第三杂质区的要低。

第三杂质区 126 和 127 的长度是 $0.5\text{-}2\text{ }\mu\text{m}$ (一般 $1\text{-}1.5\text{ }\mu\text{m}$), 磷浓度是 $1\times 10^{16}\text{-}1\times 10^{19}$ 原子/ cm^3 (一般 $1\times 10^{17}\text{-}5\times 10^{18}$ 原子/ cm^3 , 优选 $5\times 10^{17}\text{-}1\times 10^{18}$ 原子/ cm^3)。

沟道形成区 121 由本征半导体层组成,并且是不包含加入到第一杂质区的杂质(磷)的区域或包含 $1\times 10^{16}\text{-}5\times 10^{18}$ 原子/ cm^3 浓度的硼的区域。硼是用于控制阈值电压或用于防止穿通的杂质,如可得到相同效果,可使用其它元素。同样在该情况下,其浓度与硼一样。

尽管在第一杂质区 122、123 和第二杂质区 124、125 之间形成不与栅极交叠的低浓度杂质区(第三杂质区 126、127),但在该部分可形成杂质浓度相互不同的两个或多个杂质区。在本发明中,至少一个低于第一杂质区 122、123 的杂质(磷)浓度的杂质区,即,至少一个高于第一杂质区 122、123 的电阻的杂质区必须存在于至少第一杂质区 122、123 和第二杂质区 124、125 之间。当然,具有高电阻的该杂质区(第三杂质区)不与栅极交叠也是重要的。

形成第一杂质区 122 和 123 之后,去除抗蚀剂掩模 120。加入到半导体层 102 的磷经过热处理被激活。至于激活步骤,不仅可进行热处理,还可采用用激光或红外灯光进行的光退火(light annealing)。

接着,形成由氧化硅等组成的层间绝缘膜 130。在栅绝缘膜 103 和层间绝缘膜 130 上形成可抵达第一杂质区 122 和 123、以及第二栅布线 109 的接触孔。形成源极 131、漏极 132 和用于栅布线的未表示出的引线电极。

实施模式 2

参考图 5A-5C 和图 6A-6C 将描述本实施模式 2 的 TFT 制造步骤。该实施

模式是实施模式 1 的改进例，其中改进了栅极（栅布线）的结构，而另一主要结构与实施模式 1 相同。

尽管实施模式 1 的栅极具有层叠不同宽度的两个栅极的结构，该实施模式中，省略上面的第二电极，而栅极只由具有锥形部分的第一栅极构成。

首先，在衬底 140 的整个表面上形成底膜 141，岛状半导体层 142 形成在底膜 141 上。成为栅绝缘膜的绝缘膜 143 形成在衬底 140 的整个表面上以便覆盖半导体层 142（图 5A）。

用于制造栅极（栅布线）的导电膜 144 形成在栅绝缘膜 143 上。希望该导电膜 144 由可容易完成锥形刻蚀的材料组成。例如，一般使用含有铬（Cr）或钽（Ta）作为主要组分（成分比率为 50%或更多）的材料或含有磷的 n 型硅。也可以使用含有钛（Ti）、钨（W）、钼（Mo）等作为主要组分的材料。另外，不仅能使用这些材料的单层膜，也可以使用多层膜。例如，可使用由氮化钽（TaN）膜和夹在它们之间的钽膜组成的三层膜。导电膜 144 的厚度范围 200-500nm（图 5B）。

接着，在导电膜 144 上形成抗蚀剂掩模 145。利用抗蚀剂掩模 145 刻蚀导电膜以形成栅极（栅布线）146（图 5C）。

通过该刻蚀，如图 3 所示，栅极 146 侧面和栅绝缘膜之间的锥形角 θ 范围 3-60°。优选该锥形角 θ 范围 5-45°，更优选锥形角 θ 范围 7-20°。

在存在抗蚀剂掩模 145 的情况下预定导电类型的杂质（n 型或 p 型）加入到半导体层 142。在此，通过离子掺杂法加入磷以便形成 n 型杂质区 148 和 149。在该加入步骤中，确定 n 型第二杂质区 154 和 155 和 n 型第三杂质区 156 和 157 的浓度分布。后面要描述，被抗蚀剂掩模 145 覆盖的区域变成沟道形成区（图 6A）。

由于不存在第二栅极，该加入步骤需要掩模以防止磷加入到形成半导体层 142 的沟道的区域。尽管用于导电膜 144 的刻蚀的抗蚀剂掩模 145 用作该掩模，但也可新形成用于杂质加入的掩模。

接着，去除抗蚀剂掩模 145，形成覆盖栅极 146 的抗蚀剂掩模 150。由于利用离子掺杂法可将作为 n 型杂质的磷经过抗蚀剂掩模 150 再次加入到半导体层 142 中，通过抗蚀剂掩模 150 确定第三杂质区的长度。在加入步骤之前，利用栅布线 146 作为掩模通过刻蚀绝缘膜可将半导体层 142 的表面暴露（图 6B）。

如图 6B 所示,磷有选择地加入到不被抗蚀剂掩模 150 覆盖的 n 型杂质区 148 和 149 的部分,从而形成 n⁺型第一杂质区 152 和 153。

在被抗蚀剂掩模 150 覆盖的区域的导电类型和电阻值方面保持图 6A 的状态。因此,以前被抗蚀剂掩模 145 覆盖的区域 151 变成沟道形成区。与栅极 146 交叠的(交叠)区域变成 n 型第二杂质区 154 和 155,不与栅极 146 交叠的区域变成 n 型第三杂质区 156 和 157。第二和第三杂质区 154-157 是具有高于第一杂质区 152 和 153 的电阻的低浓度杂质区。

与实施模式 1 类似,同样在该实施模式 2 中,第二杂质区 154 和 155 分别分成如图 4A-4D 所示的四种类型。关于沟道形成区 151 和第一至第三杂质区 152-157,在沟道长度方向上的长度和杂质浓度与实施模式 1 相同。然而,代替实施模式 1 的栅极 109,通过图 6A 的加入步骤中所用的抗蚀剂掩模 145 可确定沟道长度。

由于实施模式 1 的栅极具有不同形状的电极的层叠结构,即使第一栅极 108 的厚度变薄,也可通过加厚第二栅极 109 来降低电阻。然而,由于本实施模式的栅极 146 是具有锥形部分的单层电极,厚度比第一栅极 108 的要大。

从栅极宽度的观点来看,锥形部分的宽度 WG(参见图 3)有一个限度,最实际的是第二杂质区 154 和 155 的杂质浓度分布成为图 4D 所示的那种类型。

尽管在第一杂质区 152、153 和第二杂质区 154、155 之间的部分形成不与栅极交叠的一个低浓度杂质区(第三杂质区 156、157),在该部分可形成杂质浓度相互不同的两个或多个杂质区。在本发明中,至少在第一杂质区 152、153 和第二杂质区 154、155 之间只存在至少一个比第一杂质区 152、153 杂质(磷)浓度要低而电阻要高的杂质区。

形成第一杂质区 152 和 153 之后,去除抗蚀剂掩模 150。通过热处理激活加入到半导体层 142 的磷。对于激活步骤,不仅可进行热处理,还可采用用激光或红外灯光进行的光退火(light annealing)。然而,为激活第二杂质区 154 和 155 中的磷,由于它们与栅极 146 交叠,热处理是必不可少的。

接着,形成由氧化硅等组成的层间绝缘膜 158。在栅绝缘膜 143 和层间绝缘膜 158 上形成可抵达第一杂质区 152 和 153、以及第二栅布线 146 的接触孔。形成源极 159、漏极 160 和用于栅布线 146 的未表示出的引线电极。

实施模式 3

参考图 7 描述该实施模式的 TFT 的制造步骤。该实施模式也是实施模式 1 的改进例，其中改进了栅极（栅布线）的结构，而另一主要结构与实施模式 1 的相同。顺带说说，图 7 中，与图 1 和 2 相同的标号表示相同的结构元件。

类似于实施模式 1，尽管该实施模式 3 的栅极具有第一栅极 168 和第二栅极 169 相互层叠的结构，该实施模式是第一栅极 168 不制成锥形的实施例。在该实施模式中，从第二栅极 169 侧面延伸到外侧的第一栅极 168 的部分也具有几乎恒定的膜厚度。

类似于实施模式 1，通过加入磷在半导体层形成沟道形成区 161、 n^+ -第一杂质区 162 和 163、 n -型第二杂质区 164 和 165、以及 n -型第三杂质区 166 和 167。

在该实施模式中，由于第一栅极 168 的厚度恒定，第二杂质区 164 和 165 的杂质浓度几乎没有梯度。

实施模式 4

该实施模式是实施模式 1 和实施模式 2 的改进例。在实施模式 1 和 2 中，栅极锥形部分的厚度几乎线性变化。在该实施模式中，锥形部分的厚度非线性变化。

图 8 表示实施模式 1 的改进例。图 8 中，与图 2A-2C 相同的标号表示相同的结构元件。如图 8 所示，第一栅极 170（栅布线）的锥形部分的厚度非线性变化。类似于实施模式 1，通过磷的加入在半导体层上形成沟道形成区 171、 n^+ -型第一杂质区 172 和 173、 n -型第二杂质区 174 和 175、以及 n -型第三杂质区 176 和 177。

图 9 表示实施模式 2 的 TFT 的改进例。图 9 中，与图 6A-6C 相同的标号表示相同的结构元件。如图 9 所示，栅极 180（布线）的锥形部分的厚度非线性变化。类似于实施模式 1，通过磷的加入在半导体层上形成沟道形成区 181、 n^+ -型第一杂质区 182 和 183、 n -型第二杂质区 184 和 185、以及 n -型第三杂质区 186 和 187。

如图 8 和 9 的截面图所示，稍微偏离厚度恒定的部分的栅极 170、180 的一部分的厚度极薄，从而变成施主或受主的杂质可容易通过栅极 170、180。

为在栅极 170、180 上形成如图所示的锥形部分，必须经过各向异性刻蚀和各向同性刻蚀的结合来刻蚀导电膜。

顺带谈谈，不用说，实施模式 1-4 所公开的结构可在如下所述的本发明的

所有实施例中应用。

(实施例)

参考图 10-25 描述本发明的实施例。

(实施例 1)

实施例 1 是本发明应用于有源矩阵液晶显示器件的实施例。

图 10 是该实施例的有源矩阵型液晶显示板的示意结构图。液晶板的结构是液晶保持在有源矩阵衬底和对置基板之间,并通过形成在有源矩阵衬底和对置基板上的电极将对应于图像数据的电压施加给液晶而在板上显示图像。

在有源矩阵衬底 200 上,使用 TFT 作为开关元件的像素部分 202 和用于驱动像素部分 202 的栅驱动电路 203 和源驱动电路 204 形成在玻璃衬底 300 上。驱动电路 203 和 204 经过源布线和漏布线分别与像素部分 202 连接。

而且,在玻璃衬底 300 上形成用于处理输入到驱动电路 203 和 204 的信号 的信号处理电路 205 和用于将电功率和控制信号输入到驱动电路 202 和 203 和 信号处理电路 205 的外部端子,而 FPC206 与外部端子相连。

在对置基板 210 上,如 ITO 膜的透明导电膜形成在玻璃衬底的整个表面上。透明导电膜是像素部分 202 的像素电极的对置电极,而液晶材料由像素电极和对置电极之间形成的电场所驱动。而且,如需要,可在对置基板 210 上形成取向膜和滤色片。

图 11A 表示像素部分的一个像素的等效电路,图 11B 是像素部分 202 的俯视图。图 11C 是由驱动电路 202 和 203 组成的 CMOS 的俯视图。

图 12A 和 12B 是有源矩阵衬底的截面图。图 12A 是像素部分 202 的截面图并对应沿图 11B 的点划线 X-X'的截面。图 12B 是 CMOS 电路的截面图,并对应沿图 11C 的点划线 Y-Y'的截面。如图 12A 和 12B 所示,像素 TFT 和 CMOS 电路的薄膜晶体管同时形成在同一玻璃衬底 300 上。

在像素部分 202 内,每行形成栅布线 350,而每列形成源布线 380。在栅布线 350 和源布线 380 的交叉部分附近形成像素 TFT220。像素 TFT220 的源区与源布线 380 连接,而漏区与液晶单元 240 的电容器和存储电容器 230 相连。

液晶单元 240 是具有像素电极 390 和对置基板 210 的透明电极的一对电极以及液晶介质的电容器,并经过像素电极 390 与像素 TFT220 电连接。存储电容器 230 是具有形成在像素 TFT220 的半导体层上的公用布线 360 和沟道区的

一对电极以及栅绝缘膜的介质的电容器。

参考图 13A-图 16E 描述该实施例的有源矩阵衬底的制造步骤。图 13A-13F 和图 14A-14E 是表示像素部分的制造步骤的截面图,而图 15A-15F 和图 16A-16E 是表示 CMOS 电路的制造步骤的截面图。

制造玻璃衬底 300。在该实施例中,使用 Corning Inc.生产的玻璃 1737 的衬底。通过等离子 CVD 法并使用 TEOS 气体作为原材料在玻璃衬底 300 的表面上形成作为底膜 301 的厚度 200nm 的氧化硅膜。在 400℃下对底膜 301 加热 4 小时。

利用用 H_2 气稀释的 SiH_4 的 PECVD 法在底膜 301 上形成厚度 500nm 的非晶硅膜。接着,在 450℃下对非晶硅膜加热 1 小时,从而完成脱氢处理。在非晶硅膜上的氢原子浓度为 5 原子%或更少,优选 1 原子%或更少。脱氢处理之后的非晶硅膜用准分子激光辐射,从而形成结晶(多晶)硅膜 401。激光晶体化的条件是 XeCl 准分子激光器用作激光源,激光通过光学系统形成线性光束,脉冲频率为 30Hz,交叠率为 96%,而激光能量密度为 $359mJ/cm^2$ (图 13A、图 15A)。

作为形成非晶硅膜的方法,除 PECVD 法以外,还可使用 LPCVD 法或溅射法。作为晶体化非晶硅膜的激光,除如准分子激光的脉冲振荡型激光之外,还可使用如 Ar 激光的连续波激光。此外,可使用用氦灯或水银灯的灯退火步骤(lamp annealing step)或 600℃或更高温度下热处理步骤来代替激光晶体化。

接着,利用光刻步骤形成未示出的光刻胶图形,并利用该光刻胶图形将结晶硅膜 401 构图为岛状,从而形成半导体层 302、303 和 304。形成作为栅绝缘膜 305 的氮氧化硅膜以便覆盖半导体层 302、303 和 304。形成膜的方法是 PECVD,并使用 SiH_4 和 NO_2 作为原材料气体。氮氧化硅膜的厚度为 120nm (图 13B、图 15B)。

通过溅射法在栅绝缘膜 305 上形成含有磷的 n 型硅膜和钼-钨合金(Mo-W)的层叠膜。硅膜 402 的厚度为 200nm,而 Mo-W 膜的厚度为 250nm。用于 Mo-W 膜 403 的靶材料中,Mo 与 W 的成分比为 1:1 (图 13C、图 15C)。

在 Mo-W 膜 403 上形成抗蚀剂掩模 405。利用抗蚀剂掩模 405 通过湿刻蚀刻蚀 Mo-W 膜 403,以便形成像素 TFT 的栅布线、公用布线、作为 CMOS 电路的栅布线的上布线的第二布线 352、第二公用布线 362 和第二栅布线 372 (图

13D、图 15D)。

再次利用抗蚀剂掩模 405，使用氯基气体完成各向异性刻蚀以便刻蚀 n 型硅膜 402，从而形成第一栅布线 351、第二公用布线 361 和第一栅布线 371。此时，每个布线 351、361 和 371 的侧面与栅绝缘膜 305 之间的角度（锥形角）为 20° ，并在侧部分形成锥形部分（图 13E、图 15E）。

去除抗蚀剂掩模 405 之后，利用作为掩模的布线 350、360 和 370 通过离子掺杂法将磷加入到半导体层 302-304，从而以自对准方式形成 n 型区 406-413。在磷的加入步骤中，由于经过第一电极 351、361 和 371 的锥形部分（第二电极 352、362 和 372 的侧面外部分）和栅绝缘膜 305 加入磷，加速电压设定得稍高，为 90keV。

由于 n 型杂质区 406-413 的磷浓度确定最终 TFT 的 n 型低浓度杂质区的磷浓度，所以掺杂剂量低，从而在 n 型杂质区 406-413 中，不与电极 350、360 和 370 交叉的区域中的磷浓度为 1×10^{18} 原子/cm³。使用用氢稀释的磷化氢用作掺杂气体。

接着，形成覆盖电极 350、360 和 370 的抗蚀剂掩模 415。通过由各个电极的第一电极 351、361 和 371 的侧面向外延伸的抗蚀剂掩模 415 的长度确定不与第一电极 351、361 和 371 交叠的 n 型低浓度杂质区的长度。在此，在 CMOS 电路的半导体层 304 上不形成抗蚀剂掩模。

利用抗蚀剂掩模 415 通过离子掺杂法加入磷。同样在该加入步骤中，用氢稀释的磷化氢用作掺杂气体。为使磷通过栅绝缘膜 305，加速电压设定高至 80keV，并设定掺杂剂量从而在该步骤形成的 n⁺型杂质区 313-315、332、333、421 和 422 内的磷浓度为 5×10^{20} 原子/cm³。

在像素部分 202 中，磷选择性地加入到半导体层 302 的 n 型杂质区 406-409，从而形成 n⁺型杂质区 313-315。未加入磷的 n 型杂质区 406-409 的区域起高电阻区的作用，并定义为与第一栅极 351 和第一公用电极交叠的 n 型杂质区 316-319、326 和 327 以及不与第一栅极 351 和第一公用电极 361 交叠的 n 型杂质区 320-323。而且，在两个磷加入步骤中未加入磷的区域 311、312 和 325 定义为沟道形成区（图 14A）。

n 型杂质区 316-319 的磷浓度比 n 型杂质区 320-323 的要低，磷浓度从 n 型杂质区 320-323 到沟道形成区 311 和 312 降低。

在 CMOS 电路中, 磷同样选择性地加入到 n 沟道 TFT 的半导体层 303 的 n⁺型杂质区 410 和 411, 从而形成 n⁺型杂质区 332 和 333。另一方面, n⁺型杂质区 410 和 411 中, 未加入磷的区域起高电阻区的作用, 并定义为与第一栅极 371 交叠的 n⁺型杂质区 334 和 335 以及不与第一栅极 371 交叠的 n⁺型杂质区 336 和 337。在两个磷加入步骤中未加入磷的区域 331 定义为沟道形成区。

n⁺型杂质区 334 和 335 的磷浓度比 n⁺型杂质区 336 和 337 的要低, 磷浓度从 n⁺型杂质区 336 和 337 到沟道形成区 331 下降。

在 p 沟道 TFT 的半导体层 304 中, 磷几乎不能加入其上存在栅极 370 的部分, n⁺型区 421 和 422 形成在其上不存在栅极 370 的部分上。n⁺型杂质区留在第一栅极 370 的下部 (图 16A)。

在去除抗蚀剂掩模 415 之后, 形成覆盖 n 沟道 TFT 的抗蚀剂掩模 416。利用 p 沟道 TFT 的第二栅极 372 作为掩模通过刻蚀将半导体层 305 的第一栅极 371 变薄, 从而形成第三栅极 373 (图 14B、图 16B)。

第三栅极 373 和栅绝缘膜 305 之间的锥形角 θ 为 75° 。第三电极 373 的锥形角范围是 $60-90^\circ$, 更优选范围是 $70-85^\circ$ 。

在保留抗蚀剂掩模 416 的情况下利用离子掺杂法将硼加入到半导体层 304。栅极 371 和 373 起掩模的作用, 以自对准方式形成沟道形成区 341、p⁺型杂质区 342 和 343 以及 p⁺型杂质区 344 和 345。顺带说说, 可去除抗蚀剂掩模 416, 可形成新的抗蚀剂掩模替代它。

在硼加入步骤中, 设定加速电压为 80keV, 并设定掺杂剂量, 从而 p⁺型杂质区 342-345 的硼浓度为 3×10^{21} 原子/cm³。由于用氢稀释的乙硼烷用作掺杂气体, 尽管 p⁺型杂质区 344 和 345 的硼浓度与 p⁺型杂质区 342 和 343 的相同, 前者的磷浓度比后者的要低。p⁺型杂质区 344 和 345 的浓度分布对应第一栅极 371 的锥形部分的膜厚度变化, 并向沟道形成区 341 下降。

在去除抗蚀剂掩模 416 之后, 通过在 500℃ 下加热可激活加入到半导体层的磷和硼。热处理之前, 形成厚度 50nm 的由氧化硅组成的保护膜 306 以便防止栅布线 350、公用电极 360 和栅布线 370 的氧化 (图 14C、图 16C)。

接着, 作为层间绝缘膜 307, 利用 PECVD 法形成并层叠厚度 20nm 的氮化硅膜和厚度 900nm 的氧化硅膜。在间层绝缘膜 307、保护膜 306 和栅绝缘膜 305 中形成抵达 n⁺型杂质区 313-315、n⁺型杂质区 332 和 333、p⁺型杂质区 342

和 343 以及第二栅布线 372。

通过溅射法在间层绝缘膜 307 上形成钛 (150nm)/铝 (500nm)/钛 (100nm) 的层叠膜, 并进行构图以形成源布线 380、漏极 381、源极 384 和 385 以及漏极 386。利用上述, 可知, 在同一玻璃衬底 300 上形成了主要由 CMOS 电路组成的电路 203-205 和有像素 TFT220 和存储电容器 230 的像素部分 202 (图 14E、图 16E)。

为完成有源矩阵衬底, 还在衬底 300 的整个表面上形成水准膜 (leveling film) 308。在此, 利用旋涂法涂覆丙烯酸并焙烧以形成厚度 $1\mu\text{m}$ 的丙烯酸膜。在水准膜 308 中给 CMOS 电路的源极 384 和 385 穿出接触孔。利用溅射法形成厚度 200nm 的钛膜并进行构图以形成源布线 387 和 388。

接着, 以与第一水准膜 308 相同的方式, 形成作为第二水准膜 309 的厚度 $0.5\mu\text{m}$ 的丙烯酸膜。在平坦膜 (flattened film) 308 和 309 上形成用于源极 381 的接触孔。利用溅射法形成 ITO 膜, 并进行构图以便形成与漏极 381 连接的像素电极 390 (图 12A、图 12B)。

在该实施例中, 尽管 p 沟道 TFT 未形成起高电阻区作用的低浓度杂质区, 由于即使不提供高电阻区 p 沟道 TFT 本来也具有高可靠性, 故不存在问题。相反, 在不形成高电阻的情况下可增加导通电流并保持与 n 沟道 TFT 性能的平衡, 这一点是方便的。

(实施例 2)

该实施例是实施例 1 的改进例, 只是改变了磷和硼的加入步骤的次序, 而其它与实施例 1 相同。将参考图 17A-17E 描述该实施例的制造步骤。在图 17A-17E 中, 与图 15A-15F 和 16A-16E 相同的标号代表相同的结构元件。

尽管实施例 1 中硼在磷加入到半导体层之后添加, 但在实施例 2 中硼首先加入。

尽管在本实施例中描述 CMOS 电路的制造步骤, 不用说该实施例可应用于实施例 1 中的有源矩阵衬底的制造步骤, 其中像素部分和驱动电路集成在有源矩阵衬底上。

按照实施例 1 所示的步骤实现图 15E 的结构。接着, 去除抗蚀剂掩模 405。图 17A 表示该状态。

之后, 形成覆盖 n 沟道 TFT 的抗蚀剂掩模 451。利用抗蚀剂掩模 451 通过

离子掺杂法将硼加入到半导体层 304。栅极 371 和 372 起掩模的作用，并以自对准方式在半导体层 304 上形成沟道形成区 501、起源区和漏区作用的 p⁺型杂质区 502 和 503。

设定加速电压为 80keV，并设定掺杂剂量从而 p⁺型杂质区 502 和 503 的硼浓度为 3×10^{20} 原子/cm³。在此，希望因为掺杂时硼的绕入（rounding）和栅极 370 侧面的薄厚度，p⁺型杂质区 502 和 503 与较低部分轻微交叠（图 17B）。

去除抗蚀剂掩模 451 之后，形成覆盖 p 沟道 TFT 的抗蚀剂掩模 452。利用离子掺杂法将磷加入到半导体层 303，从而以自对准方式形成 n 型区 453 和 454。加速电压为 90keV，并设定掺杂剂量，从而 n 型杂质区 453 和 454 的磷浓度变成 1×10^{18} 原子/cm³。用氢稀释的磷化氢用作掺杂气体（图 17C）。

接着，去除抗蚀剂掩模 452，新形成覆盖所有 p 沟道 TFT 和部分 n 沟道 TFT 的抗蚀剂掩模 456。在 n 沟道 TFT 中，从第一栅极 371 向外延伸的抗蚀剂掩模 456 的长度确定不与第一栅极 371 交叠的 n 型杂质区的长度。

利用抗蚀剂掩模 456 通过离子掺杂法加入磷。同样在加入步骤中，用氢稀释的磷化氢用作掺杂气体。

在 CMOS 电路中，磷选择性地加入到 n 沟道 TFT 的半导体层 303 的 n 型杂质区 453 和 454，从而形成 n⁺型杂质区 512 和 513。在该步骤中，为使磷通过栅绝缘膜 305，加速电压设置为高达 80keV。设定掺杂剂量，从而 n⁺型杂质区 512 和 513 的磷浓度变成 5×10^{20} 原子/cm³。

另一方面，n 型杂质区 453 和 454 中，未加入磷的区域起高电阻区的作用，并定义为与第一栅极 371 交叠的 n 型杂质区 514 和 515 以及不与第一栅极 371 交叠的 n 型杂质区 516 和 517。在两个加入步骤中未加入磷的区域 511 定义为沟道形成区（图 17D）。

同样在该实施例，与栅极 371 交叠的 n 型杂质区 514 和 515 的磷浓度比 n 型杂质区 516 和 517（和 n⁺型杂质区 512 和 513）的要低，并且磷浓度朝沟道形成区 551 下降。

去除抗蚀剂掩模 456 之后，形成厚度 50nm 并由氧化硅组成的保护膜 306，通过热处理激活加入到半导体层的磷和硼。形成间层绝缘膜 307，穿出接触孔，并形成源极 384 和 385 以及漏极 386。利用上述，可制造 CMOS 电路（图 17E）。

在该实施例中，可省略减薄 p 沟道 TFT 的第一栅极的步骤。顺带说说，

在图 17B 的硼加入步骤之前,也可增加利用第二栅极 372 作为掩模刻蚀 p 沟道 TFT 的第一栅极 371 以便形成第三栅极 373 的步骤。

(实施例 3)

同样在本实施例中,与实施例 2 类似,描述改变磷和硼加入步骤的次序的制造步骤。参考图 18A-18E 描述该实施例的制造步骤。在图 18A-18E 中,与图 15A-15F 和 16A-16E 相同的标号代表同一结构元件。

同样本实施例对应实施例 2 的改进例。在实施例 2 中,制造 n 沟道 TFT 中,以低浓度加入磷之后才添加硼。然而,本实施例是硼以高浓度首先被加入的实施例。

按照实施例 1 所示的步骤实现图 15E 的结构。接着,去除抗蚀剂掩模 405。图 18A 表示该状态。

之后,形成覆盖 n 沟道 TFT 的抗蚀剂掩模 600。利用抗蚀剂掩模 600 通过离子掺杂法将硼加入到半导体层 304。栅极 371 和 372 起掩模的作用,而以自对准方式在半导体层 304 上形成沟道形成区 601 和起源区和漏区作用的 p⁺型杂质区 602 和 603。掺杂加速电压为 80keV,并设定掺杂剂量,从而 p⁺型杂质区 602 和 603 的硼浓度变成 2×10^{20} 原子/cm³。

形成覆盖所有 p 沟道 TFT 和部分 n 沟道 TFT 的抗蚀剂掩模 605。利用抗蚀剂掩模 605 通过离子掺杂法加入磷。同样在该加入步骤中,用氢稀释的磷化氢用作掺杂气体。磷选择性地加入到 n 沟道 TFT 的半导体层,形成 n⁺型杂质区 606 和 607。在该步骤中,为使磷通过栅绝缘膜 305,设置加速电压高至 80keV (图 18C)。

去除抗蚀剂掩模 605 之后,形成覆盖 p 沟道 TFT 的抗蚀剂掩模 608。利用离子掺杂法将磷加入到半导体层 303。栅极 370 起掩模的作用,从而以自对准方式形成沟道形成区 611、n⁺型杂质区 614 和 615 以及 n⁺型杂质区 616 和 617。

n⁺型杂质区 612 和 613 起源/漏区的作用,通过使磷浓度为 5×10^{20} 原子/cm³ 而降低电阻。使 n⁺型杂质区 614-617 的磷浓度比 n⁺型杂质区 612 和 613 的磷浓度低而电阻高。不与第一栅极 371 交叠的 n⁺型杂质区 616 和 617 的磷浓度为 1×10^{18} 原子/cm³ (图 18D)。

去除抗蚀剂掩模 608 之后,形成厚度 50nm 并由氧化硅组成的保护膜 306,通过热处理激活加入到半导体层的磷和硼。形成间层绝缘膜 307,穿出接触孔,

形成源极 384 和 385 以及漏极 386。利用上述,可制造 CMOS 电路。

在该实施例中,尽管在磷加入步骤中形成覆盖 p 沟道 TFT 的抗蚀剂掩模 605 和 606,可省略抗蚀剂掩模 605 和/或抗蚀剂掩模 608。在这种情况下,由于磷加入到 p⁺型杂质区 602 和 603,鉴于加入的磷浓度必须加入大量的硼。

(实施例 4)

同样本实施例是实施例 1 的改进例,其中改变了磷和硼加入步骤的次序,而主要结构与实施例 1 相同。

参考图 19A-19E 描述本实施例的制造步骤。在图 19A-19E 中,与图 15A-15F 和 16A-16E 相同的标号代表同一结构元件。

按照实施例 1 所示的步骤实现图 15E 的结构。接着,去除抗蚀剂掩模 405。然后在栅布线 370 内形成至少覆盖起 n 沟道 TFT 的栅极作用的部分的抗蚀剂掩模。利用第二栅极(布线) 372 作为刻蚀掩模刻蚀第一栅极(布线) 371 以形成第三栅极。

即,至少在第一栅布线 371 中,与 p 沟道 TFT 的半导体层 304 交叠部分的宽度变窄,从而形成第三栅极 373。

通过离子掺杂法将低浓度的磷加入到半导体层 303 和 304。第一到第三栅极 371-373 起掩模的作用,从而以自对准方式形成 n 型杂质区 621-624(图 19B)。

接着,形成覆盖 n 沟道 TFT 的抗蚀剂掩模 630。利用抗蚀剂掩模 630 通过离子掺杂法将高浓度的硼加入到半导体层 304 中。第一到第三栅极 371-373 起掩模的作用,从而以自对准方式在半导体层 304 上形成沟道形成区 631 以及起源区和漏区作用的 p⁺型杂质区 632 和 633(图 19C)。

之后,去除抗蚀剂掩模 630,新形成覆盖所有 p 沟道 TFT 和部分 n 沟道 TFT 的抗蚀剂掩模 640。利用抗蚀剂掩模 640 通过离子掺杂法加入高浓度的磷。磷选择性地加入到 n 沟道 TFT 的半导体层 303 的 n 型杂质区 621 和 622 中,从而形成 n⁺型杂质区 642 和 643。而且,覆盖抗蚀剂掩模 640 的区域定义为沟道形成区 641、与第一栅极 371 交叠的 n 型杂质区 644 和 645 以及不与第一栅极 371 交叠的 n 型杂质区 646 和 647(图 19D)。

同样在该实施例中,与第一栅极 371 交叠的 n 型杂质区 644 和 645 的磷浓度比 n 型杂质区 646 和 647(和 n⁺型杂质区 642 和 643)的要低,而磷浓度朝沟道形成区 641 变低。

去除抗蚀剂掩模 640 之后, 形成厚度 50nm 和由氧化硅组成的保护膜 306, 并通过热处理激活加入到半导体层的磷和硼。形成间层绝缘膜 307, 穿出接触孔, 并形成源区 384 和 385 以及漏区 386。利用上述, 可制造 CMOS 电路 (图 19E)。

在本实施例中, 尽管使 p 沟道 TFT 的第一栅极的宽度变窄, 但可省略该步骤。

在本实施例中, 尽管在磷加入步骤中形成覆盖 p 沟道 TFT 的抗蚀剂掩模 630 和 640, 但可省略抗蚀剂掩模 630 和/或抗蚀剂掩模 640。在这种情况下, 由于磷加入到 p⁺型杂质区 632 和 633, 鉴于加入的磷浓度必须添加大量的硼。

(实施例 5)

该实施例是实施例 1 的改进例, 其中改变了磷和硼的加入步骤的次序。其主要结构与实施例 1 相同。

参考图 20A-20E 描述本实施例的制造步骤。在图 20A-20E 中, 与图 15A-15F 和图 16A-16E 相同的标号代表相同的结构元件。

此外, 本实施例对应实施例 4 的改进例, 并与实施例 4 类似, 使 p 沟道 TFT 的第一栅极变窄, 从而形成第三栅极 373 (图 20A)。

接着, 形成覆盖所有 p 沟道 TFT 和部分 n 沟道 TFT 的抗蚀剂掩模 650, 利用抗蚀剂掩模 650 通过离子掺杂法加入高浓度的磷, 从而形成 n 型区 651 和 652 (图 20B)。

之后, 形成覆盖 n 沟道 TFT 的抗蚀剂掩模 660。利用抗蚀剂掩模 660 通过离子掺杂法将高浓度的硼加入到半导体层 304。第一和第三栅极 371 和 373 起掩模的作用, 从而以自对准方式在半导体层 304 上形成沟道形成区 661 以及起源区和漏区作用的 p⁺型杂质区 662 和 663 (图 20C)。

接着, 去除抗蚀剂掩模 660, 新形成覆盖所有 p 沟道 TFT 的抗蚀剂掩模 670。利用离子掺杂法加入低浓度的磷。设定加速电压高至 90keV, 从而使磷通过第一栅极 371 的锥形部分。

结果, 以自对准方式在 n 沟道 TFT 半导体层 303 中形成沟道形成区 671、n⁺型杂质区 672 和 673、与第一栅极 371 交叠的 n 型杂质区 674 和 675、不与第一栅极 371 交叠的 n 型杂质区 676 和 677 (图 20D)。

去除抗蚀剂掩模 670 之后, 形成厚度 50nm 和由氧化硅组成的保护膜 306,

并通过热处理激活加入到半导体层的磷和硼。形成间层绝缘膜 307, 穿出接触孔, 并形成源区 384 和 385 以及漏区 386。利用上述, 可制造 CMOS 电路 (图 20E)。

在本实施例中, 尽管使 p 沟道 TFT 的第一栅极的宽度变窄, 但可省略该步骤。

在该实施例中, 尽管在磷加入步骤中形成覆盖 p 沟道 TFT 的抗蚀剂掩模 650 和 670, 但可省略抗蚀剂掩模 650 和/或抗蚀剂掩模 670。在这种情况下, 由于磷加入到 p⁺型杂质区 662 和 663, 鉴于加入的磷浓度必须添加大量的硼。

(实施例 6)

该实施例是实施例 1 的改进例, 其中改变了磷和硼的加入步骤的次序, 而另一结构几乎与实施例 1 类似。

参考图 21A-21E 描述该实施例的制造步骤。在图 21A-21E 中, 与图 15A-15F 和 16A-16E 相同的标号代表同一结构元件。

此外, 该实施例对应实施例 5 的改进例, 并类似于实施例 5, p 沟道 TFT 的第一栅极变窄, 从而形成第三栅极 373 (图 21A)。

而且, 与实施例 5 相似, 形成覆盖所有 p 沟道 TFT 和部分 n 沟道 TFT 的抗蚀剂掩模 680。利用抗蚀剂掩模 680 通过离子掺杂法加入高浓度的磷, 从而形成 n 型区 681 和 682 (图 21B)。

接着, 去除抗蚀剂掩模 680, 新形成覆盖所有 p 沟道 TFT 的抗蚀剂掩模 690。利用离子掺杂法加入低浓度的磷。设定加速电压高至 90keV, 从而使磷通过第一栅极 371 的锥形部分。

结果, 以自对准方式形成沟道形成区 691、n⁺型杂质区 692 和 693、与第一栅极 371 交叠的 n⁺型杂质区 694 和 675、不与第一栅极 371 交叠的 n⁺型杂质区 696 和 697 (图 21C)。

接着, 形成覆盖所有 n 沟道 TFT 的抗蚀剂掩模 700 之后, 利用离子掺杂法将高浓度的硼加入到半导体层 304 中。第一和第三栅极 371 和 373 起掩模的作用, 从而以自对准方式在半导体层 304 上形成沟道形成区 701 以及起源区和漏区作用的 p⁺型杂质区 702 和 703 (图 21D)。

去除抗蚀剂掩模 700 之后, 形成厚度 50nm 和由氧化硅组成的保护膜 306, 并通过热处理激活加入到半导体层的磷和硼。形成间层绝缘膜 307, 穿出接触

孔,并形成源区 384 和 385 以及漏区 386。利用上述,可制造 CMOS 电路(图 21E)。

在该实施例中,尽管使 p 沟道 TFT 的第一栅极的宽度变窄,但可省略该步骤。

在该实施例中,尽管在磷加入步骤中形成覆盖 p 沟道 TFT 的抗蚀剂掩模 680 和 690,但可省略抗蚀剂掩模 680 和/或抗蚀剂掩模 690。在这种情况下,由于磷加入到 p⁺型杂质区 702 和 703,鉴于加入的磷浓度必须添加大量的硼。

如上所述,尽管在实施例 2-6 中已描述了 CMOS 电路的制造步骤,不用说该实施例可应用于有源矩阵衬底的制造步骤,其中像素部分和驱动电路象实施例 1 那样集成在有源矩阵衬底上。

(实施例 7)

在本实施例中,将描述实施例 1 等所示的具有锥形部分的栅极和形成栅极的方法的实施例。

首先,形成由氮氧化硅组成的栅绝缘膜,并通过溅射法在其上形成金属层叠膜。在该实施例中,使用纯度 6N 或更高纯度的钨靶。作为溅射气体,可使用氩(Ar)、氪(Kr)、氙(Xe)等的单一气体或它们的混合气体。膜形成的条件例如溅射功率、气体压力和衬底温度可通过操作者适当控制。金属层叠膜具有作为底层的用 WN_x ($0 < x < 1$) 表示的氮化钨并具有作为上层的钨膜。

所得的金属层叠膜几乎不包含杂质元素,特别是氧含量可为 30ppm 或更低,而电阻率可为 $20 \mu \Omega \cdot \text{cm}$ 或更低,一般为 $6-15 \mu \Omega \cdot \text{cm}$ 。膜应力为 -5×10^9 到 $5 \times 10^9 \text{dyn/cm}^2$ 。

氮氧化硅膜是由 SiO_xN_y 表示的绝缘膜,并表示以预定比率包含硅、氧和氮的绝缘膜。

接着,形成用于得到希望的栅布线图形的抗蚀剂掩模图形(膜厚度: $1.5 \mu \text{m}$)。

之后,在实施例 7 中,使用高密度等离子体的 ICP(感应耦合等离子体)以便完成用于金属层叠膜构图的刻蚀,从而形成具有锥形部分的栅极和栅极。

在此,参考图 22 详细描述 ICP 干刻蚀装置的等离子体产生机理。

图 22 是刻蚀腔的简化结构图。天线线圈 12 位于腔上部的石英片 11 上,并通过匹配器 13 与 RF 电源 14 相连。相对地配置在衬底侧的下电极 15 也通过

匹配器 16 与 RF 电源 17 相连。

当 RF 电流作用于衬底上的天线线圈 12 时, RF 电流 J 流经 α 方向的天线线圈 12, 而在 Z 方向上产生磁场 B 。电流 J 和磁场 B 之间的关系符合以下等式。

$$\mu_0 J = \text{rot} B \quad (\mu_0 \text{ 是磁化率})$$

按照由下列等式表达的电磁感应的法拉第定律, 在 α 方向产生感应电场 E 。

$$-\partial B / \partial t = \text{rot} E$$

通过 α 方向的该感应电场 E 加速电子并与气体分子碰撞, 从而产生等离子体。由于感应电场的方向是 α 方向, 带电颗粒与刻蚀室壁或衬底碰撞并损失其电荷的可能性变低。因此, 即使压力低至约 1Pa, 也可产生高密度的等离子体。由于磁场 B 在下流部分几乎不存在, 故可得到片状延伸的高密度等离子体区。

通过调节作用于每个天线线圈 12 (施加 ICP 能量) 和衬底侧上的下电极 15 (施加偏置功率) 的 RF 功率, 也可独立控制等离子体密度和自偏压电压。也可根据将要刻蚀的膜施加不同频率的 RF 功率。

为通过 ICP 刻蚀装置得到高密度等离子体, 必须使流经天线线圈 12 的 RF 电流 J 以低损耗通过, 为了增加面积, 必须降低天线线圈 12 的电感。为此, 如图 23 所示, 已研制天线被分隔的多螺线圈 22 的 ICP 刻蚀装置。图 23 中, 标号 21 表示石英片, 23 和 26 表示匹配器, 而 24 和 27 表示 RF 电源。在经绝缘体 29 的室底部上提供用于保持衬底 28 的下电极 25。

在本实施例中, 在各种 ICP 刻蚀装置中, 特别利用多螺线圈系统的 ICP 刻蚀装置, 形成具有锥形角 θ 的布线。

为实现所需的锥形角 θ 的目的, 在本实施例中, 调节 ICP 刻蚀装置的偏置功率密度。图 24 是表示锥形角 θ 与偏置功率之间的关系图。如图 24 所示, 可按照偏置功率密度控制锥形角 θ 。

可调节刻蚀气体 (CF_4 和 Cl_2 的混合气体) 的 CF_4 的流量。图 25 是表示锥形角 θ 与 CF_4 流量的关系的图。如 CF_4 流量大, 钨与抗蚀剂掩模的选择比变大而布线的锥形角 θ 大。

认为锥形角 θ 取决于钨与抗蚀剂掩模的选择比。图 26 表示锥形角 θ 和钨与抗蚀剂掩模的选择比之间的关系图。

这样,利用 ICP 刻蚀装置并适当确定偏置功率密度或反应气体流量,可极容易得到具有锥形角 $\theta = 3-60^\circ$ (优选 $5-45^\circ$, 更优选 $7-20^\circ$) 的栅极和布线。

在此,尽管如实施例那样示出了 W 膜,当 ICP 刻蚀装置用于通常所知的耐热导电材料 (Ta、Ti、Mo、Cr、Nb、Si 等),图形末端可容易处理成锥形。

此外,即使采用 CF_4 (四氟化碳) 和 Cl_2 的混合气体作为用于上述干刻蚀的刻蚀气体,气体不特定限定,例如,也可使用从 C_2F_6 和 C_4F_8 中选择的包含氟的反应气体和从 Cl_2 、 SiCl_4 和 BCl_3 中选择的含有氯的气体的混合气体。

进行按照实施例 1 的顺序步骤,完成半导体器件。

顺带说说,本实施例的结构可应用于具有本说明书所公开实施例的锥形部分的电极制造步骤。

(实施例 8)

尽管由准分子激光晶体化的多晶硅膜在实施例 1 中用作半导体层,但另一晶体化方法将在本例中描述。

该实施例的晶体化处理是日本专利申请公开 No.Hei.7-130652 所公开的晶体化技术。参考图 27A 和 27B 描述晶体化处理。

首先,在玻璃衬底 1001 上形成作为底膜的氧化硅膜 1002。在氧化硅膜 1002 上形成非晶硅膜 1003。在该实施例中,通过溅射法顺序形成氧化硅膜 1002 和非晶硅膜 1003。接着,涂覆含以重量为单位的 10ppm 镍的醋酸镍盐溶液以便形成含镍层 1004 (图 27A)。

可利用从由锗 (Ge)、铁 (Fe)、钯 (Pd)、锡 (Sn)、铅 (Pb)、钴 (Co)、铂 (Pt)、铜 (Cu)、金 (Au) 和硅 (Si) 组成的组中选择出的一种或多种元素来代替镍 (Ni)。

接着,在完成 600°C 下 1 小时的脱氢步骤之后,进行 $450-1100^\circ\text{C}$ 下 4-12 小时的热处理 (在该实施例中, 500°C 下 4 小时),从而形成多晶硅 1005。已知所得的结晶硅膜 1005 具有极高的结晶性 (图 27B)。

顺带说说,该实施例的晶体化处理可应用于本说明书所公开的半导体层的形成方法。

(实施例 9)

本实施例涉及与实施例 8 不同的晶体化处理,并将描述利用日本专利申请公开 No.Hei.8-78329 所公开的技术完成晶体化的情况实施例。日本专利申请公

开 No.Hei.8-78329 所公开的技术是通过选择性地添加催化元素可完成半导体膜的晶体化。参考图 28A 和 28B 描述将相同的技术应用于本发明的情况。

首先，在玻璃衬底 1011 上形成氧化硅膜 1012，并在其上顺序形成非晶硅膜 1013 和氧化硅膜 1014。同时，使氧化硅膜 1014 的厚度为 150nm。

接着，对氧化硅膜 1014 进行构图以便选择性地形成开口部分 1015。之后，涂覆含以重量为单位的 100ppm 镍的醋酸镍盐溶液。所形成的含镍层 1016 具有只在开口部分 1015 的底部处于与非晶硅膜 1013 接触的状态（图 28A）。

接着，在完成 500-650℃下 4-24 小时的热处理（在该实施例中，550℃下 14 小时）之后，从而进行非晶硅膜的晶体化。在该晶体化处理中，首先晶体化镍接触的部分，而且晶体生长以几乎平行衬底的方向进行。从结晶学可确定晶体化在<111>轴方向进行。

所得的多晶硅膜 1017 由棒形或针形晶体集体组成，而宏观上每个棒形晶体以一定方向性生长。因此，具有结晶性均匀的优点。

同样在上面申请所公开的技术中，可使用从由锗（Ge）、铁（Fe）、钯（Pd）、锡（Sn）、铅（Pb）、钴（Co）、铂（Pt）、铜（Cu）、金（Au）和硅（Si）组成的组中选择出的一种或多种元素来代替镍（Ni）。

利用如上所述的技术形成包含晶体的半导体膜（包括多晶硅膜和多晶硅锗膜），并进行构图以便形成由含有晶体的半导体膜组成的半导体层。根据实施例 1 进行随后的步骤。当然，也可结合实施例 2-7。

在使用包含晶体的半导体膜制造 TFT 的情况下，该半导体膜利用该实施例的技术进行晶体化，尽管可得到高场效应迁移率（迁移率），但由于以上所述而需要高可靠性。然而，当采用本发明的 TFT 结构，可制造充分应用本实施例的技术的 TFT。

（实施例 10）

在该实施例中，描述了晶体化之后利用磷完成去除用于实施例 8 和 9 所示的半导体晶体化的镍的步骤的实施例。作为该方法，本实施例使用日本专利申请公开 No.Hei.10-135468 或 No.Hei.10-135469 所公开的技术。

本申请所公开的技术是利用磷吸收作用在晶体化之后去除用于非晶半导体膜的晶体化的催化元素。利用该技术，可降低结晶半导体膜中的催化元素的浓度到 1×10^{17} 原子/cm³ 或更低，优选 1×10^{16} 原子/cm³。

参考 29A 和 29B 描述该实施例的结构。在此,使用 Corning Inc.制造的 1737 衬底的无碱玻璃衬底。图 29A 表示利用实施例 2 所述的晶体化技术形成底膜 1022 和结晶硅膜 1023 的情况。在结晶硅膜 1023 上形成厚度 150nm 并用作掩模的氧化硅膜 1024。通过构图提供开口部分,并且提供结晶硅膜暴露的区域。完成加入磷的步骤,从而提供磷加入到结晶硅膜中的区域 1025。

在这种状态下,当氮气氛下完成 550-1020℃下 5-24 小时的热处理,例如,600℃下 12 小时,将磷加入到结晶硅膜中的区域 1025 起吸收位置的作用,从而留在结晶硅膜 1023 中的催化元素可在加入磷的区域 1025 中分凝。

通过完成刻蚀以去除用作掩模以及加入磷的区域 1025 的氧化硅膜 1024,可得到晶体化步骤所用的催化元素浓度降到 1×10^{17} 原子/cm³ 或更低的结晶硅膜。该结晶硅膜可直接用作实施例 1 所述的本发明 TFT 的半导体层。

(实施例 11)

该实施例 11 是实施例 8 或 9 结合日本专利申请公开 No.Hei.10-135468 或 No.Hei.10-135469 所公开的技术的实施例。

申请所公开的技术是晶体化之后利用卤素元素(一般是氯)的吸收作用去除用于实施例 3 或 4 所述的半导体晶体化的镍。利用该技术,可降低半导体层的镍浓度到 1×10^{17} 原子/cm³ 或更低(优选 1×10^{16} 原子/cm³ 或更低)。

参考图 30A 和 30B 描述本实施例的结构。高耐热性的石英衬底 1031 用作衬底。当然,可使用硅衬底或陶瓷衬底。在使用石英衬底的情况下,即使不特意提供氧化硅膜作为底膜,也不会发生来自衬底侧的污染。

接着,利用实施例 3 或 4 的晶体化方法形成多晶硅膜(未示出),并进行构图以便形成半导体层 1032 和 1033。而且,形成覆盖那些半导体层并由氧化硅膜组成的栅绝缘膜 1034(图 30A)。

形成栅绝缘膜 1034 之后,在含有卤素元素的气氛中完成热处理。在该实施例中,处理气氛为混合氧和氯化氢的氧化气氛,处理温度为 950℃,而处理时间为 30 分钟。如处理温度选择在 700-1150℃(一般 900-1000℃)之间,而处理时间选择在 10 分钟到 8 小时(一般 30 分钟到 2 小时)之间,则就足够了(图 30B)。

此时,镍变成挥发性氯化镍并进入处理气氛,从而降低多晶硅膜的镍浓度。因此,图 30B 所示的半导体层 1035 和 1036 所含的镍浓度下降到 1×10^{17} 原子/cm³

或更低。

利用如上所述的该实施例的技术形成半导体层，并按照实施例 1 或 2 进行随后步骤。已知特别将该实施例与实施例 4 的晶体化方法相结合可实现极高结晶性的结晶硅膜。

（对半导体层的晶体结构的探索）

按照上面制造步骤形成的半导体层的微观晶体结构是聚集并排列多个针形或棒形晶体（下文简称为“棒形晶体”）。用 TEM（透射电子显微镜）观察容易确定该结构。

使用电子束衍射或 X-射线衍射可确定半导体层的表面（形成沟道的部分）具有{110}晶面的主取向晶面，尽管晶轴上包括一些偏向。申请人对斑点直径约 $1.5\mu\text{m}$ 的电子束衍射照片细致观察出的结果，可确定尽管对应{110}晶面的衍射斑点清晰可见，各个斑点分布在同心圆上。

本申请人利用 HR-TEM（高分辨率透射电子显微镜）观察各个棒形晶体接触形成的晶粒晶界，可确定晶格在晶粒晶界上具有连续性。这意味着观察到的晶格带在晶粒晶界上连续连接，这容易确定。

晶格在晶粒晶界上的连续性是由晶粒晶界称为“平面边界”的边界的这一事实而引起的。本说明书中的平面界面的定义是“Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988”所公开的“平面边界”。

按照上面论文，平面边界包括双晶边界、特有层叠缺陷、特有双晶边界等。该平面边界具有电惰性的特性。即，尽管它是晶粒晶界，由于平面边界不起妨碍载流子移动的陷阱的作用，可认为基本不存在。

特别是在晶轴（垂直于晶面的轴）是 $\langle 110 \rangle$ 轴时，{211}双晶边界也称为 $\Sigma 3$ 的重合边界。 Σ 值是成为表示重合边界一致程度的指数的一个参数，已知当该值变小时，晶界一致性优良。

本申请人利用 TEM 对本发明所得的多晶硅膜详细观察的结果，发现几乎所有（90%或更多，一般 95%或更多）晶粒晶界是 $\Sigma 3$ 的重合边界，即，{211}双晶边界。

在两个晶粒之间形成的晶粒晶界内，并在两个晶体具有{110}晶面取向的

情况下,当由对应 $\{110\}$ 晶面的晶格带形成的角度是 θ 时,已知当 $\theta=70.5^\circ$ 时,晶界为 $\Sigma 3$ 的重合边界。

在该实施例的多晶硅膜中,在相邻晶粒晶界上的晶粒各个晶格带以约 70.5° 连续,以此,可推断出该晶粒晶界是 $\{211\}$ 双晶界面。

尽管当 $\theta=38.9^\circ$ 时晶界为 $\Sigma 9$ 的重合界面,但其它晶粒晶界也存在。

只在相同晶面取向的晶粒晶界之间形成这种重合边界。即,由于本实施例所得的多晶硅膜基本上具有 $\{110\}$ 均匀晶面取向,重合边界可在宽的范围内形成。

这种晶体结构(正确而言,晶粒晶界的结构)表示两个不同晶粒在晶粒晶界上以极高一致性相互连接。即,形成这样的结构,晶格在晶粒晶界上连续连接并难于由于晶体缺陷等形成陷阱能级。因此,这种晶体结构的半导体薄膜基本上被认为没有晶粒晶界。

此外,利用 TEM 观察可确定存在于晶粒中的缺陷可通过 $700-1150^\circ\text{C}$ 高温下热处理步骤几乎消失。从该热处理步骤前后缺陷数目大量减少的事实也可清楚这一点。

缺陷数目的不同表现为电子自旋共振(ESR)的自旋密度的不同。目前,发现按照该实施例制造步骤制造的多晶硅膜的自旋密度是 3×10^{17} 自旋/ cm^3 或更低(优选 5×10^{15} 自旋/ cm^3 或更低)。然而,由于该测量的值接近现有测量设备的检测极限,预计实际的自旋密度更低些。

利用上述,可知,由于该实施例所得的多晶硅膜基本上不包括晶粒和晶粒晶界,膜可认为是单一结晶硅膜或基本上单一结晶硅膜。本申请人将具有这种晶体结构的多晶硅膜称为 CGS(连续晶粒硅)。

CGS 的公开可参考本发明人的日本专利申请公开 No.Hei.10-294280,日本专利申请公开 No.Hei.10-152316、日本专利申请公开 No.Hei.10-152308 或日本专利申请公开 No.Hei.10-152305。

(对 TFT 电性能的探索)

该实施例所得的 TFT 表现与 MOSFET 相比的电性能。从本发明人实验得到的 TFT 完成的数据如下所示。

(1) 对于 N 沟道 TFT 和 P-沟道 TFT 而言,作为表示开关性能(导通/断开操作的开关的迅速性)指数的亚阈系数小至 $60-100\text{mV/decade}$ (一

般 60-85mV/decade)。

(2) 对于 N 沟道 TFT, 作为表示 TFT 运行速度的指数的场效应迁移率 (μ_{FE}) 大到 200-650cm²/Vs (一般 300-500cm²/Vs), 而对于 P-沟道 TFT 而言为 100-300 cm²/Vs (一般 150-200cm²/Vs)。

(3) 对于 N 沟道 TFT, 作为 TFT 驱动电压的指数的阈值电压 (V_{th}) 小至-0.5 到 1.5V, 而对于 P-沟道 TFT 为-1.5 到 0.5V。

如上所述, 确定了可实现极高开关性能和高速运行性能。

(对电路性能的探索)

接着, 描述利用该实施例形成的 TFT 制造的环形振荡器的频率性能。环形振荡器是连接 CMOS 结构组成的奇数级的反相电路以形成环形并用于得到一级反相电路的延迟时间的电路。用于实验的环形振荡器结构如下:

级数: 9 级

TFT 的栅绝缘膜厚度: 30nm 和 50nm

TFT 的栅极长度: 0.6 μ m

研究该环形振荡器的振荡频率的结果, 可得到最大值的 1.04GHz 振荡频率。而且, 实际上制造了作为 LSI 电路的一个 TEG 的移位寄存器并确定其运行频率。结果, 在栅绝缘膜厚度 30nm 的移位寄存器中, 栅极长度为 0.6 μ m, 电源电压为 5V, 而级数是 50, 实现运行频率 100MHZ 的输出脉冲。

如上所述的环形振荡器和移位寄存器的令人吃惊的数据表明该实施例的 TFT 具有可与 MOSFET 相比或高于 MOSFET 的性能 (电性能)。

(实施例 12)

该实施例也涉及吸收用于晶体化步骤的催化元素的技术。

在实施例 10 中, 为吸收结晶硅的催化元素, 必须形成吸收区 1025 (参见图 29A)。由于在吸收区中不能形成 TFT, 妨碍了电路的集成。该实施例是解决上面问题的吸收方法, n 沟道 TFT 的 n⁺型杂质区和 p 沟道 TFT 的 p⁺型杂质区用作吸收区。

在实施例 1 所述的步骤中, n⁺型杂质区 313-315 和 p⁺型杂质区 332 和 333 含有 5×10^{20} 原子/cm³ 的高浓度磷 (参见图 14A、图 16A)。因此, 这些区域可用作吸收区。

因此, 在 TFT 的半导体层 302-304 由实施例 3 或 4 所示的结晶硅组成的情

况下,磷或硼的激活步骤也要用作用于吸收的加热步骤。例如,在激活步骤中(参见图 14D、图 16D),如在 500-650℃(一般 550-600℃)处理温度下进行 2-24 小时(一般 4-12 小时)的热处理就足够了。

在该热处理中,各个 TFT 的沟道形成区 311、312、325、331 和 341 保留的镍通过磷的作用朝上述 n⁺型杂质区和 p⁺型杂质区扩散并俘获于该区。

因此, n⁺型杂质区 313-315 和 p⁺型杂质区 332 和 333 的镍(催化剂)浓度降到 1×10^{17} - 1×10^{20} 原子/cm³(一般 1×10^{18} - 5×10^{19} 原子/cm³),而沟道形成区 311、312、325、331 和 341 的镍浓度可降到 2×10^{17} 原子/cm³ 或更低(一般 1×10^{14} - 5×10^{16} 原子/cm³)。

为实现该实施例的效果,在 n⁺型杂质区 313-315 和 p⁺型杂质区 332 和 333 中,使磷或砷的浓度为 1×10^{19} 原子/cm³ 或更高(优选 1×10^{20} - 5×10^{21} 原子/cm³)。

(实施例 13)

该实施例是实施例 1 的 CMOS 电路的改进例。参考图 31A-31D 描述该实施例的 TFT 结构。在图 31A-31D 中,相同标号代表相同结构元件。实施例 1 或 2 可被应用于该实施例的制造步骤,而省略详细描述。

图 31A 表示省略第二栅极(布线)而且栅极(布线)只由具有锥形部分的电极组成的实施例 1 的改进例。

在衬底 900 整个表面上形成氧化硅组成的底膜 901。在底膜 901 上形成 n 沟道 TFT 和 p 沟道 TFT 的岛状半导体层。在衬底 900 整个表面上形成覆盖岛状半导体层的栅绝缘膜 905。而且,形成氮化硅组成的保护膜 906 和间层绝缘膜 907 以便覆盖 TFT,并在间层绝缘膜 907 上形成源极 941 和 942 以及漏极 943。

形成栅布线(栅极)931 以便经过栅绝缘膜 905 与半导体层交叉。栅布线 931 的侧面形成锥形。在此,由厚度 250nm 的铬组成。而且,与 p 沟道 TFT 的半导体层交叉部分的宽度变窄并形成第二栅极 933A。

实施例 1 可作为将磷和硼加入到半导体层的方法来应用。在 n 沟道 TFT 的半导体层内形成沟道形成区 911A、n⁺型杂质区 912A 和 913A、与栅极 931A 交叠的 n⁺型杂质区 914A 和 915A、以及不与栅极 931A 交叠的 n⁺型杂质区 916A 和 917A。

n⁺型杂质区 914A 和 915A 以及 n⁺型杂质区 916A 和 917A 的磷浓度比 n⁺型杂质区 912A 和 913A 的要低。在栅极 931A 的锥形部分之下存在 n⁺型杂质区 914A

和 915A 与沟道形成区 911A 之间的接触部分, 而 n 型杂质区 914A 和 915A 的浓度朝沟道形成区 911A 降低。

另一方面, 在 p 沟道 TFT 的半导体层内形成沟道形成区 921A、p⁺型杂质区 922A 和 923A 以及 p⁺型杂质区 924A 和 925A。p⁺型杂质区 924A 和 925A 的磷浓度比 p⁺型杂质区 922A 和 923A 的要低, 而前者的硼浓度等于后者。

图 31B 表示实施例 2 或 3 的改进例, 其中省略第二电极并栅极只由具有锥形部分的电极组成。

在图 31B 中, n 沟道 TFT 和 p 沟道 TFT 的栅极 931B 形成锥形。在此, 电极由厚度 250nm 的铬组成。

实施例 2 可作为将磷和硼加入到半导体层的方法来应用。在 n 沟道 TFT 的半导体层内形成沟道形成区 911B、n⁺型杂质区 912B 和 913B、与栅极 931B 交叠的 n 型杂质区 914B 和 915B、以及不与栅极 931B 交叠的 n 型杂质区 916B 和 917B。

n 型杂质区 914B 和 915B 以及 n 型杂质区 916B 和 917B 的磷浓度比 n⁺型杂质区 912B 和 913B 的要低。在栅极 931B 的锥形部分之下存在 n 型杂质区 914B 和 915B 与沟道形成区 911B 之间的接触部分, 而 n 型杂质区 914B 和 915B 的浓度朝沟道形成区 911B 降低。

另一方面, 利用栅极 931B 作为掩模以自对准方式在 p 沟道 TFT 的半导体层内形成沟道形成区 921B 和 p⁺型杂质区 922B 和 923B。

图 31C 表示实施例 1 省略第一栅极锥形刻蚀的改进例。

栅布线由第一栅布线 931C 和第二栅布线 932C 组成, 第二栅布线 932C 在沟道长度方向上的宽度比第一栅布线 931C 的要窄。在第一栅布线 931C 与 p 沟道 TFT 的半导体层交叉的部分中, 利用第二栅布线 932C 作为掩模形成宽度变窄的第三栅极 933C。

在 n 沟道 TFT 的半导体层内形成沟道形成区 911C、n⁺型杂质区 912C 和 913C、与栅极 931C 交叠的 n 型杂质区 914C 和 915C、以及不与栅极 931C 交叠的 n 型杂质区 916C 和 917C。

n 型杂质区 914C 和 915C 以及 n 型杂质区 916C 和 917C 的磷浓度比 n⁺型杂质区 912C 和 913C 的要低。

另一方面, 在 p 沟道 TFT 的半导体层内形成沟道形成区 921C、p⁺型杂质

区 922C 和 923C 以及 p⁺型杂质区 924C 和 925C。p⁺型杂质区 924C 和 925C 的磷浓度比 p⁺型杂质区 922C 和 923C 的要低。

图 31D 表示实施例 1 中形成覆盖栅布线表面的第四栅布线的实施例。

在 CMOS 电路中,按照实施例 1 的步骤进行硼加入步骤。接着,替代氮化硅组成的保护膜 906 的形成,可形成由铬 (Cr)、钽 (Ta)、钛 (Ti)、钨 (W)、或钼 (Mo) 或含有这些元素作为其主要组分的合金、或如硅化物导电材料组成的金属膜并进行构图,从而形成第四栅布线 934D。之后,可进行激活。

利用该结构,可得到具有第二栅布线 932D 被第一栅布线 931D (包括第三栅极 933D) 和第四栅布线 934D 包围的这种结构的栅布线。

在这种情况下,在 n 沟道 TFT 的半导体层内形成沟道形成区 911D、n⁺型杂质区 912D 和 913D、与栅极 931D 交叠的 n 型杂质区 914D 和 915D、以及不与栅极 931D 交叠的 n 型杂质区 916D 和 917D。n 型杂质区 914D 和 915D 与第一和第四栅极交叉,并且 n 型杂质区 916D 和 917D 不与第四栅极 934D 交叉。

该结构的优点在磷几乎不加入到第一栅极 931D 之下的半导体层中的情况下特别有效。如图 31D 所示,尽管 n 型杂质区 914D 和 915D 几乎不与第一栅极 931D 交叠,但可使第四栅极 934D 与 n 型杂质区交叠,从而能可靠地形成与栅极交叠的 n 型杂质区。

另一方面,在 p 沟道 TFT 的半导体层内形成沟道形成区 921D、p⁺型杂质区 922D 和 923D 以及 p⁺型杂质区 924D 和 925D。p⁺型杂质区 924D 和 925D 的磷浓度比 p⁺型杂质区 922D 和 923D 的要低。在这种情况下,n 型杂质区与第四栅极 934D 交叠。在截止电流性能或耐电压性能发生问题的情况下,当形成第四栅布线 934D 时,在与 p 沟道 TFT 的半导体层交叉的部分不形成第四栅布线 934D。

(实施例 14)

本发明的 TFT 不仅可应用于实施例 1 所示的液晶显示器件,还可应用于任何半导体电路。即,可应用于如 RISC 处理器或 ASIC 处理器的微处理器,或可应用于从如 D/A 变换器的信号处理电路到便携式设备(便携式电话、PHS、手提电脑)的高频电路的任何电路。

此外,也可实现三维结构的半导体器件,其中在传统 MOSFET 上形成间层绝缘膜并用本发明的 TFT 制造半导体电路。这样,本发明可应用于目前利用

LSI 的任何半导体器件。即, 本发明可应用于如 SIMOX、Smart-Cut (SOITEC Inc. 的注册商标) 和 ELTRAN (Canon Inc. 的注册商标) 的 SOI 结构 (利用单晶半导体薄膜的 TFT 结构)。而且, 可结合实施例 1-13 得到的任何结构实现该实施例的半导体电路。

(实施例 15)

使用本发明所得的 TFT 的半导体器件可应用于各种电光器件和半导体电路。即, 本发明可应用于所有含有作为元件的那些电光器件和半导体电路的电子设备。

对于这种电子设备, 列举出摄像机、数码相机、投影机 (背投影或前投影机)、头戴显示器 (防护镜型显示器)、车辆导航系统、个人电脑和便携式信息终端 (移动电脑、蜂窝型电话或电子笔记本等)。在图 32A-33D 中列出那些实施例。

图 32A 表示包括主体 2001、图像输入单元 2002、显示器件 2003 和键盘 2004 的个人电脑。本发明可应用于图像输入单元 2002、显示器件 2003 和其它信号控制电路。

图 32B 表示包括主体 2101、显示器件 2102、声音输入单元 2103、运行开关 2104、电池 2105 和图像接收单元 2106 的摄像机。本发明可应用于显示器 2102、声音输入单元 2103 和其它信号控制电路。

图 32C 表示包括主体 2201、摄像单元 2202、图像接收单元 2203、运行开关 2204 和显示器件 2205 的移动电脑。本发明可应用于显示器 2205 和其它信号控制电路。

图 32D 表示包括主体 2301、显示器件 2302 和臂部分 2303 的防护镜型显示器。本发明可应用于显示器件 2302 和其它信号控制电路。

图 32E 表示应用记录了程序的记录介质 (下文称为记录介质) 并包括主体 2401、显示器件 2402、扬声器单元 2403、记录介质 2404 和运行开关 2405 的播放器。顺带说说, 该播放器使用 DVD (数字通用盘)、CD 等作为记录介质, 以供欣赏音乐或电影、玩游戏和联网之用。本发明可应用于显示器件 2402 和其它信号控制电路。

图 32F 表示包括主体 2501、显示器件 2502、目镜部分 2503、运行开关 2504 和图像接收单元 (未示出) 的数码相机。本发明可应用于显示器件 2502 和其

它信号控制电路。

图 33A 表示包括显示器件 2601 和屏幕 2602 的前投影型投影器。本发明可应用于显示器件和其它信号控制电路。

图 33B 表示包括主体 2701、显示器件 2702、反射镜 2703 和屏幕 2704 的背投影型投影器。本发明可应用于显示器件和其它信号控制电路。

图 33C 表示图 33A 和 33B 的显示器件 2601 和 2702 的结构的实施例图。显示器件 2601 或 2702 包括光源光学系统 2801、反射镜 2802 和 2804-2806、分光镜 2803、棱镜 2807、液晶显示器件 2808、相位差板 2809 和投影光学系统 2810。投影光学系统 2810 由包括投影透镜的光学系统组成。该实施例表示“三板型”的实施例，但不限于于此。例如，本发明也可应用于“单板型”。而且，在图 33C 的箭头所示的光路上，可按照执行本发明的人员的判断提供如光学透镜的光学系统、具有偏振作用的膜、用于调节相位差的膜、IR 膜。

图 33D 是表示图 33C 的光源光学系统的结构例的图。在该实施例中，光源光学系统 2801 包括反射镜 2811、光源 2812、透镜阵列 2813 和 2814、偏振变换元件 2815 和准直透镜 2816。顺带说说，图 33D 所示的光源光学系统是一个实施例，但不限于于此。例如，在光源光学系统中，可按照执行本发明的人员的判断提供如光学透镜的光学系统、具有偏振作用的膜、用于调节相位差的膜、IR 膜。

如上所述，本发明的半导体器件的应用范围非常宽，而且本发明可应用于任何领域的电子设备。即使使用实施例 1-14 的任何结合，也可实现该实施例的半导体器件。

（实施例 16）

该实施例说明按照本发明制造有源矩阵型 EL（电致发光）显示器件的过程。

图 35A 是表示按照本发明制造的 EL 显示器件的俯视图。图 35A 中，示出衬底 4010、像素部分 4011、源侧驱动电路 4012 和栅侧驱动电路 4013，每个驱动电路与抵达可引到外部设备的 FPC4017 的布线 4014-4016 相连。

像素部分最好与驱动电路一起被覆盖材料 6000、密封材料（或外壳材料）7000 和末端密封材料（或第二密封材料）7001 所密封。

图 35B 是表示该实施例的 EL 显示器件结构的截面图。示出衬底 4010、基

膜 4021、用于驱动电路的 TFT4022 和用于像素部分的 TFT4023。(所示的 TFT4022 是由 n 沟道型 TFT 和 p 沟道型 TFT 组成的 CMOS 电路。所示的 TFT 4023 是控制到 EL 元件的电流的一个 TFT。)

顺带说说, 本发明可在用于驱动电路的 TFT4022 和用于像素部分的 TFT4023 中使用。

当按照本发明完成 TFT4022 (用于驱动电路) 和 TFT4023 (用于像素部分) 时, 在树脂构成的间层绝缘膜 (偏振膜) 4026 上形成像素电极 4027。该像素电极是透明导电膜, 它与用于像素单元的 TFT4023 的漏相连。透明导电膜可由氧化铟和氧化锡的化合物 (称为 ITO) 或氧化铟和氧化锌的化合物组成。在像素电极 4027 上形成绝缘膜 4028, 其中在像素电极 4027 之上形成开口。

之后, 形成 EL 层 4029。通过自由结合已知的 EL 材料, 它可以是单层结构或多层结构, 如空穴注入层、空穴输运层、发光层、电子输运层和电子注入层。任何已知的技术可用于这种结构。EL 材料可以是低分子材料或高分子材料 (聚合物)。前者可通过汽相沉积涂覆, 而后者可通过如旋涂、印刷或喷墨法的简单方法涂覆。

在该实施例中, 通过汽相沉积经荫罩形成 EL 层。所得的 EL 层使每个像素发出波长不同的光 (红、绿和蓝)。这实现了彩色显示。另一可行的系统包括彩色开关层 (CCM) 和滤色片的结合与发白光层和滤色片的结合。不用说, EL 显示器件可以是单色的。

在 EL 层上形成阴极 4030。在该步骤之前, 希望尽可能多清除 EL 层 4029 和阴极 4030 之间的界面的水分和氧。通过在真空中顺序形成 EL 层 4029 和阴极 4030, 或在惰性气氛下形成 EL 层 4029 并随后在相同气氛下不暴露于空气来形成阴极 4030, 可实现该目的。在该实施例中, 利用多室系统 (丛集工具系统) 的膜形成设备可形成所需的膜。

由氟化锂膜和铝膜组成的多层结构可作为阴极 4030 用于该实施例中。具体而言, 通过汽相沉积在 EL 层 4029 上顺序涂覆氟化锂膜 (1nm 厚) 和铝膜 (300nm 厚)。不用说, 阴极 4030 可由已知的阴极材料的 MgAg 电极构成。接着, 阴极 4030 在由 4031 所示的区域中与布线 4016 相连。施加预定电压给阴极 4030 的布线 4016 通过导电膏体材料 4032 与 FPC4017 相连。

在区域 4031 的阴极 4030 和布线 4016 之间的电连接需要间层绝缘膜 4026

和绝缘膜 4028 中的接触孔。当在形成 EL 层之前对间层绝缘膜 4026 进行刻蚀以便形成像素电极的接触孔时或当对绝缘膜 4028 进行刻蚀以便形成开口时,可形成这些接触孔。当对绝缘膜 4028 进行刻蚀时,可同时刻蚀间层绝缘膜 4026。如间层绝缘膜 4026 和绝缘膜 4028 由相同材料组成,可形成形状良好的接触孔。

然后,形成钝化膜 6003、填料 6004 和覆盖材料 6000,从而这些层覆盖 EL 元件。

而且,在如包围 EL 元件的覆盖材料 6000 和衬底 4010 的内侧形成密封材料 7000,在密封材料 7000 外侧形成末端密封材料 7001。

形成填料 6004 以覆盖 EL 元件并也起粘合覆盖材料 6000 的粘合剂作用。作为填料 6004,可使用 PVC(聚氯乙烯)、环氧树脂、硅树脂、PVB(聚乙烯醇缩丁醛)或 EVA(乙烯乙酸乙烯酯)。由于可保持水分吸收,优选在填料 6004 中形成干燥剂。

同样,可在填料 6004 中包含垫片。优选使用包括氧化钡的圆形垫片以便在垫片中保持水分吸收。

在填料含有垫片的情况下,钝化膜 6003 可释放垫片压力。当然,不同于钝化膜的其它膜如有机树脂也可用于释放垫片压力。

对于覆盖材料 6000,可使用玻璃板、铝板、不锈钢片、FRP(玻璃纤维增强塑料)片、PVF(聚氟乙烯)膜、聚酯薄膜、聚酯膜或丙烯酸酯膜。在应用 PVB 或 EVA 作为填料 6004 的情况下,优选使用厚度几十 μm 并被 PVF 膜或聚酯薄膜夹层的铝膜。

应注意到根据 EL 元件的发光方向(光照射方向),覆盖材料具有光透明性。

布线 4016 通过密封材料 7000 和末端密封材料 7001 和衬底 4010 之间的间隙与 FPC4017 电连接。如在上面已说明的布线 4016 那样,其它布线 4014 和 4015 也在密封材料 4018 之下与 FPC4017 电连接。

(实施例 17)

在该实施例中,解释结构不同于实施例 16 的另一有源矩阵型 EL 显示器件,如图 34A 和 34B。图 36A 和 36B 以及图 35A 和图 35B 的相同标号代表相同结构元件,略去解释。

图 36A 表示该实施例中的 EL 模块的俯视图, 图 36B 表示图 36A 的 A-A' 的截面图。

按照实施例 16, 形成钝化膜 6003 以覆盖 EL 元件表面。

形成填料 6004 以覆盖 EL 元件并也起粘合覆盖材料 6000 的粘合剂作用。作为填料 6004, 可使用 PVC (聚氯乙烯)、环氧树脂、硅树脂、PVB (聚乙烯醇缩丁醛) 或 EVA (乙烯乙酸乙烯酯)。由于可保持水分吸收, 优选在填料 6004 中形成干燥剂。

同样, 可在填料 6004 中包含垫片。优选使用包括氧化钡的圆形垫片以便在垫片中保持水分吸收。

在填料含有垫片的情况下, 钝化膜 6003 可释放垫片压力。当然, 不同于钝化膜的其它膜如有机树脂也可用于释放垫片压力。

对于覆盖材料 6000, 可使用玻璃板、铝板、不锈钢片、FRP (玻璃纤维增强塑料) 片、PVF (聚氟乙烯) 膜、聚酯薄膜、聚酯膜或丙烯酸酯膜。在应用 PVB 或 EVA 作为填料 6004 的情况下, 优选使用厚度几十 μm 并被 PVF 膜或聚酯薄膜夹层的铝膜。

应注意到根据 EL 元件的发光方向 (光照射方向), 覆盖材料应具有光透明性。

接着, 利用填料 6004 粘合覆盖材料 6000。然后, 添上耐热材料 (flame material) 以覆盖填料 6004 的侧面部分 (暴露面)。通过密封材料 (作为粘合剂) 6002 粘合耐热材料 6001。作为密封材料 6002, 最好是光固化树脂。同样, 如 EL 层的耐热性许可, 可采用热固化树脂。密封材料 6002 最好不通过水分和氧。此外, 可在密封材料 6002 内部加入干燥剂。

布线 4016 通过密封材料 6002 和衬底 4010 之间的间隙与 FPC4017 电连接。如在上面已说明的布线 4016 那样, 其它布线 4014 和 4015 也在密封材料 6002 之下与 FPC4017 电连接。

(实施例 18)

在具有基于实施例 16 或 17 的结构有源矩阵型 EL 显示器件中, 可使用本发明。尽管实施例 16 和 17 说明了光辐射到底部表面的结构, 实施例 18 将详细说明显示板中像素区域结构的实施例。图 37 表示像素区域的横截面; 图 38A 表示其俯视图; 而图 38B 表示像素区域的电路结构。图 37、图 38A 和图 38B

中,对于相同部分采用相同标号表示相同部分。实施例 18 中描述了光辐射到顶部表面的实施例。然而,不用说,可将应用于实施例 18 的像素部分结构的 EL 显示器件制造成实施例 16 和 17。

图 37 中,形成在衬底 3501 上的开关 TFT3502 是本发明(实施例 1-13)的 NTFT。在该实施例中,它具有双栅结构,但其结构和制造工艺与上述结构和制造工艺没有多大不同,这里略去它们的描述。然而,开关 TFT3502 的双栅结构具有基本上串联连接的两个 TFT,因此具有降低通过于此的截止电流的优点。在该实施例中,开关 TFT3502 具有这种双栅结构,但不限于于此。它可以具有单栅结构或三栅结构,或多于三个栅极的任何其它多栅结构。作为可处的状态,开关 TFT3502 可以是本发明的 PTFT。

电流控制 TFT3503 是本发明的 NTFT。开关 TFT3502 的漏布线 3035 经其间的布线 3036 与电流控制 TFT 的栅极 3037 电连接。开关 TFT3502 的栅极 3039a 和 3039b 从栅布线 3039 延伸。因为该图将是复杂的,图 38A 只示出栅布线 3039、栅极 3037、3039a 和 3039b 的一层。然而,实际上,栅布线和栅极具有图 38B 所示的双层结构。

电流控制 TFT3503 具有本发明所定义的结构非常重要。电流控制 TFT 是用于控制通过 EL 器件的电流量的单元。因此,大量电流通过它,单元、电流控制 TFT 具有热退化和热载流子的退化的危险。因此,本发明的结构极适合该单元,其中 LDD 区域的结构是栅极经其间的栅绝缘膜与电流控制 TFT 的漏区交叠。

在该实施例中,描述具有单栅结构的电流控制 TFT3503,但它可以具有多个串联连接的 TFT 的多栅结构。此外,可并联连接多个 TFT,从而沟道形成区基本上分成多个部分。在该类型的结构中,可有效实现热辐射。该结构对保护具有该结构的器件免受热退化有优点。

在图 38A 中,作为电流控制 TFT3503 的栅极 3037 的布线经其间的绝缘膜与 3504 所示区域中的漏布线 3040 交叠。在这种情况下,由 3504 所示的区域形成电容器。电容器 3504 起保留施加到电流控制 TFT3503 的栅极上的电压的作用。漏布线 3040 与电流供给线路(电源线)3501 连接,由此将恒定电压始终施加到漏布线 3040 上。

在开关 TFT3502 和电流控制 TFT3503 上,形成第一钝化膜 41。在膜 3041

上,形成绝缘树脂的平面化膜 3042。通过平面化膜 3042 的平面化消除 TFT 的层部分高度差极为重要。这是因为在后面步骤中形成在以前形成的层上的 EL 层极薄,并且如存在以前形成的层的水平差,则 EL 器件常因发光失效而陷入麻烦。因此,希望在以前形成的层上形成像素电极之前以前尽可能以前形成的层平面化,从而在平面化的表面可形成 EL 器件。

标号 3043 表示高反射率的导电膜的像素电极 (EL 器件的阴极)。像素电极 3043 与电流控制 TFT3503 的漏区电连接。像素电极 3043 优选铝合金、铜合金或银合金的低电阻导电膜、或这些膜的层叠膜。不用说,像素电极 3043 可具有任何其它导电膜的层叠结构。

在绝缘膜 (优选树脂) 的堤 3044a 和 3044b 之间形成的凹槽 (对应像素) 处,形成发光层 3044。在所述的结构中,只表示一个像素,但可在不同像素处分别形成多个发光层,对应 R (红)、G (绿) 和 B (蓝) 的不同颜色。发光层的有机 EL 材料可以是任何 π -共轭聚合物材料。一般这里可用的聚合物材料包括聚对亚苯基亚乙烯 (PVV) 材料、聚乙烯吡唑 (PVK) 材料、聚氟材料等。

已知各种 PVV 型有机 EL 材料,如在 H.Shenk, H.Becker, O.Gelsn, E.Klunge, W.Kreuder, 和 H.Spreitzer; Polymers for Light Emitting Diodes, Euro Display Proceedings, 1999, pp.33-37 和日本专利公开 No.10-92576 (1998) 中所公开的。在此可使用任何这种已知材料。

实际上,发红光层可用氰基聚亚苯基亚乙烯;发绿光层可用聚亚苯基亚乙烯;而发蓝光层可用聚烷基聚亚苯基。发光层的膜厚度范围在 30-150nm 之间 (优选 40-100nm 之间)。

上述这些化合物只表示这里所用的有机 EL 材料的实施例,但并不限于此。发光层可以用任何所需要的方式同电荷迁移层或电荷注入层结合以便形成预期的 EL 层 (这用于发光和用于发光的载流子传输)。

具体而言,实施例 18 说明使用聚合物材料以形成发光层的实施例,然而,这并不限于此。低分子有机 EL 材料也可用于发光层。对于电荷迁移层和电荷注入层,还可采用如碳化硅等的无机材料。已知用于这些层的各种有机 EL 材料和无机材料,这里也可使用。

在该实施例中,在发光层 3045 上形成 PEDOT (聚噻吩) 或 PAni (聚苯胺) 的空穴注入层 3046 以得到 EL 层的层叠结构。在空穴注入层 3046 中,形

成透明导电膜的阳极 3047。在该实施例中，由发光层 3045 发出的光由此方向辐射到顶表面（即，以 TFT 的向上方向）。因此，以此，阳极必须传输光。对于阳极的透明导电膜，可使用氧化铟和氧化锡的化合物以及氧化铟和氧化锌的化合物。然而，由于在形成发光层和耐热性差的空穴注入层之后形成阳极，阳极的透明导电膜优选能在尽可能低的温度下形成膜的材料。

当形成阳极 3047 时，就完成了 EL 器件。这里所制造的 EL 器件 3505 表示包括像素电极（阴极）3043、发光层 3045、空穴注入层 3046 和阳极 3047 的电容器。如图 38A 所示，像素电极 3043 区域几乎与像素区域相同。以此，整个像素起 EL 器件的作用。因此，这里所制造的 EL 器件具有高的光应用效率，并且器件可显示明亮图像。

在该实施例中，在阳极 3047 上形成第二钝化层 3048。对于第二钝化层 3048，优选使用氮化硅膜或氮氧化硅膜。第二钝化层 3048 的目的是将 EL 器件与外部环境隔离。膜 3048 的作用是防止有机 EL 材料通过氧化而性能退化和去气。采用这种类型的第二钝化层 3048，改善了 EL 显示器件的可靠性。

如上所述，该实施例所制造的本发明 EL 显示板具有用于图 37 结构的像素的像素部分，并具有开关 TFT，通过开关 TFT 所经过的截止电流非常小，小到满意程度，而电流控制 TFT 可止抗热载流子注入。因此，这里所制造的 EL 显示板具有高可靠性并可显示良好图像。

该实施例的结构可通过任何所希望的方式与实施例 1-13 的任何结构结合。将该实施例的 EL 显示板作为其显示部分加入到实施例 15 的电子设备中具有优点。

（实施例 19）

该实施例说明实施例 18 的 EL 显示板的改进，其中像素部分的 EL 器件 3505 具有反转结构。图 39 表示该实施例。该实施例的 EL 显示板结构只在 EL 器件部分和电流控制 TFT 部分有所不同。因此，除那些不同部分之外这里略去其它部分的描述。

图 39 中，电流控制 TFT3701 可以是本发明的 PTFT。对于形成它的步骤，可参考实施例 1-13。

在该实施例中，像素电极（阳极）3050 是透明导电膜。实际上，使用氧化铟和氧化锌的化合物的导电膜。不用说，也可使用氧化铟和氧化锡的化合物

的导电膜。

形成绝缘膜的堤 3051a 和 3051b 之后,以溶液涂覆法在它们之间形成聚乙烯咔唑的发光层 3052。在发光层 3052 上,形成乙酰丙酮钾的电子注入层 3053 和铝合金的阴极 3054。在这种情况下,阴极 3054 也作为钝化层。由此制造了 EL 器件 3701。

在该实施例中,由发光层 3053 发出的光以所述箭头的方向照射到 TFT 形成在其上的衬底。

该实施例的结构可通过任何所希望的方式同实施例 1-13 的任何结构结合。将该实施例的 EL 显示板作为其显示部分加入到实施例 15 的电子设备中具有优点。

(实施例 20)

该实施例示出具有图 38B 电路结构的像素的改进。该改进如图 40A-40C 所示。在图 40A-图 40C 所述的该实施例中,3801 表示开关 TFT3802 的源布线;3803 表示开关 TFT3802 的栅布线;3804 表示电流控制 TFT;3805 表示电容器;3806 和 3808 表示电流供给线;而 3807 表示 EL 器件。

在图 40A 的实施例中,电流供给线 3806 为两个像素所共用。具体而言,该实施例特征在于和电流供给线 3806 线性对称地形成两个像素,电流供给线 3806 为两个像素之间的中心。由于可降低其中的电流供给线的数目,该实施例在像素部分更精细和更薄方面有优点。

在图 40B 的实施例中,平行于栅布线 3803 形成电流供给线 3808。具体而言,其中,电流供给线 3808 的结构是它不与栅布线 3803 交叠,但并不限于此。与所述情况不同,只要它们是不同的层,则可经其间的绝缘膜相互交叠。由于电流供给线 3808 和栅布线 3803 可享用其中的公用专用区域,该实施例在像素部分更精细和更薄方面有优点。

图 40C 的该实施例结构特征在于电流供给线 3808 平行于栅布线 3803 而形成,类似于图 40B,和电流供给线 3808 线性对称地形成两个像素,而电流供给线 3808 是两个像素之间的中心。以此,可有效提供与任何一个栅布线 3803 交叠的方式的电流供给线 3808。由于可降低其中的电流供给线的数目,该实施例在像素部分更精细和更薄方面有优点。

该实施例的结构可通过任何所希望的方式同实施例 1-13、16 和 17 的任何

结构结合。将该实施例的 EL 显示板作为其显示部分加入到实施例 15 的电子设备中具有优点。

(实施例 21)

图 38A 和图 38B 所述的实施例 18 的实施例提供可保留施加到电流控制 TFT3503 的栅上的电压的电容器 3504。然而，在该实施例中，可略去电容器 3504。

在实施例 18 的实施例中，电流控制 TFT3503 是本发明的 NTFT，如实施例 1-13 所示。在实施例 18 中，形成 LDD 区域从而它经其间的栅绝缘膜与栅极交叠。在交叠区域内形成一般称为栅电容的寄生电容。该实施例的特征在于寄生电容可代替电容器 3504 来使用。

上述的成问题寄生电容根据栅极与 LDD 区域交叠的区域而改变，因此可按照交叠区域的 LDD 区域长度来确定。

同样在图 40A、图 40B 和图 40C 所述的实施例 20 中，可略去电容器 3805。

该实施例的结构可通过任何所希望的方式同实施例 1-13、16-20 的任何结构结合。将具有该实施例的像素结构的 EL 显示板作为其显示部分加入到实施例 15 的电子设备中具有优点。

而且，不用说，实施例 16-21 的 NTFT 和 PTFT 分别与本发明的 n 沟道 TFT 和 p 沟道 TFT 相同。

通过实施本发明，可提高 TFT 的可靠性，特别是可提高 n 沟道 TFT 的可靠性。因此，能确保具有高电性能（特别是高迁移率）和需要具有严格可靠性的 n 沟道型 TFT 的可靠性。同时，通过 n 沟道与 p 沟道 TFT 的结合形成性能平衡优良的 CMOS 电路，可形成具有高可靠性和优良电性能的半导体电路。

此外，在本发明中，由于可降低用于半导体晶体化的催化元素，可实现几乎没有不稳定因素的半导体器件。而且，由于在源区和漏区的形成与激活的同时进行降低催化元素的步骤，所以不降低生产率。

此外，通过提高由如上所述 TFT 组装的电路可靠性，能确保电光器件、半导体电路和包括电子设备的半导体器件的可靠性。

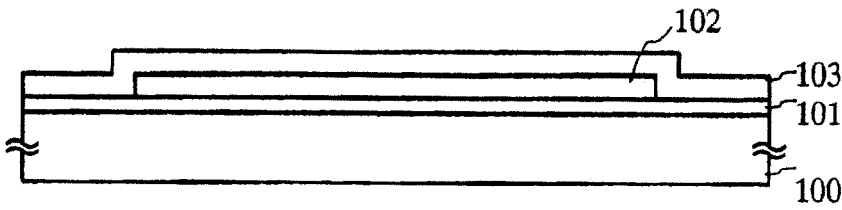


图 1A

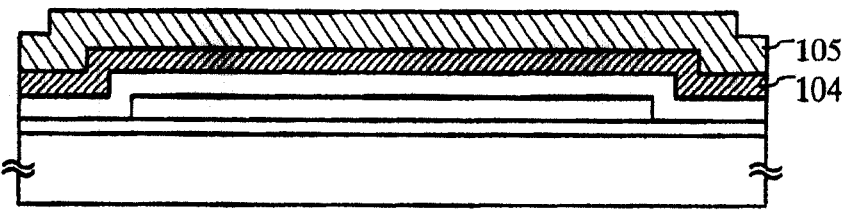


图 1B

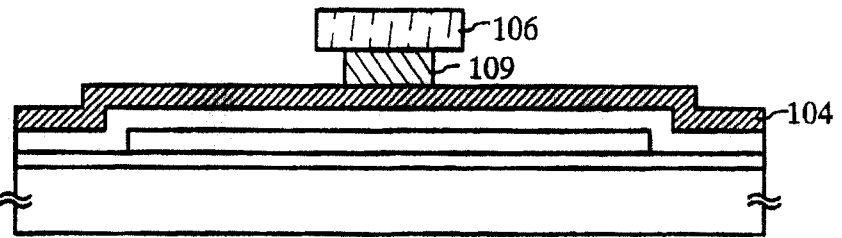


图 1C

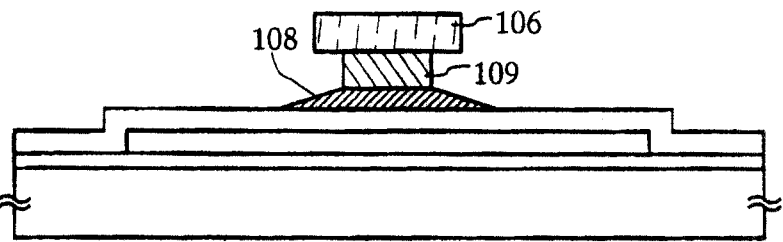


图 1D

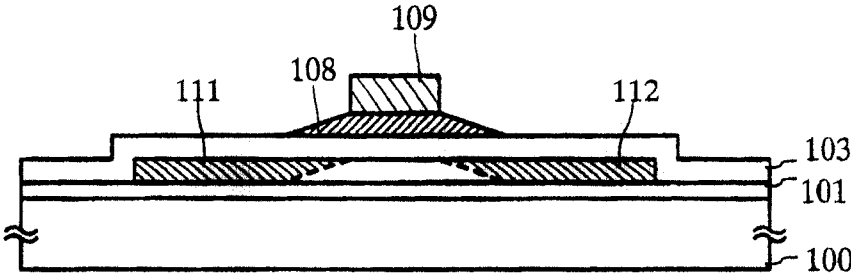


图 2A

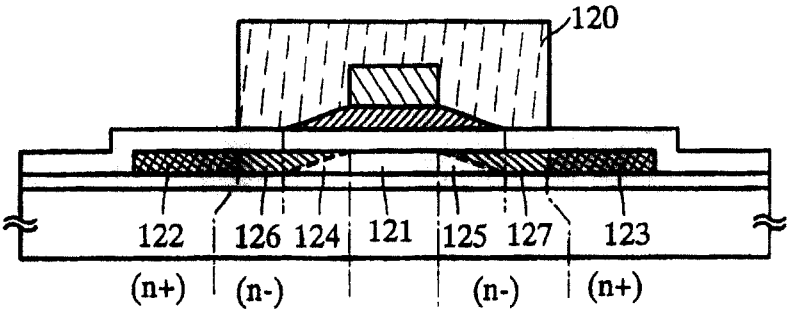


图 2B

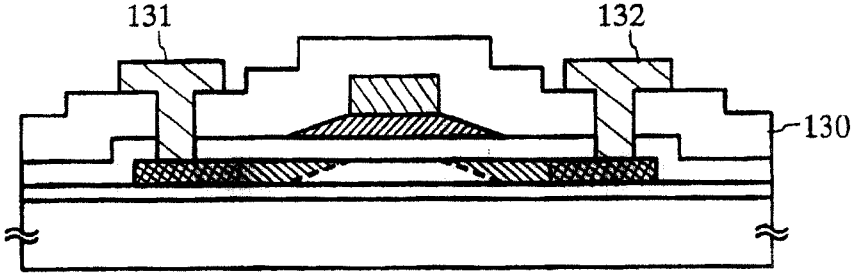


图 2C

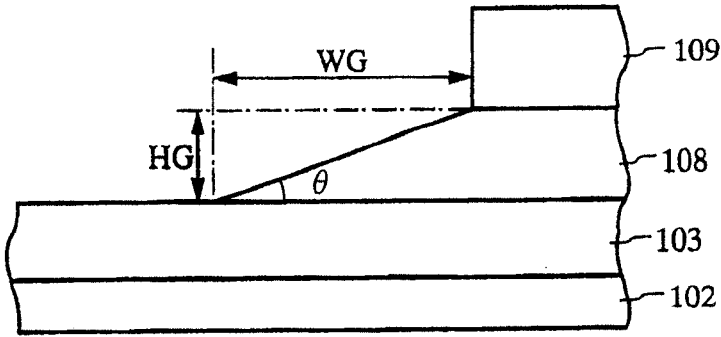
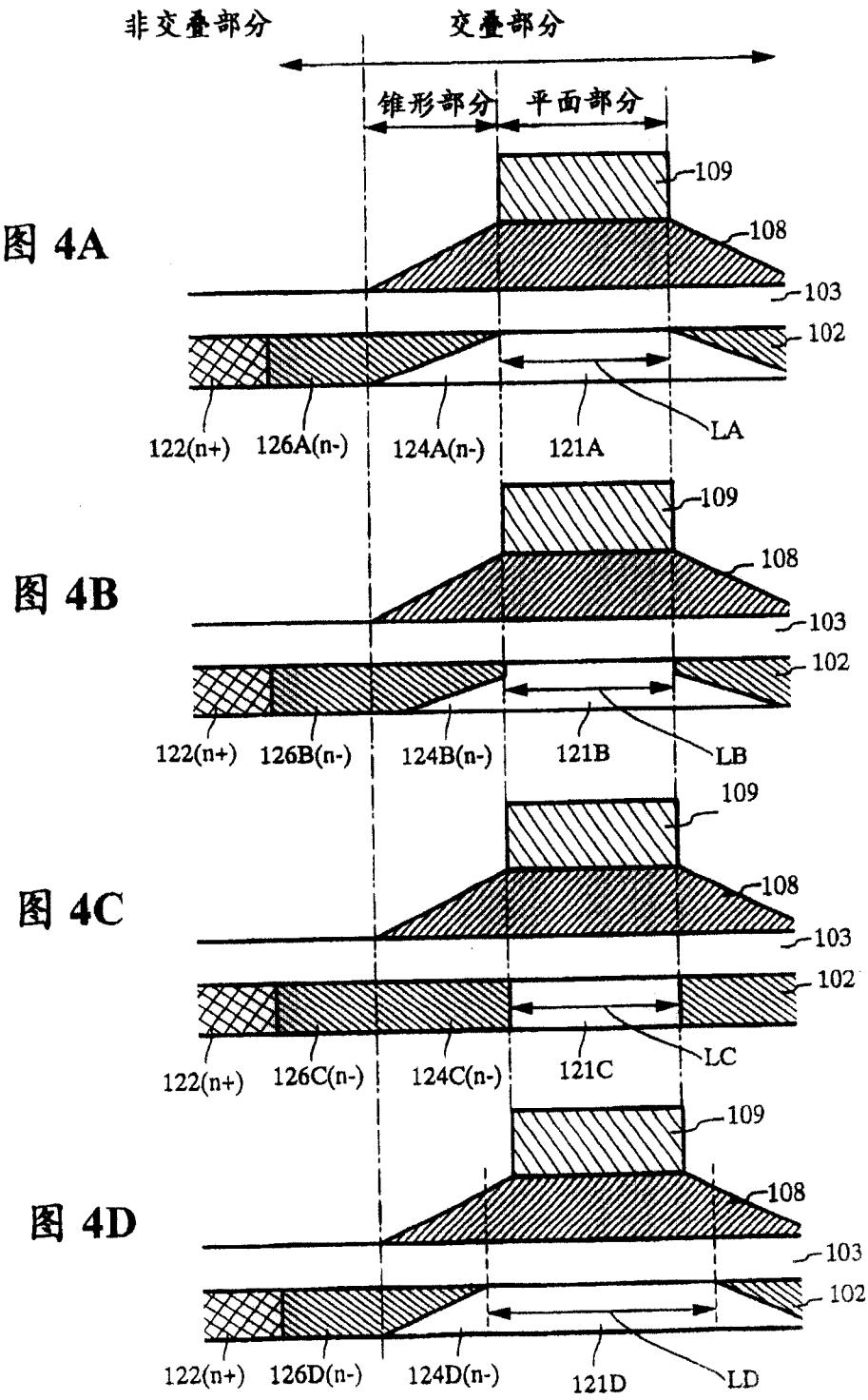


图 3



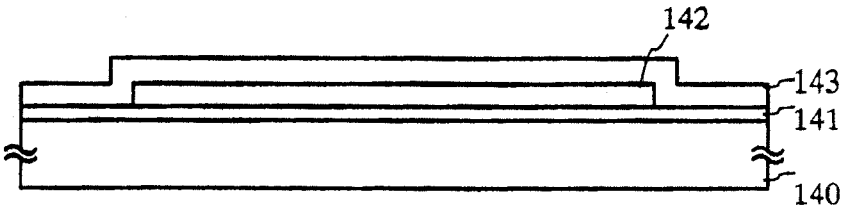


图 5A

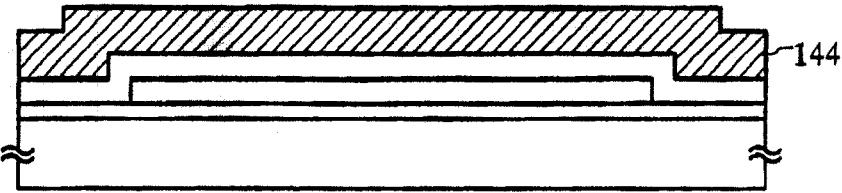


图 5B

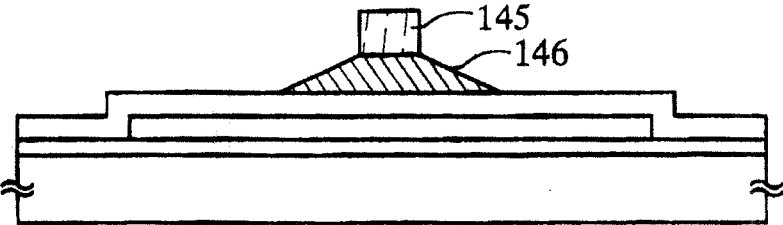


图 5C

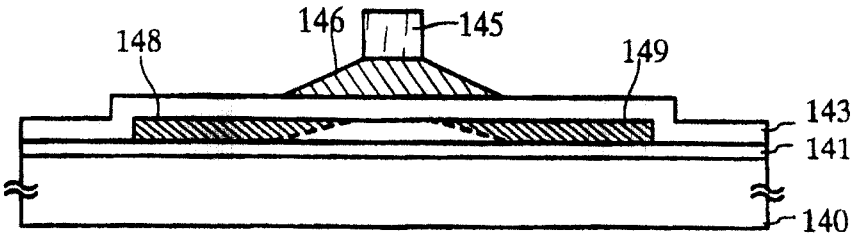


图 6A

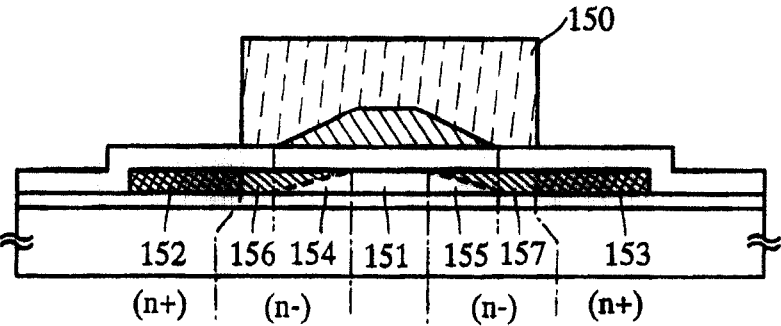


图 6B

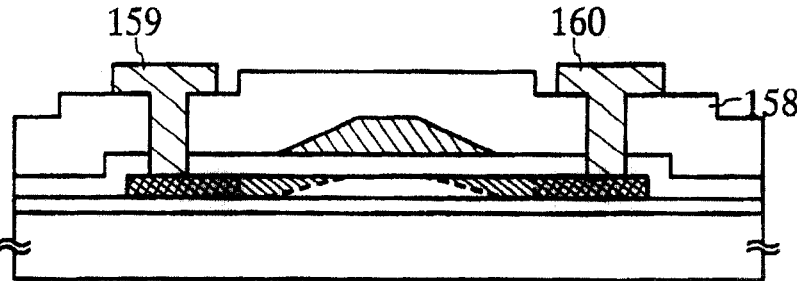


图 6C

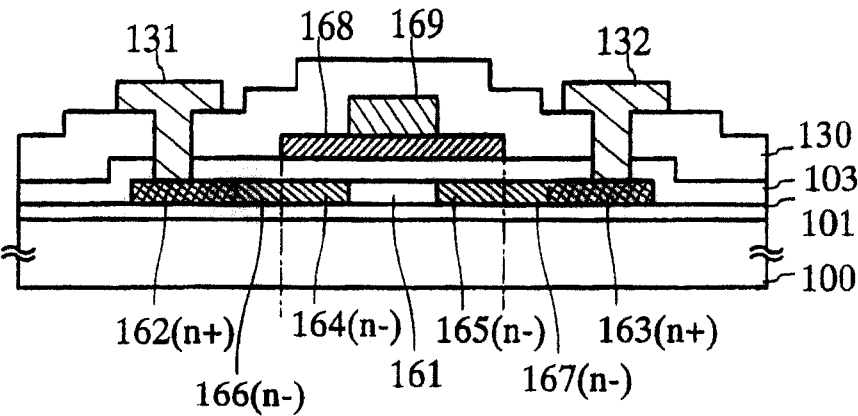


图 7

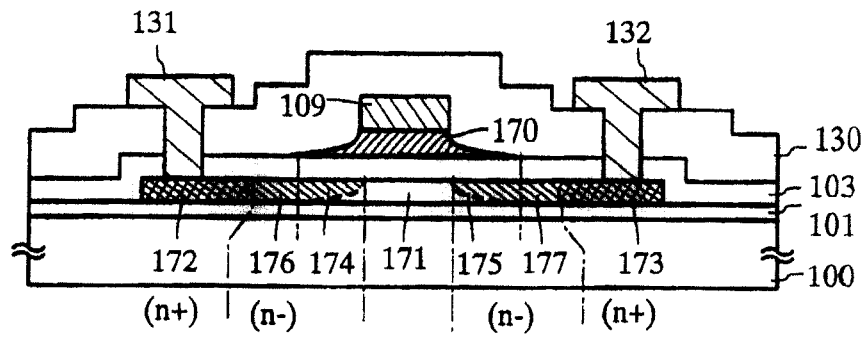


图 8

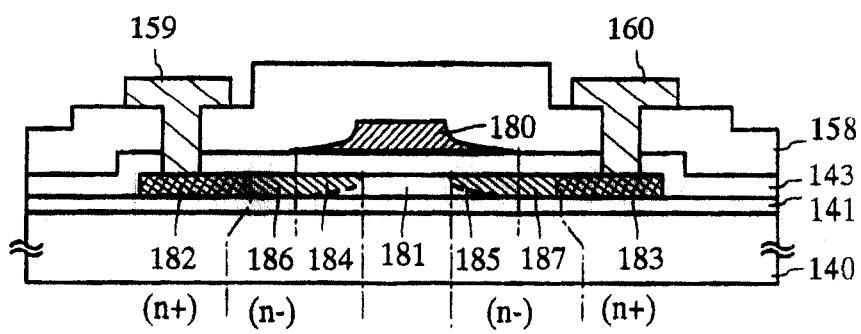


图 9

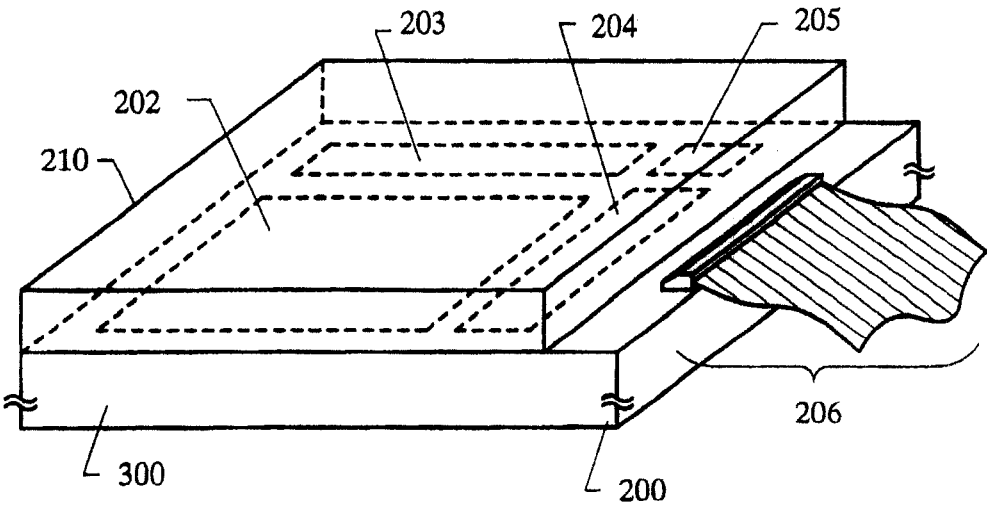


图 10

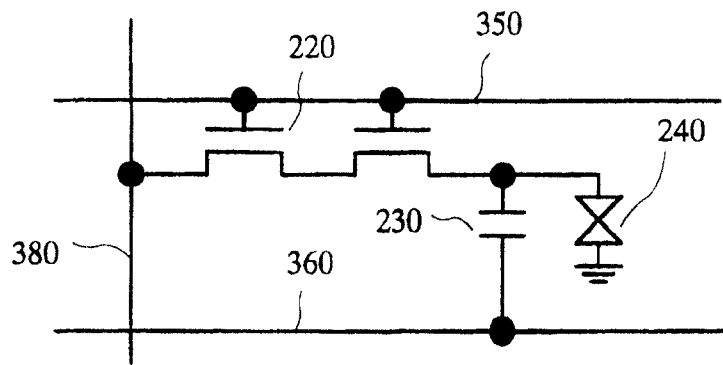


图 11A

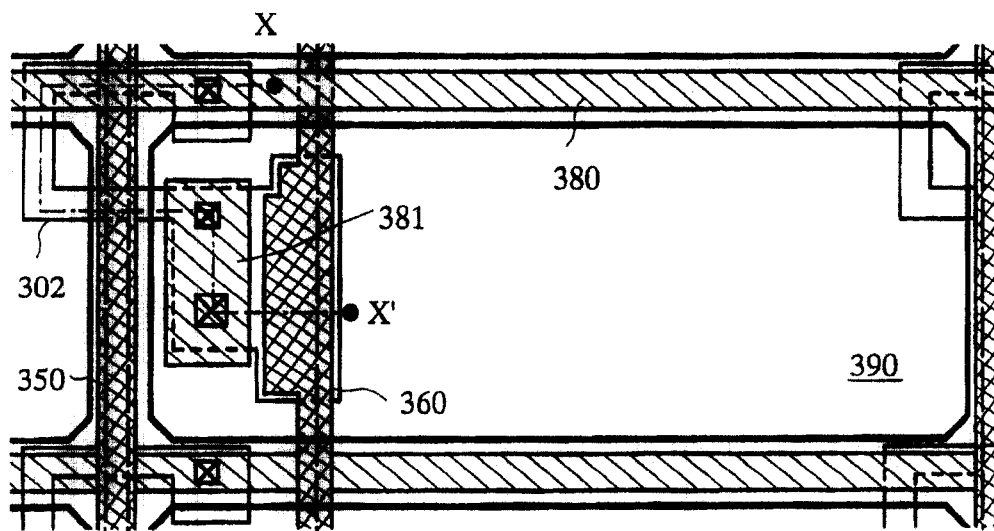


图 11B

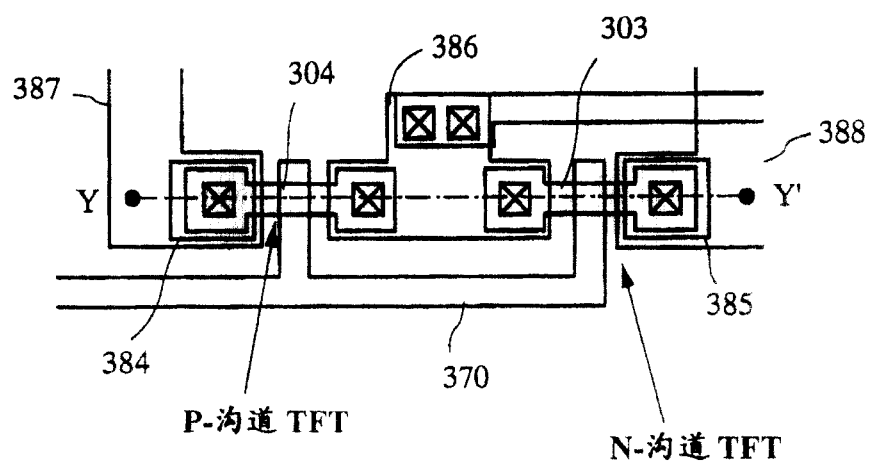


图 11C

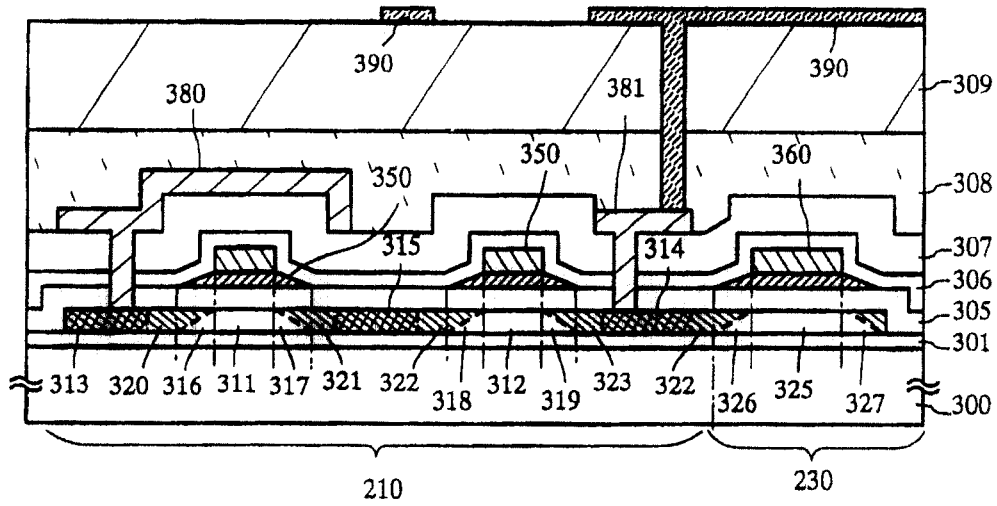


图 12A

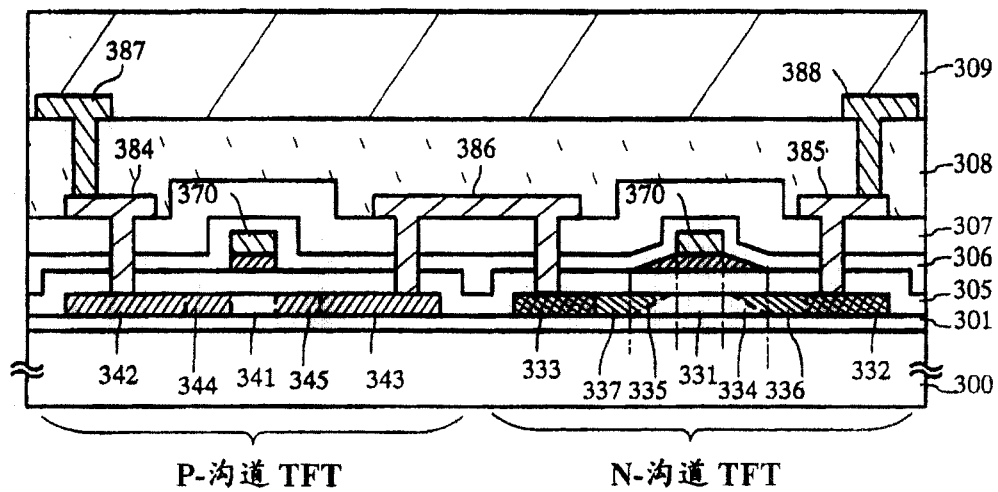


图 12B

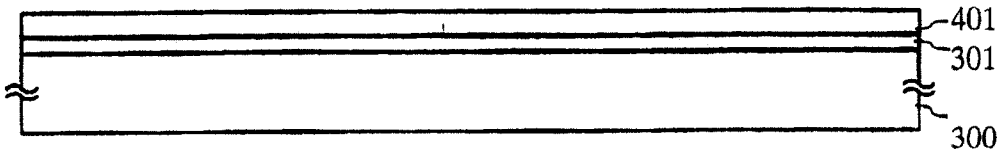


图 13A

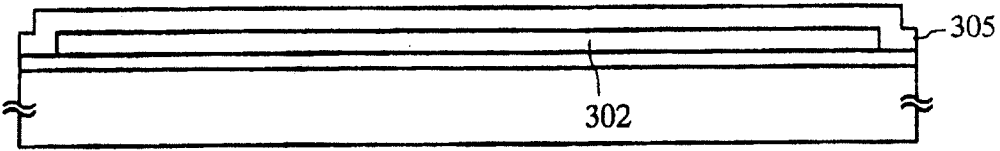


图 13B

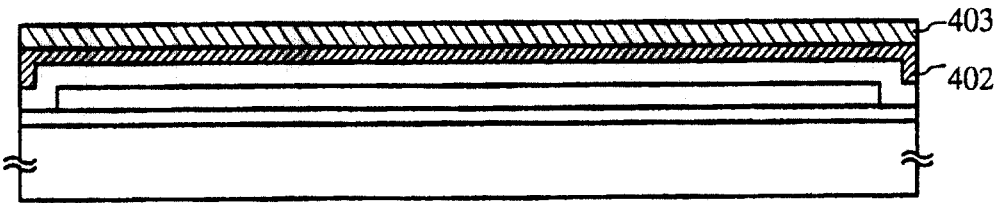


图 13C

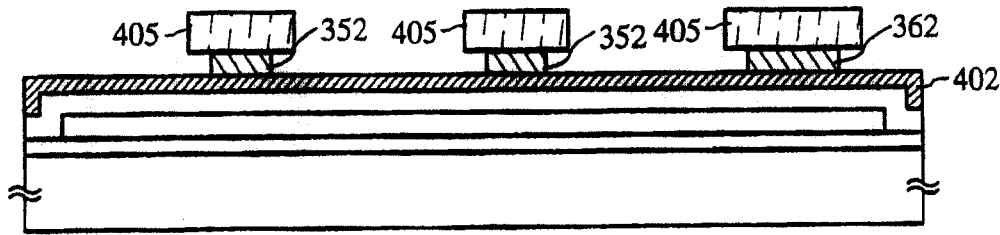


图 13D

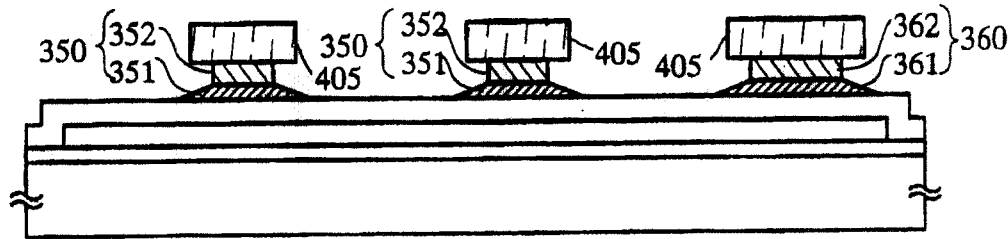


图 13E

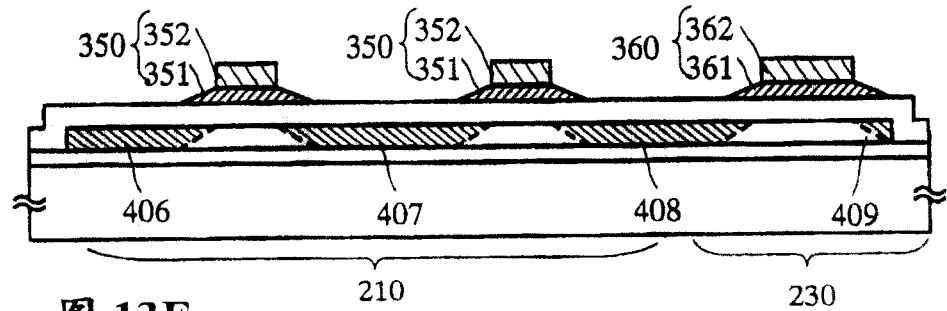


图 13F

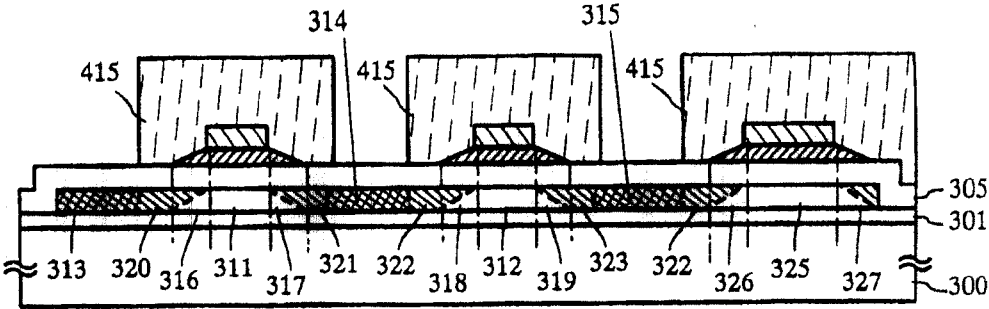


图 14A

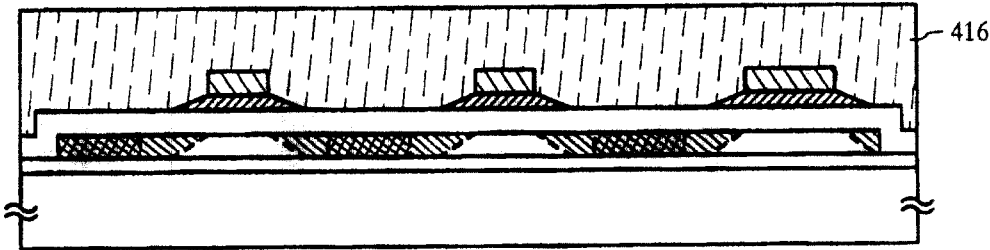


图 14B

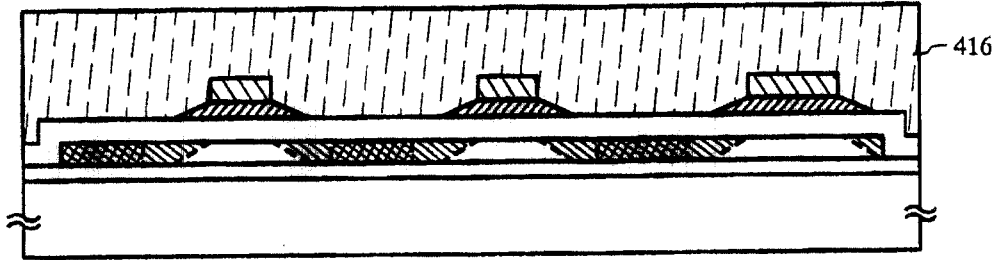


图 14C

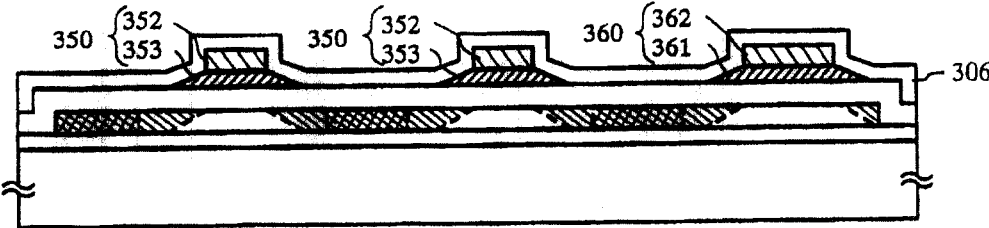


图 14D

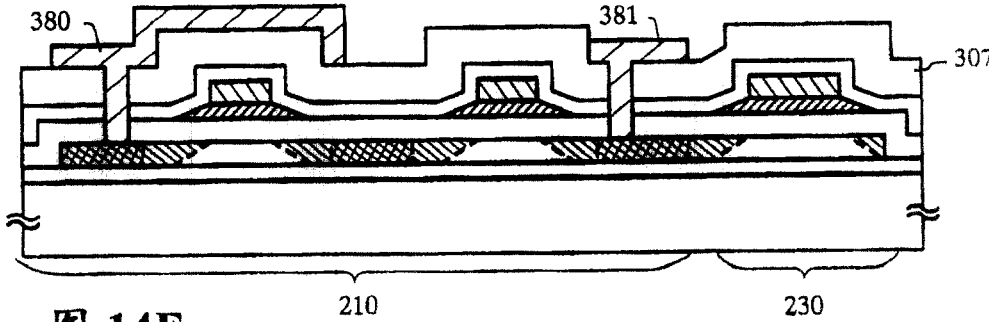


图 14E

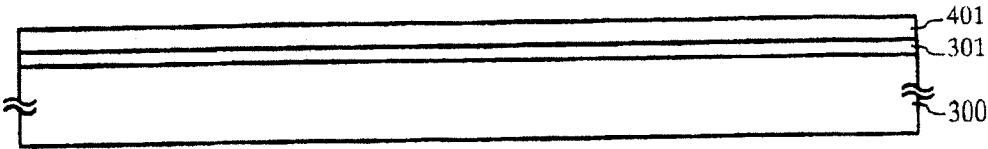


图 15A

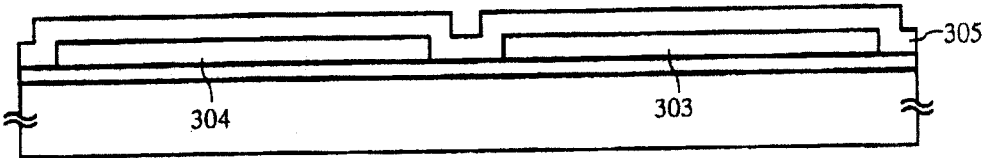


图 15B

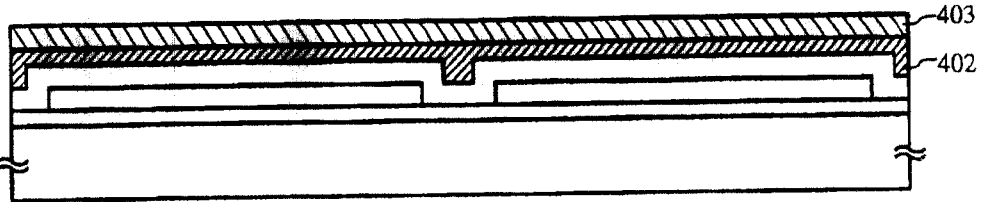


图 15C

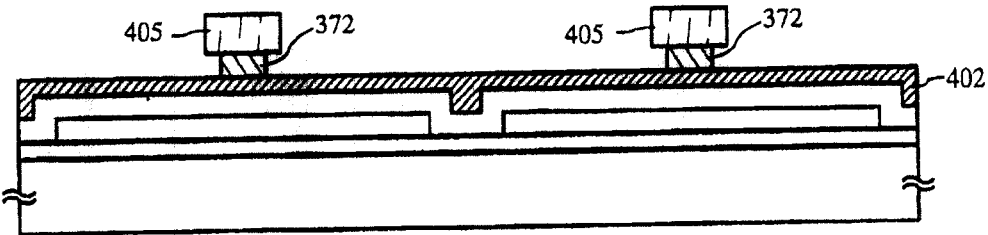


图 15D

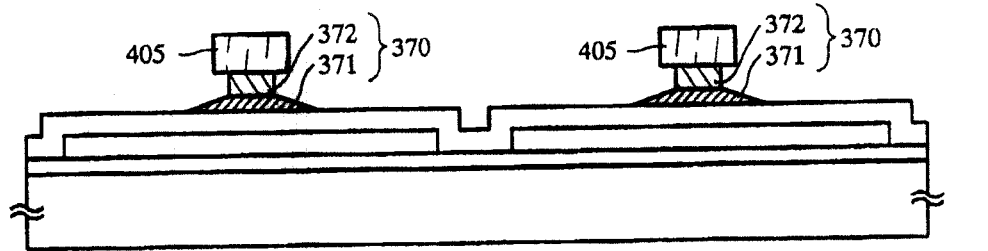


图 15E

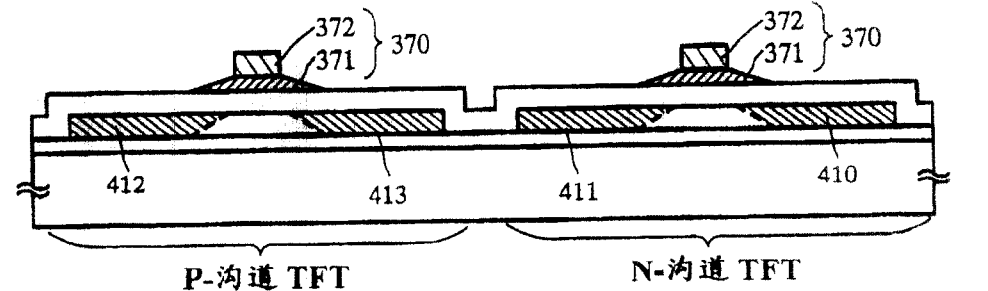


图 15F

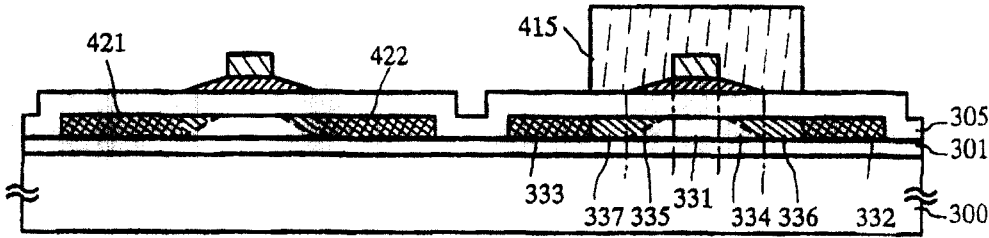


图 16A

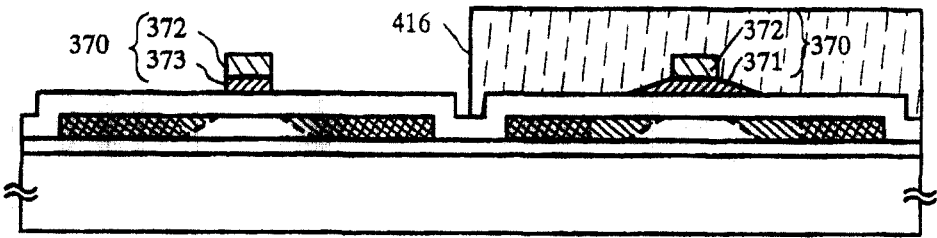


图 16B

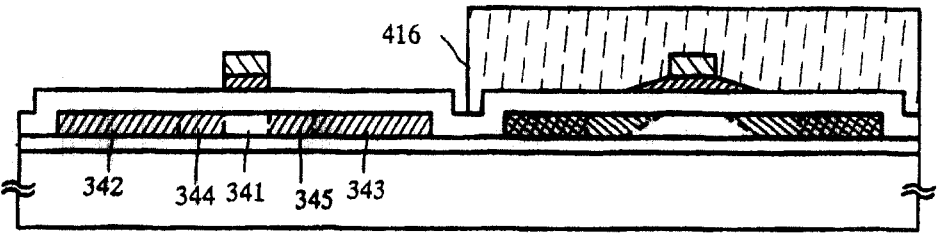


图 16C

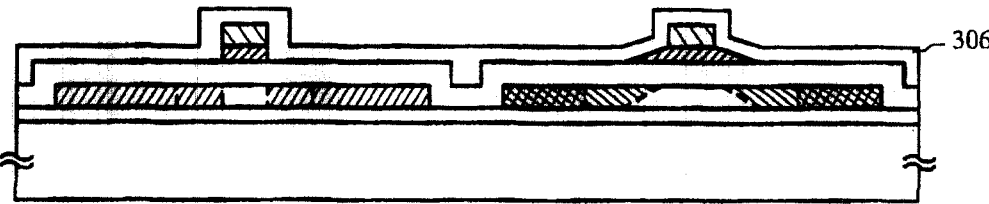


图 16D

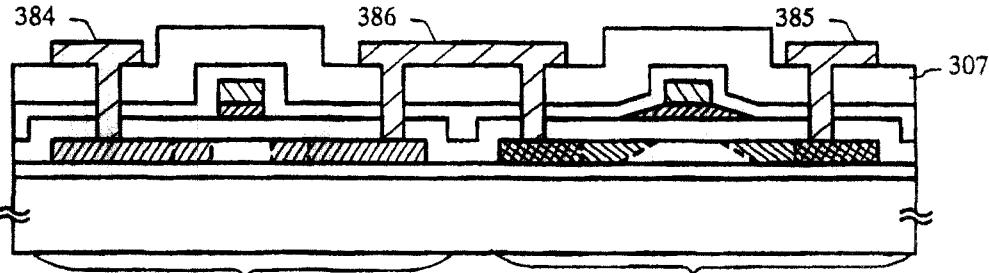


图 16E

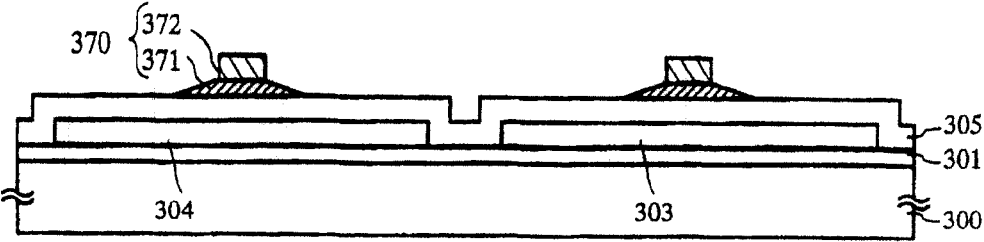


图 17A

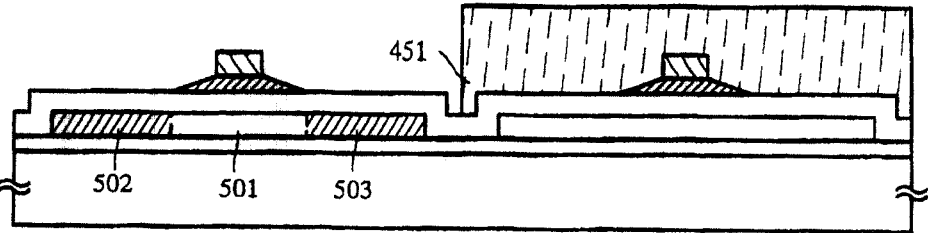


图 17B

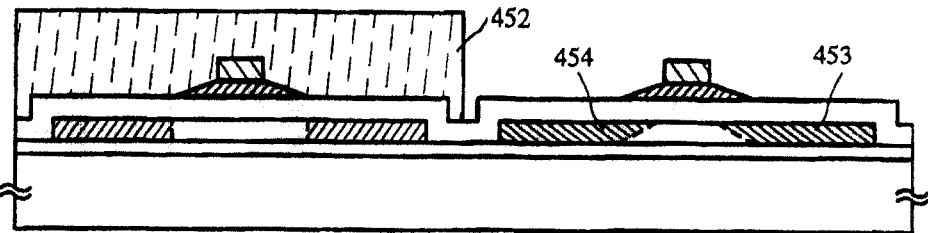


图 17C

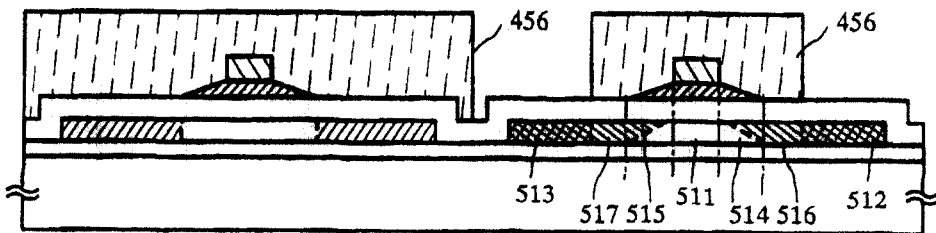


图 17D

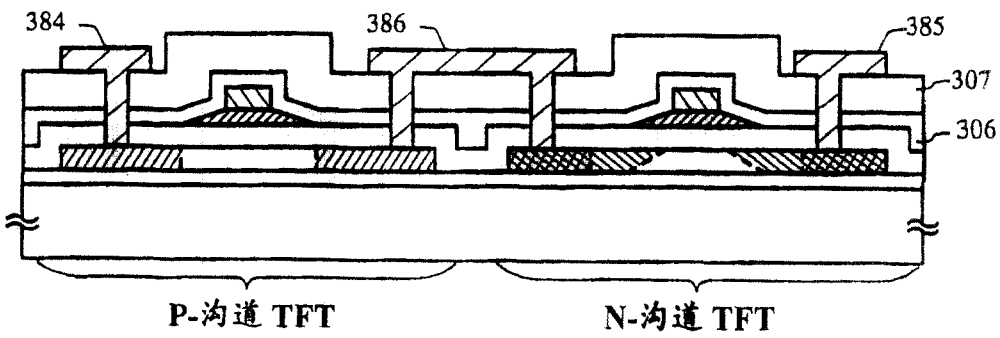


图 17E

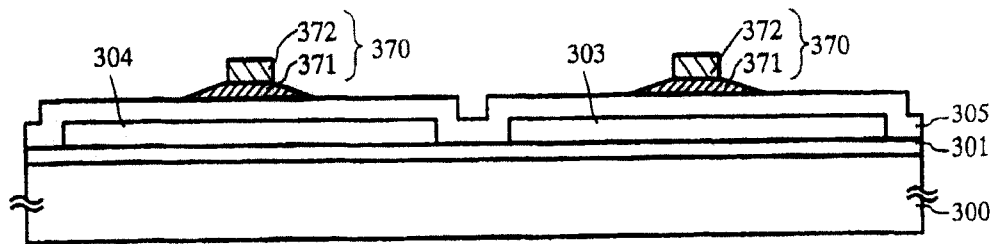


图 18A

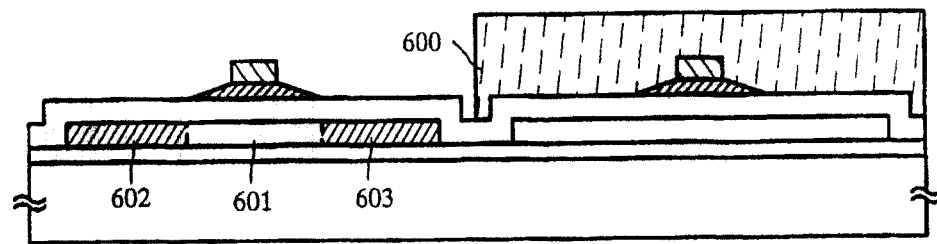


图 18B

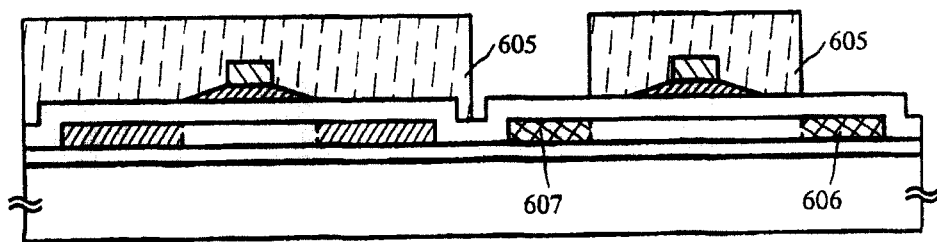


图 18C

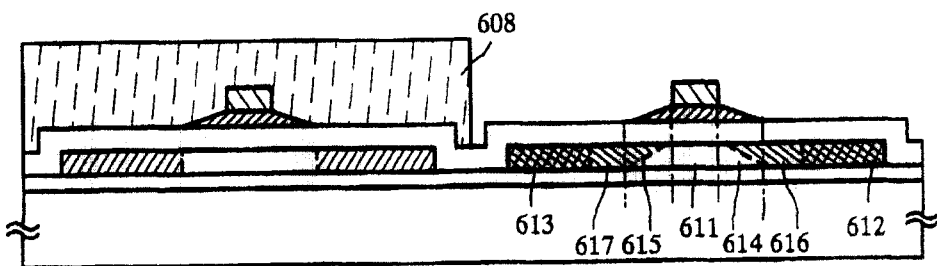


图 18D

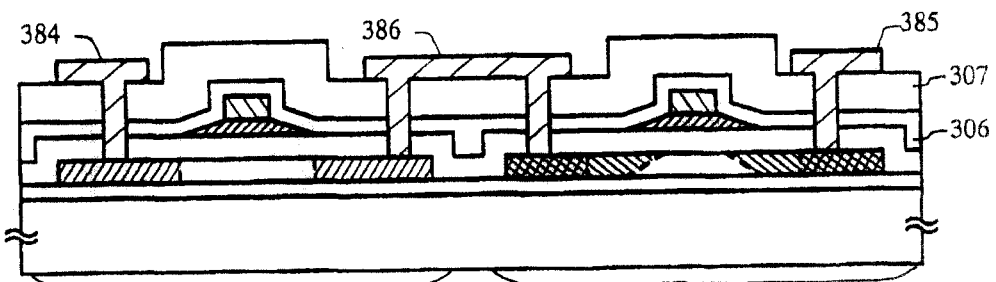


图 18E

P-沟道 TFT

N-沟道 TFT

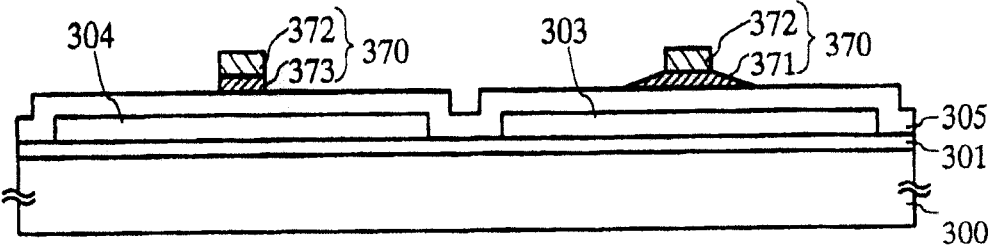


图 19A

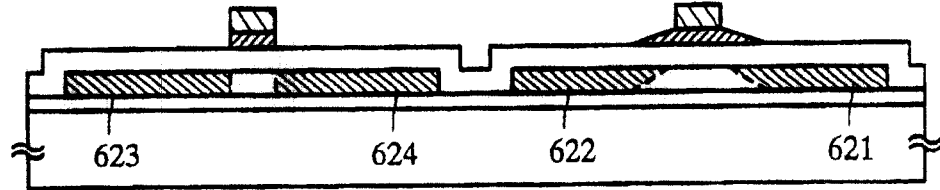


图 19B

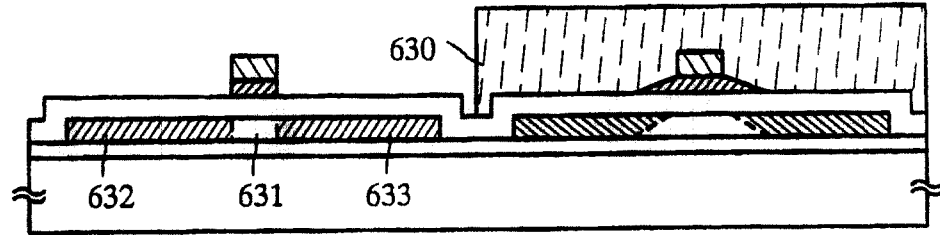


图 19C

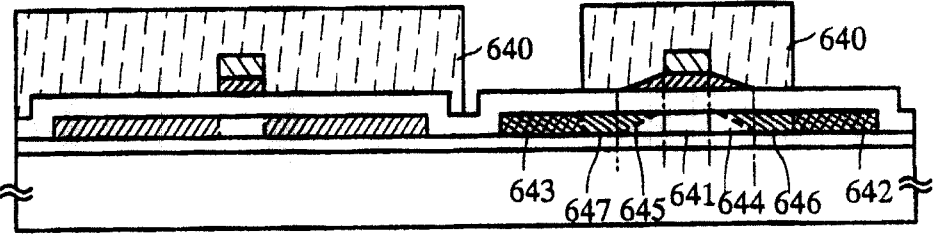


图 19D

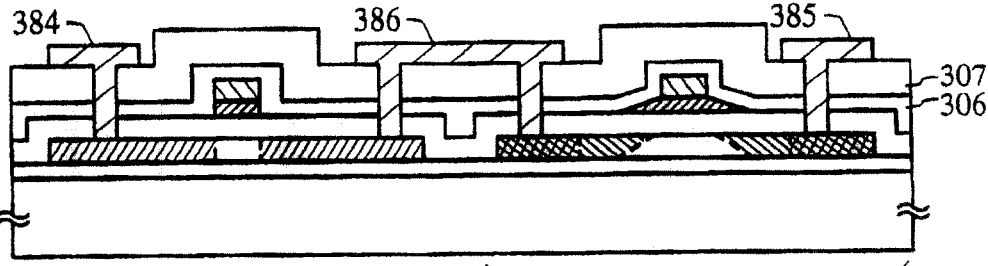


图 19E

P-沟道 TFT

N-沟道 TFT

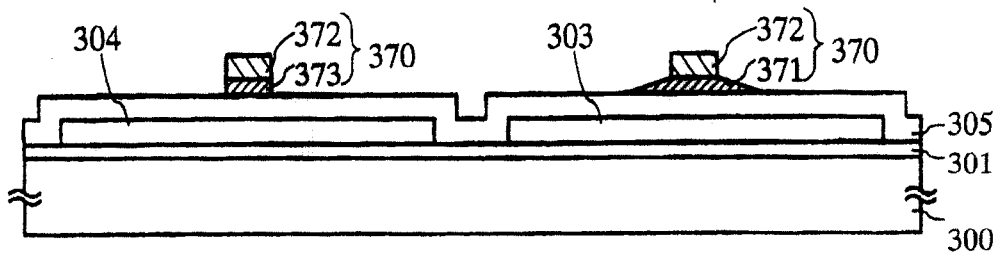


图 20A

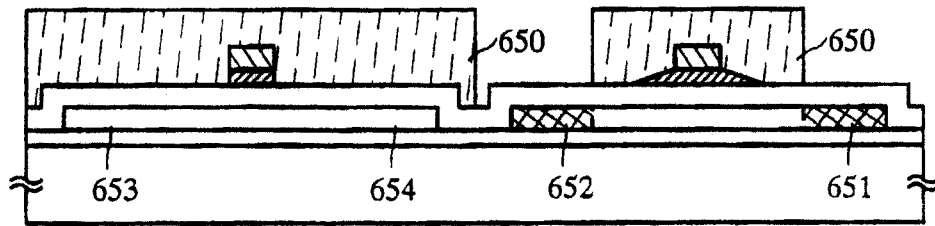


图 20B

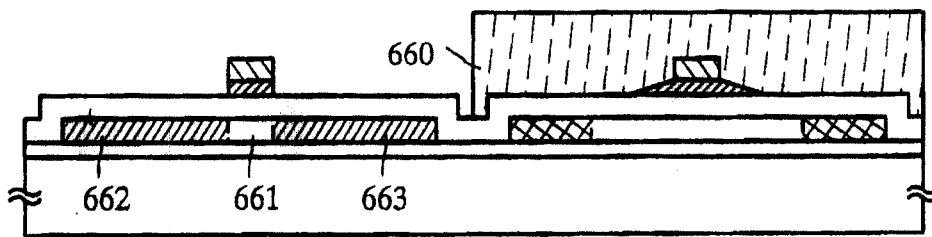


图 20C

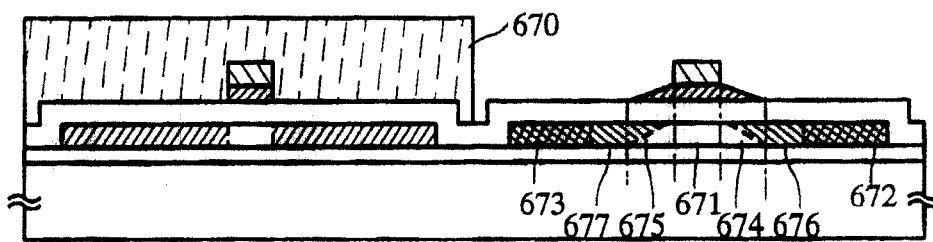


图 20D

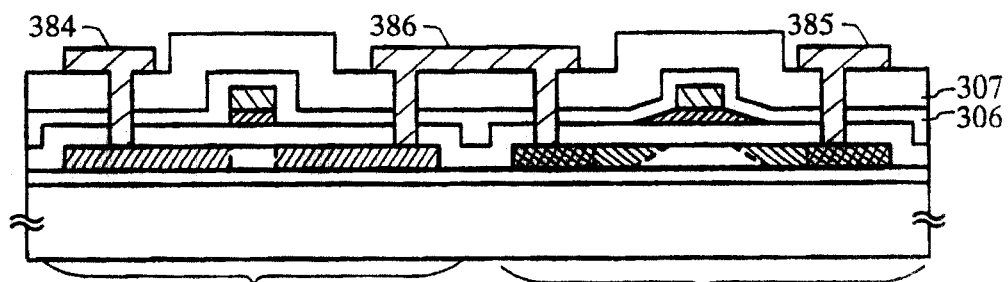


图 20E

P-沟道 TFT

N-沟道 TFT

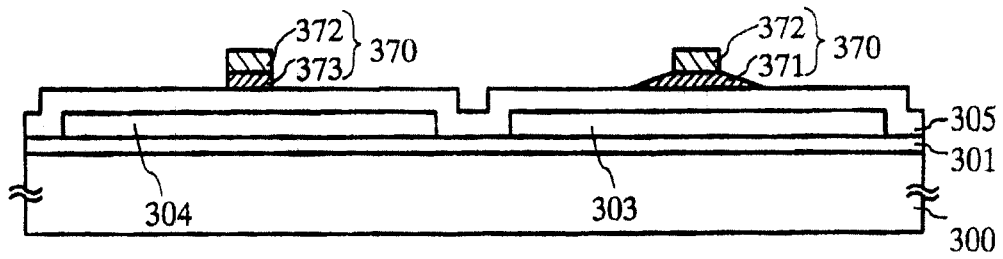


图 21A

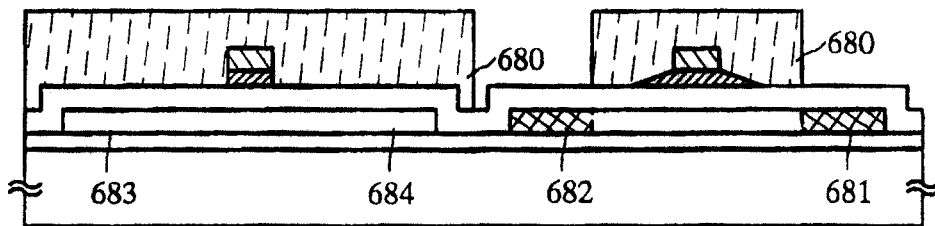


图 21B

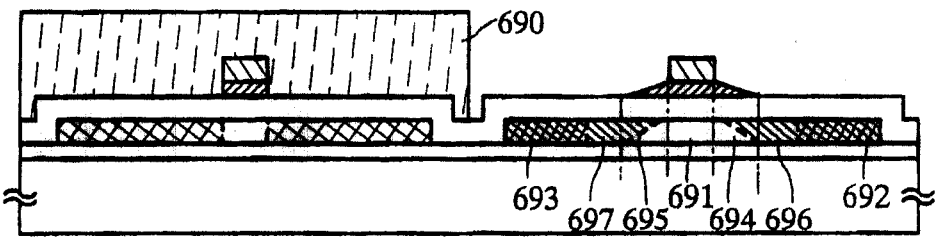


图 21C

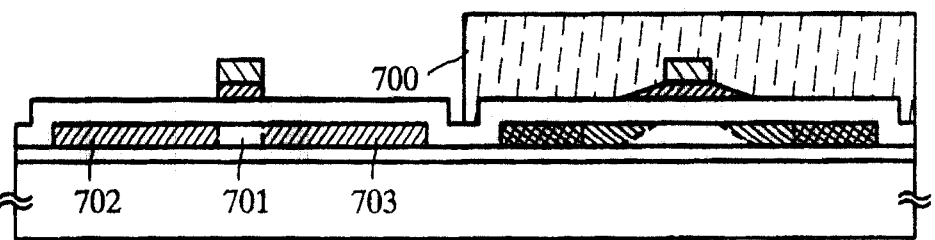


图 21D

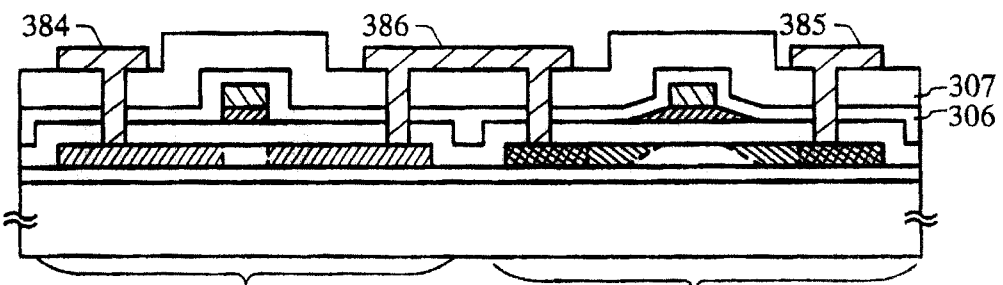


图 21E

P-沟道 TFT

N-沟道 TFT

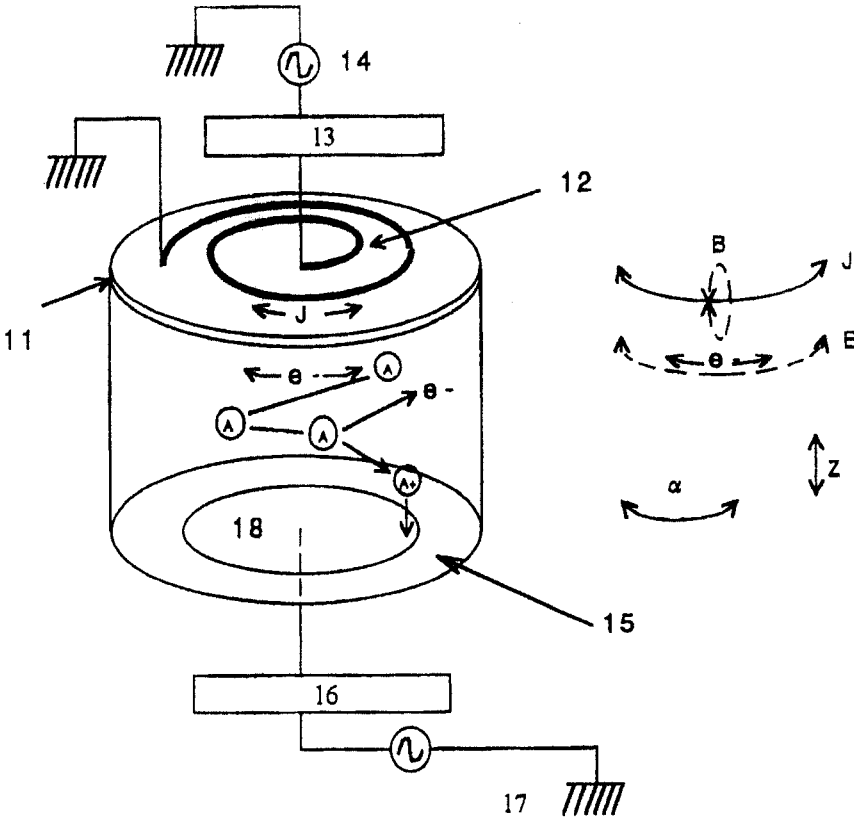


图 22

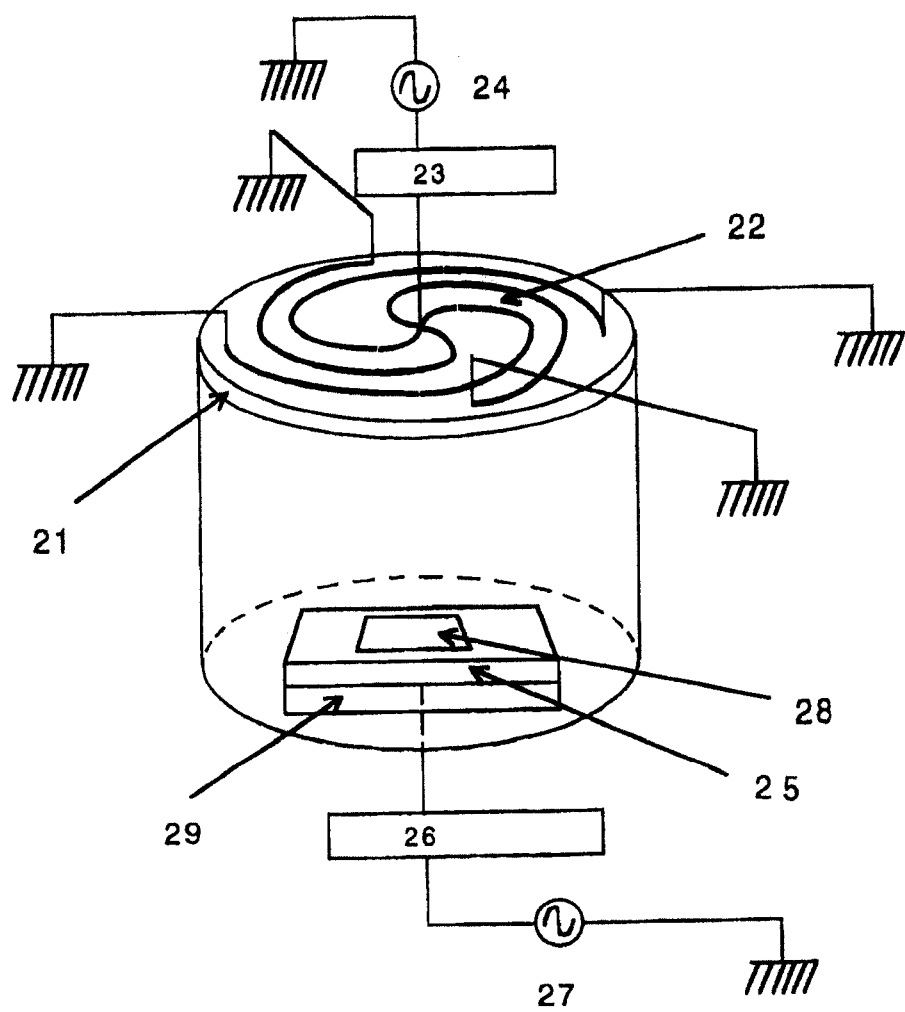


图 23

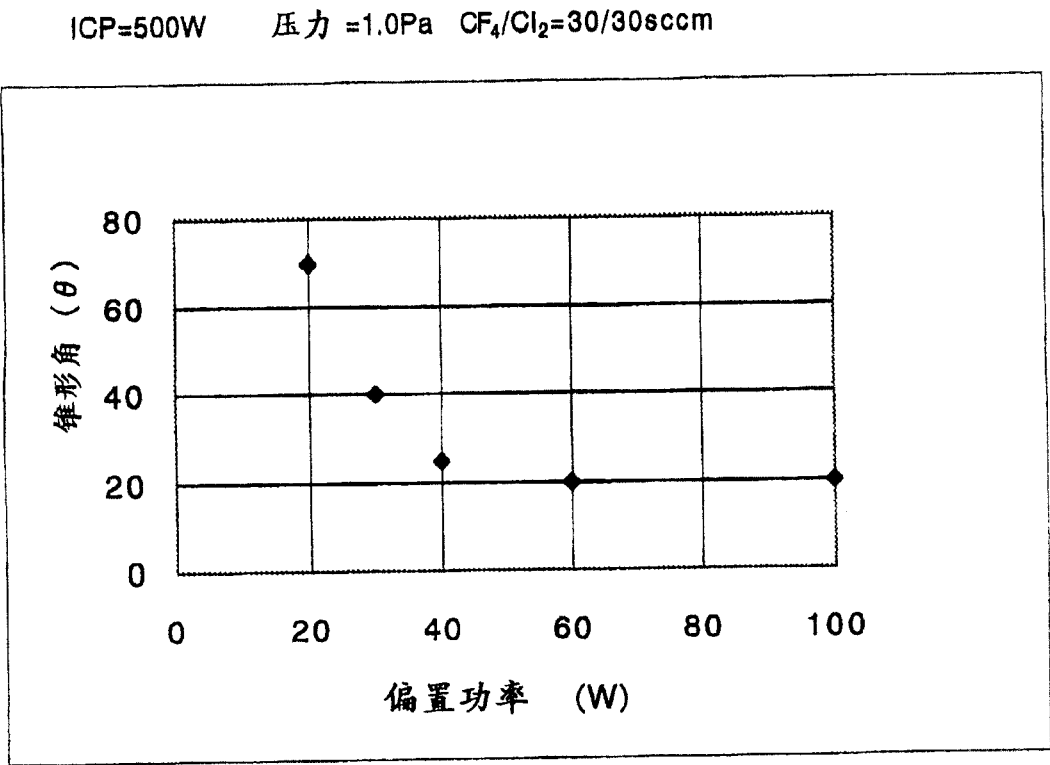


图 24 锥形角 θ 与偏置功率的关系

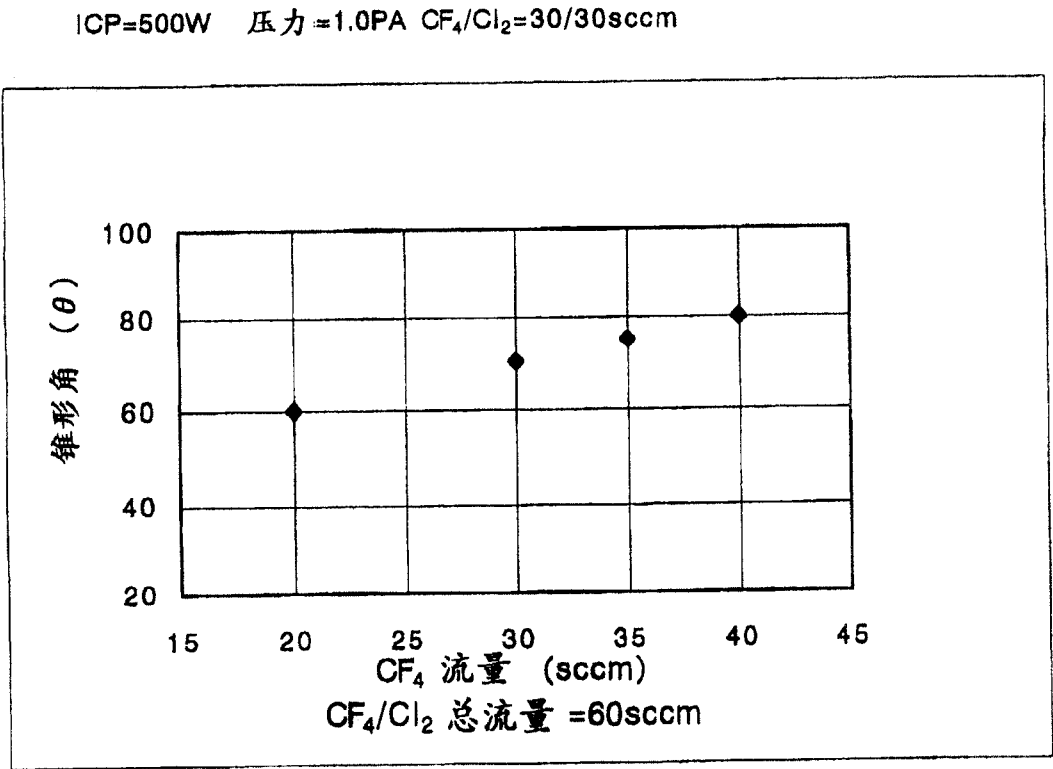


图 25

锥形角 θ 与 CF_4 流量比的关系

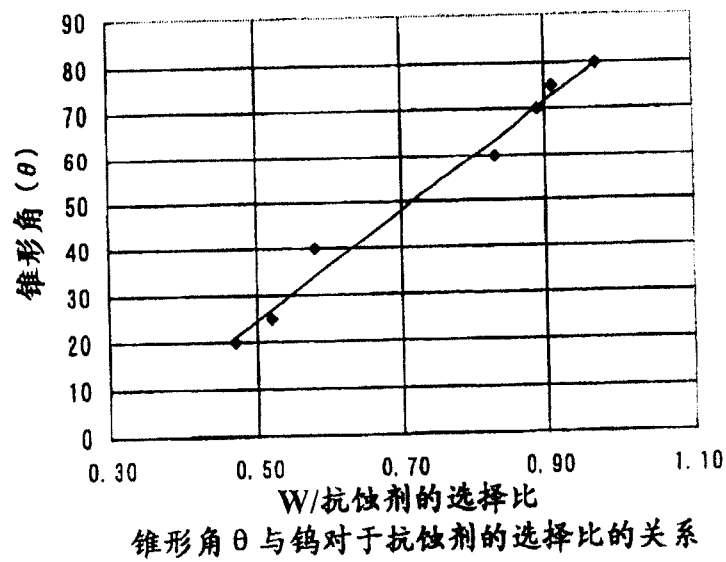


图 26

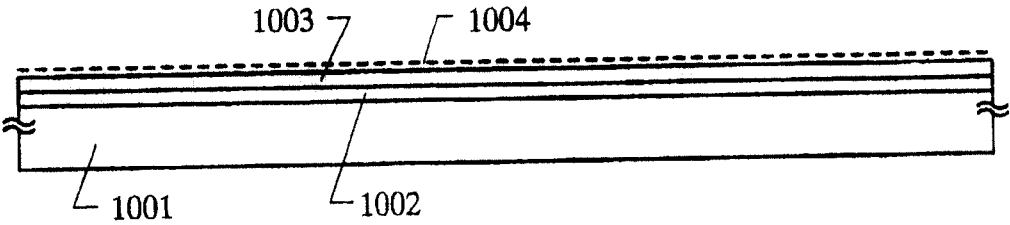


图 27A

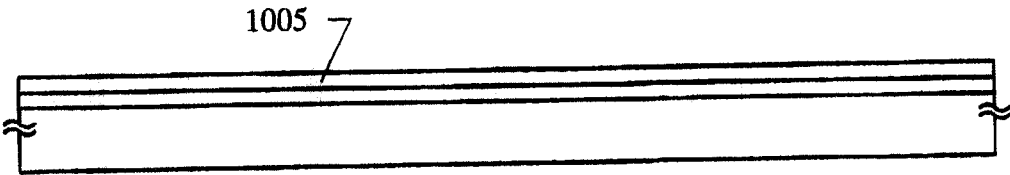


图 27B

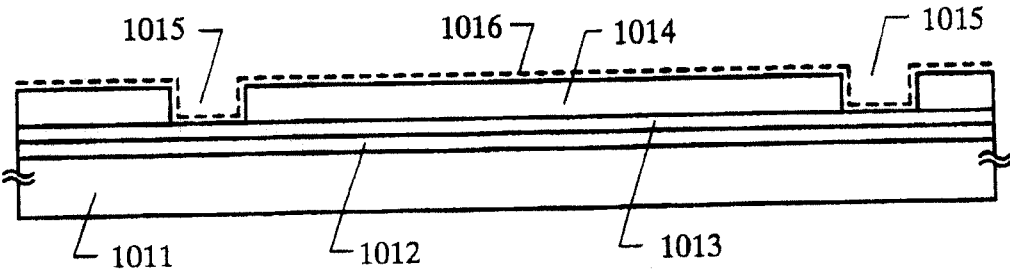


图 28A

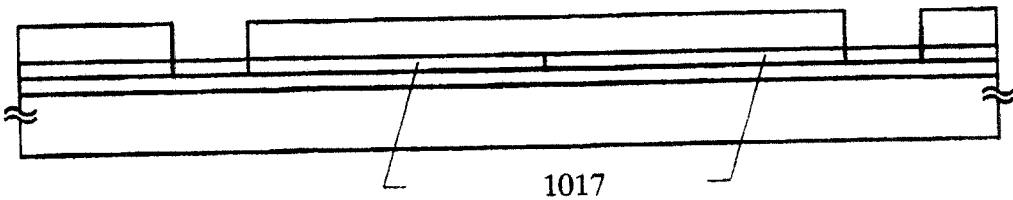


图 28B

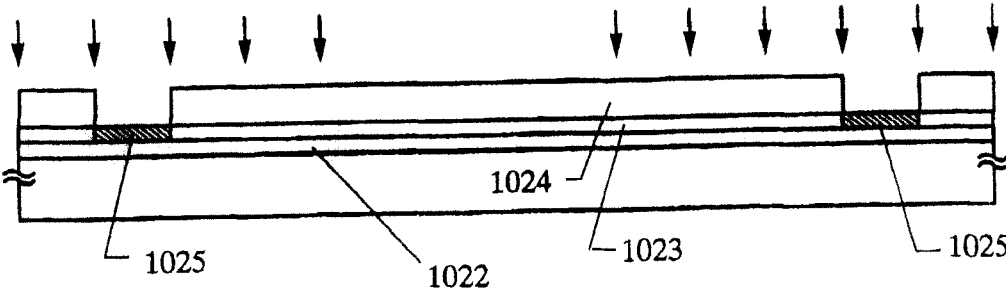


图 29A

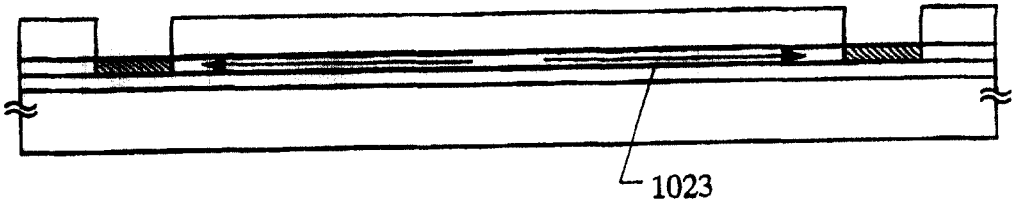


图 29B

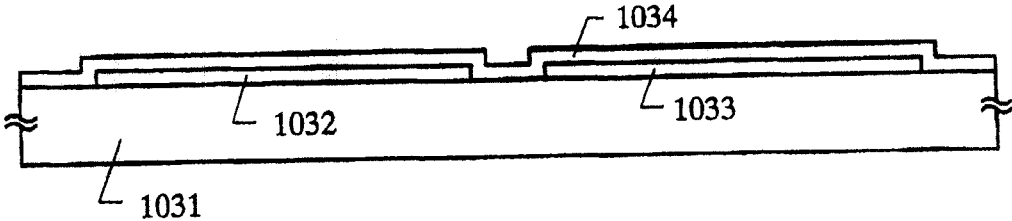


图 30A

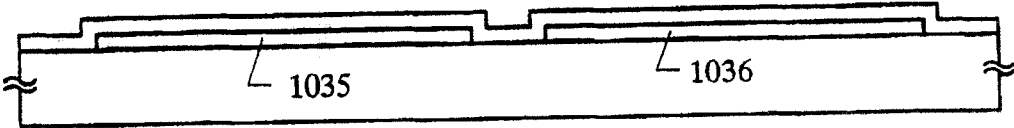


图 30B

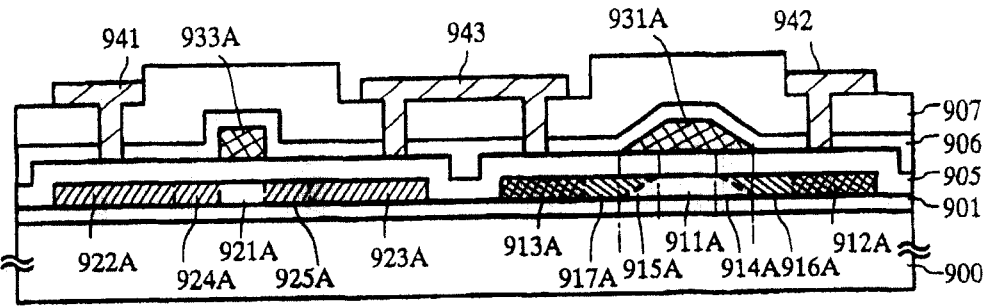


图 31A

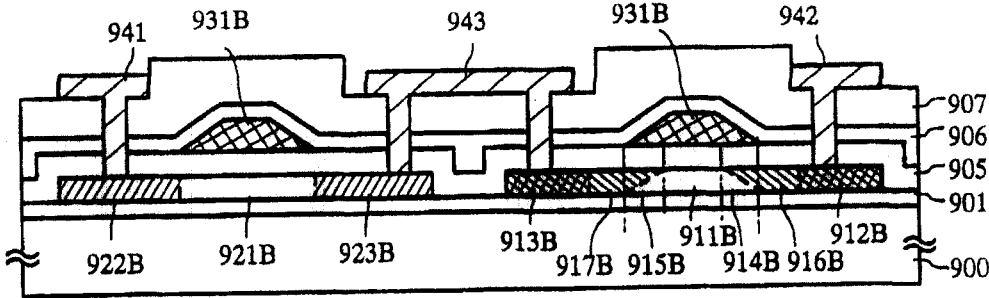


图 31B

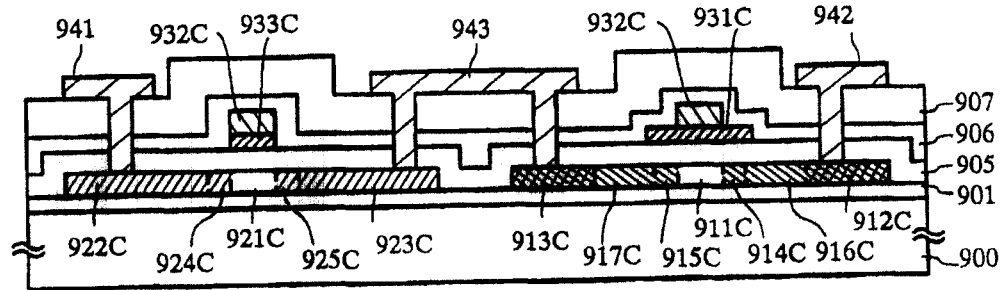


图 31C

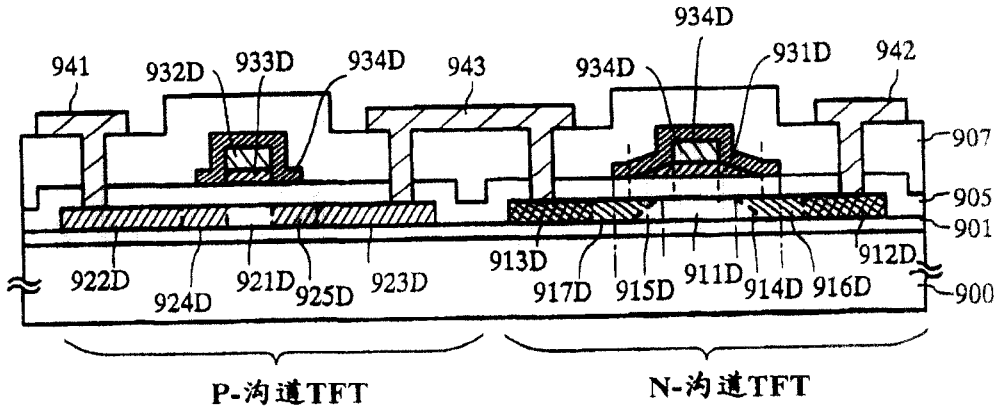


图 31D

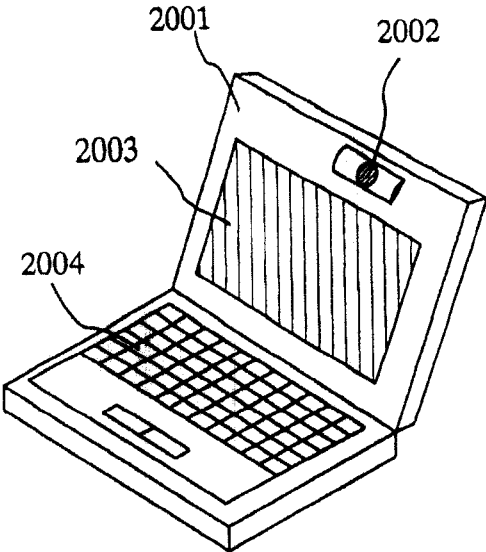


图 32A

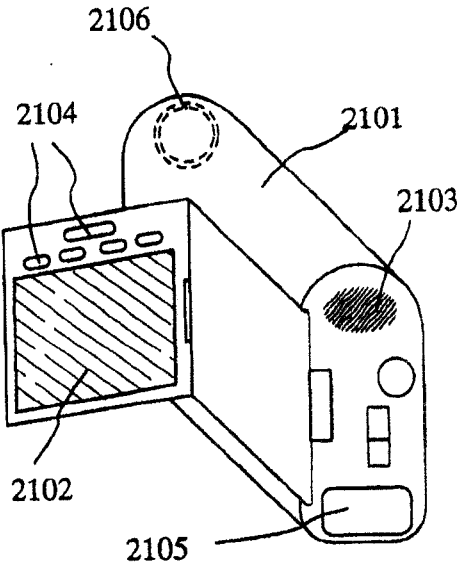


图 32B

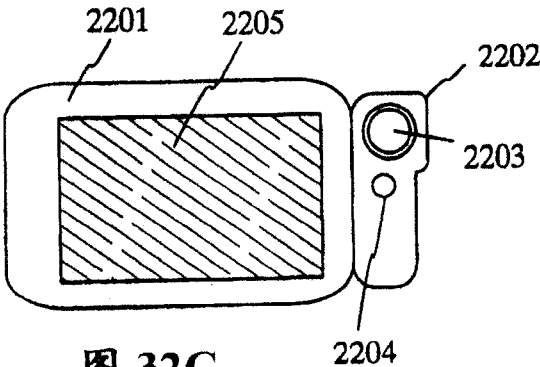


图 32C

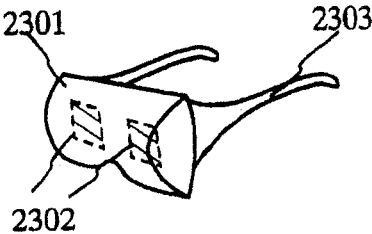


图 32D

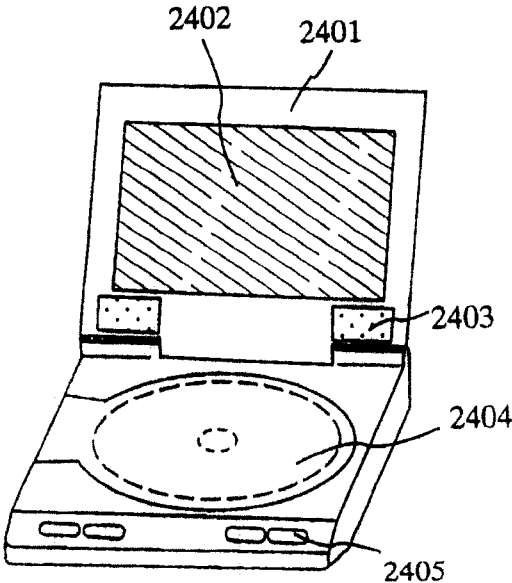


图 32E

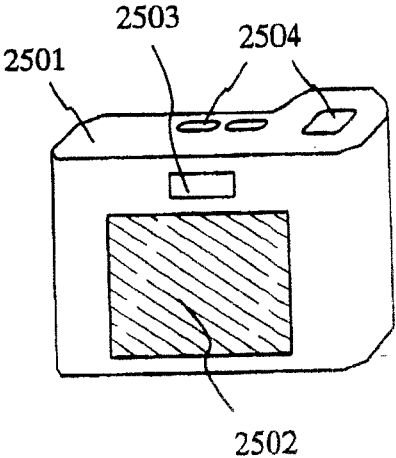


图 32F

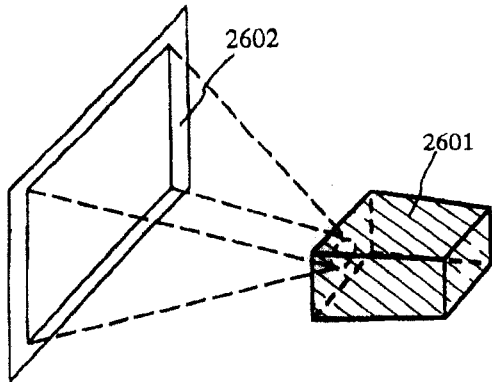


图 33A

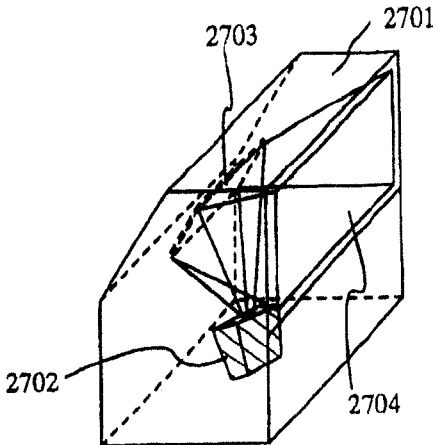


图 33B

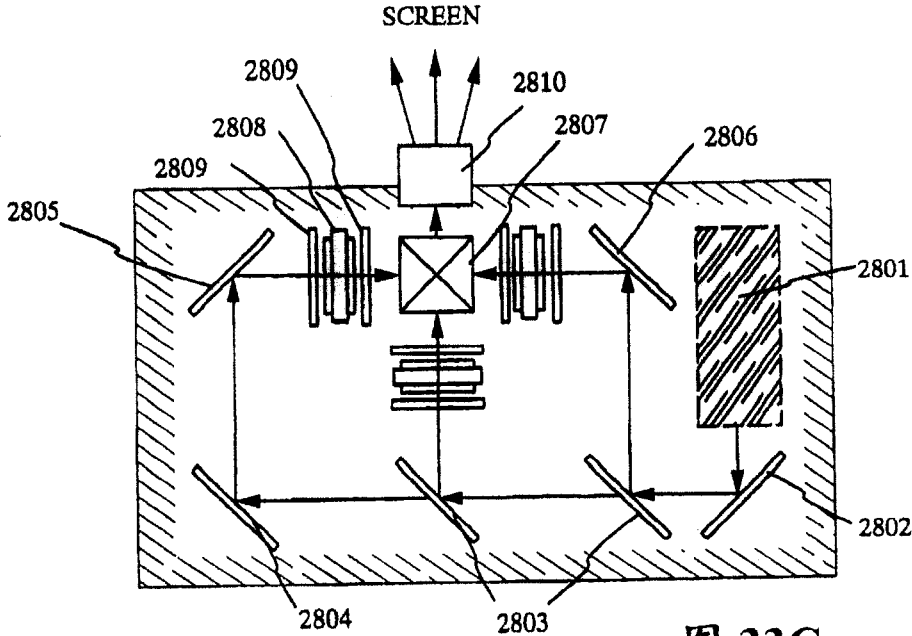


图 33C

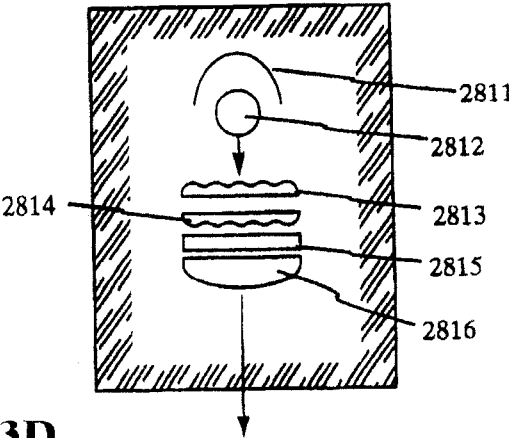


图 33D

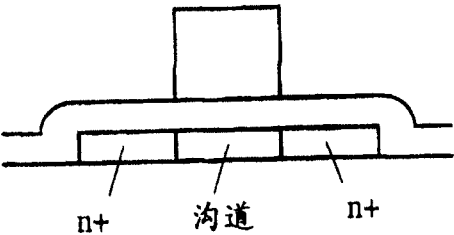


图 34A

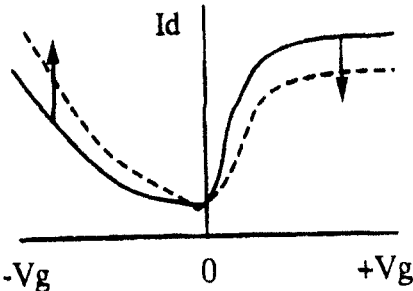


图 34B

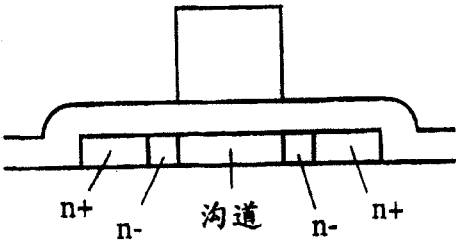


图 34C

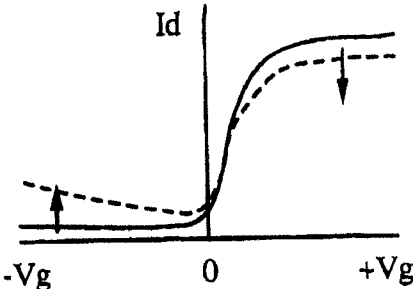


图 34D

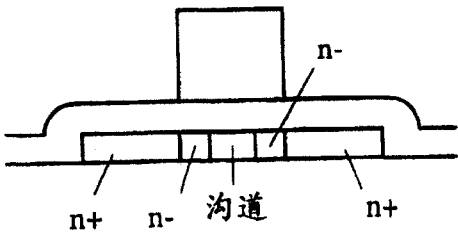


图 34E

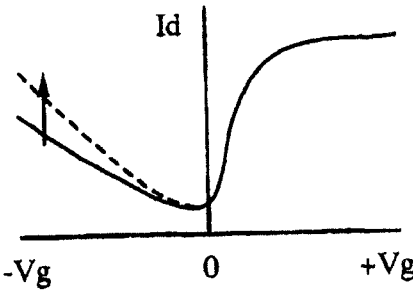


图 34F

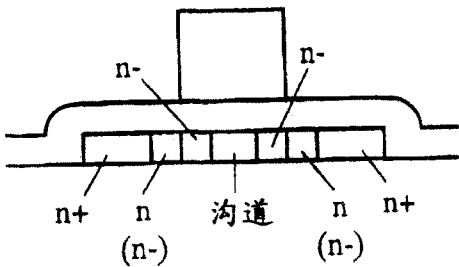


图 34G

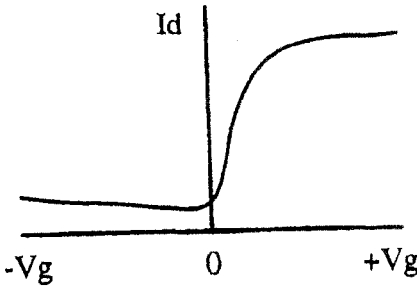


图 34H

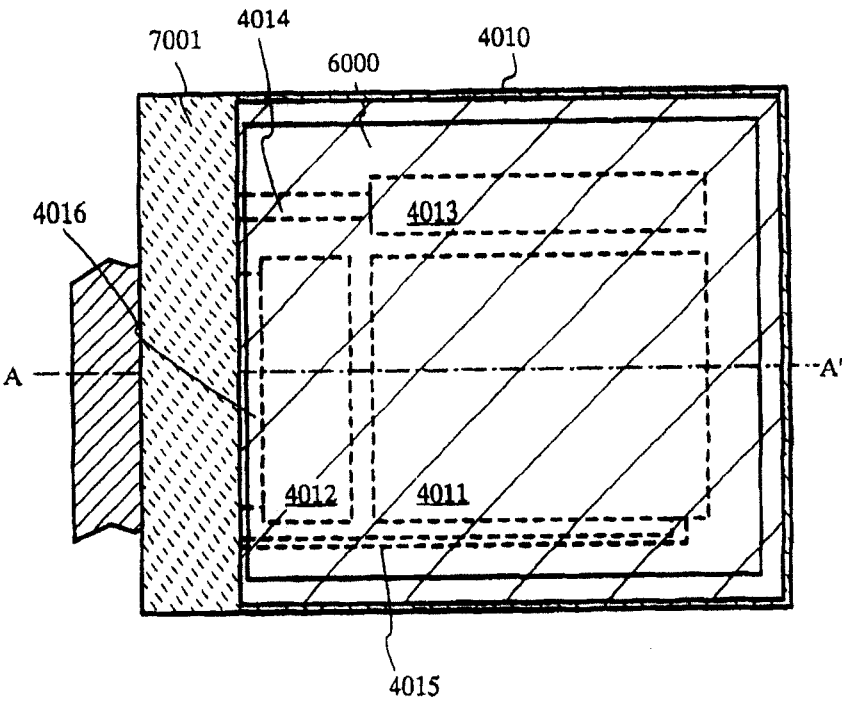


图 35B

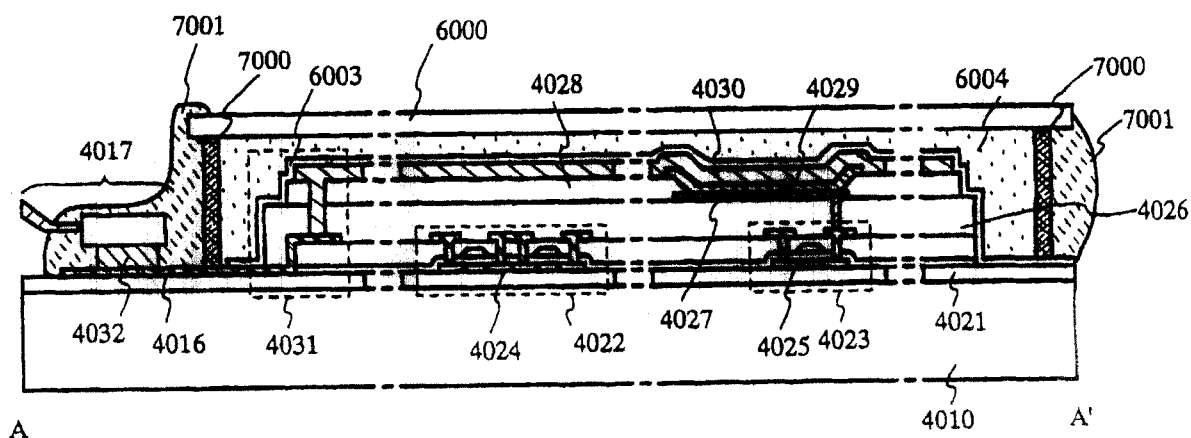


图 35B

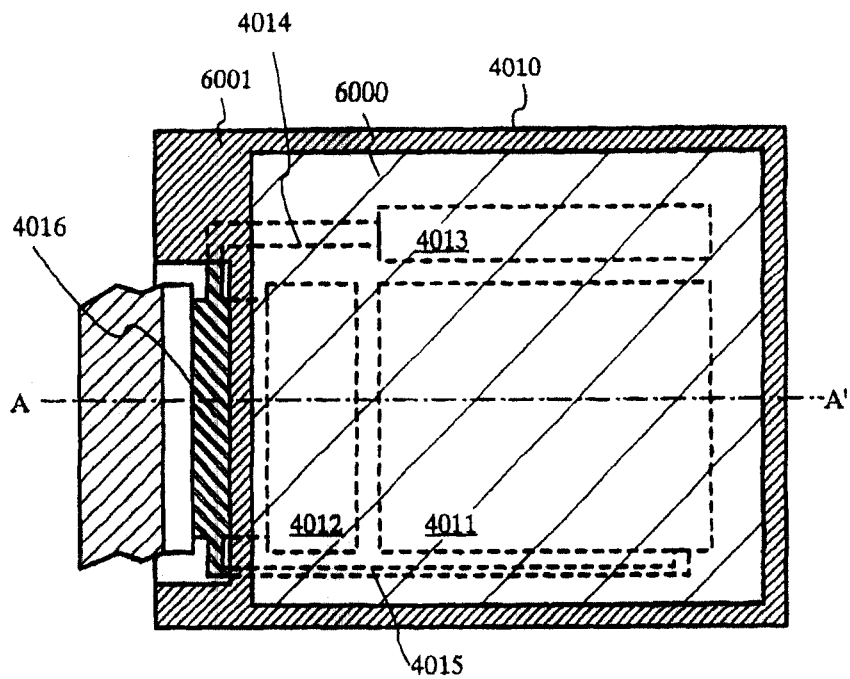


图 36B

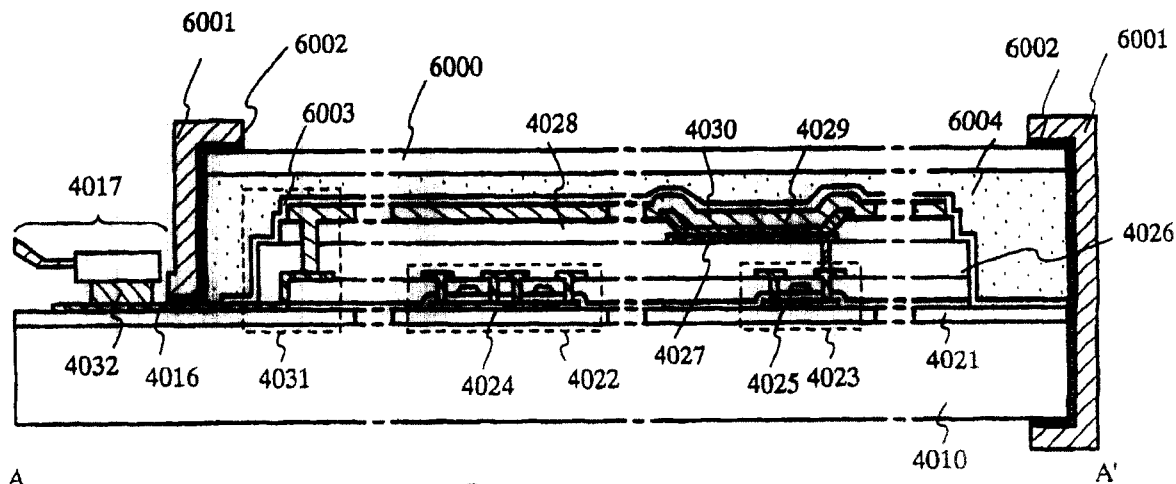


图 36B

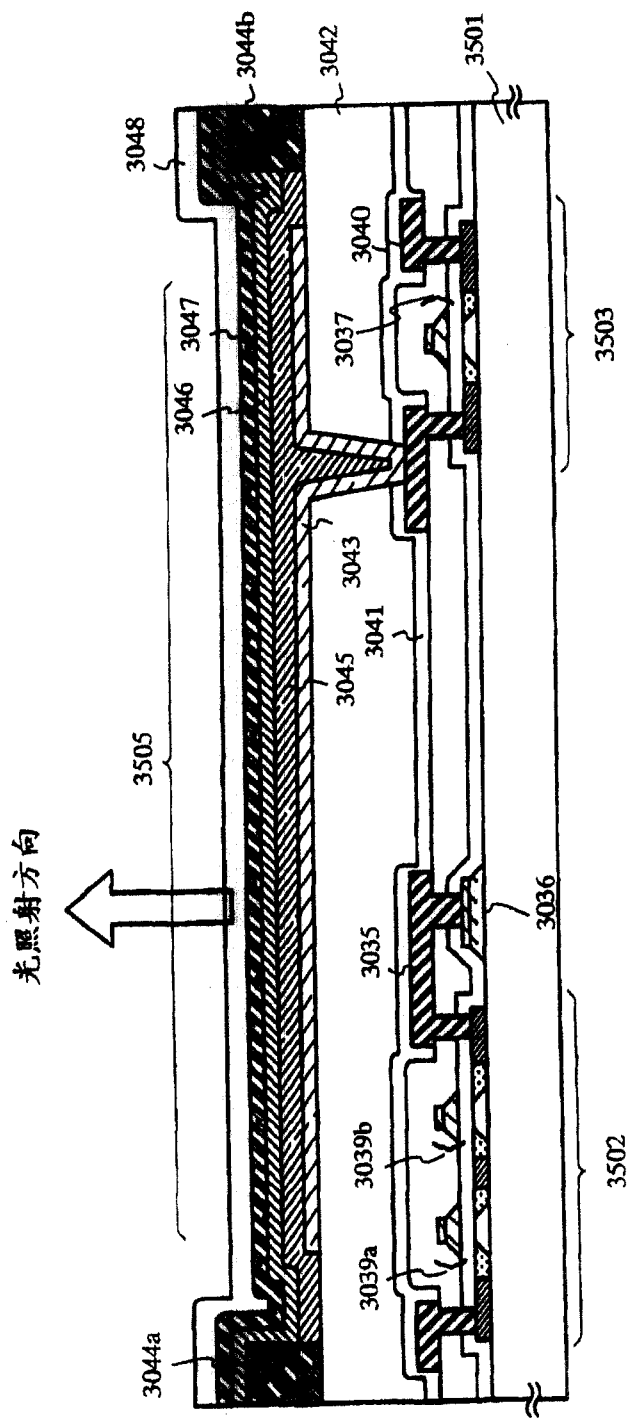


图 37

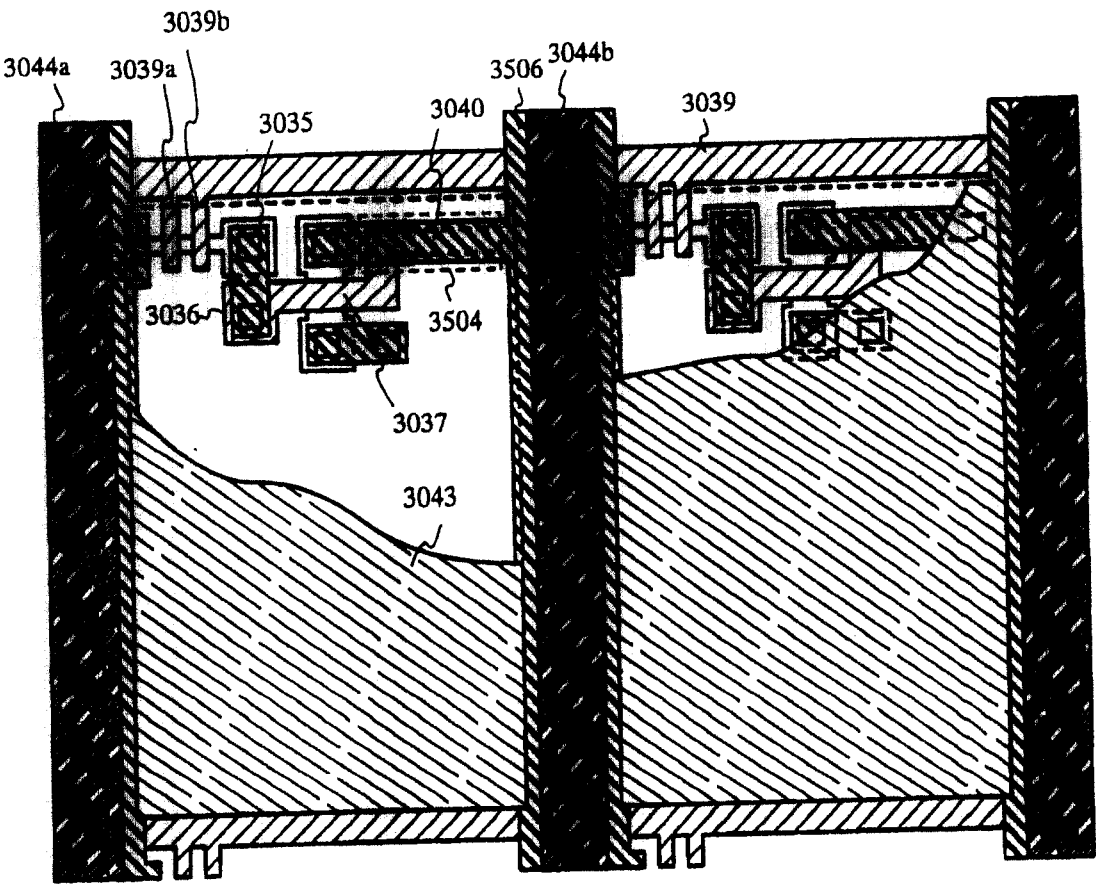


图 38A

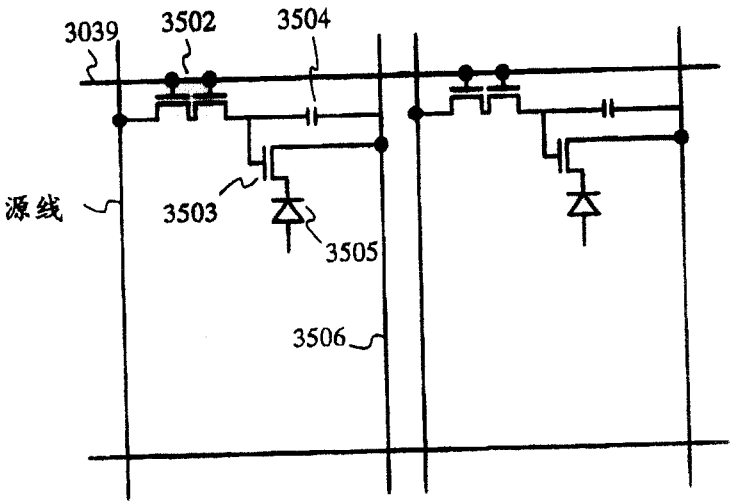


图 38B

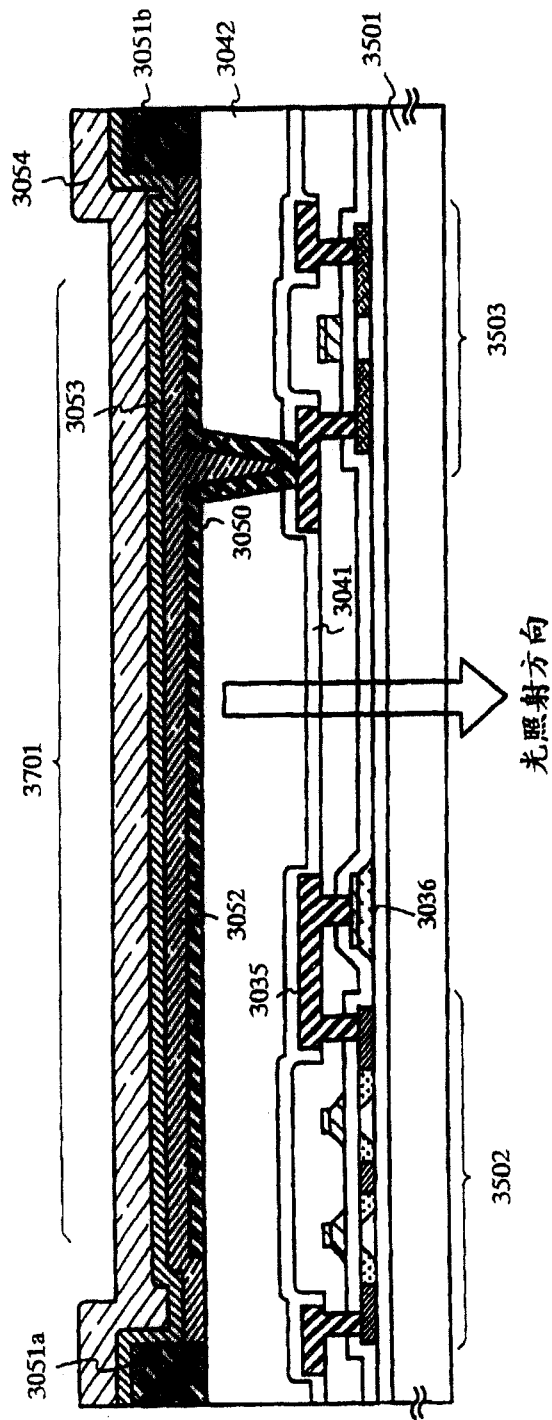


图 39

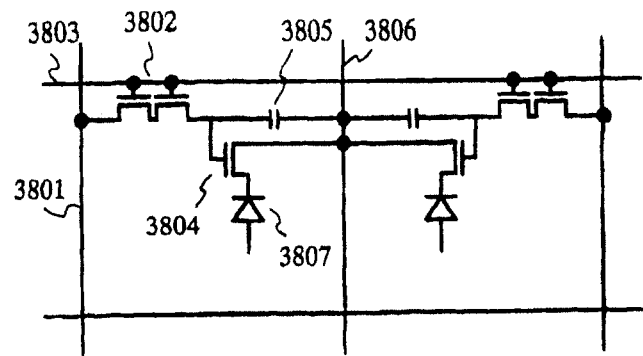


图 40A

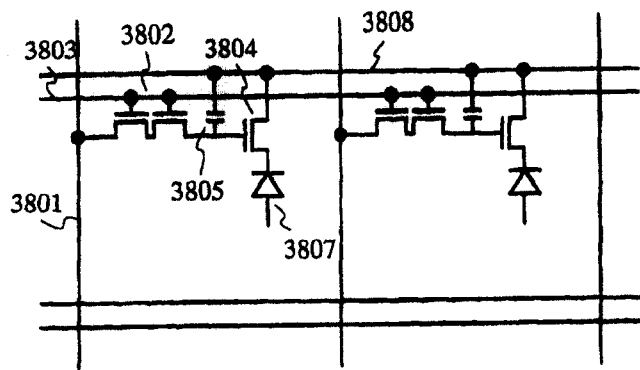


图 40B

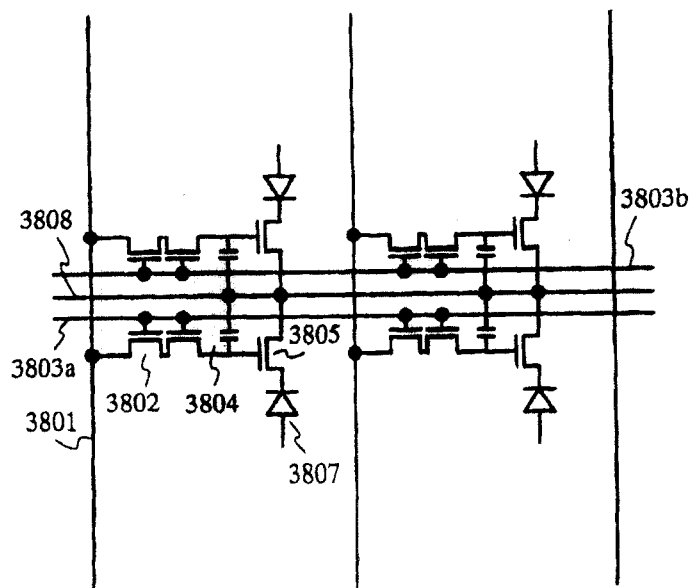


图 40C