(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3613968号
(P3613968)
(45)発行日　平成17年1月26日(2005.1.26)　(24)登録日　平成16年11月12日(2004.11.12)

(51)Int.Cl.[7]	F I		
H01L 21/66	H01L	21/66	V
G01R 31/26	H01L	21/66	B
G02F 1/13	G01R	31/26	B
H01L 29/786	G02F	1/13	101
	H01L	29/78	624

請求項の数 8　(全 17 頁)

(21)出願番号　特願平10-69148
(22)出願日　平成10年3月18日(1998.3.18)
(65)公開番号　特開平11-274260
(43)公開日　平成11年10月8日(1999.10.8)
審査請求日　平成14年1月17日(2002.1.17)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　小林　正直
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　市川　篤

(56)参考文献　特開平０８－２８５９１０（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】半導体素子検査装置及び半導体素子検査方法

(57)【特許請求の範囲】
【請求項１】
検査すべき薄膜トランジスタの駆動時に反転層が形成される当該薄膜トランジスタの半導体層の領域に対応する位置に、前記薄膜トランジスタのゲート電極及び前記半導体層を含んで構成される容量回路の静電容量を検出するための検査プローブを配置する配置手段と、
前記ゲート電極に対して、前記薄膜トランジスタに対応して予め設定された所定の駆動電圧を印加する印加手段と、
前記駆動電圧を印加する前後において、前記静電容量を夫々測定する測定手段と、
前記測定された静電容量の夫々に基づいて前記薄膜トランジスタが不良品か否かを判定する判定手段と、
を備えることを特徴とする半導体素子検査装置。
【請求項２】
請求項１に記載の半導体素子検査装置において、
前記判定手段は、前記ゲート電極に前記駆動電圧を印加したときの前記静電容量と前記駆動電圧を印加しないときの前記静電容量との差が予め設定された所定範囲内であるとき、当該駆動電圧が印加された前記薄膜トランジスタを不良品と判定することを特徴とする半導体素子検査装置。
【請求項３】
請求項１又は２に記載の半導体素子検査装置において、

前記測定手段は、測定すべき前記静電容量と予め設定された所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該静電容量を測定すると共に、
前記判定手段は、前記駆動電圧を印加する前後における前記共振周波数の変化に基づいて、当該駆動電圧が印加された前記薄膜トランジスタが不良品か否かを判定することを特徴とする半導体素子検査装置。
【請求項４】
請求項１から３のいずれか一項に記載の半導体素子検査装置において、
前記薄膜トランジスタは、液晶パネルにおける各画素部内に配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、
前記判定手段は、前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中において行うことを特徴とする半導体素子検査装置。
【請求項５】
検査すべき薄膜トランジスタの駆動時に反転層が形成される当該薄膜トランジスタの半導体層の領域に対応する位置に、前記薄膜トランジスタのゲート電極及び前記半導体層を含んで構成される容量回路の静電容量を検出するための検査プローブを配置する配置工程と、
前記ゲート電極に対して、前記薄膜トランジスタに対応して予め設定された所定の駆動電圧を印加する印加工程と、
前記駆動電圧を印加する前後において、前記静電容量を夫々測定する測定手段と、
前記測定された静電容量の夫々に基づいて前記薄膜トランジスタが不良品か否かを判定する判定工程と、
を備えることを特徴とする半導体素子検査方法。
【請求項６】
請求項５に記載の半導体素子検査方法において、
前記判定工程において、前記ゲート電極に前記駆動電圧を印加したときの前記静電容量と前記駆動電圧を印加しないときの前記静電容量との差が予め設定された所定範囲内であるとき、当該駆動電圧が印加された前記薄膜トランジスタを不良品と判定することを特徴とする半導体素子検査方法。
【請求項７】
請求項５又は６に記載の半導体素子検査方法において、
前記測定工程において、測定すべき前記静電容量と予め設定された所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該静電容量を測定すると共に、
前記判定工程において、前記駆動電圧を印加する前後における前記共振周波数の変化に基づいて、当該駆動電圧が印加された前記薄膜トランジスタが不良品か否かを判定することを特徴とする半導体素子検査方法。
【請求項８】
請求項５から７のいずれか一項に記載の半導体素子検査方法において、
前記薄膜トランジスタは、液晶パネルにおける各画素部内に配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、
前記判定工程において、前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中に行うことを特徴とする半導体素子検査方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、液晶パネル等の駆動用に用いられる薄膜トランジスタが不良品か否かを検査する半導体素子検査装置の技術分野に属する。
【０００２】
【従来の技術】

近年、表示装置としての液晶パネルにおいて、当該液晶パネルに含まれる各画素部内に薄膜トランジスタを夫々含み、当該薄膜トランジスタをスイッチング素子として活用することにより画素電極を介して液晶層に駆動電圧を加えて当該液晶パネルを駆動するタイプの液晶パネルが一般化しつつある。

【０００３】

ここで、上述した液晶パネルの製造工程においては、薄膜加工技術等を用いて製造された夫々の薄膜トランジスタが正常に動作するか否かを検査する必要があるが、従来では、当該検査は、例えば、製造者が拡大鏡等を用いて目視により出来上がった薄膜トランジスタの形状を見て不良品か否かを判定するか、又は、いわゆるサーキットテスタを用いて一つずつ不良品か否かを判定していた。

【０００４】

【発明が解決しようとする課題】

しかしながら、微細加工技術が進歩した今日では、上記液晶パネルの小型化が顕著であり、これに伴って画素部内の薄膜トランジスタも小型化する傾向が強い。

【０００５】

また、薄膜トランジスタ自体のスイッチング特性は、実際に駆動電圧を印加した状態で確認することが望ましいが、上述した目視による判定では、上記小型化の傾向とあいまって、形状自体を確実に判定することが困難であると共に実際の動作時と同様な駆動電圧を印加した状態での良否の判定ができないという問題点があった。

【０００６】

更に、上記サーキットテスタを用いた判定でも、当該判定時に上記駆動電圧を印加して判定するわけではないので、実際の動作状態の良否を判定することができないという問題点があった。

【０００７】

一方、例えば、上記液晶パネルが出来上がった後で実際の駆動電圧を印加して各薄膜トランジスタの動作状態の良否を検査することも可能であるが、この場合に、もし、動作不良の薄膜トランジスタが発見された場合には、当該液晶パネルは不良品となるのであり、このときには、当該不良品となった液晶パネルについては、薄膜トランジスタを形成した以降の製造工程全てが無駄となり、著しく不効率となるという問題点もある。

【０００８】

そこで、本発明は、上記各問題点に鑑みて為されたもので、その課題は、製造工程途中において、実際の駆動時と同様な状態で薄膜トランジスタの動作の良否を検査することが可能な半導体素子検査装置及び半導体素子検査方法を提供することにある。

【０００９】

【課題を解決するための手段】

上記の課題を解決するために、請求項１に記載の発明は、検査すべき薄膜トランジスタの駆動時に反転層が形成される当該薄膜トランジスタの半導体層の領域に対応する位置に、前記薄膜トランジスタのゲート電極及び前記半導体層を含んで構成される容量回路の静電容量を検出するための検査プローブを配置する駆動ステージ等の配置手段と、前記ゲート電極に対して、前記薄膜トランジスタに対応して予め設定された所定の駆動電圧を印加するゲート電圧印加回路等の印加手段と、前記駆動電圧を印加する前後において、前記静電容量を夫々測定する共振部等の測定手段と、前記測定された静電容量の夫々に基づいて前記薄膜トランジスタが不良品か否かを判定するＣＰＵ等の判定手段と、を備える。

【００１０】

請求項１に記載の発明の作用によれば、配置手段は、検査すべき薄膜トランジスタの駆動時に反転層が形成される半導体層の領域に対応する位置に検査プローブを配置する。

【００１１】

一方、印加手段は、ゲート電極に対して、薄膜トランジスタに対応して所定の駆動電圧を印加する。

【００１２】

そして、測定手段は、駆動電圧を印加する前後において、静電容量を夫々測定する。
【００１３】
これらにより、判定手段は、測定された静電容量の夫々に基づいて薄膜トランジスタが不良品か否かを判定する。
【００１４】
よって、実際の駆動時に印加される駆動電圧を印加する前後において測定された静電容量に基づいて薄膜トランジスタが不良品か否かを判定するので、実際の駆動時と同じ状態で薄膜トランジスタの良否を検査することができる。
【００１５】
上記の課題を解決するために、請求項２に記載の発明は、請求項１に記載の半導体素子検査装置において、前記判定手段は、前記ゲート電極に前記駆動電圧を印加したときの前記静電容量と前記駆動電圧を印加しないときの前記静電容量との差が予め設定された所定範囲内であるとき、当該駆動電圧が印加された前記薄膜トランジスタを不良品と判定するように構成される。
【００１６】
請求項２に記載の発明の作用によれば、請求項１に記載の発明の作用に加えて、判定手段が、ゲート電極に駆動電圧を印加したときの静電容量と駆動電圧を印加しないときの静電容量との差が予め設定された所定範囲内であるとき、当該駆動電圧が印加された薄膜トランジスタを不良品と判定する。
【００１７】
よって、実際の駆動時に印加される駆動電圧を印加した状態で薄膜トランジスタが不良品か否かが判定できるので、実際の駆動時と同じ状態で正確に薄膜トランジスタの良否を検査することができる。
【００１８】
上記の課題を解決するために、請求項３に記載の発明は、請求項１又は２に記載の半導体素子検査装置において、前記測定手段は、測定すべき前記静電容量と予め設定された所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該静電容量を測定すると共に、前記判定手段は、前記駆動電圧を印加する前後における前記共振周波数の変化に基づいて、当該駆動電圧が印加された前記薄膜トランジスタが不良品か否かを判定するように構成される。
【００１９】
請求項３に記載の発明の作用によれば、請求項１又は２に記載の発明の作用に加えて、測定手段が、測定すべき静電容量と所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより当該静電容量を測定すると共に、判定手段が、駆動電圧を印加する前後における共振周波数の変化に基づいて、当該駆動電圧が印加された薄膜トランジスタが不良品か否かを判定するので、より正確且つ迅速に薄膜トランジスタを検査することができる。
【００２０】
上記の課題を解決するために、請求項４に記載の発明は、請求項１から３のいずれか一項に記載の半導体素子検査装置において、前記薄膜トランジスタは、液晶パネルにおける各画素部内に配置され、当該画素部に対応する液晶を駆動するためのＴＦＴ等の薄膜トランジスタであると共に、前記判定手段は、前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中において行うように構成される。
【００２１】
請求項４に記載の発明の作用によれば、請求項１から３のいずれか一項に記載の発明の作用に加えて、検査される薄膜トランジスタは、液晶パネルにおける各画素部内に配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、前記判定手段が薄膜トランジスタが不良品か否かの判定を液晶パネルの製造工程中において行う。
【００２２】
よって、液晶パネルの製造工程上において、当該製造されている液晶パネルの良否を判定

することができる。

【００２３】

上記の課題を解決するために、請求項５に記載の発明は、検査すべき薄膜トランジスタの駆動時に反転層が形成される当該薄膜トランジスタの半導体層の領域に対応する位置に、前記薄膜トランジスタのゲート電極及び前記半導体層を含んで構成される容量回路の静電容量を検出するための検査プローブを配置する配置工程と、前記ゲート電極に対して、前記薄膜トランジスタに対応して予め設定された所定の駆動電圧を印加する印加工程と、前記駆動電圧を印加する前後において、前記静電容量を夫々測定する測定工程と、前記測定された静電容量の夫々に基づいて前記薄膜トランジスタが不良品か否かを判定する判定工程と、を備える。

【００２４】

請求項５に記載の発明の作用によれば、配置工程において、検査すべき薄膜トランジスタの駆動時に反転層が形成される半導体層の領域に対応する位置に検査プローブを配置する。

【００２５】

一方、印加工程において、ゲート電極に対して、薄膜トランジスタに対応して所定の駆動電圧を印加する。

【００２６】

そして、測定工程において、駆動電圧を印加する前後に静電容量を夫々測定する。

【００２７】

これらにより、判定工程において、測定された静電容量の夫々に基づいて薄膜トランジスタが不良品か否かを判定する。

【００２８】

よって、実際の駆動時に印加される駆動電圧を印加する前後において測定された静電容量に基づいて薄膜トランジスタが不良品か否かを判定するので、実際の駆動時と同じ状態で薄膜トランジスタの良否を検査することができる。

【００２９】

上記の課題を解決するために、請求項６に記載の発明は、請求項５に記載の半導体素子検査方法において、前記判定工程において、前記ゲート電極に前記駆動電圧を印加したときの前記静電容量と前記駆動電圧を印加しないときの前記静電容量との差が予め設定された所定範囲内であるとき、当該駆動電圧が印加された前記薄膜トランジスタを不良品と判定するように構成される。

【００３０】

請求項６に記載の発明の作用によれば、請求項５に記載の発明の作用に加えて、判定工程において、ゲート電極に駆動電圧を印加したときの静電容量と駆動電圧を印加しないときの静電容量との差が予め設定された所定範囲内であるとき、当該駆動電圧が印加された薄膜トランジスタを不良品と判定する。

【００３１】

よって、実際の駆動時に印加される駆動電圧を印加した状態で薄膜トランジスタが不良品か否かが判定できるので、実際の駆動時と同じ状態で正確に薄膜トランジスタの良否を検査することができる。

【００３２】

上記の課題を解決するために、請求項７に記載の発明は、請求項５又は６に記載の半導体素子検査方法において、前記測定工程において、測定すべき前記静電容量と予め設定された所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該静電容量を測定すると共に、前記判定工程において、前記駆動電圧を印加する前後における前記共振周波数の変化に基づいて、当該駆動電圧が印加された前記薄膜トランジスタが不良品か否かを判定するように構成される。

【００３３】

請求項７に記載の発明の作用によれば、請求項５又は６に記載の発明の作用に加えて、測

定工程において、測定すべき静電容量と所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより当該静電容量を測定すると共に、判定工程において、駆動電圧を印加する前後における共振周波数の変化に基づいて、当該駆動電圧が印加された薄膜トランジスタが不良品か否かを判定するので、より正確且つ迅速に薄膜トランジスタを検査することができる。

【００３４】

上記の課題を解決するために、請求項８に記載の発明は、請求項５から６のいずれか一項に記載の半導体素子検査方法において、前記薄膜トランジスタは、液晶パネルにおける各画素部内に配置され、当該画素部に対応する液晶を駆動するためのＴＦＴ等の薄膜トランジスタであると共に、前記判定工程において、前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中に行うように構成される。

【００３５】

請求項８に記載の発明の作用によれば、請求項５から６のいずれか一項に記載の発明の作用に加えて、検査される薄膜トランジスタは、液晶パネルにおける各画素部内に配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、前記判定工程において、薄膜トランジスタが不良品か否かの判定を液晶パネルの製造工程中に行う。

【００３６】

よって、液晶パネルの製造工程上において、当該製造されている液晶パネルの良否を判定することができる。

【００３７】

【発明の実施の形態】

次に、本発明に好適な実施の形態について、図面を用いて説明する。なお、以下に説明する実施形態は、液晶パネル内の各画素部毎に配置されている薄膜トランジスタ（以下、単にＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）と称する。）の動作状況を、当該液晶パネルの製造工程途中のＴＦＴの形成が終了した段階で検査するための検査装置に本発明を適用した場合の実施の形態である。

【００３８】

（Ｉ）原理

始めに、具体的な実施形態を説明する前に、本発明の原理について図１を用いて説明する。

【００３９】

先ず、本発明に係る検査装置がその検査の対象とするＴＦＴの構成について、図１（ａ）を用いて説明する。なお、図１（ａ）は、本発明の検査対象に係るＴＦＴとしての逆スタガ型ＴＦＴの構成を示す断面図である。

【００４０】

図１（ａ）に示すように、本発明の検査対象としての逆スタガ型のＴＦＴ３０は、ガラス等の基板１５上に形成されるものであり、当該ＴＦＴ３０の駆動時に所定の駆動電圧が印加されるゲート電極１６と、当該ゲート電極１６を包含するように形成された窒化シリコン等よりなる絶縁層１４と、ＴＦＴ３０の駆動時においてゲート電極１６に印加された駆動電圧により後述する反転層１７が形成されるアモルファスシリコン（ａ－Ｓｉ）あるいは、多結晶シリコン膜（ｐｏｌｙ－Ｓｉ）等よりなる半導体層１３と、当該半導体層１３と後述するソース電極１２又はドレイン電極１０とを接続するためにドナーが高濃度にドーピングされているn^+層１３’と、ＴＦＴ３０が含まれる液晶パネル内の画素電極に接続されている上記ドレイン電極１０と、当該画素電極に供給すべきデータ信号（当該液晶パネルを用いて表示すべき画像に対応するデータ信号）が外部から印加されるソース電極１２と、により構成されている。

【００４１】

次に、ＴＦＴ３０の駆動時における動作を説明する。

【００４２】

ＴＦＴ３０の駆動時においては、先ず、ソース電極１２に上記データ信号が印加されると共に、ゲート電極１６に上記駆動電圧が印加される。

【００４３】

そして、ゲート電極１６に駆動電圧が印加されると、これにより絶縁層１４内のゲート電極１６の近辺に正孔が誘起される。

【００４４】

次に、当該誘起された正孔の静電力により、半導体層１３内のゲート電極１６の近辺（すなわち、半導体層１３内のソース電極１２とドレイン電極１０との間の領域のゲート電極１６に近い部分）に電子が誘起され、当該誘起された電子により図１（ａ）に示す反転層１７が形成される。

【００４５】

そして、当該反転層１７内にソース電極１２に印加されているデータ信号がドレイン電極１０に到達するためのいわゆるチャネルが形成され、これにより、当該データ信号がドレイン電極１０から上記画素電極に印加され、当該画素電極に対応する領域の液晶が駆動されてデータ信号に対応した画像が表示される。

【００４６】

ここで、上記液晶パネルの製造工程途中であって、ＴＦＴ３０の形成が完了した直後に、図１（ａ）に示すような後述する検査プローブ１８を半導体層１３を挟んでゲート電極１６に対向する位置に配置したとき、当該検査プローブ１８とゲート電極１６との間に形成される静電容量を考えてみると、先ず、ＴＦＴ３０が駆動されていないとき（すなわち、上記反転層１７が半導体層１３内に形成されていないとき）には、当該静電容量としては、図１（ｂ）に示すように、検査プローブ１８の先端と半導体層１３の表面（ＴＦＴ３０が形成された直後においては、ソース電極１２とドレイン電極１０との間は空間とされており、半導体層１３の上面が空気中に露出した状態となっている。）との間の距離ｄｘの空間が有する静電容量としてのコンデンサＣｘと、ゲート電極１６上に形成されている厚さｄａの半導体層１３が有する静電容量としてのコンデンサＣａと、ゲート電極１６と半導体層１３とに挟まれている絶縁層１４が有する静電容量としてのコンデンサＣｎとが直列に接続されたものと等価な静電容量が形成されているとみなすことができる。

【００４７】

これに対して、ＴＦＴ３０の駆動時においては、上述のように半導体層１３内に導電性を有する反転層１７が形成されるため、半導体層１３の有する静電容量としては、図１（ｃ）に示すように、その厚さを元の厚さｄａから反転層１７の厚さ分だけ減少させた厚さｄｂの部分が有するコンデンサＣｂが形成されたのと等価となる。従って、ＴＦＴ３０が駆動されているときには、検査プローブ１８とゲート電極１６との間には、図１（ｃ）に示すように、上記コンデンサＣｘとコンデンサＣｎとコンデンサＣｂとを直列に接続したものと等価な静電容量が形成されているとみなすことができる。

【００４８】

そこで、本発明では、ＴＦＴ３０の駆動前後における上述した検査プローブ１８とゲート電極１６との間に形成される静電容量の大きさの変化を検出することにより、ＴＦＴ３０を実際の駆動状態と同様な状態にしたとき（すなわち、上記駆動電圧をゲート電極１６に印加したとき）に上記反転層１７が形成されているか否かを判定し、当該反転層１７が形成された（すなわち、検査プローブ１８とゲート電極１６との間に形成される静電容量の大きさが変化した）ときには当該ＴＦＴ３０は良好に動作すると判断し、一方、駆動電圧の印加前後で検査プローブ１８とゲート電極１６との間に形成される静電容量の大きさが変化しないときには、駆動電圧をゲート電極１６に印加しても上記反転層１７が形成されておらず、従って、当該ＴＦＴ３０はその駆動時に反転層１７が形成されない動作不良のＴＦＴであると判断する。

【００４９】

なお、本発明においては、液晶パネル内のＴＦＴ３０が非常に微少な構造を有していることから、上述した静電容量の変化を検出するに当たって、いわゆる走査型プローブ顕微鏡

（一般には、ＡＦＭ／ＳＣａＭ（Ａｔｏｍｉｃ Ｆｏｒｃｅ Ｍｉｃｒｏｓｃｏｐｅ（原子間力顕微鏡）／Ｓｃａｎｎｉｎｇ Ｃａｐａｃｉｔａｎｃｅ Ｍｉｃｒｏｓｃｏｐｅ（容量走査型プローブ顕微鏡））と称されている。）を用いて上記検査プローブ１８を各ＴＦＴ３０の位置に配置してその静電容量の変化を検出している。

【００５０】

（ＩＩ）実施形態に係る液晶パネルの構成

次に、本実施形態における検査対象であるＴＦＴ３０が含まれている液晶パネルの一例について、図２を用いてその概要を説明する。なお、図２は、実施形態のＴＦＴ３０を有する液晶パネルにおけるＴＦＴアレイ基板上に設けられた各種配線、周辺回路等の構成を示すブロック図である。

【００５１】

図２に示すように、液晶パネル２００は、例えば石英基板、ハードガラス等からなるＴＦＴアレイ基板１を備えている。このＴＦＴアレイ基板１上には、マトリクス状に設けられた複数の画素電極１１と、Ｘ方向に複数配列されており夫々がＹ方向に沿って伸びるデータ線３５（ソース電極線）と、Ｙ方向に複数配列されており夫々がＸ方向に沿って伸びる走査線３１（ゲート電極線）と、各データ線３５と画素電極１１との間に夫々介在すると共に当該データ線３５と画素電極１１の間における導通状態及び非導通状態を、走査線３１を介して夫々供給される走査信号を用いて夫々制御する複数の上記ＴＦＴ３０とが形成されている。

【００５２】

また、ＴＦＴアレイ基板１上には、複数のデータ線３５に対して、データ信号に先行して所定電圧レベルのプリチャージ信号を夫々供給するプリチャージ回路２０１と、上記データ信号をサンプリングして複数のデータ線３５に夫々供給するサンプリング回路３０１と、データ線駆動回路１０１と、走査線駆動回路１０４とが形成されている。

【００５３】

このとき、走査線駆動回路１０４は、外部制御回路から供給される電源電圧及び基準クロック等に基づいて、所定タイミングで走査線３１（ゲート電極線）に走査信号をパルス的に線順次で印加する。

【００５４】

一方、データ線駆動回路１０１は、外部制御回路から供給される電源電圧、基準クロック等に基づき、走査線駆動回路１０４が走査信号を印加するタイミングに合わせて、６つの入力信号線ＶＩＤ１～ＶＩＤ６の夫々について、データ線３５毎にサンプリング回路駆動信号をサンプリング回路駆動信号線３０６を介してサンプリング回路３０１に供給する。

【００５５】

次に、プリチャージ回路２０１は、ＴＦＴ２０２を各データ線３５毎に備えている。そして、プリチャージ信号線２０４がＴＦＴ２０２のソース電極に接続されて、プリャージ回路駆動信号線２０６がＴＦＴ２０２のゲート電極に接続されている。そして、プリチャージ信号線２０４を介して外部電源からプリチャージ信号を書き込むために必要な所定電圧の電源が供給されると共に、各データ線３５について、データ信号に先行するタイミングでプリチャージ信号を書き込むように、外部制御回路からプリチャージ回路駆動信号線２０６を介してプリチャージ回路駆動信号が供給される。このとき、プリチャージ回路２０１は、好ましくは中間階調レベルの画素データに相当する上記プリチャージ信号を供給する。

【００５６】

更に、サンプリング回路３０１では、ＴＦＴ３０２を各データ線３５毎に備え、入力信号線ＶＩＤ１～ＶＩＤ６がＴＦＴ３０２のソース電極に接読され、サンプリング回路駆動信号線３０６がＴＦＴ３０２のゲート電極に接続されている。そして、入力信号線ＶＩＤ１～ＶＩＤ６を介して、６相展開された６つのパラレルな画像信号が入力されると、これらの画像信号をサンプリングする。

【００５７】

また、データ線駆動回路１０１からサンプリング回路駆動信号線３０６を介してサンプリング回路駆動信号が入力されると、６つの入力信号線ＶＩＤ１～ＶＩＤ６夫々についてサンプリングされた画像信号を、６つの隣接するデータ線３５からなるグループ毎に順次当該データ線３５に印加する。

【００５８】

このとき、プリチャージ回路２０１及びサンプリング回路３０１は、図１中斜線領域で示すように、対向基板に形成された遮光性の周辺見切り５３に対向する位置のＴＦＴアレイ基板１上に設けられており、データ線駆動回路１０１及び走査線駆動回路１０４は、液晶層に面しないＴＦＴアレイ基板１の周辺部分上に設けられている。

【００５９】

そして、上述した液晶パネル２００において、画像表示時に、各画素部内のＴＦＴ３０が駆動電圧（上記走査信号として印加される）に対応して正常に動作しないと、夫々の画素電極１１に対してデータ線３５からのデータ信号が印加されずにその画素部では液晶が駆動されない（すなわち、データ信号に対応する画像が表示されない。）こととなるため、当該液晶パネル２００の製造工程において、後述する検査装置Ｓにより夫々のＴＦＴ３０の動作状態が検査されるのである。

【００６０】

（ＩＩＩ）実施形態

次に、本発明に係る検査装置の実施形態について、図３乃至図５を用いて説明する。なお、図３は検査装置の全体構成を示すブロック図であり、図４は当該検査装置内に検査対象であるＴＦＴ３０内の静電容量（図１（ｂ）又は（ｃ）参照）を含んで形成される共振回路を示す回路図であり、図５は検査装置における検査工程を示すフローチャートである。

【００６１】

始めに、実施形態に係る検査装置の構成について、図３及び図４を用いて説明する。

【００６２】

図３に示すように、実施形態に係る検査装置Ｓは、判定手段としてのＣＰＵ２０と、インターフェース２１と、スキャン回路２２と、サーボ回路２３と、モータ２４と、配置手段としての駆動ステージ２５と、ピエゾスタック２６と、試料ステージ２７と、上記検査プローブ１８と、測定手段としての共振部２８と、ロックインアンプ２９と、接続線４０及び４１と、印加手段としてのゲート電圧印加回路４２と、により構成されている。

【００６３】

また、共振部２８内には、図１（ｂ）又は（ｃ）に示す上記コンデンサＣｘ、コンデンサＣｎ及びコンデンサＣｂ（又はコンデンサＣａ）を含んで後述する共振回路を構成するための固有インダクタンスＬｓ及び固有コンデンサＣｓと交流電源Ｄとが含まれている。

【００６４】

次に、各部の概要動作を説明する。

【００６５】

試料ステージ２７は、ＴＦＴ３０が形成された直後で当該ＴＦＴ３０上に液晶パネル２００を構成するための液晶層、画素電極１１等が形成される前の状態（すなわち、ＴＦＴ３０における上記ソース電極１２とドレイン電極１０との間の半導体層１３上に空間がある状態）のＴＦＴアレイ基板１を固定載置する。

【００６６】

このとき、当該ＴＦＴアレイ基板１内の各画素部毎のゲート電極１６には、ＣＰＵ１０からの制御信号Ｓｇｃに基づくゲート電圧印加回路４２の動作により、ゲート駆動信号Ｓｇｄとして上記反転層１７を形成させるための駆動電圧が夫々のゲート電極１６毎に印加される。

【００６７】

一方、ピエゾスタック２６及び駆動ステージ２５は、検査プローブ１８を支持し、モータ２４からの駆動信号Ｓｄに基づいて、当該検査プローブ１８を検査対象となるＴＦＴ３０上の検査位置（図１参照）に配置する。

【００６８】
このとき、インターフェース２１は、ＣＰＵ２０からの制御信号Ｓｃに対してインターフェース処理を施し、スキャン回路２２に出力する。
【００６９】
そして、スキャン回路２２は、複数個形成されているＴＦＴ３０のうち、検査対象となるＴＦＴ３０を決定し、その位置に検査プローブ１８を移動させるべくスキャン信号Ｓｃａをサーボ回路２３に出力する。
【００７０】
次に、サーボ回路２３は、入力されたスキャン信号Ｓｃａに基づいて、検査対象となるＴＦＴ３０の位置に正確に検査プローブ１８を位置させるべくモータ２４を駆動して上記駆動信号Ｓｄを出力させるためのサーボ信号Ｓｓｖを生成して当該モータ２４に出力する。
【００７１】
これと並行して、上記検査プローブ１８と接続線４１を介して接続されている共振部２８では、接続線４０を介して接続されているゲート電極１６と、当該共振部２８内の上記固有コンデンサＣｓ、固有インダクタンスＬｓ及び交流電源Ｄとが、当該ゲート電極１６に駆動電圧を印加する前後で接続されることにより共振回路が構成される。そして、当該駆動電圧を印加する前後で当該共振回路の共振周波数が検出され、検出された共振周波数に対応する周波数信号Ｓｆが出力される。ここで、上記共振周波数の具体的な検出方法としては、例えば、上記構成された共振回路における並列共振が開始された後、その共振周波数をいわゆるＱメータを用いた図示しない周波数検出回路により検出し、当該検出した共振周波数に対応する上記周波数信号Ｓｆを出力するように構成することができる。
【００７２】
ここで、駆動電圧をゲート電極１６に印加する前後に構成される共振回路について、図４を用いて説明する。なお、図４において、図４（ａ）は駆動電圧が印加される前に構成される共振回路を示し、図４（ｂ）は駆動電圧が印加されて半導体層１３内に反転層１７が形成されたときに構成される共振回路を示している。
【００７３】
図４（ａ）に示すように、ゲート電極１６に駆動電圧を印加する前には、上記反転層１７が形成されていないので、ＴＦＴ３０において検査プローブ１８とゲート電極１６との間に形成される静電容量は、上述のように、コンデンサＣｘ、コンデンサＣａ及びコンデンサＣｎを直列に接続したものと等価となっている（図１（ｂ）参照）。そこで、このコンデンサＣｘ、コンデンサＣａ及びコンデンサＣｎの直列接続と並列に、交流電源Ｄと固有インダクタンスＬｓ及び固有コンデンサＣｓを直列接続したものとを接続すると、図４（ａ）に示すような共振回路が形成される。
【００７４】
一方、ゲート電極１６に駆動電圧を印加した後には、半導体層１３内に反転層１７が形成されるので、ＴＦＴ３０において検査プローブ１８とゲート電極１６とに間に形成される静電容量は、上述のように、コンデンサＣｘ、コンデンサＣｂ及びコンデンサＣｎを直列に接続したものと等価となっている（図１（ｃ）参照）。そこで、このコンデンサＣｘ、コンデンサＣｂ及びコンデンサＣｎの直列接続と並列に、交流電圧Ｄと固有インダクタンスＬｓ及び固有コンデンサＣｓを直列接続したものとを接続すると、図４（ｂ）に示すような共振回路が形成される。
【００７５】
このとき、図４（ａ）に示す共振回路の共振周波数をＦａとし、図４（ｂ）に示す共振回路の共振周波数をＦｂとすると、夫々の値は、以下の式（１）及び（２）で示される。
【００７６】
【数１】

$$Fa=\frac{1}{2\pi}\sqrt{\frac{1}{LsCs}+\frac{CaCn+CxCn+CxCa}{LsCxCaCn}} \quad \cdots\cdots\cdots (1)$$

$$Fb=\frac{1}{2\pi}\sqrt{\frac{1}{LsCs}+\frac{CbCn+CxCn+CxCb}{LsCxCbCn}} \quad \cdots\cdots\cdots (2)$$

$$Ca=\frac{\varepsilon S}{da}$$

$$Cb=\frac{\varepsilon S}{db}$$

【００７７】
ここで、εは空気中の誘電率であり、Ｓは反転層１７の基板１５に平行な面の面積である。また、ｄａは半導体層１３全体の厚さであり（図１（ｂ）参照）、ｄｂは駆動電圧の印加時に反転層１７が形成される部分以外の半導体１３の厚さである（図１（ｃ）参照）。
【００７８】
従って、本実施形態では、ゲート電極１６に駆動電圧を印加する前は、交流電源Ｄにより共振回路に交流電流を印加すると共振周波数Ｆａを示す周波数信号Ｓｆが共振部２８から出力され、一方、ゲート電極１６に駆動電圧を印加した後は、上記交流電流を印加すると共振周波数Ｆｂを示す周波数信号Ｓｆが共振部２８から出力されることとなる。
【００７９】
そこで、駆動電圧を印加する前後の周波数信号Ｓｆを検出して比較し、それらが相互に異なっていれば、駆動電圧を印加したことにより上記反転層１７が形成され、従って、その時の検査対象であるＴＦＴ３０は正常に動作するものと判定できる。また、駆動電圧を印加する前後の周波数信号Ｓｆが同じであれば、駆動電圧を印加しても反転層１７が形成されていないこととなり、従って、その時の検査対象であるＴＦＴ３０は正常に動作するものではない不良品であると判定できる。
【００８０】
このため、ロックインアンプ２９は、上記周波数信号Ｓｆを所定の増幅率で増幅し、増幅周波数信号ＳａｆとしてＣＰＵ２０に出力し、これにより、ＣＰＵ２０は駆動電圧を印加する前後の増幅周波数信号Ｓａｆで示される共振周波数を比較することにより、検査対象となっているＴＦＴ３０の動作状態の良否を判定し、その結果を表示信号Ｓｄｐとしてディスプレイ４３に出力し、当該ディスプレイ４３がその結果を所定の形式で表示する。
【００８１】
次に、上述の構成及び動作を有する検査装置Ｓを用いた本実施形態に係る検査動作について、図５に示すフローチャートを用いて説明する
図５に示すように、実施形態の検査動作においては、始めに、ＴＦＴアレイ基板１上に形成されているＴＦＴ３０の番号を示すパラメータＮを初期化する（ステップＳ１）。
【００８２】
次に、検査装置ＳにおけるＡＦＭとしての機能を用いて、検査プローブ１８を支持する図示しないカンチレバーの原始間力による変位を測定し、検査プローブ１８の先端と半導体層１３の表面との距離ｄｘを測定する（ステップＳ２）。
【００８３】
そして、検査対象となっているＴＦＴ３０内のゲート電極１６に駆動電圧を印加しない状

態で図４（ａ）に示す共振回路を並列共振させ、上記共振周波数Ｆａを検出し、ＣＰＵ２０内の図示しないメモリ内に格納する（ステップＳ３）。

【００８４】

次に、検査対象となっているＴＦＴ３０のゲート電極１６にゲート電圧印加回路４２により駆動電圧を印加し（ステップＳ４）、パラメータＮを１だけインクリメントして（ステップＳ５）、そのままの状態で図４（ｂ）に示す共振回路（図４（ｂ）は正常に反転層１７が形成された場合の共振回路であり、これに対して正常に反転層１７が形成されないと、図４（ａ）に示す共振回路が依然として並列共振することとなる。）を並列共振させ、上記共振周波数Ｆｂを検出する（ステップＳ６）。

【００８５】

そして、ＣＰＵ２０において、図示しないメモリに記憶しておいた上記共振周波数Ｆａ（ステップＳ３参照）と上記共振周波数Ｆｂ（ステップＳ６参照）とを比較する（ステップＳ７）。

【００８６】

そして、共振周波数Ｆａと共振周波数Ｆｂとが等しいときは（ステップＳ７；ＹＥＳ）、ゲート電極１６に駆動電圧が印加されたにも拘わらず反転層１７が形成されずに共振周波数が変化しなかったものとして、そのときに検査対象となっていたＴＦＴ３０が不良品であり、従って現在検査中のＴＦＴアレイ基板１は不良品である旨の表示をして（ステップＳ１０）処理を終了する。

【００８７】

一方、ステップＳ７の判定において、共振周波数Ｆａと共振周波数Ｆｂとが異なっているときは（ステップＳ７；ＮＯ）、次に、現在のパラメータＮの値がＴＦＴ３０の最大番号である番号Ｋと等しいか否かを判定し（ステップＳ８）、等しくないときは（ステップＳ８；ＮＯ）、現在駆動電圧が印加されていたＴＦＴ３０は正常に反転層１７が形成されたことにより共振周波数が変化したとして、当該ＴＦＴ３０を正常に動作するＴＦＴと判定し、次の番号に相当するＴＦＴ３０を検査すべく、スキャン回路２２及びサーボ回路２３によりモータ２４を駆動して検査プローブ１８を当該次の番号に相当するＴＦＴ３０の位置に移動させ（ステップＳ１１）、上記ステップＳ５に移行して上述した動作を繰り返す。

【００８８】

一方、ステップＳ８の判定において、パラメータＮの値がＴＦＴ３０の最大番号と等しいときは（ステップＳ８；ＹＥＳ）、全てのＴＦＴ３０に対する検査が終了し且つ動作不良のＴＦＴ３０が発見されなかったとして、現在検査中のＴＦＴアレイ基板１は良品である旨の表示をして（ステップＳ９）処理を終了する。

【００８９】

以上説明したように、実施形態の検査装置Ｓの動作によれば、実際の駆動時に印加される駆動電圧を印加した状態でＴＦＴ３０が不良品か否かが判定できるので、実際の駆動時と同じ状態で正確に当該ＴＦＴ３０の良否を検査することができる。

【００９０】

また、検査プローブ１８とゲート電極１８との間の静電容量と共振部２８内の固有インダクタンスＬｓ及び固有コンデンサＣｓとにより構成される閉回路の共振周波数を測定することにより当該静電容量を測定すると共に、駆動電圧を印加する前後における共振周波数の変化に基づいて、当該駆動電圧が印加されたＴＦＴ３０が不良品か否かを判定するので、より正確且つ迅速にＴＦＴ３０を検査することができる。

【００９１】

更に、液晶パネル２００の製造工程上において、当該製造されている液晶パネル２００の良否を判定することができる。

【００９２】

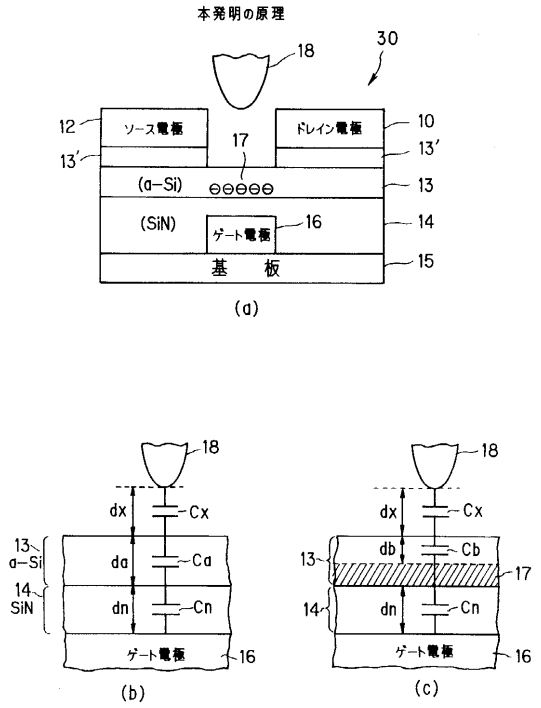
なお、上記ステップＳ９及びＳ１０を終了した後には、不良品と判定された液晶パネル２００をその製造工程からはずす等の処理が行われることとなる。

【００９３】
（ＩＶ）変形形態
次に、本発明の変形形態について説明する。
【００９４】
上述した実施形態においては、検査対象となるＴＦＴ３０として、逆スタガ型のＴＦＴを用いた場合について説明したが、これ以外に、図６に示すような正スタガ型のＴＦＴに対しても本発明を適用することができる。
【００９５】
この場合には、図６（ａ）に示すようなＴＦＴ３０’において、反転層１７は、絶縁層１４の直下の半導体層１３の部分に形成される。そして、図３における接続線４０は半導体層１３に接続されることとなる。ここで、図６には、半導体層１３としてａ－Ｓｉと記載してあるが、これはｐｏｌｙ－Ｓｉにより形成されていても良い。
【００９６】
更に、図６（ａ）に示すように検査プローブ１８を配置したときには、当該検査プローブ１８と半導体層１３との間に図６（ｂ）に示すような静電容量が形成され、このうち、半導体層１３内に等価的に形成されるコンデンサＣａの静電容量が、駆動電圧印加後の反転層１７が形成された後には、当該反転層１７の厚さだけ減じた厚さを有する半導体層１３の静電容量（図１（ｃ）に示すコンデンサＣｂの静電容量）に変化し、この静電容量の変化が検出されて反転層１７の有無、すなわち、ＴＦＴ３０’の動作状態の良否が検査されることとなる。
【００９７】
上述した変形形態の場合でも、上記実施形態と同様な効果を奏することができる。
【００９８】
なお、上述の実施形態及び変形形態におけるステップＳ７の判定においては、共振周波数Ｆａと共振周波数Ｆｂとが一致したときにＴＦＴ３０が不良品であると判定しているが、これ以外に、共振回路を構成する各コンデンサの容量値又はインダクタンスのインダクタンス値のばらつきを考慮して、当該共振周波数Ｆａと共振周波数Ｆｂとの差が予め設定された一定値以下であるときにＴＦＴ３０が不良品であると判定してもよい。
【００９９】
また、上述の実施形態及び変形形態では、液晶パネル２００の画素部に形成されているＴＦＴを検査する場合について説明したが、これ以外に、本発明は、当該画素以外の、例えば上述したプリチャージ回路２０１、走査線駆動回路１０４、データ線駆動回路１０１又はサンプリング回路３０６内に形成されているＴＦＴを液晶パネル２００の製造工程途中において検査する場合に適用することも可能である。
【０１００】
更に、本発明は、液晶パネル２００内のＴＦＴ以外でも、一般に薄膜技術を用いて形成されるＴＦＴをその製造工程直後に検査する場合に広く適用することができる。
【０１０１】
【発明の効果】
以上説明したように、本発明によれば、実際の駆動時と同じ状態で薄膜トランジスタを駆動しつつその良否を検査できるので、実際の駆動時と同じ状態で正確に薄膜トランジスタの良否を検査することができる。
【図面の簡単な説明】
【図１】本発明の原理を説明する図であり、（ａ）は検査対象のＴＦＴを示す断面図であり、（ｂ）は駆動電圧印加前に形成される静電容量の構成を示す図であり、（ｃ）は駆動電圧印加後に形成される静電容量の構成を示す図である。
【図２】検査対象のＴＦＴを含むＴＦＴアレイ基板の概要構成を示すブロック図である。
【図３】検査装置の概要構成を示すブロック図である。
【図４】検査時に形成される共振回路の構成を示す回路図であり、（ａ）は駆動電圧印加前に形成される共振回路を示す回路図であり、（ｂ）は駆動電圧印加後に形成される共振

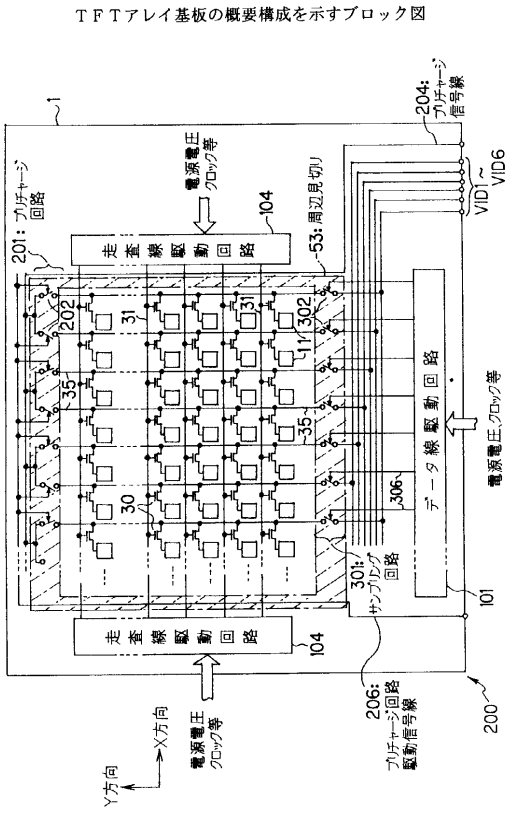
回路を示す回路図である。
【図５】本発明に係る検査工程を示すフローチャートである。
【図６】正スタガ型ＴＦＴの構成を示す断面図等であり（ａ）は正スタガ型ＴＦＴの構成を示す断面図であり、（ｂ）は駆動電圧印加前後に形成される静電容量の構成を示す図である。
【符号の説明】
１…ＴＦＴアレイ基板
１０…ドレイン電極
１２…ソース電極
１３…半導体層
１３’…n^+層
１４…絶縁層
１５…基板
１６…ゲート電極
１７…反転層
１８…検査プローブ
２０…ＣＰＵ
２１…インターフェース
２２…スキャン回路
２３…サーボ回路
２４…モータ
２５…駆動ステージ
２６…ピエゾスタック
２７…試料ステージ
２８…共振部
２９…ロックインアンプ
３０、３０’、２０２、３０２…ＴＦＴ
３１…走査線
３５…データ線
４０、４１…接続線
４２…ゲート電圧印加回路
４３…ディスプレイ
５３…周辺見切り
１０１…データ線駆動回路
１０４…走査線駆動回路
２００…液晶パネル
２０１…プリチャージ回路
２０４…プリチャージ回路信号線
２０６…プリチャージ回路駆動信号線
３０１…サンプリング回路
３０６…サンプリング回路駆動信号線
Ｄ…交流電源
Ｃｘ、Ｃａ、Ｃｂ、Ｃｎ…コンデンサ
Ｌｓ…固有インダクタンス
Ｃｓ…固有コンデンサ
Ｓｃ、Ｓｇｃ…制御信号
Ｓｄｐ…表示信号
Ｓｃａ…スキャン信号
Ｓｓｖ…サーボ信号
Ｓｄ…駆動信号

Ｓｇｄ…ゲート駆動信号
Ｓｆ…周波数信号
Ｓａｆ…増幅周波数信号

【図１】

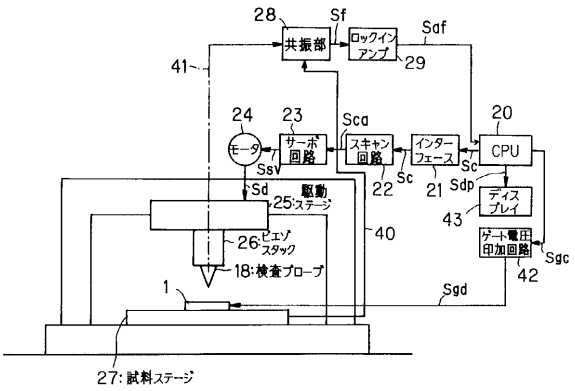


【図２】



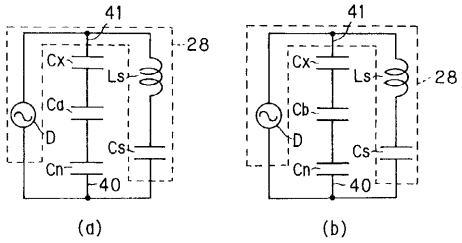
【図３】

検査装置の概要構成を示すブロック図



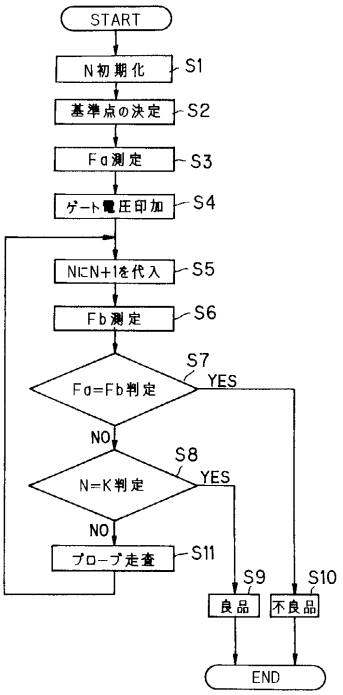
【図４】

共振回路の構成を示す回路図



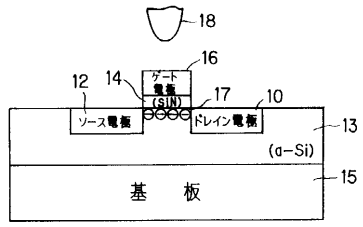
【図５】

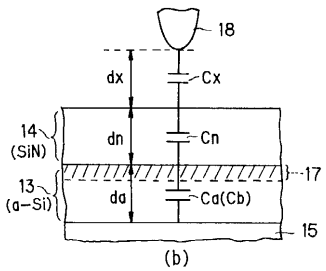
本発明に係る検査工程を示すフローチャート



【図６】

正スタガ型TFTの構成を示す断面図





フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H01L 21/66
H01L 29/786
G01R 31/26