

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-200225

(P2013-200225A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.
G 0 1 R 19/00 (2006.01)

F I

G 0 1 R 19/00

A

テーマコード (参考)

2 G 0 3 5

G 0 1 R 19/00

M

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2012-69047 (P2012-69047)
(22) 出願日 平成24年3月26日 (2012.3.26)

(71) 出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72) 発明者 足利 亨

埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内

Fターム(参考) 2G035 AA01 AB07 AC01 AC03 AC04
AD04 AD10 AD20 AD26 AD65

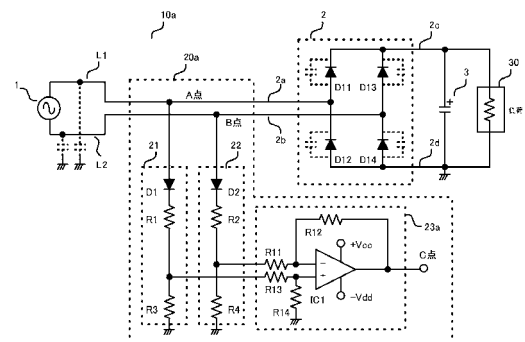
(54) 【発明の名称】 交流入力電圧検出回路

(57) 【要約】

【課題】交流電源からの交流入力電圧を検出して波形ひずみのない電圧検出信号を出力する交流入力電圧検出回路を提供する。

【解決手段】交流電源1からの交流入力電圧をダイオード整流回路2によって整流している電源装置10aの内部もしくは外部に設けられて、交流入力電圧を検出して電圧検出信号を出力する交流入力電圧検出回路であって、電源装置10aの基準電位を基準にしてダイオード整流回路2の交流入力端2a, 2bの電圧波形を検出する電圧波形検出回路21, 22と、電圧波形検出回路21からの第1検出電圧波形と電圧波形検出回路22からの第2検出電圧波形とを演算し、第1検出電圧波形および第2検出電圧波形に発生するゼロ電圧付近における波形ひずみが消去された電圧波形信号を生成し、電圧波形信号を電圧検出信号として出力する電圧波形生成回路23aと、を有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

交流電源から供給される交流入力電圧をブリッジ構成のダイオード整流回路によって整流している装置の内部もしくは外部に設けられて、前記交流入力電圧を検出して電圧検出信号を出力する交流入力電圧検出回路であって、

前記装置の基準電位を基準にして前記ダイオード整流回路の一方の交流入力端の電圧波形を検出する第 1 電圧波形検出回路と、

前記装置の基準電位を基準にして前記ダイオード整流回路の他方の交流入力端の電圧波形を検出する第 2 電圧波形検出回路と、

前記第 1 電圧波形検出回路から出力される第 1 検出電圧波形と前記第 2 電圧波形検出回路から出力される第 2 検出電圧波形とを演算し、前記第 1 検出電圧波形および前記第 2 検出電圧波形に発生するゼロ電圧付近における波形ひずみが消去された電圧波形信号を生成し、前記電圧波形信号を前記電圧検出信号として出力する電圧波形生成回路と、

を有することを特徴とする交流入力電圧検出回路。

【請求項 2】

前記電圧波形生成回路は、前記第 1 検出電圧波形と前記第 2 検出電圧波形とを減算する減算回路からなることを特徴とする請求項 1 記載の交流入力電圧検出回路。

【請求項 3】

前記電圧波形生成回路は、前記第 1 検出電圧波形から前記第 2 検出電圧波形を減算する第 1 減算回路と、前記第 2 検出電圧波形から前記第 1 検出電圧波形を減算する第 2 減算回路と、前記第 1 減算回路および前記第 2 減算回路からの出力を加算する第 1 加算回路と、からなることを特徴とする請求項 1 記載の交流入力電圧検出回路。

【請求項 4】

前記電圧波形生成回路は、A/Dコンバータ、メモリ、出力ポートを有するマイコンからなり、前記第 1 検出電圧波形と前記第 2 検出電圧波形とを前記マイコンの演算機能によって減算することを特徴とする請求項 1 記載の交流入力電圧検出回路。

【請求項 5】

前記電圧波形生成回路から出力される前記電圧検出信号には、さらに、平均値もしくは実効値の電圧値が含まれることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項記載の交流入力電圧検出回路。

【請求項 6】

前記第 1 電圧波形検出回路および前記第 2 電圧波形検出回路は、それぞれ同一構成されて、前記第 1 電圧波形検出回路が前記ダイオード整流回路の一方の交流入力端と前記装置の基準電位となる接地との間に接続され、前記第 2 電圧波形検出回路が前記ダイオード整流回路の他方の交流入力端と前記装置の基準電位となる接地との間に接続されることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項記載の交流入力電圧検出回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、交流電源を入力源とする電源装置等の交流入力電圧検出回路に関する。

【背景技術】**【0002】**

従来、交流電源を入力源として直流電源を得る電源装置及び交流入力電圧（交流電源の電圧）を検出して電圧検出信号を出力する交流入力電圧検出回路が知られている。図 8 に従来の電源装置及び従来の交流入力電圧検出回路の一例を示す。図 8 において、電源装置 10 は、ダイオード整流回路 2、平滑コンデンサ 3 を有して構成されている。また、交流入力電圧検出回路 20 は、電源装置 10 の内部に設けられている。

【0003】

ダイオード整流回路 2 は、ブリッジ構成の全波整流回路を形成する 4 つのダイオード D11～D14 からなる。ダイオード整流回路 2 の一方の交流入力端 2a は、交流電源線 L

10

20

30

40

50

1を介して交流電源1の一端に接続されているとともにダイオードD11とダイオードD12との接続点に接続されている。ダイオード整流回路2の他方の交流入力端2bは、交流電源線L2を介して交流電源1の他端に接続されているとともにダイオードD13とダイオードD14との接続点に接続されている。また、ダイオード整流回路2の正側直流出力端2cは、ダイオードD11とダイオードD13との接続点に接続されているとともに平滑コンデンサ3の一端に接続されている。ダイオード整流回路2の負側直流出力端2dは、ダイオードD12とダイオードD14との接続点に接続されているとともに平滑コンデンサ3の他端に接続されている。

【0004】

平滑コンデンサ3の他端は接地されて電源装置10の基準電位となる。また、平滑コンデンサ3には、負荷30が並列に接続される。

10

【0005】

交流入力電圧検出回路20は、抵抗R5～R7、ダイオードD15からなる。抵抗R5の一端は交流電源1の一端もしくはダイオード整流回路2の一方の交流入力端2aに接続され、抵抗R6の一端は交流電源1の他端もしくはダイオード整流回路2の他方の交流入力端2bに接続され、抵抗R5の他端は抵抗R6の他端及びダイオードD15のアノードに接続され、ダイオードD15のカソードは抵抗R7の一端に接続され、抵抗R7の他端は接地されている。また、抵抗R5の一端と交流電源1の一端との接続点もしくは抵抗R5の一端とダイオード整流回路2の一方の交流入力端2aとの接続点をA点とし、抵抗R6の一端と交流電源1の他端との接続点もしくは抵抗R6の一端とダイオード整流回路2の他方の交流入力端2bとの接続点をB点とし、ダイオードD15のカソードと抵抗R7の一端との接続点をC点とする。

20

【0006】

次に、このように構成された電源装置10及び交流入力電圧検出回路20の動作について説明する。

【0007】

電源装置10は、交流電源1から供給される交流入力電圧をダイオード整流回路2によって全波整流し、その全波整流電圧を平滑コンデンサ3によって平滑することにより直流出力電圧に変換し、その直流出力電圧を平滑コンデンサ3に並列に接続される負荷30に出力する。なお、平滑コンデンサ3を昇圧コンバータの電力変換部（図示せず）に置き換えて交流電源1の力率を改善する機能を有するとともに交流入力電圧よりも高い直流出力電圧を出力する電源装置、平滑コンデンサ3（もしくは昇圧コンバータ）と負荷30との間にDC-DCコンバータやDC-ACコンバータ等の電力変換部（図示せず）を設けることにより所望の直流出力電圧や交流出力電圧に変換して出力する電源装置についても従来から知られている。

30

【0008】

交流入力電圧検出回路20は、交流電源1から供給される交流入力電圧を検出して電圧検出信号を出力する回路であり、電源装置10の基準電位（接地）を基準にしてA点及びB点の電圧波形を入力してC点の電圧波形を電圧検出信号として出力する。交流入力電圧検出回路20から出力される電圧検出信号は、電源装置10の内部もしくは外部において、交流入力電圧の平均値や実効値等の電圧値を検出するのに用いられったり、交流入力電圧のゼロクロスを検出するのに用いられったり、交流電源1の異常（停電、電圧低下、過電圧等）を検出するのに用いられったりしている。

40

【0009】

なお、従来の技術の関連技術として、例えば特許文献1に記載された停電検出回路が知られている。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開平11-155284号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0011】

ところで、図9に示すように、軽負荷時と重負荷時とにおいて、A点の電圧波形に変化がなくB点の電圧波形にも変化がなければ、C点の電圧波形に変化は生じない。即ち、交流入力電圧検出回路20から出力される電圧検出信号が負荷の軽重によって影響を受けなければ、交流入力電圧検出回路20から出力される電圧検出信号から交流入力電圧の平均値や実効値等の電圧値、交流入力電圧のゼロクロス、交流電源1の異常を精度良く検出することができる。

【0012】

しかし実際には、図11に示すように、軽負荷時において、A点の電圧波形及びB点の電圧波形のゼロ電圧付近には、波形ひずみが発生する。波形ひずみの発生は、図10に示すように、交流電源線L1、L2の寄生容量（点線により図示）やダイオード整流回路2の寄生容量（点線により図示）などが影響していると考えられる。C点の電圧波形は、A点の電圧波形とB点の電圧波形とをダイオードD15で足し合わせて生成されるので、C点の電圧波形のゼロ電圧付近は、波形ひずみによって上昇してしまう。波形ひずみの発生は、軽負荷時と重負荷時とにおいて、A点の電圧波形に変化を生じさせB点の電圧波形にも変化を生じさせるので、C点の電圧波形に変化が生じる。即ち、交流入力電圧検出回路20から出力される電圧検出信号が負荷の軽重によって影響を受けるので、このような電圧検出信号では、交流入力電圧の平均値や実効値等の電圧値、交流入力電圧のゼロクロス、交流電源1の異常を精度良く検出することができない。図11からも分かるように、軽負荷時における交流入力電圧の平均値は、重負荷時における交流入力電圧の平均値よりも高い値で検出されてしまう。

【0013】

このように、交流入力電圧検出回路20から出力される電圧検出信号には波形ひずみが発生するので、波形ひずみのある電圧検出信号では、電源装置10の内部もしくは外部において、交流入力電圧の平均値や実効値等の電圧値、交流入力電圧のゼロクロス、交流電源1の異常を精度良く検出することができないという問題があった。

【0014】

そこで、本発明は、交流電源から供給される交流入力電圧を検出して波形ひずみのない電圧検出信号を出力する交流入力電圧検出回路を提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明の交流入力電圧検出回路は、交流電源から供給される交流入力電圧をブリッジ構成のダイオード整流回路によって整流している装置の内部もしくは外部に設けられて、前記交流入力電圧を検出して電圧検出信号を出力する交流入力電圧検出回路であって、前記装置の基準電位を基準にして前記ダイオード整流回路の一方の交流入力端の電圧波形を検出する第1電圧波形検出回路と、前記装置の基準電位を基準にして前記ダイオード整流回路の他方の交流入力端の電圧波形を検出する第2電圧波形検出回路と、前記第1電圧波形検出回路から出力される第1検出電圧波形と前記第2電圧波形検出回路から出力される第2検出電圧波形とを演算し、前記第1検出電圧波形および前記第2検出電圧波形に発生するゼロ電圧付近における波形ひずみが消去された電圧波形信号を生成し、前記電圧波形信号を前記電圧検出信号として出力する電圧波形生成回路と、を有することを特徴とする。

【発明の効果】

【0016】

本発明によれば、交流電源から供給される交流入力電圧を検出して波形ひずみのない電圧検出信号を出力する交流入力電圧検出回路を提供することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の第1実施形態に係る交流入力電圧検出回路を示す図である。

【図 2】図 1 における交流入力電圧検出回路の各部の波形を示す図である。

【図 3】本発明の第 2 実施形態に係る交流入力電圧検出回路を示す図である。

【図 4】図 3 における交流入力電圧検出回路の各部の波形を示す図である。

【図 5】本発明の第 3 実施形態に係る交流入力電圧検出回路を示す図である。

【図 6】図 5 における交流入力電圧検出回路の各部の波形を示す図である。

【図 7】本発明の第 4 実施形態に係る交流入力電圧検出回路を示す図である。

【図 8】従来の電源装置及び従来の交流入力電圧検出回路の一例を示す図である。

【図 9】図 8 における交流入力電圧検出回路の各部の波形を示す図である。

【図 10】図 8 における電源装置に寄生容量を付加した図である。

【図 11】図 10 における交流入力電圧検出回路の各部の波形を示す図である。

10

【発明を実施するための形態】

【0018】

以下、本発明を、交流電源を入力源とする電源装置等の交流入力電圧検出回路に適用した場合の実施の形態について図面を参照しながら説明する。なお、各図において、同一部分には同一符号を付して重複する説明を省略する。

【0019】

[第 1 実施形態]

図 1 は、本発明の第 1 実施形態に係る交流入力電圧検出回路を示す図である。図 1 において、電源装置 10 a は、ダイオード整流回路 2、平滑コンデンサ 3 を有して構成されている。また、交流入力電圧検出回路 20 a は、電源装置 10 a の内部に設けられている。従って、電源装置 10 a は、図 10 に示す電源装置 10 に対して、交流入力電圧検出回路 20 を交流入力電圧検出回路 20 a に置き換えてなるものであり、その他の構成は、図 10 に示す構成と同一であるので、同一部分には同一符号を付して、その説明は省略する。ここでは、交流入力電圧検出回路 20 a のみを説明する。交流入力電圧検出回路 20 a は、第 1 電圧波形検出回路 21、第 2 電圧波形検出回路 22、電圧波形生成回路 23 a を有して構成されている。なお、交流入力電圧検出回路 20 a は、電源装置 10 a の外部に設けられていても良い。

20

【0020】

第 1 電圧波形検出回路 21 は、ダイオード D 1、抵抗 R 1、抵抗 R 3 からなる。ダイオード D 1 のアノードは交流電源 1 の一端もしくはダイオード整流回路 2 の一方の交流入力端 2 a に接続され、ダイオード D 1 のカソードは抵抗 R 1 の一端に接続され、抵抗 R 1 の他端は抵抗 R 3 の一端に接続され、抵抗 R 3 の他端は接地されている。また、ダイオード D 1 のアノードと交流電源 1 の一端との接続点もしくはダイオード D 1 のアノードとダイオード整流回路 2 の一方の交流入力端 2 a との接続点を A 点とする。

30

【0021】

第 2 電圧波形検出回路 22 は、ダイオード D 2、抵抗 R 2、抵抗 R 4 からなる。ダイオード D 2 のアノードは交流電源 1 の他端もしくはダイオード整流回路 2 の他方の交流入力端 2 b に接続され、ダイオード D 2 のカソードは抵抗 R 2 の一端に接続され、抵抗 R 2 の他端は抵抗 R 4 の一端に接続され、抵抗 R 4 の他端は接地されている。また、ダイオード D 2 のアノードと交流電源 1 の他端との接続点もしくはダイオード D 2 のアノードとダイオード整流回路 2 の他方の交流入力端 2 b との接続点を B 点とする。

40

【0022】

電圧波形生成回路 23 a は、抵抗 R 11 ~ 抵抗 R 14、両電源 (+ Vcc, - Vdd) で動作する演算増幅器 (両電源オペアンプとも呼ばれる) IC 1 からなる減算回路として構成されている。この減算回路の出力電圧範囲は、- Vdd ~ + Vcc である。演算増幅器 IC 1 の反転入力端子 (-) は、抵抗 R 2 と抵抗 R 4 との接続点に抵抗 R 11 を介して接続され、演算増幅器 IC 1 の出力端子に抵抗 R 12 を介して接続されている。また、演算増幅器 IC 1 の非反転入力端子 (+) は、抵抗 R 1 と抵抗 R 3 との接続点に抵抗 R 13 を介して接続され、接地に抵抗 R 14 を介して接続されている。また、演算増幅器 IC 1 の出力端子を C 点とする。

50

【 0 0 2 3 】

次に、このように構成された第 1 実施形態に係る交流入力電圧検出回路の動作について図 2 も参照して説明する。

【 0 0 2 4 】

図 2 において、期間 T_1 、 T_2 は、A 点及び B 点の電圧波形のゼロ電圧付近を示している。また、期間 T_1 、 T_2 において、実線による波形は波形ひずみの発生があるときを示し、点線による波形は波形ひずみの発生がないときを示している。本実施形態では、期間 T_1 、 T_2 における波形ひずみの発生量が A 点及び B 点でほぼ等しいことに着目して、波形ひずみを、A 点の電圧波形と B 点の電圧波形とを演算することで消去している。波形ひずみは演算によって消去されるので、C 点の電圧波形は、波形ひずみのない正弦波状の波形となる。

10

【 0 0 2 5 】

第 1 電圧波形検出回路 2 1 は、電源装置 1 0 a の基準電位（接地）を基準にして A 点の電圧波形を入力して抵抗 R_3 の一端の電圧波形を第 1 検出電圧波形として出力する。

【 0 0 2 6 】

第 2 電圧波形検出回路 2 2 は、電源装置 1 0 a の基準電位（接地）を基準にして B 点の電圧波形を入力して抵抗 R_4 の一端の電圧波形を第 2 検出電圧波形として出力する。

【 0 0 2 7 】

電圧波形生成回路 2 3 a は、第 1 電圧波形検出回路 2 1 から出力される第 1 検出電圧波形および第 2 電圧波形検出回路 2 2 から出力される第 2 検出電圧波形を入力し、第 1 検出電圧波形から第 2 検出電圧波形を減算する。第 1 検出電圧波形および第 2 検出電圧波形に発生するゼロ電圧付近における波形ひずみは、減算によって消去されるので、C 点に出力されない。C 点の電圧波形は、波形ひずみのない正弦波状の交流波形となる。即ち、電圧波形生成回路 2 3 a から出力される電圧検出信号には波形ひずみが発生しない。

20

【 0 0 2 8 】

このように、本発明の第 1 実施形態に係る交流入力電圧検出回路によれば、交流電源 1 から供給される交流入力電圧を検出して波形ひずみのない電圧検出信号を出力することができる。従って、電源装置 1 0 a の内部もしくは外部において、交流入力電圧の平均値や実効値等の電圧値、交流入力電圧のゼロクロス、交流電源 1 の異常を、この波形ひずみのない電圧検出信号から精度良く検出することができる。

30

【 0 0 2 9 】

[第 2 実施形態]

図 3 は、本発明の第 2 実施形態に係る交流入力電圧検出回路を示す図である。図 3 において、電源装置 1 0 b は、ダイオード整流回路 2、平滑コンデンサ 3 を有して構成されている。また、交流入力電圧検出回路 2 0 b は、電源装置 1 0 b の内部に設けられている。従って、電源装置 1 0 b は、図 1 に示す電源装置 1 0 a に対して、交流入力電圧検出回路 2 0 a を交流入力電圧検出回路 2 0 b に置き換えてなるものであり、その他の構成は、図 1 に示す構成と同一であるので、同一部分には同一符号を付して、その説明は省略する。ここでは、交流入力電圧検出回路 2 0 b のみを説明する。交流入力電圧検出回路 2 0 b は、第 1 電圧波形検出回路 2 1、第 2 電圧波形検出回路 2 2、電圧波形生成回路 2 3 b を有して構成されている。なお、交流入力電圧検出回路 2 0 b は、電源装置 1 0 b の外部に設けられていても良い。

40

【 0 0 3 0 】

電圧波形生成回路 2 3 b は、抵抗 R_{15} ~ 抵抗 R_{18} 、単電源（ $+V_{cc}$ ）で動作する演算増幅器（単電源オペアンプとも呼ばれる）IC 2 からなる第 1 減算回路、抵抗 R_{19} ~ 抵抗 R_{22} 、単電源（ $+V_{cc}$ ）で動作する演算増幅器 IC 3 からなる第 2 減算回路、抵抗 R_{23} ~ 抵抗 R_{26} 、単電源（ $+V_{cc}$ ）で動作する演算増幅器 IC 4 からなる第 1 加算回路を有して構成されている。また、第 1 減算回路、第 2 減算回路、第 1 加算回路の出力電圧範囲は、 $0 \sim +V_{cc}$ である。

【 0 0 3 1 】

50

演算増幅器 IC 2 の反転入力端子 (-) は、抵抗 R 2 と抵抗 R 4 との接続点に抵抗 R 1 5 を介して接続され、演算増幅器 IC 2 の出力端子に抵抗 R 1 6 を介して接続されている。また、演算増幅器 IC 2 の非反転入力端子 (+) は、抵抗 R 1 と抵抗 R 3 との接続点に抵抗 R 1 7 を介して接続され、接地に抵抗 R 1 8 を介して接続されている。また、演算増幅器 IC 2 の出力端子を X 点とする。

【 0 0 3 2 】

演算増幅器 IC 3 の反転入力端子 (-) は、抵抗 R 1 と抵抗 R 3 との接続点に抵抗 R 1 9 を介して接続され、演算増幅器 IC 3 の出力端子に抵抗 R 2 0 を介して接続されている。また、演算増幅器 IC 3 の非反転入力端子 (+) は、抵抗 R 2 と抵抗 R 4 との接続点に抵抗 R 2 1 を介して接続され、接地に抵抗 R 2 2 を介して接続されている。また、演算増幅器 IC 3 の出力端子を Y 点とする。

10

【 0 0 3 3 】

演算増幅器 IC 4 の反転入力端子 (-) は、接地に抵抗 R 2 6 を介して接続され、演算増幅器 IC 4 の出力端子に抵抗 R 2 5 を介して接続されている。また、演算増幅器 IC 4 の非反転入力端子 (+) は、演算増幅器 IC 2 の出力端子に抵抗 R 2 3 を介して接続され、演算増幅器 IC 3 の出力端子に抵抗 R 2 4 を介して接続されている。また、演算増幅器 IC 4 の出力端子を C 点とする。

【 0 0 3 4 】

次に、このように構成された第 2 実施形態に係る交流入力電圧検出回路の動作について図 4 も参照して説明する。

20

【 0 0 3 5 】

電圧波形生成回路 2 3 b は、第 1 電圧波形検出回路 2 1 から出力される第 1 検出電圧波形および第 2 電圧波形検出回路 2 2 から出力される第 2 検出電圧波形を入力し、第 1 減算回路で第 1 検出電圧波形から第 2 検出電圧波形を減算し、第 2 減算回路で第 2 検出電圧波形から第 1 検出電圧波形を減算し、第 1 加算回路で第 1 減算回路からの出力 (X 点の電圧波形) と第 2 減算回路からの出力 (Y 点の電圧波形) とを加算する。第 1 検出電圧波形および第 2 検出電圧波形に発生するゼロ電圧付近における波形ひずみは、減算によって消去されるので、X 点および Y 点に出力されない。C 点の電圧波形は、波形ひずみのない正弦波状の全波整流波形となる。即ち、電圧波形生成回路 2 3 b から出力される電圧検出信号には波形ひずみが発生しない。

30

【 0 0 3 6 】

このように構成された本発明の第 2 実施形態に係る交流入力電圧検出回路であっても、本発明の第 1 実施形態に係る交流入力電圧検出回路と同様の効果が得られる。

【 0 0 3 7 】

[第 3 実施形態]

図 5 は、本発明の第 3 実施形態に係る交流入力電圧検出回路を示す図である。図 5 において、電源装置 1 0 c は、ダイオード整流回路 2、平滑コンデンサ 3 を有して構成されている。また、交流入力電圧検出回路 2 0 c は、電源装置 1 0 c の内部に設けられている。従って、電源装置 1 0 c は、図 1 に示す電源装置 1 0 a に対して、交流入力電圧検出回路 2 0 a を交流入力電圧検出回路 2 0 c に置き換えてなるものであり、その他の構成は、図 1 に示す構成と同一であるので、同一部分には同一符号を付して、その説明は省略する。ここでは、交流入力電圧検出回路 2 0 c のみを説明する。交流入力電圧検出回路 2 0 c は、第 1 電圧波形検出回路 2 1、第 2 電圧波形検出回路 2 2、電圧波形生成回路 2 3 c を有して構成されている。なお、交流入力電圧検出回路 2 0 c は、電源装置 1 0 c の外部に設けられていても良い。

40

【 0 0 3 8 】

電圧波形生成回路 2 3 c は、抵抗 R 2 7 ~ 抵抗 R 3 0、単電源 (+ V c c) で動作する演算増幅器 IC 5 からなる減算回路として構成されている。この減算回路の出力電圧範囲は、0 ~ + V c c である。演算増幅器 IC 5 の反転入力端子 (-) は、抵抗 R 2 と抵抗 R 4 との接続点に抵抗 R 2 7 を介して接続され、演算増幅器 IC 5 の出力端子に抵抗 R 2 8

50

を介して接続されている。また、演算増幅器 IC 5 の非反転入力端子 (+) は、抵抗 R 1 と抵抗 R 3 との接続点に抵抗 R 2 9 を介して接続され、接地に抵抗 R 3 0 を介して接続されている。また、演算増幅器 IC 5 の出力端子を C 点とする。

【 0 0 3 9 】

次に、このように構成された第 3 実施形態に係る交流入力電圧検出回路の動作について図 6 も参照して説明する。

【 0 0 4 0 】

電圧波形生成回路 2 3 c は、第 1 電圧波形検出回路 2 1 から出力される第 1 検出電圧波形および第 2 電圧波形検出回路 2 2 から出力される第 2 検出電圧波形を入力し、第 1 検出電圧波形から第 2 検出電圧波形を減算する。第 1 検出電圧波形および第 2 検出電圧波形に発生するゼロ電圧付近における波形ひずみは、減算によって消去されるので、C 点に出力されない。C 点の電圧波形は、波形ひずみのない正弦波状の半波整流波形となる。即ち、電圧波形生成回路 2 3 c から出力される電圧検出信号には波形ひずみが発生しない。

【 0 0 4 1 】

このように構成された本発明の第 3 実施形態に係る交流入力電圧検出回路であっても、本発明の第 1 実施形態に係る交流入力電圧検出回路と同様の効果が得られる。

【 0 0 4 2 】

[第 4 実施形態]

図 7 は、本発明の第 4 実施形態に係る交流入力電圧検出回路を示す図である。図 7 において、電源装置 1 0 d は、ダイオード整流回路 2、平滑コンデンサ 3 を有して構成されている。また、交流入力電圧検出回路 2 0 d は、電源装置 1 0 d の内部に設けられている。従って、電源装置 1 0 d は、図 1 に示す電源装置 1 0 a に対して、交流入力電圧検出回路 2 0 a を交流入力電圧検出回路 2 0 d に置き換えてなるものであり、その他の構成は、図 1 に示す構成と同一であるので、同一部分には同一符号を付して、その説明は省略する。ここでは、交流入力電圧検出回路 2 0 d のみを説明する。交流入力電圧検出回路 2 0 d は、第 1 電圧波形検出回路 2 1、第 2 電圧波形検出回路 2 2、電圧波形生成回路 2 3 d を有して構成されている。なお、交流入力電圧検出回路 2 0 d は、電源装置 1 0 d の外部に設けられていても良い。

【 0 0 4 3 】

電圧波形生成回路 2 3 d は、A / D コンバータ (アナログ / デジタル変換器) 6 1、6 2、メモリ 6 3、出力ポート 6 4 を有するマイコン IC 6 からなる。マイコン IC 6 の A / D コンバータ 6 1 は、抵抗 R 1 と抵抗 R 3 との接続点に接続されている。また、マイコン IC 6 の A / D コンバータ 6 2 は、抵抗 R 2 と抵抗 R 4 との接続点に接続されている。メモリ 6 3 は、A / D コンバータ 6 1、6 2 および出力ポート 6 4 に接続されている。また、マイコン IC 6 の出力ポート 6 4 の出力端子を C 点とする。

【 0 0 4 4 】

次に、このように構成された第 4 実施形態に係る交流入力電圧検出回路の動作について説明する。

【 0 0 4 5 】

電圧波形生成回路 2 3 d は、第 1 電圧波形検出回路 2 1 から出力される第 1 検出電圧波形および第 2 電圧波形検出回路 2 2 から出力される第 2 検出電圧波形を入力し、第 1 検出電圧波形を A / D コンバータ 6 1 によって、第 2 検出電圧波形を A / D コンバータ 6 2 によって、所定の周期毎にサンプリングしてデジタル信号に変換しメモリ 6 3 に記憶するとともにデジタル処理 (マイコンの演算機能) にて第 1 検出電圧波形から第 2 検出電圧波形を減算してメモリ 6 3 に記憶する。デジタル処理の減算によって得られた電圧波形は出力ポート 6 4 の出力端子から出力される。第 1 検出電圧波形および第 2 検出電圧波形に発生するゼロ電圧付近における波形ひずみは、デジタル処理の減算によって消去されるので、C 点に出力されない。C 点の電圧波形は、波形ひずみのない正弦波状の半波整流波形となる。即ち、電圧波形生成回路 2 3 d から出力される電圧検出信号には波形ひずみが発生しない。

10

20

30

40

50

【 0 0 4 6 】

このように構成された本発明の第 4 実施形態に係る交流入力電圧検出回路であっても、本発明の第 1 実施形態に係る交流入力電圧検出回路と同様の効果が得られる。

【 0 0 4 7 】

なお、本発明は上述した実施の形態に限定されるものではない。本発明の実施の形態では、電圧波形を電圧検出信号として出力していたが、電圧波形から平均値や実効値等の電圧値を図示しない公知技術によって生成し、電圧波形および電圧値を電圧検出信号として出力しても良い。また、ダイオード D 1 , D 2 は省略することも可能である。

【 0 0 4 8 】

また、本発明の実施の形態では、ダイオード整流回路 2 の負側直流出力端 2 d や平滑コンデンサ 3 の他端を接地して電源装置 1 0 a ~ 1 0 d の基準電位にしていたが、上述した昇圧コンバータ、D C - D C コンバータ、D C - A C コンバータ等を有する電源装置では、ダイオード整流回路 2 の負側直流出力端 2 d に電流検出器の一端が接続されている場合がある。このような電源装置では、電流検出器の他端を接地して基準電位にしても良い。

【 産業上の利用可能性 】

【 0 0 4 9 】

本発明の交流入力電圧検出回路は、交流電源から供給される交流入力電圧をブリッジ構成のダイオード整流回路によって整流している各種電源装置や制御装置に適用可能である。

【 符号の説明 】

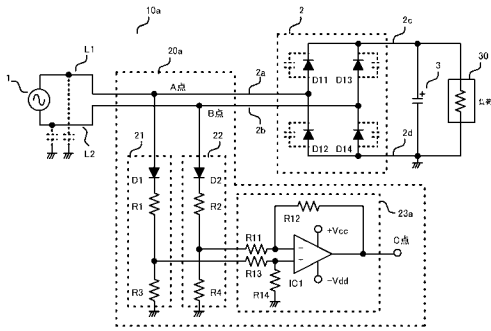
【 0 0 5 0 】

- 1 交流電源
- 2 ダイオード整流回路
- 3 平滑コンデンサ
- 2 0 a , 2 0 b , 2 0 c , 2 0 d 交流入力電圧検出回路
- 3 0 負荷
- L 1 , L 2 交流電源線

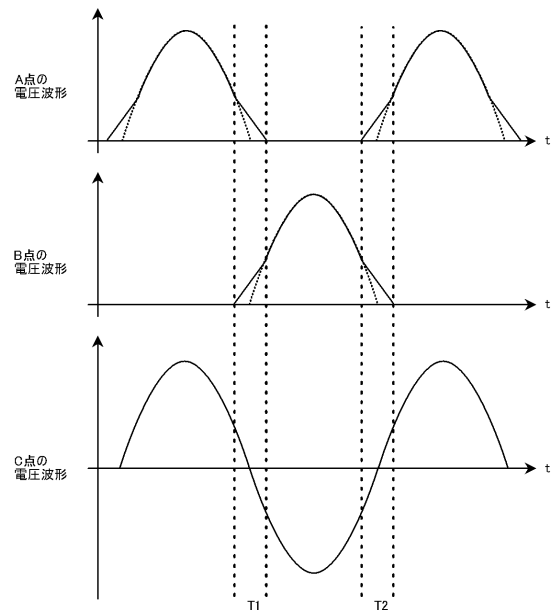
10

20

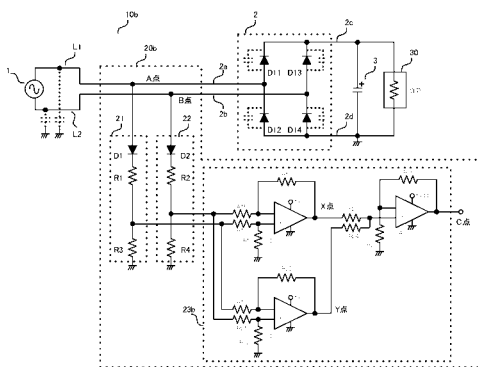
【図 1】



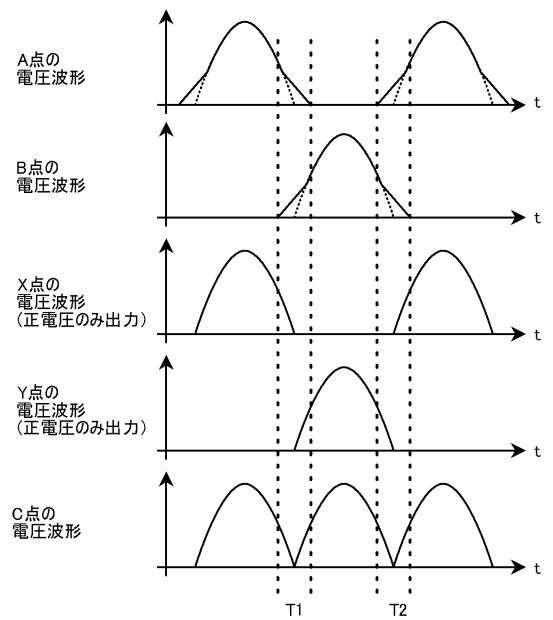
【図 2】



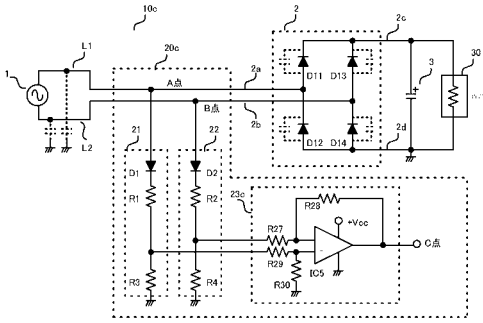
【図 3】



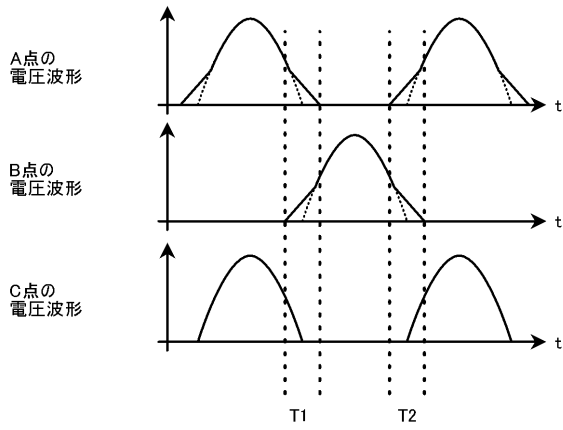
【図 4】



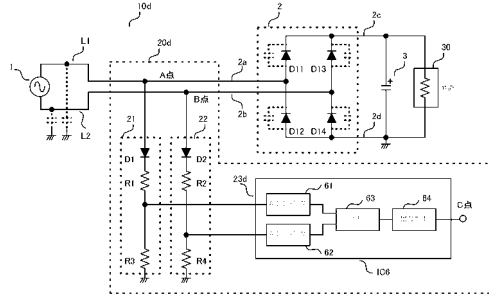
【図 5】



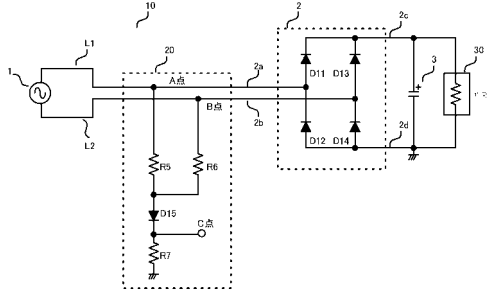
【図 6】



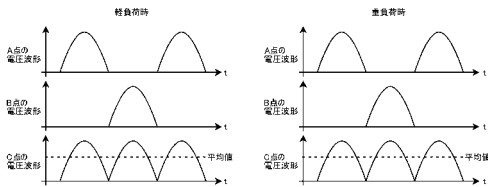
【図 7】



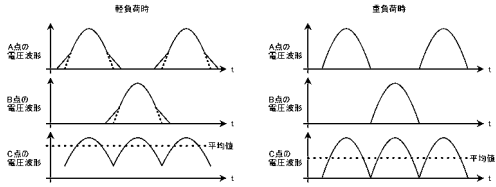
【図 8】



【図 9】



【図 11】



【図 10】

