

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3764785号

(P3764785)

(45) 発行日 平成18年4月12日(2006.4.12)

(24) 登録日 平成18年1月27日(2006.1.27)

(51) Int. Cl.		F I			
H03L	7/099	(2006.01)	H03L	7/08	F
H03L	7/10	(2006.01)	H03L	7/10	Z

請求項の数 11 (全 16 頁)

(21) 出願番号	特願平8-290578	(73) 特許権者	000005223
(22) 出願日	平成8年10月31日(1996.10.31)		富士通株式会社
(65) 公開番号	特開平10-135825		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成10年5月22日(1998.5.22)	(74) 代理人	100092587
審査請求日	平成15年8月19日(2003.8.19)		弁理士 松本 眞吉
		(72) 発明者	塩津 真一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	玉村 雅也
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	甲斐 哲雄

最終頁に続く

(54) 【発明の名称】 PLL回路及びその自動調整回路並びに半導体装置

(57) 【特許請求の範囲】

【請求項1】

VCOの出力端と位相比較器の一方の入力端との間に、プログラムデータNが設定可変であり該VCOの出力周波数をN分周するプログラマブル分周器が接続されたPLL回路の、該プログラムデータNを調整するPLL自動調整回路であって、該VCOはその出力特性を変更する制御入力端を有し、

実質的に該VCOの出力クロックを設定時間計数する第1カウンタと、
 該第1カウンタの値に応じて該プログラムデータNを設定するとともに、該第1カウンタの値と該プログラムデータNとに応じた制御設定値を出力するデータ変換器と、
該プログラマブル分周器の出力クロックを設定時間計数する第2カウンタと、
該第2カウンタの計数値と該制御設定値とを比較する比較器と、
該比較器の比較結果に応じて計数値がインクリメント又はデクリメントされ、該計数値に基づいた値を該制御入力端に供給するアップダウンカウンタと、
 を有することを特徴とするPLL自動調整回路。

10

【請求項2】

上記データ変換器は、アドレス入力値を記憶値に変換するメモリである、
 ことを特徴とする請求項1記載のPLL自動調整回路。

【請求項3】

調整開始信号に応答して、上記プログラムデータNが設定される迄、
 上記VCOの出力周波数が自然発振周波数になるように制御する制御回路、

20

を有することを特徴とする請求項 1 記載の P L L 自動調整回路。

【請求項 4】

上記データ変換器の出力値が供給されるレジスタを有し、

上記制御回路は、該データ変換器の出力値が定められた後に該レジスタにその入力値を保持させる、

ことを特徴とする請求項 3 記載の P L L 自動調整回路。

【請求項 5】

上記制御設定値が供給され、保持値を上記 V C O の上記制御入力端に供給するレジスタと、

該制御設定値が定められた後に該レジスタにその入力値を保持させる制御回路と、

10

を有することを特徴とする請求項 1 記載の P L L 自動調整回路。

【請求項 6】

調整開始信号に応答して、上記プログラムデータ N が設定される迄上記 V C O の上記制御入力端に供給される値を略中央値に固定させ、且つ、上記アップダウンカウンタの計数値に基づいた値が該制御入力端に供給される迄該 V C O の入力値が略中央値になるように制御する制御回路、

を有することを特徴とする請求項 1 記載の P L L 自動調整回路。

【請求項 7】

上記 V C O の上記制御入力端に供給される値は、上記アップダウンカウンタの計数値である、

20

ことを特徴とする請求項 6 記載の P L L 自動調整回路。

【請求項 8】

P L L 回路と、

請求項 1 乃至 7 のいずれか 1 つに記載の P L L 自動調整回路と、

を有することを特徴とする自動調整回路付 P L L 回路。

【請求項 9】

上記 P L L 回路が位相同期状態になったかどうかを検出するロック検出回路と、

上記調整開始信号がアクティブになってから該ロック検出回路が該位相同期状態になったことを検出する迄の時間が設定時間を越えた場合に該調整開始信号を再度アクティブにさせるタイマと、

30

を有することを特徴とする請求項 8 記載の自動調整回路付 P L L 回路。

【請求項 10】

上記 P L L 回路は、上記 V C O の入力値がデジタル値であり、該 V C O の前段にアナログ電圧をデジタル値に変換する V C O 制御回路を有し、該 V C O 制御回路はその出力範囲を第 1 範囲と該第 1 範囲より広い第 2 範囲とに切り換えるための制御入力端を有し、

位相同期状態になったかどうかを検出して検出信号を該 V C O 制御回路の該制御入力端に供給することにより、該位相同期状態になっていないことを検出している時に該 V C O 制御回路の出力範囲を該第 1 範囲にさせ、該位相同期状態になっていることを検出している時に該 V C O 制御回路の出力範囲を該第 2 範囲にさせるロック検出回路と、

を有することを特徴とする請求項 8 記載の自動調整回路付 P L L 回路。

40

【請求項 11】

請求項 8 乃至 10 のいずれか 1 つに記載の自動調整回路付 P L L 回路を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、P L L 回路及びその自動調整回路並びに半導体装置に関する。

【0002】

【従来の技術】

P L L 回路は、例えば、受信装置において直列信号からクロックを抽出する回路として用

50

いられている。PLL回路のVCOの自然発振周波数は一般に、半導体装置の製造プロセスの僅かなばらつきにより同一ウェーハであっても半導体チップ毎に異なり、 $\pm 30\%$ 程度ばらつく。このため、キャプチャーレンジの広いPLL回路が必要になり、回路設計が複雑又は困難になる。

【0003】

そこで図11に示す如く、PLL回路に、中心周波数設定可変のデジタルVCOが用いられている。この回路は、位相比較器10と、ループフィルタ11と、VCO制御回路12と、デジタルVCO13とが環状に接続されている。

VCO制御回路12は、A/D変換器の一種であり、アナログ電圧AVに応じたデジタル値DVを出力する。VCO制御回路12の入出力特性を図12(A)に示す。

10

【0004】

デジタルVCO13の出力クロックCLKの周波数fは、デジタル値DVの1次関数になっており、デジタル値DVがその最大値DVmaxの半分の値のときの出力周波数fを中心周波数fcとすると、 f/f_c はデジタル値DVに対し図12(B)に示す如く変化する。中心周波数fcは、中心周波数設定回路14からの中心周波数設定値CFVにより定まり、中心周波数設定値CFVがその最大値CFVmaxの半分の値のときのfcは自然発振周波数と称されており、これをfcoとすると、 f_c/f_{co} は図12(C)に示す如く変化する。この例では、 $0.8 \leq f_c/f_{co} \leq 1.2$ となっている。

【0005】

【発明が解決しようとする課題】

20

例えば参照信号REFの周波数fr及びデジタルVCO13の自然発振周波数fcoの設計値がいずれも100MHzのとき、実際の自然発振周波数fcoが70MHzであったとする。この場合、中心周波数設定値CFVを最大値CFVmaxにすると、中心周波数fcが20%増加して84MHzになる。デジタル値DVの変化に対する出力周波数fの範囲は、 $79.8 \text{ MHz} \leq f \leq 88.2 \text{ MHz}$ であるので、このPLL回路では100MHzの参照信号REFに対しクロックCLKを位相同期状態にすることができない。

【0006】

このため、半導体装置の歩留りが低くなる。この歩留りを上げるには、出力周波数fのレンジの広いデジタルVCO13が必要になり、デジタルVCO13の設計が容易でなく、PLL回路が高価になる。

30

デジタル値DVを最大値DVmaxの半分に固定した状態で、出力クロック(フィードバッククロック)CLKをオシロスコープに供給して出力周波数fを測定し、これが参照周波数frになるように中心周波数設定値CFVが調整される。この調整は、半導体装置の出荷前に検査者により手動で行われる。中心周波数設定回路14はPLL回路と共に半導体装置に内蔵されており、そのスイッチ素子の状態が、不図示のヒューズを熔断するかしないかにより固定され、これにより中心周波数設定値CFVが固定される。

【0007】

従来では、このような調整作業を個々の半導体チップ毎に行わなければならない、半導体チップの量産性が低下する原因となっていた。

本発明の目的は、このような問題点に鑑み、フィードバッククロックの中心周波数が参照信号の周波数に近づくように自動調整することが可能なPLL回路及びその自動調整回路並びに半導体装置を提供することにある。

40

【0008】

本発明の他の目的は、フィードバッククロックの中心周波数が参照信号の周波数により近づくように自動調整することが可能なPLL回路及びその自動調整回路並びに半導体装置を提供することにある。

【0009】

【課題を解決するための手段及びその作用効果】

本発明は、VCOの出力端と位相比較器の一方の入力端との間に、プログラムデータNが設定可変であり該VCOの出力周波数をN分周するプログラマブル分周器が接続された

50

P L L回路の、該プログラムデータNを調整するP L L自動調整回路であって、該V C Oはその入出力特性を変更する制御入力端を有し、

実質的に該V C Oの出力クロックを設定時間計数する第1カウンタと、

該第1カウンタの値に応じて該プログラムデータNを設定するとともに、該第1カウンタの値と該プログラムデータNとに応じた制御設定値を出力するデータ変換器と、

該プログラマブル分周器の出力クロックを設定時間計数する第2カウンタと、

該第2カウンタの計数値と該制御設定値とを比較する比較器と、

該比較器の比較結果に応じて計数値がインクリメント又はデクリメントされ、該計数値に基づいた値を該制御入力端に供給するアップダウンカウンタと、

を有する。

10

【0010】

本発明によれば、V C Oと位相比較器との間にプログラマブル分周器が接続され、プログラマブル分周器のプログラムデータNが調整されるので、プログラマブル分周器を用いない場合よりもV C Oの中心周波数設定範囲が狭くなって、P L L回路の回路設計が容易になり、かつ、P L L回路を含む半導体装置の歩留りが向上するという効果を奏する。

【0011】

また、プログラマブル分周器にプログラムデータNが自動的に設定されるので、フィードバッククロック周波数である（V C Oの中心周波数）/ Nが参照信号の周波数に近づくように自動調整されるという効果を奏する。

さらに、P L L回路を内蔵した半導体装置の出荷前の調整が簡単又は不要となり、量産性が向上するという効果を奏する。

20

また、プログラムデータNをプログラマブル分周器に設定する粗調整に加えて、V C Oの入出力特性を変更する微調整が行われるので、フィードバッククロックの中心周波数が参照信号の周波数により近づくように自動調整されるという効果を奏する。

また、フィードバッククロックの中心周波数が参照信号の周波数に近づくように自動調整され、半導体装置の製造プロセスのばらつきによりV C Oの特性が比較的大きくばらついても、位相ロックが高速かつ確実に行われるという効果を奏する。

【0012】

本発明の第1態様では、上記データ変換器は、アドレス入力値を記憶値に変換するメモリである。

30

この第1態様によれば、メモリの内容を変えるだけで各種P L L回路に適用可能となるので、データ変換器の汎用性が高いという効果を奏する。

本発明の第2態様では、調整開始信号に応答して、上記プログラムデータNが設定される迄、上記V C Oの出力周波数が自然発振周波数になるように制御する制御回路を有する。

【0013】

この第2態様によれば、フィードバッククロック周波数を参照信号の周波数に近づける調整がより適正に行われるという効果を奏する。

本発明の第3態様では、上記データ変換器の出力値が供給されるレジスタを有し、上記制御回路は、該データ変換器の出力値が定められた後に該レジスタにその入力値を保持させる。

40

【0015】

本発明の第4態様では、上記制御設定値が供給され、保持値を上記V C Oの上記制御入力端に供給するレジスタと、

該制御設定値が定められた後に該レジスタにその入力値を保持させる制御回路と、
を有する。

【0016】

この第4態様によれば、データ変換器の出力がレジスタを介してV C Oの制御入力端に供給されるので、データ変換器の出力に基づいてフィードバック調整する場合よりも、構成が簡単であり且つ調整が短時間で行われるという効果を奏する。

【0017】

50

本発明の第5態様では、調整開始信号にตอบสนองして、上記プログラムデータNが設定される迄上記VCOの上記制御入力端に供給される値を略中央値に固定させ、且つ、上記アップダウンカウンタの計数値に基づいた値が該制御入力端に供給される迄該VCOの入力値が略中央値になるように制御する制御回路を有する。

【0018】

この第5態様によれば、フィードバッククロック周波数を参照信号の周波数に近づける調整がより適正に行われるという効果を奏する。

本発明の第6態様では、上記VCOの上記制御入力端に供給される値は、上記アップダウンカウンタの計数値である。

本発明の第7態様の自動調整回路付PLL回路では、

PLL回路と、

上記いずれか1つのPLL自動調整回路と、

を有する。

10

【0019】

本発明の第8態様の自動調整回路付PLL回路では、

上記PLL回路が位相同期状態になったかどうかを検出するロック検出回路と、

上記調整開始信号がアクティブになってから該ロック検出回路が該位相同期状態になったことを検出する迄の時間が設定時間を越えた場合に該調整開始信号を再度アクティブにさせるタイマと、

を有する。

20

【0020】

この第8態様によれば、カウンタでノイズを計数して調整が不正確になり調整時間が正常な場合よりも長くなっても、再調整が自動的に行われ、調整の信頼性が向上するという効果を奏する。

本発明の第9態様の自動調整回路付PLL回路では、上記PLL回路は、上記VCOの入力がデジタル値であり、該VCOの前段にアナログ電圧をデジタル値に変換するVCO制御回路を有し、該VCO制御回路はその出力範囲を第1範囲と該第1範囲より広い第2範囲とに切り換えるための制御入力端を有し、

位相同期状態になったかどうかを検出して検出信号を該VCO制御回路の該制御入力端に供給することにより、該位相同期状態になっていないことを検出している時に該VCO制御回路の出力範囲を該第1範囲にさせ、該位相同期状態になっていることを検出している時に該VCO制御回路の出力範囲を該第2範囲にさせるロック検出回路と、

を有する。

30

【0021】

一般にPLL回路のキャプチャレンジはロックレンジよりも狭いので、この第11態様によれば、この切り換えにより位相ロック状態への引き込み及びその後の位相ロック状態保持がより適正に行われるという効果を奏する。

【0022】

【発明の実施の形態】

以下、図面に基づいて本発明の実施形態を説明する。

40

〔第1実施形態〕

図1は、第1実施形態の自動調整回路付PLL回路を示す。この自動調整回路付PLL回路は、例えば1つの半導体チップ内に形成されている（以下の他の実施形態についても同様）。

【0023】

位相比較器10、ループフィルタ11、VCO制御回路12及びデジタルVCO13は図11と同一であり、これらからそれぞれ位相誤差信号ERR、アナログ電圧AV、デジタル値DV及びクロックCLK1が出力される。位相誤差信号ERRが、参照信号REFに対する出力クロックCLKの位相の遅れを示している場合には、アナログ電圧AVが上昇し、逆に、位相誤差信号ERRが、参照信号REFに対する出力クロックCLKの位相

50

の進みを示している場合には、アナログ電圧 $A V$ が低下する。 $V C O$ 制御回路 12 及びデジタル $V C O$ 13 の動作は、従来の技術の欄で述べたのと同様である。

【0024】

デジタル $V C O$ 13 の出力端と位相比較器 10 の一方の入力端との間には、プログラマブル分周器 15 が接続されている。プログラマブル分周器 15 は、クロック入力端 $C K$ に供給される周波数 f_1 のクロック $C L K_1$ を $1 / N V$ 分周した周波数 $f = f_1 / N V$ の出力クロック $C L K$ を出力する。値 $N V$ は、プログラマブル分周器 15 のプログラムデータ入力端 $P D$ に設定される。

【0025】

出力クロック $C L K$ は、オアゲート 16 の一方の入力端に供給され、オアゲート 16 を通
り、フィードバック信号として位相比較器 10 の一方の入力端に供給される。参照信号 $R E F$ は、直列信号又はクロックであり、オアゲート 17 の一方の入力端に供給され、オア
ゲート 17 を通し、位相比較器 10 の他方の入力端に供給される。オアゲート 16 及び 17 の他方の入力端には、オアゲート 16 及び 17 を開閉制御するインヒビット信号 $I N H$
が供給される。

10

【0026】

インヒビット信号 $I N H$ が低レベルのとき、オアゲート 16 及び 17 が開かれて、位相
比較器 10、ループフィルタ 11、 $V C O$ 制御回路 12、デジタル $V C O$ 13 及びプログラ
マブル分周器 15 の位相同期制御ループが形成される。このループでは、参照信号 $R E F$
に対し出力クロック $C L K$ の位相が進んでいる場合、ループフィルタ 11 の出力電圧 A
 V が低下してクロック $C L K_1$ の周波数 f_1 が低下し、出力クロック $C L K$ の周波数 f も
低下して、参照信号 $R E F$ に対する出力クロック $C L K$ の位相遅れが小さくなる。逆に、
参照信号 $R E F$ に対し出力クロック $C L K$ の位相が遅れている場合、ループフィルタ 11
の出力電圧 $A V$ が上昇してクロック $C L K_1$ の周波数 f_1 が上昇し、出力クロック $C L K$
の周波数 f も上昇して、参照信号 $R E F$ に対する出力クロック $C L K$ の位相進みが小さく
なる。

20

【0027】

$P L L$ 自動調整回路 20 には、調整開始信号としてのリセット信号 $R S T$ 、基準クロック
 $C L K_0$ 、クロック $C L K_1$ 、出力クロック $C L K$ 及び参照周波数コード $R F C$ が供給さ
れる。 $P L L$ 自動調整回路 20 は、上記のプログラムデータ $N V$ 及びインヒビット信号 I
 $N H$ を出力し、中心周波数設定値 $C F V$ をデジタル $V C O$ 13 の中心周波数制御入力端に
供給する。

30

【0028】

$P L L$ 自動調整回路 20 の構成例を、図 2 に示す。

この回路 20 では、クロック $C L K_1$ がカウンタ 21 のクロック入力端 $C K$ に供給され、
イネーブル信号入力端 $E N$ が高レベルのときにクロック $C L K_1$ の立ち上がりが計数され
、その計数値 $C V_1$ が、データ変換器としてのテーブル $R O M$ 22 の下位アドレス入力端
に供給される。テーブル $R O M$ 22 の上位アドレス入力端には、参照周波数コード $R F C$
が供給される。テーブル $R O M$ 22 からプログラムデータ N と中心周波数設定値 $C F$ の組
が 1 ワードのデータとして読み出され、レジスタ 23 のデータ入力端に供給される。

40

【0029】

テーブル $R O M$ 22 のアドレスとこのアドレスに記憶されている値との関係の具体例を、
図 3 に示す。参照周波数コード $R F C$ が 0、1 及び 2 のときそれぞれ参照周波数は 40 MHz
、50 MHz 及び 60 MHz であることを示している。基準クロック $C L K_0$ の周波数は 1 MHz
であり、このとき $C V_1 = f_{co} / 2$ である。例えば参照周波数コード $R F C$ が 1 で計数値
 $C V_1$ が 55 のとき、プログラムデータ N が 2、中心周波数設定値 $C F$ が 8 となる。

【0030】

制御回路 24 には、リセット信号 $R S T$ 及び基準クロック $C L K_0$ が供給され、制御回路
24 は、イネーブル信号 $E N_1$ をカウンタ 21 のイネーブル信号入力端 $E N$ に供給し、レ
ジスタ 23 のクロック入力端 $C K$ にラッチ信号 $L C H$ を供給し、また、インヒビット信号

50

INHを出力する。

次に、制御回路24の動作を示す図4を参照して、図1及び図2の回路の動作を説明する。

【0031】

図1の回路は例えば通信装置に用いられる。この通信装置への電源投入により、リセット信号RSTのパルスが制御回路24に供給されると、制御回路24はインヒビット信号INHを高レベルにする。これにより、オアゲート16及び17が閉じられて、位相誤差信号ERRが誤差0を示し、アナログ電圧AV及びデジタル値DVがいずれも変動範囲の中央値になる。また、リセット信号RSTのパルスにより、カウンタ21の計数値CV1がゼロクリアされ、参照周波数コードRFCの値によらず、テーブルROM22からCFmax/2が中心周波数設定値CFとして読み出され、ラッチ信号LCHの立ち上がりでこの中心周波数設定値CFがレジスタ23に保持される。

10

【0032】

これにより、クロックCLK1の周波数f1は、自然発振周波数fcoとなる。制御回路24は、例えば基準クロックCLK0の立ち上がりを2個計数すると、基準クロックCLK0の立ち下がりまでの時間T0の間、イネーブル信号EN1を高レベルにする。カウンタ21は、イネーブル信号EN1が高レベルの間、クロックCLK1の立ち上がりを計数する。

【0033】

参照周波数コードRFCと計数値CV1とでテーブルROM22がアドレス指定され、テーブルROM22からプログラムデータNと中心周波数設定値CFとが読み出され、レジスタ23のデータ入力端に供給される。

20

次の基準クロックCLK0の立ち上がりでラッチ信号LCHが立ち上がり、このタイミングでプログラムデータN及び中心周波数設定値CFがそれぞれNV及びCFVとしてレジスタ23に保持される。

【0034】

プログラムデータNは、 $|f_{co}/N - f_r|$ が最小になるように定められている。中心周波数設定値CFは、

$(f_r \cdot N - f_{co}) / f_{co} : \mu = (CF - CF_{max}/2) : (CF_{max}/2)$ が成立するように定められている。ここに、CFmaxは中心周波数設定値CFの最大値であり、比 μ は図12(C)の f_c/f_{co} の範囲 $1.0 \pm \mu$ の μ 、例えば0.2である。比 μ は経験的な推定値であり、自然発振周波数fcoの値によらず一定と仮定しても、自然発振周波数fcoの値に応じた経験的な値であてもよい。上式から中心周波数設定値CFは、次式で表される。

30

【0035】

$$CF = (CF_{max}/2)$$

$$\cdot \{1 + (f_r \cdot N / f_{co} - 1) / \mu\}$$

CFの値は、整数化され、かつ、設定可能な最大値CFmaxを越えない範囲に制限される。図3のCFは、 $\mu = 0.2$ 、 $CF_{max} = 31$ とし、この式に基づいて算出されたものであり、いずれも設定可能な最大値31を越えていない。

40

【0036】

プログラムデータNVはプログラマブル分周器15のプログラムデータ入力端PDに供給され、中心周波数設定値CFVはデジタルVCO13の中心周波数制御入力端に供給される。

これにより、プログラマブル分周器15及びデジタルVCO13の設定が完了する。

【0037】

基準クロックCLK0の次の立ち下がりに同期してインヒビット信号INHが低レベルになり、オアゲート16及び17が開かれて、位相同期制御ループが有効になる。

本第1実施形態によれば、調整値であるデジタルVCO13の中心周波数設定値CFV及びプログラマブル分周器15のプログラムデータNVが、PLL自動調整回路20により

50

自動的に設定されるので、PLL回路を内蔵した半導体装置の出荷前の調整が不要となり、量産が向上する。

【0038】

また、電源投入等によりリセットパルスが供給される毎に、調整値が更新されるので、周囲温度の変化や回路素子特性の経時的変化によりデジタルVCO13の特性が変化しても、これに応じて適当な調整値が設定される。

さらに、デジタルVCO13と位相比較器10との間にプログラマブル分周器15を接続し、プログラマブル分周器15のプログラムデータNVを調整しているので、図3からも明らかなようにプログラマブル分周器15を用いない場合よりもデジタルVCO13の中心周波数設定値CFVの範囲が狭くなって、PLL回路の回路設計が容易になり、かつ、PLL回路を含む半導体装置の歩留りが向上する。

10

【0039】

[第2実施形態]

上記第1実施形態では、比 μ は推定値であり、半導体装置の製造プロセスのばらつきによらないと仮定しているが、実際には比 μ が該ばらつきにより変化するので、中心周波数設定値CFVが最適値になるとは限らない。

図5は、この問題を解決するためのPLL自動調整回路20Aを示す。

【0040】

テーブルROM22Aは、図2のテーブルROM22と2つの点で相違する。1つは、基準周波数コードBFCが上位アドレスとして付加されている点である。基準クロックCLK0の周波数が可変であり、この周波数に対応して基準周波数コードBFCが定められている。他の1つは、中心周波数設定値CFの替わりに計数値CV2の目標値TVがテーブルROM22Aに格納されている点である。

20

【0041】

テーブルROM22Aのアドレスと、このアドレスに記憶されている値との関係の具体例を図6に示す。この図において、基準周波数コードBFCの0及び1はそれぞれ基準クロックCLK0の周波数1MHz及び0.5MHzに対応している。図3の場合と同じく、参照周波数コードRFCが0、1及び2のときそれぞれ参照周波数は40MHz、50MHz及び60MHzである。

【0042】

PLL自動調整回路20Aは、目標値TVから中心周波数設定値CFVを得るために、カウンタ25と、デジタルコンパレータ26と、U/D(アップ/ダウン)カウンタ27とを備えている。

カウンタ25のクロック入力端CKには出力クロックCLKが供給され、カウンタ25のクリア入力端CLR及びイネーブル信号入力端ENにはいずれも基準クロックCLK0が供給される。

30

【0043】

デジタルコンパレータ26は、カウンタ25の、計数値CV2(基準クロックCLK0の周波数が1MHzのとき $CV2 = f_c / (2N)$)と、テーブルROM22Aの出力TV(基準クロックCLK0の周波数が1MHzのとき $TV = f_r / 2$)とを比較し、イネーブル信号入力端ENが高レベルのときにその比較結果を出力する。すなわち、デジタルコンパレータ26は、イネーブル信号入力端ENが高レベルの状態、 $CV2 < TV$ のときアップ信号UPを高レベルにし、 $CV2 > TV$ のときダウン信号DNを高レベルにし、計数値CV2が目標値TVに略等しいとき略一致信号SEQを高レベルにし、また、イネーブル信号入力端ENが低レベルの状態、これらの信号を低レベルにする。アップ信号UP及びダウン信号DNはそれぞれU/Dカウンタ27のアップクロック入力端UCK及びダウンクロック入力端DCKに供給される。

40

【0044】

U/Dカウンタ27は、イネーブル信号EN3が高レベルのとき、アップ信号UPの立ち上がりで計数値がインクリメントされ、ダウン信号DNの立ち上がりで計数値デクリメント

50

ントされる。この計数値は、中心周波数設定値 CFV として図 1 のデジタル $VCO13$ に供給される。

次に、上記の如く構成された PLL 自動調整回路 20A の動作を説明する。

【0045】

制御回路 24A は、リセット信号 RST のパルスに応答して、 U/D カウンタ 27 に初期値 $CFV_{max}/2$ をロードし、インヒビット信号 INH を高レベルにする。これにより、周波数 f_1 が自然発振周波数 f_{co} になる。

カウンタ 21 及びテーブル $ROM22A$ の動作並びにレジスタ 23A にプログラムデータ N を保持するタイミングは、図 2 の場合と同一である。この保持までが調整の第 1 段階である。プログラムデータ N は、 $|f_{co}/N - f_r|$ が最小になるように定められる。すなわち、第 1 段階では $|f_{co}/N - f_r|$ が最小になるように粗調整される。

10

【0046】

次に、第 2 段階での微調整を説明する。

図 7 は、制御回路 24A 及びデジタルコンパレータ 26 の動作を示す。

基準クロック $CLK0$ の立ち上がりでカウンタ 25 の計数値 $CV2$ がゼロクリアされ、その後基準クロック $CLK0$ が立ち下がるまでの時間 $T0$ の間、出力クロック CLK がカウンタ 25 で計数される。

【0047】

イネーブル信号 $EN2$ 及び $EN3$ は、レジスタ 23A にプログラムデータ N が保持されるまでは低レベルのままであり、この保持後に有効になる。この保持後では、カウンタ 25 の計数値 $CV2$ は $f_c/(2N)$ となる。

20

プログラムデータ N の保持後において、基準クロック $CLK0$ が低レベルになってから、デジタルコンパレータ 26 で比較が行われた後に、イネーブル信号 $EN2$ が高レベルになり、計数値 $CV2$ と目標値 TV の比較結果がデジタルコンパレータ 26 から出力される。

【0048】

$CV2 < TV$ のとき、すなわち $f_c/N < f_r$ のとき、アップ信号 UP のパルスで中心周波数設定値 CFV がインクリメントされて、出力クロック CLK の周波数 f が上昇し、 f_c/N が参照周波数 f_r に近づく。逆に、 $CV2 > TV$ のとき、すなわち $f_c/N > f_r$ のとき、ダウン信号 DN のパルスで中心周波数設定値 CFV がデクリメントされて、出力クロック CLK の中心周波数 f_c が低下し、 f_c/N が参照周波数 f_r に近づく。すなわち、第 2 段階では、 $|f_c/N - f_r|$ が 0 に近づくように微調整される。

30

【0049】

図 7 では、 $CV2 < TV$ が 2 回成立した後、計数値 $CV2$ が目標値 TV に略一致する場合を示している。

この第 2 実施形態によれば、フィードバッククロック周波数 f_c/N が参照周波数 f_r に略一致するように中心周波数設定値 CFV が自動的に定められるので、半導体装置の製造プロセスのばらつきによりデジタル $VCO13$ の特性が比較的大きくばらついても、位相ロックが高速かつ確実に行われる。

【0050】

[第 3 実施形態]

40

図 8 は、本発明の第 3 実施形態の自動調整回路付 PLL 回路を示す。

図 5 のカウンタ 21 がノイズを計数すると、プログラムデータ N 又は目標値 TV の値が所望の値からずれ、調整が不正確になる場合も考えられる。このような場合、正常な場合よりも調整時間が長くなる。

【0051】

そこで、 PLL 自動調整回路 20B からの調整開始信号 AST をタイマスタート信号としてタイマ 18 を起動させ、この後、タイマ 18 の設定時間 $T1$ 内にタイマ 18 のリセット入力端 RS の立ち上がりが検出されないとき、タイムアップ信号 TUP を PLL 自動調整回路 20B に供給して、調整動作を再開させている。タイマ 18 のリセット入力端 RS には、ロック検出回路 19 からのロック検出信号 LD が供給される。ロック検出回路 19 は

50

、位相比較器 10 からの位相誤差信号 E R R に基づいて位相がロックされたかどうかを判定し、位相がロックされたと判定したときに、ロック検出信号 L D を高レベルにする。

【0052】

P L L 自動調整回路 20 B の構成例を図 9 に示す。

P L L 自動調整回路 20 B は、図 5 の P L L 自動調整回路 20 A に、切換検出回路 28 及びオアゲート 29 が付加された構成となっている。

切換検出回路 28 は、基準周波数コード B F C 又は参照周波数コード R F C の値が変化したことを検出すると、切換検出信号 C H G のパルスを出力する。切換検出信号 C H G、リセット信号 R S T 及びタイムアップ信号 T U P はオアゲート 29 に供給され、オアゲート 29 の出力が調整開始信号 A S T として制御回路 24 A に供給される。この調整開始信号 A S T は、図 5 のリセット信号 R S T と同様に機能する。

10

【0053】

図 10 (A) 及び (B) はそれぞれ、調整動作開始後、調整時間が T1 を越えても位相同期状態が検出されない場合及び検出される場合の動作を示している。

上記構成において、切換検出信号 C H G、リセット信号 R S T 又はタイムアップ信号 T U P のパルスがオアゲート 29 に供給されると、上記第 2 実施形態で述べた調整動作が行われる。調整時間が T1 を越えても位相ロック状態が検出されない時、タイマ 18 からタイムアップ信号 T U P のパルスが出力されて、再調整が行われる。

【0054】

したがって、カウンタ 21 でノイズを計数することによりプログラムデータ N 又は目標値 T V が所望の値からずれて調整が不正確になり、調整時間が正常な場合よりも長くなっても、再調整が自動的に行われ、調整の信頼性が向上する。

20

また、基準クロック周波数 f_0 又は参照周波数 f_r を切換えた場合にも調整が行われるので、この切換後にリセットスイッチを押す必要がなく、操作性が向上する。

【0055】

図 8 の V C O 制御回路 12 A は、その制御入力端にロック検出信号 L D が供給され、ロック検出信号 L D が低レベルであるか高レベルであるかに応じて V C O 制御回路 12 A の入出力特性が図 10 (C) に示す如く切換えられる。すなわち、ロック検出信号 L D が低レベルで位相ロック検出前のときには、 $0 \leq A V \leq V_1$ で $D V = '01100'$ に固定され、 $V_2 \leq A V \leq V_{CC}$ で $D V = '10100'$ に固定されて、デジタル値 D V の範囲が 2 進数 $'01100' \sim '10000'$ と狭くなり、ロック検出信号 L D が高レベルで位相ロック検出された後は、該固定が取り外されてデジタル値 D V の範囲が 2 進数 $'00000' \sim '11111'$ と広がる。

30

【0056】

一般に P L L 回路のキャプチャレンジはロックレンジよりも狭いので、このように V C O 制御回路 12 A の特性を切り換えることにより位相ロック状態への引き込みが確実に行われ、かつ、位相ロック検出後に位相ロック状態が保持され得る出力周波数 f の範囲が広がる。

なお、本発明には外にも種々の変形例が含まれる。

【0057】

40

例えば上記第 1 実施形態において、カウンタ 21 の計数値 C V 1 の上位ビットのみテーブル R O M 22 のアドレス入力端に供給する構成であってもよい。データ変換器としてのテーブル R O M 22 の替わりに、R A M 又はデータ変換回路を用いた構成であってもよい。このデータ変換回路は、入力値に基づいて出力値を演算する演算回路であってもよい。P L L 自動調整回路 20 は、プログラムデータ N のみを調整するものであってもよい。この場合、V C O 制御回路 12 とデジタル V C O 13 とをアナログ V C O で置き換えた構成であってもよい。また、アナログ V C O の入出力特性を P L L 自動調整回路で調整する構成であってもよい。

【0058】

また、上記第 2 実施形態では、カウンタ 21 及び 25 での計数時間をいずれも基準クロッ

50

ク C L K 0 の半周期としたが、計数時間が定まっておればよく、例えば、カウンタ 2 5 での計数時間をカウンタ 2 1 での計数時間の N 倍にしたり、カウンタ 2 5 での計数時間とカウンタ 2 1 での計数時間とを異なる周期のクロックで定めるようにしてもよい。さらに、デジタルコンパレータ 2 6 で計数値 C V 2 と目標値 T V の略一致を検出して U / D カウンタ 2 7 の計数値を固定する場合を説明したが、差 (C V 2 - T V) の符号が反転する時に U / D カウンタ 2 7 の計数値を固定する構成であってもよい。U / D カウンタ 2 7 の出力値を、レジスタ又は定数倍器を介して V C O 1 3 の制御入力端に供給する構成であってもよい。

【 0 0 5 9 】

上記第 3 実施形態において、位相比較器 1 0 には位相誤差と位相ロックとを同時に検出するものも存在し、この場合にはロック検出回路 1 9 は不要である。 10

上記第 1 ～ 3 実施形態において、P L L 自動調整回路をリセット等の所定時間のみ有効にする場合を説明したが、常時有効にするようにしてもよい。P L L 自動調整回路をリセット等の所定時間のみ有効にする場合には、有効な時間のみ電源を P L L 自動調整回路に供給するようにしてもよい。また、オアゲート 1 6 及び 1 7 を用いずに、該有効な時間において V C O 制御回路 1 2 又はデジタル V C O 1 3 の入力値を固定する構成であってもよい。

【 0 0 6 0 】

カウンタ 2 1 は実質的に V C O の出力クロックを計数するものであればよく、例えばプログラム分周器 1 5 のプログラムデータ N を所定値に設定してプログラム分周器 1 5 の出力クロックを計数するようにしてもよい。この場合、カウンタ 2 1 の出力先を切り換えることによりカウンタ 2 5 を省略した構成であってもよい。 20

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態の自動調整回路付 P L L 回路を示すブロック図である。

【図 2】図 1 中の P L L 自動調整回路の構成例を示すブロック図である。

【図 3】図 2 中のテーブル R O M のアドレスと記憶値との関係の具体例を示す図である。

【図 4】図 2 の制御回路の動作を示すタイミングチャートである。

【図 5】本発明の第 2 実施形態の P L L 自動調整回路の構成例を示すブロック図である。

【図 6】図 5 中のテーブル R O M のアドレスと記憶値との関係の具体例を示す図である。

【図 7】図 5 の制御回路及びデジタルコンパレータの動作を示すタイミングチャートである。 30

【図 8】本発明の第 3 実施形態の自動調整回路付 P L L 回路を示すブロック図である。

【図 9】図 8 の P L L 自動調整回路の構成例を示すブロック図である。

【図 1 0】(A) 及び (B) は図 8 中のタイマの動作を示すタイミングチャートであり、(C) は図 8 中の V C O 制御回路の入出力特性図である。

【図 1 1】従来の P L L 回路のブロック図である。

【図 1 2】図 1 1 中の V C O 制御回路及びデジタル V C O の入出力特性図である。

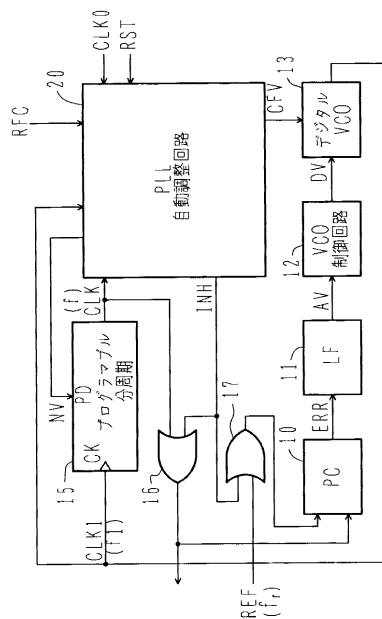
【符号の説明】

- 1 0 位相比較器
- 1 1 ループフィルタ 40
- 1 2、1 2 A V C O 制御回路
- 1 3 デジタル V C O
- 1 4 中心周波数設定回路
- 1 5 プログラマブル分周器
- 1 8 タイマ
- 1 9 ロック検出回路
- 2 0、2 0 A、2 0 B P L L 自動調整回路
- 2 1、2 5 カウンタ
- 2 2、2 2 A テーブル R O M
- 2 3、2 3 A レジスタ 50

24、24A 制御回路
26 デジタルコンパレータ
27 U/Dカウンタ

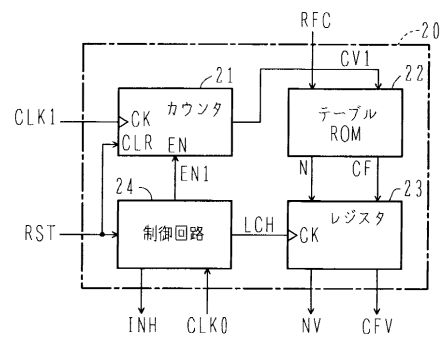
【 図 1 】

本発明の第1実施形態の自動調整回路付PLL回路を示すブロック図



【圖 2】

図 1 中の PLL 自動調整回路の構成例を示すブロック図



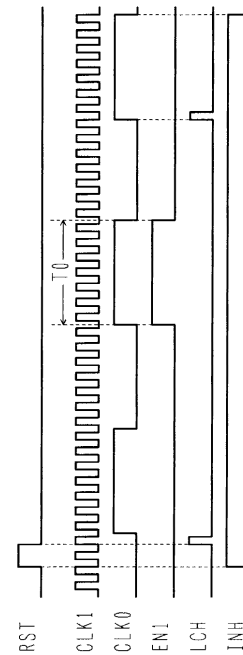
【図 3】

図2中のテーブルROMのアドレスと記憶値との関係の具体例を示す図

f_r	アドレス		記憶値	
	RFC	CV1 ($f_{co}/2$)	N	CF
40MHz	0	50	3	31
	0	55	3	23
	0	60	3	16
50MHz	0	190	10	20
	0	195	10	17
	0	200	10	16
60MHz	1	50	2	16
	1	55	2	8
	1	60	2	3

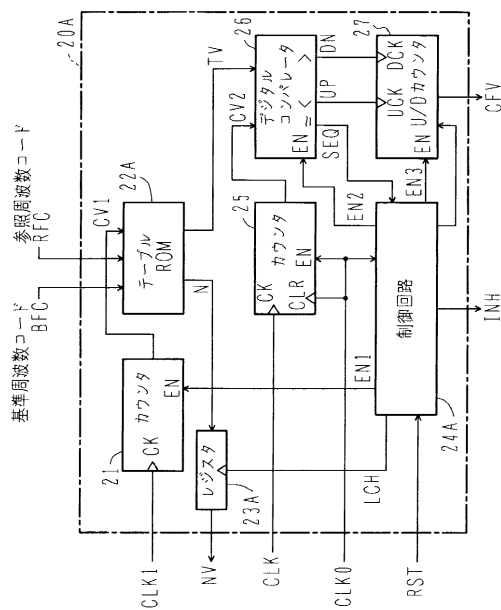
【図 4】

図2の制御回路の動作を示すタイミングチャート



【図 5】

本発明の第2実施形態のPLL自動調整回路の構成例を示すブロック図



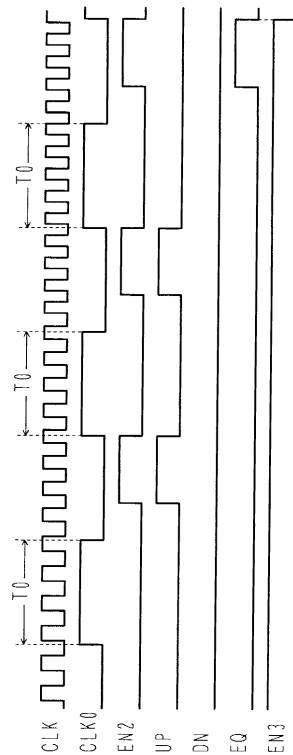
【図 6】

図5中のテーブルROMのアドレスと記憶値の関係の具体例を示す図

アドレス				記憶値
BFC	RFC	CV1	N	TV
0	0	50	3	20
0	0	55	3	20
0	0	60	3	20
0	0	190	10	20
0	0	195	10	20
0	0	200	10	20
0	1	50	2	25
0	1	55	2	25
0	1	60	2	25
0	2	70	2	30
0	2	75	3	30
0	2	80	3	30
1	0	100	3	40
1	0	110	3	40
1	0	120	3	40

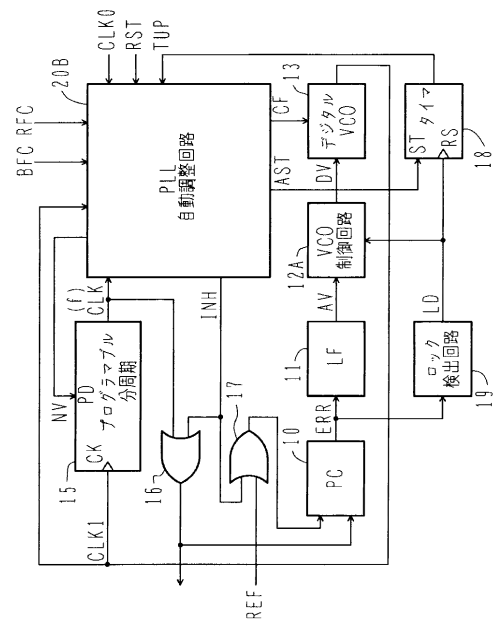
【図 7】

図5の制御回路及びデジタルコンパレータの動作を示すタイミングチャート



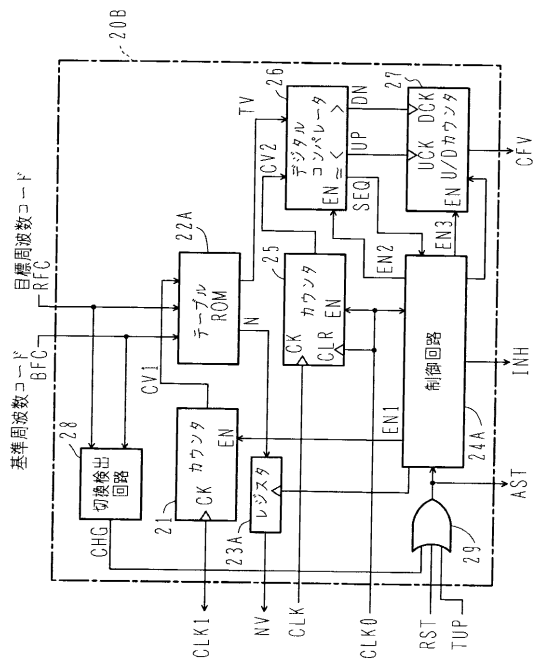
【図 8】

本発明の第3実施形態の自動調整回路付PLL回路を示すブロック図



【図 9】

図8のPLL自動調整回路の構成例を示すブロック図



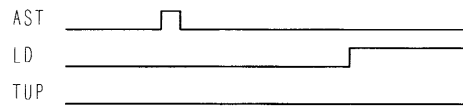
【図 10】

(A)及び(B)は図8中のタイマの動作を示すタイミングチャート、(C)図8中のVCO制御回路の入出力特性図

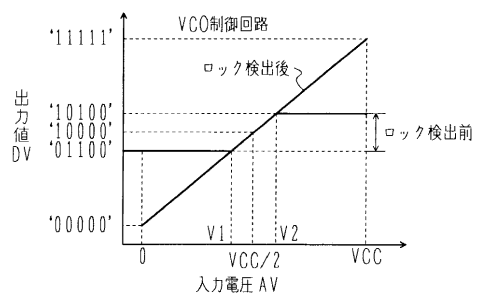
(A)



(B)

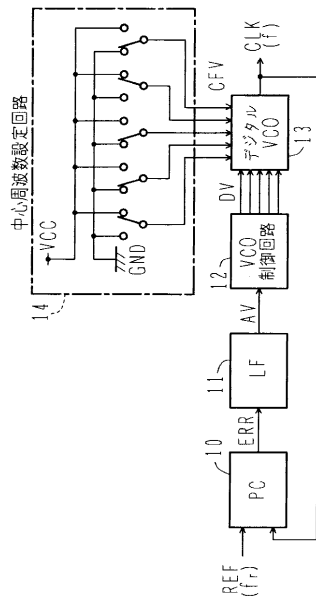


(C)



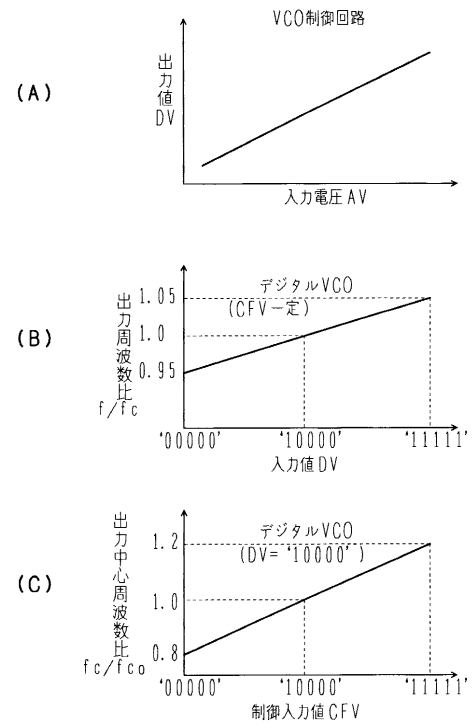
【図 1 1】

従来のPLL回路を示すブロック図



【図 1 2】

図 1 1 中のVCO制御回路及びデジタルVCOの入出力特性図



フロントページの続き

- (56)参考文献 特開平07-336219(JP,A)
特表昭57-500131(JP,A)
特開平06-216771(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03L 7/00-7/23