

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10197

(P2010-10197A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/66 (2006.01)	H O 1 L 21/66 E	4 M 1 0 6
H O 1 L 21/60 (2006.01)	H O 1 L 21/60 3 O 1 N	5 F 0 3 8
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 E	5 F 0 4 4
H O 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 1 O L (全 15 頁)

(21) 出願番号	特願2008-164557 (P2008-164557)	(71) 出願人	503121103
(22) 出願日	平成20年6月24日 (2008. 6. 24)		株式会社ルネサステクノロジ
		(74) 代理人	100089071
			弁理士 玉村 静世
		(72) 発明者	安村 文次
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	黒田 幸枝
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	出口 善宣
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内

最終頁に続く

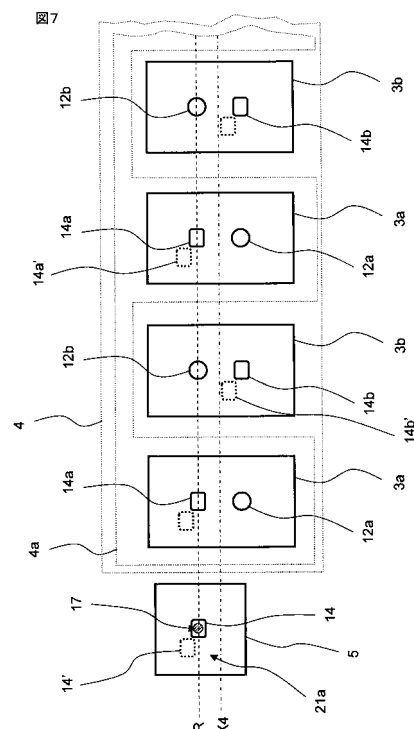
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】プローブ検査においては、パッド上のプローブ痕を確認する工程が必要となる。しかし、ウェハ状態でプローブ検査を実施した後に、ボンディング・パッドにワイヤ・ボンディングするため、パッド上にプローブ痕がある状態でワイヤ・ボンディングする。プローブ痕がある場所にボンディングすることは、プローブ痕がない場所にボンディングした場合に比べてボンディング強度を弱めてしまう。

【解決手段】本願発明は、半導体チップの辺に沿ってボンディング・パッドを配置するに当たり、直線状に配置された実ボンディング・パッド列の各実ボンディング・パッド上の実ボンディング・パッド列の中心線に関して交互に垂直方向にずれて形成されたプローブ痕の内、一方の側へずれたプローブ痕の回歸直線上に、ほぼ、その中心が来るように配置され、実ボンディング・パッドよりも面積が小さいダミー・パッドを配置するものである。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

以下を含む半導体集積回路装置：

- (a) デバイス主面を有する矩形形状の半導体チップ；
- (b) 前記矩形の第 1 の辺に沿って、ほぼ同一の形状を有する複数の実ボンディング・パッドを含み、前記デバイス主面上に直線状に配置された第 1 の実ボンディング・パッド列；
- (c) 前記複数の実ボンディング・パッドの各実ボンディング・パッド上において、前記第 1 の実ボンディング・パッド列の中心線に関して交互に反対方向にずれた位置に形成されたプローブ痕；
- (d) 前記第 1 の実ボンディング・パッド列の内、そのプローブ痕が前記中心線に関して第 1 の側にずれた実ボンディング・パッドから構成された第 1 の部分実ボンディング・パッド列；
- (e) 前記第 1 の部分実ボンディング・パッド列の前記プローブ痕に対応する回帰直線；
- (f) その中心が、ほぼ前記回帰直線上に来るように設けられ、前記複数の実ボンディング・パッドよりも面積が小さく、且つ、プローブ痕を有するダミー・パッド。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体集積回路装置（または半導体装置）における検査パッド・レイアウトに適用して有効な技術に関する。

20

【背景技術】**【0002】**

日本特開平 6 - 5 6 7 4 号公報（特許文献 1）には、プローブ・テストにおけるコンタクト位置ずれを防止するために、実パッドよりも面積の小さいダミー・パッドをチップのコーナ部に対角線状に一对配置する技術が開示されている。

【0003】

日本特開平 1 - 7 3 6 2 9 号公報（特許文献 2）には、プローブ・テストにおけるコンタクト位置ずれを認識しやすいように、十字状のマークパッドおよび、そこにコンタクトさせるプローブ針を使用する技術が開示されている。

30

【0004】

日本特開平 8 - 1 1 5 9 5 8 号公報（特許文献 3）または米国特許第 5 6 1 6 9 3 1 号公報（特許文献 4）には、プローブ・テストにおけるコンタクト位置ずれを認識するためのマークパッドをスクライブ・ラインに設けることによって、他のプローブ針に邪魔されて、マークパッドが見えにくくなることを回避する技術が開示されている。

【0005】

日本特開平 6 - 1 4 0 4 8 0 号公報（特許文献 5）には、プローブ・テストにおけるコンタクト位置ずれ状態を正確に認識するため、専用の全面コンタクト可能なダミー素子にプローブ針を降下させて、そのときの圧痕により、コンタクト位置ずれ状態を観察する技術が開示されている。

40

【0006】

【特許文献 1】特開平 6 - 5 6 7 4 号公報

【特許文献 2】特開平 1 - 7 3 6 2 9 号公報

【特許文献 3】特開平 8 - 1 1 5 9 5 8 号公報

【特許文献 4】米国特許第 5 6 1 6 9 3 1 号公報

【特許文献 5】特開平 6 - 1 4 0 4 8 0 号公報

【発明の開示】**【発明が解決しようとする課題】****【0007】**

通常、プローブ検査においては、一定頻度で（たとえばウエハ単位バッチあたり 1 枚程

50

度)パッド上のプローブ検査の圧痕(プローブ痕)を確認する工程が必要となる。しかし、ウェハ状態でプローブ検査を実施し、個別のチップに分離した後に、ボンディング・パッドにワイヤ・ボンディングするため、パッド上にプローブ痕がある状態でワイヤ・ボンディングすることとなる場合がある。プローブ痕がある場所にボンディングすることは、プローブ痕がない場所にボンディングした場合に比べてボンディング強度を弱めてしまう。パッド・サイズが大きい場合、ボール径を大きくできるため、ボール径に対してプローブ痕は相対的に小さいため、ボンディング強度に対して影響は比較的少ない。しかし、パッド・サイズが小さくなるにつれて、ボール径は小さくなるため、プローブ痕は相対的に大きくなる。その結果、ボールがパッド表面と接続する面積も小さくなるため、ボンディング強度に対しプローブ痕の影響は大きくなる。昨今、チップ・サイズを小さくするため、パッド・サイズも縮小されるため、パッド上に打つワイヤ・ボンディングのボール径も小さくなっているため、プローブ痕の影響はより大きくなっている。プローブ検査に用いるプローブ・カードの接触端子の先端部分(通常は針状のもの)を小さくするなどして、プローブ痕を小さくする開発は進んでいる。しかし、接触端子の強度不足や、電氣的な接触悪化とのトレードオフがあり、プローブ痕を小さくするには限界がある。そこで、プローブ・ポイントとボンディング・ポイントをずらし、ボンディング時のプローブ痕の影響を低減している。そのため、プローブ・ポイントがパッドの中心とならず、ずれている場合がある。その場合、プローブ検査工程において、プローブ・ポイントに正しくプローブ痕がついているか容易に判別できないという問題があった。

10

【0008】

20

本願発明は、これらの課題を解決するためになされたものである。

【0009】

本発明の目的は、高信頼性の半導体集積回路装置を提供することにある。

【0010】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

30

【0012】

すなわち、本願発明は、半導体チップの辺に沿ってボンディング・パッドを配置するに当たり、直線状に配置された実ボンディング・パッド列の各実ボンディング・パッド上の実ボンディング・パッド列の中心線に関して交互に垂直方向にずれて形成されたプローブ痕の内、一方の側へずれたプローブ痕の回帰直線上に、ほぼ、その中心が来るように配置され、実ボンディング・パッドよりも面積が小さく、かつ、プローブ痕を有するダミー・パッドを配置するものである。

【発明の効果】

【0013】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

40

【0014】

すなわち、半導体チップの辺に沿ってボンディング・パッドを配置するに当たり、直線状に配置された実ボンディング・パッド列の各実ボンディング・パッド上の実ボンディング・パッド列の中心線に関して交互に垂直方向にずれて形成されたプローブ痕の内、一方の側へずれたプローブ痕の回帰直線上に、ほぼ、その中心が来るように配置され、実ボンディング・パッドよりも面積が小さく、かつ、プローブ痕を有するダミー・パッドを配置することにより、ワイヤ・ボンディング不良を回避しつつ、プローブ検査時のプローブ痕の確認を容易に行うことができる。

【発明を実施するための最良の形態】

50

【 0 0 1 5 】

〔 実施の形態の概要 〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【 0 0 1 6 】

1. 以下を含む半導体集積回路装置：

- (a) デバイス主面を有する矩形形状の半導体チップ；
- (b) 前記矩形の第 1 の辺に沿って、ほぼ同一の形状を有する複数の実ボンディング・パッドを含み、前記デバイス主面上に直線状に配置された第 1 の実ボンディング・パッド列；
- (c) 前記複数の実ボンディング・パッドの各実ボンディング・パッド上において、前記第 1 の実ボンディング・パッド列の中心線に関して交互に反対方向にずれた位置に形成されたプローブ痕；
- (d) 前記第 1 の実ボンディング・パッド列の内、そのプローブ痕が前記中心線に関して第 1 の側にずれた実ボンディング・パッドから構成された第 1 の部分実ボンディング・パッド列；
- (e) 前記第 1 の部分実ボンディング・パッド列の前記プローブ痕に対応する回帰直線；
- (f) その中心が、ほぼ前記回帰直線上に来るように設けられ、前記複数の実ボンディング・パッドよりも面積が小さく、且つ、プローブ痕を有するダミー・パッド。

10

【 0 0 1 7 】

2. 前記 1 項の半導体集積回路装置において、前記第 1 の実ボンディング・パッド列の各実ボンディング・パッドのワイヤ・ボンディング点は、前記中心線に関して前記プローブ痕と逆方向にずれている。

20

【 0 0 1 8 】

3. 前記 1 または 2 項の半導体集積回路装置において、前記ダミー・パッドは、前記デバイス主面のコーナ部に設けられている。

【 0 0 1 9 】

4. 前記 1 から 3 項のいずれか一つの半導体集積回路装置において、更に以下を含む：

- (g) 前記第 1 の実ボンディング・パッド列とほぼ同一の形状を有する複数の実ボンディング・パッドを含み、前記第 1 の実ボンディング・パッド列に沿って配置された第 2 の実ボンディング・パッド列。

30

【 0 0 2 0 】

5. 前記 1 から 4 項のいずれか一つの半導体集積回路装置において、前記実ボンディング・パッドは、ほぼ長方形であり、前記ダミー・パッドは、ほぼ正方形である。

【 0 0 2 1 】

6. 以下を含む半導体集積回路装置：

- (a) デバイス主面を有する矩形形状の半導体チップ；
- (b) 前記矩形の第 1 の辺に沿って、ほぼ同一の形状を有する複数の実ボンディング・パッドを含み、前記デバイス主面上に直線状に配置された第 1 の実ボンディング・パッド列；
- (c) 前記複数の実ボンディング・パッドの各実ボンディング・パッド上において、前記第 1 の実ボンディング・パッド列の中心線に関して交互に反対方向にずれた位置に形成されたプローブ痕；
- (d) 前記第 1 の実ボンディング・パッド列の内、そのプローブ痕が前記中心線に関して第 1 の側にずれた実ボンディング・パッドから構成された第 1 の部分実ボンディング・パッド列；
- (e) 前記第 1 の部分実ボンディング・パッド列の前記プローブ痕に対応する回帰直線；
- (f) その中心が、ほぼ前記回帰直線上に来るように設けられ、前記複数の実ボンディング・パッドよりも面積が小さいダミー・パッド。

40

【 0 0 2 2 】

7. 前記 6 項の半導体集積回路装置において、前記第 1 の実ボンディング・パッド列の

50

各実ボンディング・パッドのワイヤ・ボンディング点は、前記中心線に関して前記プローブ痕と逆方向にずれている。

【 0 0 2 3 】

8．前記 6 または 7 項の半導体集積回路装置において、前記ダミー・パッドは、前記デバイス主面のコーナ部に設けられている。

【 0 0 2 4 】

9．前記 6 から 8 項のいずれか一つの半導体集積回路装置において、更に以下を含む：
(g) 前記第 1 の実ボンディング・パッド列とほぼ同一の形状を有する複数の実ボンディング・パッドを含み、前記第 1 の実ボンディング・パッド列に沿って配置された第 2 の実ボンディング・パッド列。

10

【 0 0 2 5 】

10．前記 6 から 9 項のいずれか一つの半導体集積回路装置において、前記実ボンディング・パッドは、ほぼ長方形であり、前記ダミー・パッドは、ほぼ正方形である。

【 0 0 2 6 】

〔本願における記載形式・基本的用語・用法の説明〕

1．本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

20

【 0 0 2 7 】

2．同様に実施の態様等の記載において、材料、組成等について、「A からなる X」等といっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A 以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「A を主要な成分として含む X」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe 合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。

【 0 0 2 8 】

また「金ワイヤ」といっても、高純度のものだけでなく、金を主要な成分として、種々の添加物を含有するもの（金系メタル）も含まれることはいうまでもない。同様に、「アルミニウム・パッド」等といっても、高純度のものだけでなく、アルミニウムを主要な成分として、種々の添加物を含有するもの（アルミニウム系メタル）も含まれることはいうまでもない。また、パッドはアルミニウム系メタル層のみからなるものに限定されず、アルミニウム系メタル層を主要な構成要素とするものも含まれることはいうまでもない。

30

【 0 0 2 9 】

3．同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことはいうまでもない。

40

【 0 0 3 0 】

たとえば、「正方形」、「矩形」、または「長方形」といっても、幾何学的に厳密な図形を意味するものではなく、ほぼ、その図形に近い形状をしていることを示すものである。従って、面取り、角取り、若干の凹凸等を許容することはいうまでもない。また、図形について「中心」といっても、幾何学的に厳密な中心を意味するものではなく、中心付近を指すものとする。

【 0 0 3 1 】

4．さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

50

【 0 0 3 2 】

5. 「ウエハ」というときは、通常は半導体集積回路装置（半導体装置、電子装置も同じ）をその上に形成する単結晶シリコンウエハを指すが、エピタキシャルウエハ、S O I 基板、L C D ガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。そして、このウエハを個々の集積回路装置に分割したものを、「半導体チップ」または単に「チップ」という。なお、本願において、基板としての半導体は、主にシリコン系半導体をさすが、G a A s 系その他の化合物系半導体であってもよい。

【 0 0 3 3 】

6. 「回帰直線」とは、平面点列についていえば、対象点列に関して最小 2 乗法により求められた最適直線であるが、本願では、ほぼ直線状に並んだ対象点列に、ほぼフィットした直線を意味する。

10

【 0 0 3 4 】

7. 「実ボンディング・パッド」とは、実際に、そこに金ワイヤ等をボンディングするアルミニウム・パッド等を言う。一方、「ダミー・パッド」とは、実際には、そこに金ワイヤ等がボンディングされない検査用等のアルミニウム・パッド等を言う。また、「ボンディング・ポイント」とは、ワイヤ・ボンディングの前は、実ボンディング・パッド上の金ワイヤ等がボンディングされるべき点であり、ワイヤ・ボンディングの後には、実ボンディング・パッド上の実際に金ワイヤ等がボンディングされた部分の中心点をいう。「ボンディング・パッド列」とは、直線状に配列された実ボンディング・パッドの集合を言う。更に半導体チップの「コーナ部」とは、チップの一つのコーナに隣接する二つの辺に沿って配置された全てのボンディング・パッド列の各最近接の実ボンディング・パッドを内包し、当該コーナに接する矩形領域である。

20

【 0 0 3 5 】

8. 「実プローブ針」とは、実ボンディング・パッドに当ててテストするプローブ検査用の針である。一方、「ダミー・プローブ針」とは、ダミー・パッドに当てて、プローブ痕を付けるための針である。これらを総称して「プローブ針」という。また「プローブ痕」とは、実プローブ針またはダミー・プローブ針がコンタクトすることによって付く、圧痕である。更に、「プローブ・ポイント」とは、プローブ針のコンタクトの前は、実ボンディング・パッドまたはダミー・パッド上の実プローブ針またはダミー・プローブ針の先端がコンタクトすべき位置であり、プローブ針のコンタクトの後には、プローブ痕の中心点である。

30

【 0 0 3 6 】

9. 平面図又はボンディング・パッドの配向について、図 1 は辺 2 2 a を上にして描いている。また、辺 2 2 a に関する平面図は、これと同じ配向で描いている。他の辺に関しては、辺 2 2 a の場合と同様に、当該辺を上にして考えればよい。

【 0 0 3 7 】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【 0 0 3 8 】

40

1. 本願の一実施の形態の半導体集積回路装置のチップ・レイアウト等の説明（主に図 1 から図 7）

図 1 は本願の一実施の形態の半導体集積回路装置のチップ・レイアウト全体図である。図 2 は本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおける実ボンディング・パッドの平面図（パターン b）である。図 3 は本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおける実ボンディング・パッドの平面図（パターン a）である。図 4 は本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおけるダミー・パッドの平面図である。図 5 は本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおける第 1 の実ボンディング・パッド列の部分拡大平面図である。図 6 は本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおける第 2 の実ボン

50

ディング・パッド列の部分拡大平面図である。図 7 は本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおけるダミー・パッドと第 1 の実ボンディング・パッド列の関係を示す要部拡大平面図である。これらに基づいて、本願の一実施の形態の半導体集積回路装置のチップ・レイアウト等を説明する。

【 0 0 3 9 】

先ず、チップの全体レイアウトを説明する。図 1 に示すように、ほぼ正方形又は矩形の半導体チップ 1 (チップ領域) のデバイス主面 1 a の内部には集積回路部 7 があり、その周りの周辺領域には、インターフェース部が各辺に沿って設けられている。一つの辺 2 2 a に着目して説明すると、内側に長方形 (相互にほぼ同一形状、同一寸法、同一配向、同一材質) のアルミニウム・ボンディング・パッド 3 (実ボンディング・パッド) をほぼ直線状に (間隔は均等とは限らない) 配列した第 1 の実ボンディング・パッド列 4 がある。その外側には、前記と同様に、長方形 (前記のものと、また相互に、ほぼ同一形状、同一寸法、同一配向、同一材質) のボンディング・パッド 3 をほぼ直線状に (間隔は均等とは限らない) 配列した第 2 の実ボンディング・パッド列 6 がある。第 1 の実ボンディング・パッド列 4 の端部近傍のチップ・コーナ部 8 には、ほぼ正方形で、面積が実ボンディング・パッド 3 よりも小さいダミー・パッド 5 (ボンディング・パッド 3 とほぼ同一材質) がある。なお、ダミー・パッド 5 は必ずしも、正方形である必要はないことは言うまでもない。コンタクト位置のずれの方向と距離が認識しやすい構造であればよい。

【 0 0 4 0 】

次に、各種のパッドについて説明する。図 2 に示すように、パターン b に属する実ボンディング・パッド 3 においては、縦中心線 Y 1 上で、横中心線 X 1 よりも若干上側にボンディング・ポイント 1 5 が設定されている。従って、理想的な状態では、ボンディング・ボール 1 2 の中心とボンディング・ポイント 1 5 は一致する。一方、プローブ・ポイント 1 1 は、縦中心線 Y 1 上で、横中心線 X 1 よりも若干下側 (ボンディング・ポイント 1 5 と同じ距離だけ反対側に) に設定されている。従って、理想的な状態では、プローブ痕 1 4 の中心とプローブ・ポイント 1 1 は一致する。ここで、実ボンディング・パッド 3 の各部の寸法の一例を示せば、以下のごとくである。L は、たとえば、1 7 マイクロ・メートル程度である。M は、たとえば 2 7 マイクロ・メートル程度である。N は、たとえば 5 3 マイクロ・メートル程度である。

【 0 0 4 1 】

図 3 に示すように、パターン a に属する実ボンディング・パッド 3 においては、ボンディング・ボール 1 2 とプローブ痕 1 4 は、理想的状態では、縦中心線 Y 2 上にあり、横中心線 X 2 に関して、ちょうどパターン b と逆になる。

【 0 0 4 2 】

次に、ダミー・パッド 5 について説明する。図 4 に示すように、一般に比較的プローブ検査における位置合わせが良好な場合には、ダミー・パッド 5 の中央点 1 7 (縦中心線 Y 3 と横中心線 X 3 の交点) 付近にプローブ痕 1 4 が存在する。理想的な場合には、プローブ痕 1 4 の中心とダミー・パッド 5 の中央点 1 7 は一致する。なお、ダミー・パッド 5 上のプローブ痕 1 4 は、図 8 および図 1 0 に説明するような実プローブ針 5 0 とダミー・プローブ針 5 1 とがセットになっているプローブ・カード 5 2 を使用する結果、全ての被テスト・チップ領域 1 に形成される。しかし、一部の被テスト・チップ領域 1 に対応する部分のみにおいて、実プローブ針 5 0 とダミー・プローブ針 5 1 とがセットになっており、他の被テスト・チップ領域 1 に対応する部分においては、実プローブ針 5 0 のみであるプローブ・カード 5 2 を使用することもできる。従って、ダミー・パッド 5 上のプローブ痕 1 4 は、必須のものではない。すなわち、図 7 で説明するように、実質的に、所定の回帰直線 R の上にダミー・パッド 5 のほぼ中心 1 7 が来るようにレイアウトされていればよい。この場合は、プローブ痕 1 4 が形成されたダミー・パッド 5 について、プローブ痕検査を実行すればよい。

【 0 0 4 3 】

次に、第 1 の実ボンディング・パッド列 4 内のボンディング・ボール 1 2 (ボンディン

グ・ポイント 15) とプローブ痕 14 (プローブ・ポイント 11) の配列について説明する。図 5 に示すように、第 1 の実ボンディング・パッド列 4 は、交互に配置されたパターン a およびパターン b の実ボンディング・パッド 3 (3 a、3 b) から構成されている (第 1 の実ボンディング・パッド列 4 の中心線 X 4 に関して、交互に反転させた配列)。この第 1 の実ボンディング・パッド列 4 からパターン a の実ボンディング・パッド 3 (3 a) のみを取り出したのが、第 1 の部分実ボンディング・パッド列 4 a である。すなわち、第 1 の部分実ボンディング・パッド列 4 a は、第 1 の実ボンディング・パッド列 4 から実ボンディング・パッド 3 b のように、ボンディング・ボール 12 b とプローブ痕 14 b の配置が逆のものを除いたものといえることができる。従って、実ボンディング・パッド 3 a においては、ボンディング・ボール 12 a が下側にあり、プローブ痕 14 a が、第 1 の実ボンディング・パッド列 4 の中心線 X 4 に関して、第 1 の側 2 1 a に、ずれている。この複数のプローブ痕 14 a をできるだけ全部が乗るように直線で結ぶと、その直線が第 1 の部分実ボンディング・パッド列 4 a 内のプローブ痕 14 a に対応した回帰直線 R となる。

10

20

30

40

50

【0044】

次に、第 2 の実ボンディング・パッド列 6 内のボンディング・ボール 12 (ボンディング・ポイント 15) とプローブ痕 14 (プローブ・ポイント 11) の配列について説明する。図 6 に示すように、第 2 の実ボンディング・パッド列 6 は、パターン a に属する実ボンディング・パッド 3 のみから構成されている。すなわち、第 2 の実ボンディング・パッド列の中心線 X 5 に関して、下側にボンディング・ボール 12 があり、上側にプローブ痕 14 がある。

【0045】

次に、第 1 の実ボンディング・パッド列 4 とダミー・パッド 5 の関係について説明する。図 7 に示すように、理想的な場合に、第 1 の部分実ボンディング・パッド列 4 a 内のプローブ痕 14 a に対応した回帰直線 R 上に、ダミー・パッド 5 の中心 17 が来るように、ダミー・パッド 5 をレイアウトしておく。そして、ダミー・プローブ針 51 の針先と第 1 の部分実ボンディング・パッド列 4 a に属する実ボンディング・パッド 3 a にコンタクトするプローブ針 50 の先端を揃えておく。具体的には理想的な場合に、図 1 の辺 22 a に平行な直線状に、両針先が来るようにして、且つ、ダミー・プローブ針 51 の針先が図 4 の縦中心線 Y 3 条に来るように設定しておく。そうすると、理想的な場合には、実ボンディング・パッド 3 a のプローブ痕 14 a は、図 3 の縦中心線 Y 2 上で、若干上方向にずれた位置に来る。一方、ダミー・プローブ針 51 によるプローブ痕 14 は、ダミー・パッド 5 の中心 17 の位置に来ることとなる。

【0046】

ここで、実プローブ針 50 およびダミー・プローブ針 51 のコンタクト位置が、理想的な位置から若干ずれた場合は、実ボンディング・パッド 3 a のプローブ痕 14 a' およびダミー・パッド 5 プローブ痕 14' は、ともにずれて、たとえば点線のような位置に来る (第 2 の部分実ボンディング・パッド列 4 b 内のプローブ痕 14 b' も点線のような位置に来る)。従って、この中心 17 からのずれを計測することによって、実プローブ針 50 のコンタクト位置のずれを容易に認識することができる。

【0047】

2. 本願の一実施の形態の半導体集積回路装置に対するプローブ検査等の製造プロセス要部の説明 (主に図 8 から図 12)

図 8 は本願の一実施の形態の半導体集積回路装置のプローブ検査の様子を説明するためのプローブ・テスト状態模式上面図である。図 9 は本願の一実施の形態の半導体集積回路装置のプローブ検査およびプローブ痕検査の様子を説明するためのプローブ・テスト状態等模式正面図である。図 10 は図 8 の破線 P の部分の拡大図である。図 11 は本願の一実施の形態の半導体集積回路装置の最終形態の一例の模式断面図である。図 12 は本願の一実施の形態の半導体集積回路装置に対するプローブ検査等の製造プロセス要部を説明するプロセス・ブロック・フロー図である。これらに基づいて、本願の一実施の形態の半導体集積回路装置に対するプローブ検査等の製造プロセス要部を説明する。

【 0 0 4 8 】

先ず、図 1 2 に示すように、ウエハ工程 7 1 が完了したウエハ 2 に対して、プローバ 5 7 (図 9) によって、プローブ・テスト 7 2 を実行する。図 8 及び図 9 に示すように、プローバ 5 7 は、プローブ・テスト領域 5 5 とプローブ痕検査領域 5 6 に分かれている。プローブ・テスト 7 2 (図 1 2) は、プローブ・カード 5 2 の開口部 5 3 を被検査チップ領域 1 に対向させた状態で、その周辺に設けられた実プローブ針 5 0 およびダミー・プローブ針 5 1 の先端をそれぞれ対応する実ボンディング・パッド 3 およびダミー・パッド 5 にコンタクトさせた状態で、電氣的テストを実行するものである。プローブ・テスト 7 2 (図 1 2) の際には、ウエハ 2 はウエハ・ステージ 5 4 上において、真空吸着されている。図 8 の点円 P の部分を拡大したのが、図 1 0 である。

10

【 0 0 4 9 】

図 1 0 に示すように、先端列の実プローブ針 5 0 a は、チップ 1 の辺 2 2 a に平行な基準直線 X 6 の位置に先端が来るように配置されている。中間列の実プローブ針 5 0 b およびダミー・プローブ針 5 1 は、チップ 1 の辺 2 2 a に平行な基準直線 X 7 の位置に先端が来るように配置されている。そして、最外列の実プローブ針 5 0 c は、チップ 1 の辺 2 2 a に平行な基準直線 X 8 の位置に先端が来るように配置されている。

【 0 0 5 0 】

図 1 2 および図 9 に示すように、プローブ・テスト 7 2 を実行した後、ウエハ・ステージ 5 4 はウエハ 2 を乗せたまま、プローブ痕検査領域 5 6 に移動して、そこで、光学観測系 5 8 により、プローブ痕検査 7 3 を実行する。プローブ痕検査 7 3 は、ほぼ正方形のダミー・パッド 5 上のプローブ痕 1 4 ' (図 7) がダミー・パッド 5 の中心 1 7 からどの方向にどれだけずれているかを観測することによって実行される。

20

【 0 0 5 1 】

ここで、コンタクト位置のずれが許容範囲であれば、当該ウエハは次工程に送り、計測されたずれは、次の被検査ウエハの位置あわせにフィードバックされる。コンタクト位置のずれが一定以上である等、プローブ・テスト 7 2 の正常性を疑わせるようなデータがある場合には、再度、プローブ・テスト 7 2 を実行するか、当該ウエハは不良と判定する。なお、必要に応じて、プローブ痕検査 7 3 をスキップしてもよい。すなわち、全ウエハのほぼ全ての製品チップ領域および (もしあれば、以下同じ) 検査用チップ領域に対して、実行してもよいし、ロット中の一部のウエハのほぼ全部の製品チップ領域および検査用チップ領域に対して、または一部の全部の製品チップ領域および検査用チップ領域の少なくとも一方に対してプローブ痕検査 7 3 を実行するようにしてもよい。

30

【 0 0 5 2 】

図 1 2 に示すように、プローバ 5 7 によるテストが完了したウエハ 2 には、個別チップ 1 に分割するためのダイシング処理 7 4 が実行される。その後、分割されたチップ 1 に対して、図 1 1 及び図 1 2 に示すように、多層配線基板 3 3 上に (リードフレーム上でもよい) 、DAF (Die Attach Film) 等の接着部材を介して、ダイ・ボンディング 7 5 が実行される。続いて、図 1 1 及び図 1 2 に示すように、リード 3 2 と実ボンディング・パッド 3 の間で、金ワイヤ 3 1 等により、キャピラリを用いたワイヤ・ボンディング 7 6 が実行される。これにより、実ボンディング・パッド 3 上にボンディング・ボール 1 2 が形成される。ここで、図 5 に説明したように、内側の実ボンディング・パッド列、すなわち、第 1 の実ボンディング・パッド列 4 を構成する実ボンディング・パッド 3 a , 3 b においては、ボンディング・ポイントすなわちボンディング・ボール 1 2 の中心位置を交互に上下 (千鳥配置) にずらせている。これは、図 1 1 からわかるように、外側の実ボンディング・パッド列、すなわち、第 2 の実ボンディング・パッド列 6 と比較して、ワイヤ・ループが長くなり、レジン封止時のワイヤ流れの影響を受けやすく、ワイヤ同士の短絡が起きやすいためである。なお、外側の実ボンディング・パッド列も千鳥配置にしてもよい。

40

【 0 0 5 3 】

その後、図 1 1 及び図 1 2 に示すように、エポキシ系樹脂等の封止レジン 3 4 により、

50

たとえば、トランスファ・モールドにより、レジン封止 77 が実行される（圧縮モールド法を使用してもよい）。更に、図 11 及び図 12 に示すように、バンプ 35 が取り付けられる。

【0054】

3. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0055】

例えば、前記実施の形態では、プローバの形式として、従来型のカンチ・レバー型プローブカードについて、具体的に説明したが、本願はそれに限定されるものではなく、バチカル型プローブ・カード、スプリング・ピン型プローブ・カード、薄膜プローブ等のフォトリソグラフィや MEMS 技術を活用したアドバンスド・プローブ・カードまたは MEMS タイプのプローブ・カード等によるプローブ検査にも適用できることは言うまでもない。

10

【0056】

また、前記実施の形態では、2列にボンディング・パッドを配置したチップ・レイアウトを例にとり具体的に説明したが、本願はそれに限定されるものではなく、1列にボンディング・パッドを配置したチップ・レイアウトにも3列以上およびマトリクス状にボンディング・パッドを配置したチップレイアウトにも適用できることは言うまでもない。

20

【図面の簡単な説明】

【0057】

【図1】本願の一実施の形態の半導体集積回路装置のチップ・レイアウト全体図である。

【図2】本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおける実ボンディング・パッドの平面図（パターンb）である。

【図3】本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおける実ボンディング・パッドの平面図（パターンa）である。

【図4】本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおけるダミー・パッドの平面図である。

【図5】本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおける第1の実ボンディング・パッド列の部分拡大平面図である。

30

【図6】本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおける第2の実ボンディング・パッド列の部分拡大平面図である。

【図7】本願の一実施の形態の半導体集積回路装置のチップ・レイアウトにおけるダミー・パッドと第1の実ボンディング・パッド列の関係を示す要部拡大平面図である。

【図8】本願の一実施の形態の半導体集積回路装置のプローブ検査の様子を説明するためのプローブ・テスト状態模式上面図である。

【図9】本願の一実施の形態の半導体集積回路装置のプローブ検査およびプローブ痕検査の様子を説明するためのプローブ・テスト状態等模式正面図である。

40

【図10】図8の破線Pの部分の拡大図である。

【図11】本願の一実施の形態の半導体集積回路装置の最終形態の一例の模式断面図である。

【図12】本願の一実施の形態の半導体集積回路装置に対するプローブ検査等の製造プロセス要部を説明するプロセス・ブロック・フロー図である。

【符号の説明】

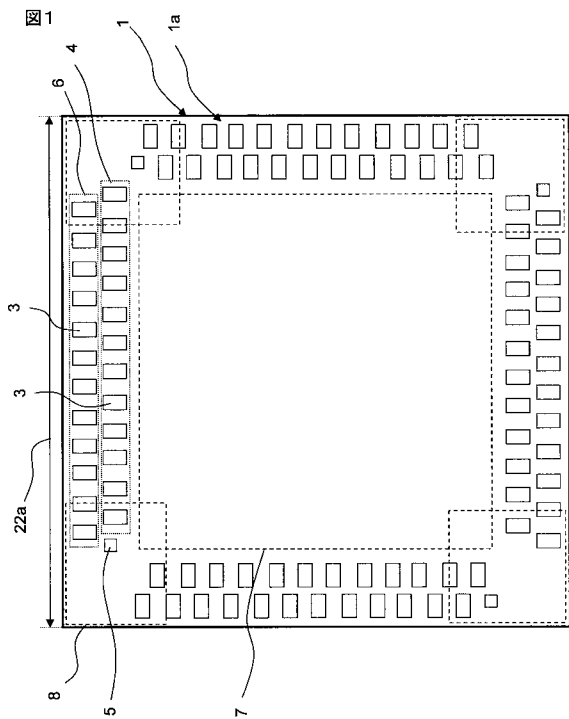
【0058】

- 1 半導体チップ（集積回路基板）
- 1a （半導体チップの）デバイス面
- 3 実ボンディング・パッド
- 4 第1の実ボンディング・パッド列

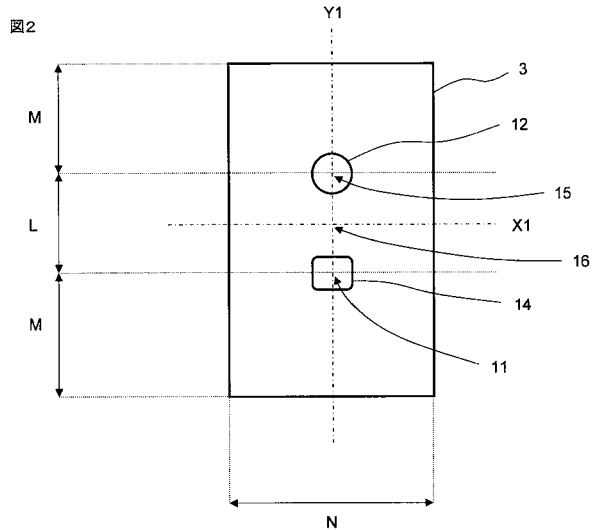
50

- 4 a 第1の部分実ボンディング・パッド列
5 ダミー・パッド（ボンディング・パッド類似の検査用パッド）
1 4 , 1 4 a , 1 4 b プローブ痕
1 7 （ダミー・パッドの）中心
2 1 a （第1の実ボンディング・パッド列の中心線に関して）第1の側
R （第1の部分実ボンディング・パッド列のプローブ痕の）回帰直線
2 2 a 第1の実ボンディング・パッド列の中心線
X 4 第1の実ボンディング・パッド列の中心線

【 図 1 】

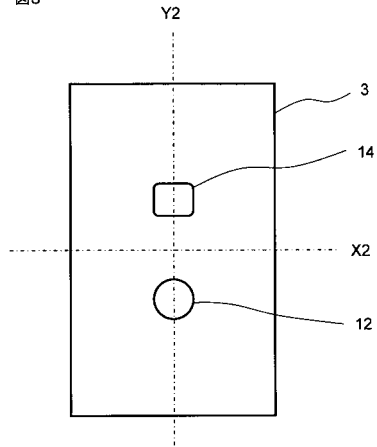


【 図 2 】



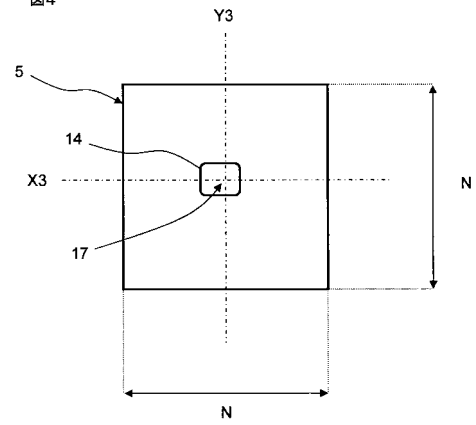
【図 3】

図3



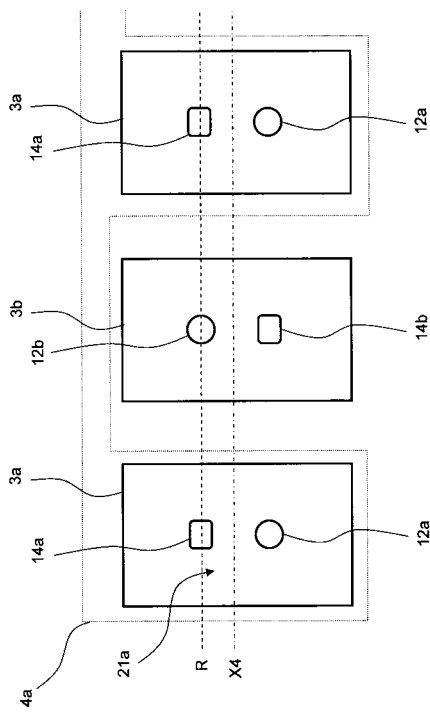
【図 4】

図4



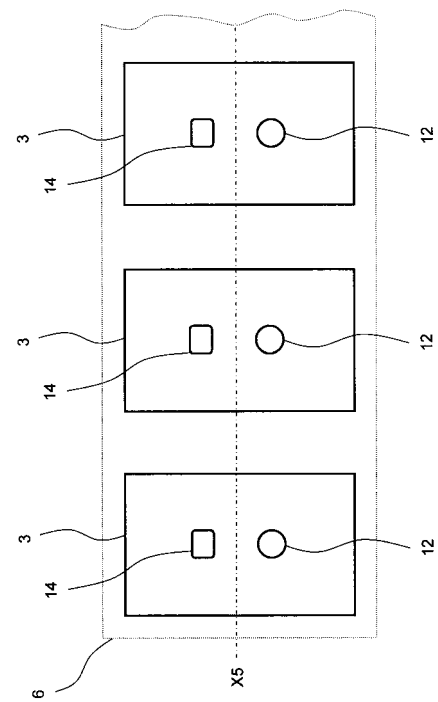
【図 5】

図5

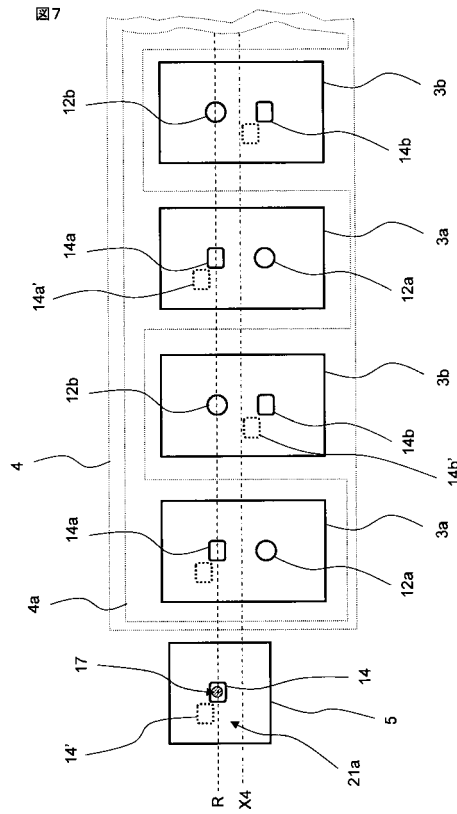


【図 6】

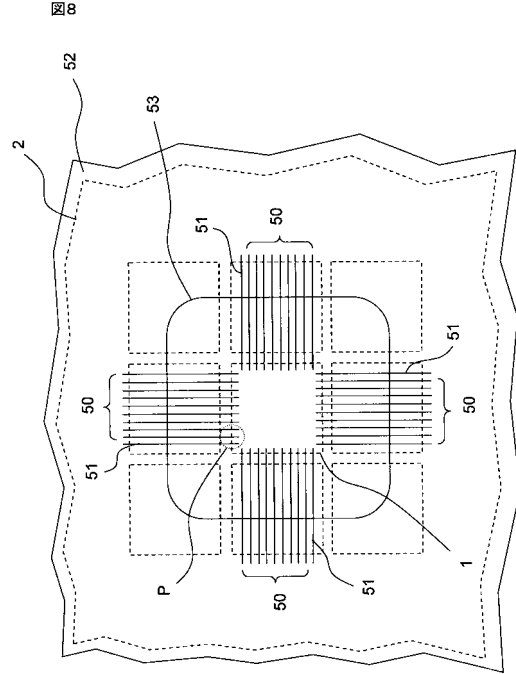
図6



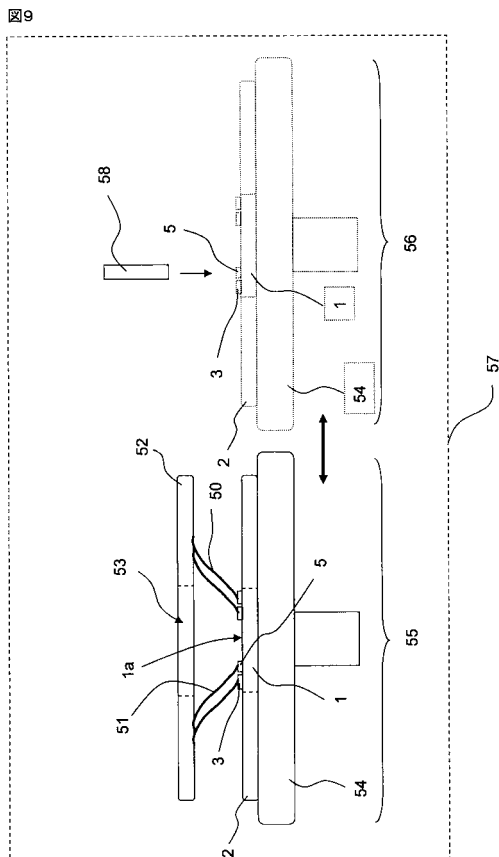
【 図 7 】



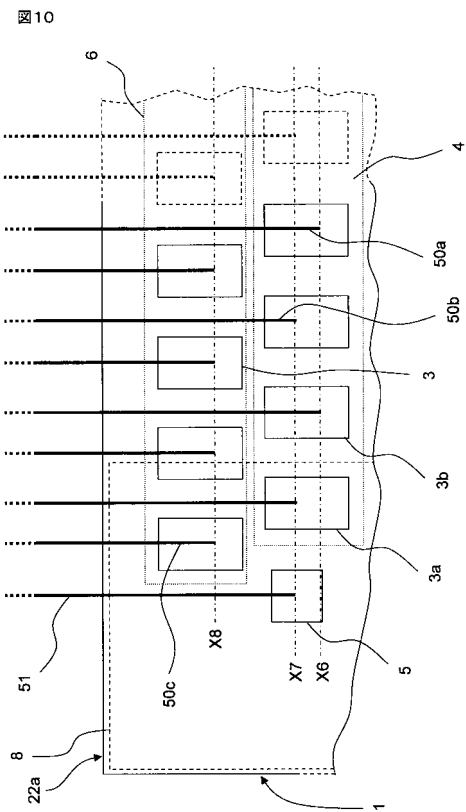
【 図 8 】



【 図 9 】

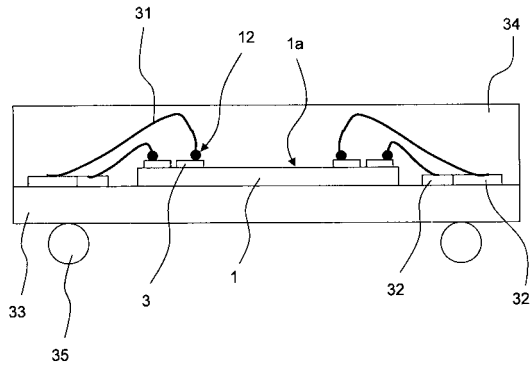


【 図 1 0 】



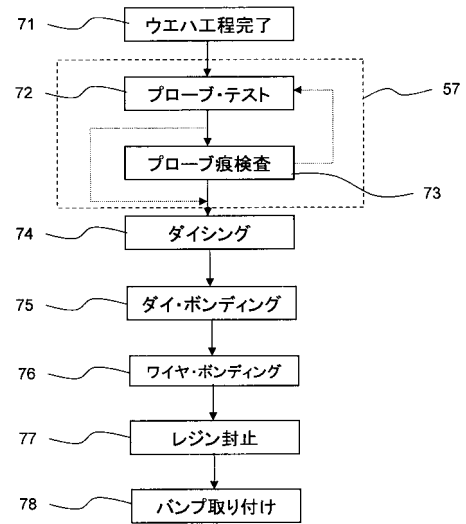
【図 1 1】

図11



【図 1 2】

図12



フロントページの続き

F ターム(参考) 4M106 AA01 AA02 AD01 AD11 AD14 BA01 CA01
5F038 BE07 CA10 CA18 DT04 DT15 EZ20
5F044 EE03 EE04 EE07 FF04