



(12)发明专利

(10)授权公告号 CN 106653832 B

(45)授权公告日 2020.11.06

(21)申请号 201610997289.8

(22)申请日 2012.01.11

(65)同一申请的已公布的文献号

申请公布号 CN 106653832 A

(43)申请公布日 2017.05.10

(30)优先权数据

2011-004329 2011.01.12 JP

(62)分案原申请数据

201210021268.4 2012.01.11

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72)发明人 山崎舜平

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 金红莲

(51)Int.Cl.

H01L 29/417(2006.01)

H01L 29/786(2006.01)

(56)对比文件

JP 2002261078 A, 2002.09.13

CN 101814455 A, 2010.08.25

CN 101789451 A, 2010.07.28

审查员 孙鹏

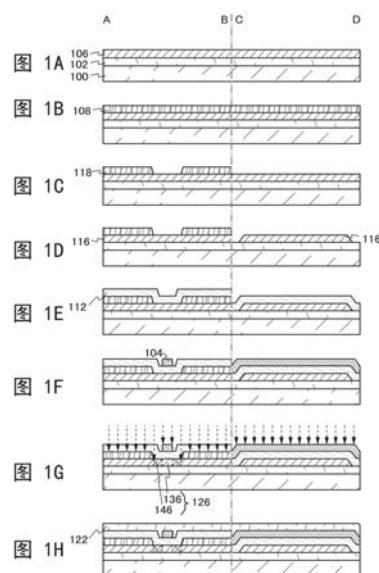
权利要求书1页 说明书29页 附图25页

(54)发明名称

半导体装置的制造方法

(57)摘要

本发明涉及半导体装置的制造方法。发明提供使用了氧化物半导体膜的截止电流极小的晶体管。此外,本发明通过应用该晶体管从而提供耗电量极小的半导体装置。在衬底上通过加热处理来形成释放氧的基底绝缘膜,在基底绝缘膜上形成第一氧化物半导体膜,并对衬底进行加热处理。接着,在第一氧化物半导体膜上形成导电膜,并对该导电膜进行加工以形成源电极及漏电极。接着,在对第一氧化物半导体膜进行加工来形成第二氧化物半导体膜之后,立即形成覆盖源电极、漏电极及第二氧化物半导体膜的栅极绝缘膜,并在栅极绝缘膜上形成栅电极。



1. 一种半导体装置的制造方法,该半导体装置包括晶体管,所述方法包括如下步骤:
在基底上形成第一氧化物半导体膜;
在所述第一氧化物半导体膜上形成导电膜;
通过移除与所述第一氧化物半导体膜的一部分重叠的所述导电膜的一部分来处理所述导电膜从而形成源电极和漏电极;
在处理所述导电膜后通过移除所述第一氧化物半导体膜的一部分来处理所述第一氧化物半导体膜;
在所述源电极和所述漏电极上形成栅极绝缘膜;
在所述栅极绝缘膜上形成栅电极;以及
利用所述源电极、所述漏电极和所述栅电极作为掩模,通过所述栅极绝缘膜向经处理的所述第一氧化物半导体膜添加离子,
其中,所述晶体管使用经处理的所述第一氧化物半导体膜来形成,且
所述晶体管的沟道形成区在所述第一氧化物半导体膜的一部分中形成。
2. 一种半导体装置的制造方法,该半导体装置包括晶体管,所述方法包括如下步骤:
在基底上形成第一氧化物半导体膜;
在所述第一氧化物半导体膜上形成导电膜;
通过移除与所述第一氧化物半导体膜的一部分重叠的所述导电膜的一部分来处理所述导电膜从而形成源电极和漏电极;
在处理所述导电膜后在所述第一氧化物半导体膜上形成抗蚀剂掩模;
形成所述抗蚀剂掩模后通过移除所述第一氧化物半导体膜的一部分来处理所述第一氧化物半导体膜;
在所述源电极和所述漏电极上形成栅极绝缘膜;
在所述栅极绝缘膜上形成栅电极;以及
利用所述源电极、所述漏电极和所述栅电极作为掩模,通过所述栅极绝缘膜向经处理的所述第一氧化物半导体膜添加离子,
其中,所述晶体管使用经处理的所述第一氧化物半导体膜来形成,且
所述晶体管的沟道形成区在所述第一氧化物半导体膜的一部分中形成。
3. 如权利要求2所述的方法,其特征在于,还包括如下步骤:处理所述第一氧化物半导体膜后移除所述抗蚀剂掩模。
4. 如权利要求1或2所述的方法,其特征在于,
所述导电膜包含W。
5. 如权利要求1或2所述的方法,其特征在于,还包括如下步骤:在形成所述第一氧化物半导体膜后且在形成所述导电膜前对所述基底进行加热。
6. 如权利要求1或2所述的方法,其特征在于,还包括如下步骤:在形成所述导电膜后且在处理所述导电膜前对所述基底进行加热。
7. 如权利要求1或2所述的方法,其特征在于,还包括如下步骤:在所述第一氧化物半导体膜上且与所述第一氧化物半导体膜接触地形成第二氧化物半导体膜。

半导体装置的制造方法

[0001] 本申请是申请日为2012年1月11日、申请号为201210021268.4、题为“半导体装置的制造方法”的分案申请。

技术领域

[0002] 本发明涉及一种具有包括晶体管等半导体元件的电路的半导体装置的制造方法。例如，本发明涉及安装在电源电路中的功率器件；包括存储器、闸流晶体管、转换器、图像传感器等在内的半导体集成电路；以及安装有以液晶显示面板为代表的电光学装置和具有发光元件的发光显示装置等以作为部件的电子设备。

[0003] 在本说明书中，半导体装置指的是能够通过利用半导体特性而工作的所有装置，因此电光学装置、发光显示装置、半导体电路以及电子设备都是半导体装置。

背景技术

[0004] 如以液晶显示装置为代表那样，形成在玻璃衬底等上的晶体管大多由非晶硅、多晶硅等构成。使用非晶硅的晶体管虽然其场效应迁移率低，但是可以应对玻璃衬底的大面积化。此外，虽然使用多晶硅的晶体管具有高场效应迁移率，但是其具有不能应对玻璃衬底的大面积化的缺点。

[0005] 近年来，除了使用硅的晶体管之外，还使用氧化物半导体来制造晶体管，并将其应用于电子器件和光器件，这一技术正受到关注。例如，专利文献1及专利文献2公开了作为氧化物半导体使用氧化锌、In-Ga-Zn-O类氧化物来制造晶体管，并将该晶体管用于显示装置的像素的开关元件等的技术。

[0006] [专利文献1]日本专利申请公开2007-123861号公报

[0007] [专利文献2]日本专利申请公开2007-96055号公报

发明内容

[0008] 本发明的课题之一是提供使用氧化物半导体膜的截止电流极小的晶体管。此外，本发明的课题之一是通过应用该晶体管从而提供耗电量极小的半导体装置。

[0009] 本发明的一个方式包括如下步骤。在衬底上形成基底绝缘膜；在该基底绝缘膜上形成第一氧化物半导体膜之后，进行加热处理。接着，在第一氧化物半导体膜上形成导电膜；对该导电膜进行加工来形成源电极及漏电极。接着，在对第一氧化物半导体膜进行加工来形成第二氧化物半导体膜之后，不进行其他工序而形成覆盖源电极、漏电极及第二氧化物半导体膜的栅极绝缘膜；在栅极绝缘膜上形成栅电极。

[0010] 或者，本发明的一个方式包括如下步骤。在衬底上形成通过加热处理释放氧的基底绝缘膜；在该基底绝缘膜上形成第一氧化物半导体膜；在第一氧化物半导体膜上形成导电膜之后，进行加热处理。接着，对导电膜进行加工来形成源电极及漏电极。接着，在对第一氧化物半导体膜进行加工来形成第二氧化物半导体膜之后，不进行其他工序而形成覆盖源电极、漏电极及第二氧化物半导体膜的栅极绝缘膜；在栅极绝缘膜上形成栅电极。

[0011] 本发明的技术思想之一如下：在形成第二氧化物半导体膜之后，不进行其他工序而使用栅极绝缘膜覆盖该第二氧化物半导体膜的侧面。

[0012] 在此，与晶体管的截止电流的减少相关联地，说明经由氧化物半导体膜的侧面流过的电流。

[0013] 若通过蚀刻处理等对氧化物半导体膜进行加工，则氧化物半导体膜的侧面成为活性。

[0014] 如果氧化物半导体膜的侧面是活性，则在减压气氛下或还原气氛下氧化物半导体膜中的氧被抽出而在其侧面上产生氧缺陷。特别是，在高温下容易产生氧缺陷。

[0015] 此外，在对氧化物半导体膜进行蚀刻处理时，例如当在干蚀刻中氧化物半导体膜的侧面暴露于包含氯自由基、氟自由基等的等离子体时，在氧化物半导体膜的侧面露出的金属原子和氯自由基或氟自由基等键合。此时 被认为因为金属原子和氯原子及氟原子键合并脱离，所以在氧化物半导体膜中与该金属原子键合的氧原子成为活性。成为活性的氧原子容易起反应而脱离。因此，因干蚀刻等的等离子体处理而在氧化物半导体膜的侧面容易产生氧缺陷。

[0016] 在氧化物半导体膜中，氧缺陷成为施主而产生载流子。

[0017] 换言之，因产生氧缺陷从而氧化物半导体膜的侧面n型化，而成为晶体管中的泄漏源。

[0018] 此外，在氧化物半导体膜的侧面流过的电流不仅使截止电流的增加，而且有时还会形成以氧化物半导体膜的侧面为沟道形成区的阈值电压不同的晶体管（寄生晶体管）。

[0019] 因此，通过在形成第二氧化物半导体膜之后，不进行其他工序而使用栅极绝缘膜覆盖该第二氧化物半导体膜，从而可以减少在氧化物半导体膜的侧面流过的电流，并抑制寄生晶体管的形成。

[0020] 此外，因为电流容易在氧化物半导体膜的侧面流过，所以优选采用不使源电极及漏电极的主表面（顶面或底面）与氧化物半导体膜的侧面接触的结构。例如，通过在氧化物半导体膜上将源电极及漏电极设置在该氧化物半导体膜内侧，从而可以使得源电极及漏电极的主表面与氧化物半导体膜的侧面不会直接接触。

[0021] 此外，将氧化物半导体膜的基底的绝缘膜形成成为通过加热处理释放氧的绝缘膜，在对氧化物半导体膜进行加工之前从该绝缘膜释放氧，并对氧化物半导体膜供给氧。当对氧化物半导体膜进行加工时，从绝缘膜释放的氧发生从不被氧化物半导体膜覆盖的区域的外扩散。为了抑制该现象且高效地对氧化物半导体膜供给氧，优选在对氧化物半导体膜进行加工之前使氧从绝缘膜释放。通过高效地减少氧化物半导体膜的氧缺陷，从而可以抑制因氧缺陷所导致的截止电流的增加。

[0022] 此外，将包括c轴取向的结晶的氧化物半导体膜用于晶体管的沟道形成区，在该c轴取向的结晶中具有从ab面、表面或界面的方向来看成为三角形或六角形的原子排列，且ab面上的a轴或b轴的方向不同。

[0023] 上述氧化物半导体膜也可以包含锌。通过包含锌，从而容易形成包括c 轴取向的结晶的氧化物半导体膜，在该c轴取向的结晶中具有从ab面、表面或界面的方向来看成为三角形或六角形的原子排列，且ab面上的a轴或b轴的方向不同。

[0024] 上述氧化物半导体膜可以通过层叠组分不同的两种膜来形成或在层叠之后进行

热处理而晶化来形成。

[0025] 上述氧化物半导体膜由包含选自铟、镓、锌、锡、钛及铝中的两种以上的元素的材料构成。

[0026] 上述氧化物半导体膜的能隙为2.5eV以上,优选为3.0eV以上。

[0027] 上述氧化物半导体膜是减少氢、碱金属及碱土金属等的杂质浓度极低的氧化物半导体膜。由此,在上述氧化物半导体膜中不容易发生杂质所导致的载流子生成。

[0028] 氧化物半导体膜中的氢浓度低于 $5 \times 10^{18}/\text{cm}^3$,优选为 $1 \times 10^{18}/\text{cm}^3$ 以下,更优选为 $5 \times 10^{17}/\text{cm}^3$ 以下,进一步优选为 $1 \times 10^{16}/\text{cm}^3$ 以下。

[0029] 因为碱金属不是构成氧化物半导体的元素,所以是杂质。碱土金属也在它不是构成氧化物半导体的元素的情况下成为杂质。尤其是,碱金属中的Na在与氧化物半导体膜接触的绝缘膜中作为 Na^+ 扩散,并且在氧化物半导体膜中,Na断开构成氧化物半导体的金属与氧的键或挤进该键之中。其结果是,导致晶体管特性的劣化,例如因阈值电压迁移到负方向而产生的常开启化、场效应迁移率的降低等。再者,还产生特性的不均匀。在氧化物半导体膜中的氢浓度充分低的情况下显著地出现杂质所导致的晶体管的上述特性劣化及特性不均匀。因此,当氧化物半导体膜中的氢浓度为 $1 \times 10^{18}/\text{cm}^3$ 以下,尤其是 $1 \times 10^{17}/\text{cm}^3$ 以下时,优选降低上述杂质的浓度。具体而言,利用二次离子质谱分析法测量的Na浓度的测定值优选为 $5 \times 10^{16}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{16}/\text{cm}^3$ 以下,进一步优选为 $1 \times 10^{15}/\text{cm}^3$ 以下。同样地,Li浓度的测定值优选为 $5 \times 10^{15}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{15}/\text{cm}^3$ 以下。同样地,K浓度的测定值优选为 $5 \times 10^{15}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{15}/\text{cm}^3$ 以下。

[0030] 通过将以上所示的氧化物半导体膜用于晶体管的沟道形成区,可以减小晶体管的截止电流。

[0031] 优选不与源电极及漏电极重叠地形成栅电极。通过不使栅电极与源电极及漏电极重叠,从而可以减少寄生电容,并实现晶体管的高速工作。

[0032] 优选通过以源电极、漏电极及栅电极为掩模对氧化物半导体膜添加离子,从而在源电极、漏电极及栅电极不重叠的区域中设置用作LDD(Lightly Doped Drain:轻掺杂漏极)区的区域。通过设置LDD区,可以抑制热载流子劣化等。此外,通过不使LDD区和栅电极、源电极及漏电极重叠,从而可以减少寄生电容,并实现晶体管的高速工作。

[0033] 可以利用离子注入装置或离子掺杂装置等进行离子添加。因为很少发生氢等杂质的混入,所以优选利用离子注入装置。

[0034] 作为添加的离子,使用由氮、磷、砷及稀有气体中至少任一种以上的元素构成的离子。

[0035] 本发明可以提供截止电流极小的使用氧化物半导体膜的晶体管。此外,通过应用该晶体管,从而可以提供耗电量极小的半导体装置。

附图说明

[0036] 图1A至1H是示出本发明的一个方式的半导体装置的制造方法的一例的截面图;

[0037] 图2A至2C是示出本发明的一个方式的半导体装置的一例的俯视图及截面图;

[0038] 图3A及3B是示出本发明的一个方式的电路图的一例;

[0039] 图4是示出本发明的一个方式的电路图的一例;

- [0040] 图5A及5B是示出本发明的一个方式的电路图的一例；
- [0041] 图6A及6B是示出本发明的一个方式的电路图的一例；
- [0042] 图7A至7C是示出CPU的具体例子的框图及其一部分的电路图；
- [0043] 图8A及8B是示出表示本发明的一个方式的显示装置的一例的俯视图及截面图；
- [0044] 图9A及9B是示出表示本发明的一个方式的保护电路的一例的电路图及俯视图；
- [0045] 图10A1、10A2、10B1、10B2、10C1及10C2是示出表示本发明的一个方式的液晶的工作模式的一例的截面图；
- [0046] 图11A1、11A2、11B1及11B2是示出表示本发明的一个方式的液晶的工作模式的一例的截面图；
- [0047] 图12A1、12A2、12B1及12B2是示出表示本发明的一个方式的液晶的工作模式的一例的截面图；
- [0048] 图13A及13B是示出表示本发明的一个方式的液晶的工作模式的一例的俯视图及截面图；
- [0049] 图14A至14C是示出表示本发明的一个方式的液晶的工作模式的一例的俯视图；
- [0050] 图15A至15C是示出表示本发明的一个方式的液晶的工作模式的一例的俯视图；
- [0051] 图16A至16C是示出使用本发明的一个方式的半导体装置的电子设备的例子的立体图；
- [0052] 图17是用来说明本发明的一个方式的结晶的模型；
- [0053] 图18A至18C是用来说明本发明的一个方式的结晶的模型。

具体实施方式

[0054] 以下参照附图详细地说明本发明的实施方式。但是，本发明不局限于下述说明，所属技术领域的普通技术人员可以很容易地理解一个事实，就是其方式和详细内容可以被变换为各种各样的形式。此外，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。注意，当利用附图说明发明结构时，表示相同对象的附图标记在不同的附图中共同使用。另外，有时使用相同的阴影图案表示相同的部分，而不特别附加标记。

[0055] 以下说明本发明，对在本说明书中使用的用词进行简单的说明。首先，在本说明书中，当将晶体管的源极和漏极中的一方叫做漏极时，以另一方为源极。就是说，不根据电位的高低区别源极和漏极。从而，本说明书中，也可以将称作源极的部分改称为漏极。

[0056] 另外，电压大多指某个电位和基准电位（例如，接地电位）之间的电位差。由此，可以将电压改称为电位。

[0057] 在本说明书中，即使当描述为“连接”时，在实际的电路中，有时也没有物理连接的部分，而只是布线延伸的情况。

[0058] 注意，为方便起见，附加了第一、第二等序数词，而其并不表示工序顺序或层叠顺序。此外，本说明书中的序数并不作为用于确定发明的事项而表示固有名称。

[0059] 实施方式1

[0060] 在本实施方式中，参照俯视图及截面图说明本发明的一个方式的半导体装置及其制造方法。

[0061] 图2A至2C是本发明的一个方式的半导体装置。图2A是半导体装置的俯视图。图2B

及2C分别是沿着图2A的点划线A-B及点划线C-D的截面图。

[0062] 为了简化起见,在图2A中省略膜的一部分。

[0063] 在图2A中,源电极及漏电极118和氧化物半导体膜126中,一部分的俯视形状大致一致。换言之,源电极及漏电极118的整个区域与氧化物半导体膜126重叠。

[0064] “俯视形状大致一致”是指在层叠的膜与膜之间至少一部分的轮廓彼此重叠来形成直线或曲线的情况。但是,有时还包括如下情况:轮廓不重叠,上层的膜形成在下层的膜的内侧;或者上层的膜形成在下层的膜的外侧。将这种情况也称作“俯视形状大致一致”。

[0065] 说明图2B。图2B示出如下结构,其中包括:衬底100;衬底100上的基底绝缘膜102;基底绝缘膜102上的包括第一区136及第二区146的氧化物半导体膜126;氧化物半导体膜126上的源电极及漏电极118;源电极及漏电极118以及氧化物半导体膜126上的栅极绝缘膜112;栅极绝缘膜112上的栅电极104;以及栅极绝缘膜112及栅电极104上的层间绝缘膜122。

[0066] 接着,说明图2C。图2C示出如下结构,其中包括:衬底100;衬底100上的基底绝缘膜102;基底绝缘膜102上的氧化物半导体膜126的第一区136;覆盖基底绝缘膜102及氧化物半导体膜126的栅极绝缘膜112;栅极绝缘膜112上的栅电极104;以及栅电极104上的层间绝缘膜122。

[0067] 接着,参照图1A至1H说明图2A至2C所示的半导体装置的制造方法。

[0068] 首先,在衬底100上依次形成基底绝缘膜102及第一氧化物半导体膜106(参照图1A)。

[0069] 虽然对于衬底100没有很大的限制,但是衬底100至少需要具有能够承受之后的热处理的程度的耐热性。例如,作为衬底100,可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。此外,可以应用硅或碳化硅等的单晶半导体衬底、多晶半导体衬底、硅锗等的化合物半导体衬底、SOI(Silicon On Insulator:绝缘体上硅)衬底等,并且还可以将在这些衬底上设置有半导体元件的衬底用作衬底100。

[0070] 此外,作为衬底100,也可以使用柔性衬底。当使用柔性衬底时,直接在柔性衬底上制造晶体管。另外,作为在柔性衬底上设置晶体管的方法,可以举出如下方法:作为衬底100使用非柔性的衬底,在其上形成晶体管之后,将晶体管剥离并将该晶体管转置到柔性衬底上。在这种情况下,可以在衬底100与晶体管之间设置剥离层。

[0071] 例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化铅、氧化钼或氧化锆并以层叠或单层结构设置基底绝缘膜102。例如,可利用热氧化法、CVD法、溅射法形成基底绝缘膜102。作为基底绝缘膜102,还可以使用通过加热处理释放氧的膜。通过使用通过加热处理释放氧的膜,从而可以修复在第一氧化物半导体膜106中产生的缺陷,而可以提高晶体管的电特性。

[0072] 这里,氧氮化硅是指包括硅、氧及氮且其含氧量多于含氮量的物质。另外,氮氧化硅是指包括硅、氧及氮且其含氮量多于含氧量的物质。

[0073] 设置基底绝缘膜102以用于防止给晶体管特性带来不良影响的元素从衬底100扩散到第一氧化物半导体膜106。因此,作为基底绝缘膜102可使用上述元素的扩散系数小的绝缘膜。这一点与下面所示的栅极绝缘膜112及层间绝缘膜122也相同。

[0074] “通过加热处理释放氧”是指当利用TDS(Thermal Desorption Spectroscopy:热脱附谱法)分析时,换算为氧原子的氧释放量为 1.0×10^{18} atoms/cm³以上或 3.0×10^{20} atoms/

cm³以上。

[0075] 在此,下面说明利用TDS分析的氧释放量的测量方法。

[0076] 进行TDS分析时的气体的全释放量与释放气体的离子强度的积分值成正比。而且,根据该积分值与标准样品的比较,可以算出气体的全释放量。

[0077] 例如,根据对作为标准样品的包含预定密度的氢的硅片进行TDS分析而得到的结果及对绝缘膜进行TDS分析而得到的结果,绝缘膜的氧分子的释放量(N_{O2})可以由数学式1算出。这里,假定以通过TDS分析得到的质量数32检测出的气体都来源于氧分子。作为质量数32的物质,还有CH₃OH,但是CH₃OH存在的可能性较低,所以这里不考虑。此外,包含作为氧原子的同位素的质量数17的氧原子及质量数18的氧原子的氧分子在自然界中的存在比率极微量,所以也不考虑。

[0078] [数学式1]

[0079] $N_{O2} = N_{H2} / S_{H2} \times S_{O2} \times \alpha$ (数学式1)

[0080] N_{H2}是将从标准样品脱离的氢分子换算为密度的值。S_{H2}是对标准样品进行TDS分析而得到的离子强度的积分值。这里,标准样品的基准值是N_{H2}/S_{H2}。S_{O2}是对绝缘膜进行TDS分析而得到的离子强度的积分值。α是在TDS分析中影响到离子强度的系数。关于数学式1的详细说明,参照日本专利公开平6-275697号公报。另外,通过使用电子科学株式会社制造的热脱附分析装置EMD-WA1000S/W,并且作为标准样品使用包含 1×10^{16} atoms/cm³的氢原子的硅片来测量上述绝缘膜的氧的释放量。

[0081] 此外,在TDS分析中,氧的一部分作为氧原子被检测出。氧分子与氧原子的比率可以从氧分子的离子化率算出。另外,因为上述的α包括氧分子的离子化率,所以通过对氧分子的释放量进行评价,还能够估计氧原子的释放量。

[0082] 另外,N_{O2}是氧分子的释放量。换算为氧原子时的释放量是氧分子的释放量的两倍。

[0083] 在上述结构中,通过加热处理释放氧的膜也可以是氧过剩的氧化硅(SiO_x (X>2))。氧过剩的氧化硅(SiO_x (X>2))是指每单位体积包含的氧原子数多于硅原子数的两倍的氧化硅。每单位体积的硅原子数及氧原子数是通过卢瑟福背散射谱法测定的值。

[0084] 通过将氧从基底绝缘膜102供给到第一氧化物半导体膜106中,从而可以降低第一氧化物半导体膜106和基底绝缘膜102之间的界面态。其结果,可以抑制由于晶体管的工作等而在第一氧化物半导体膜106和基底绝缘膜102之间的界面俘获载流子的情况,从而可以提高晶体管的电特性。

[0085] 再者,有时因氧化物半导体膜的氧缺陷而产生电荷。一般来说,氧化物半导体膜中的氧缺陷的一部分成为施主,而释放作为载流子的电子。其结果,晶体管的阈值电压迁移到负方向。通过从基底绝缘膜102向第一氧化物半导体膜106供给充分的氧,从而可以减少作为阈值电压迁移到负方向的主要原因的氧化物半导体膜中的氧缺陷。

[0086] 换言之,通过在基底绝缘膜102设置通过加热处理释放氧的膜,从而可以减少第一氧化物半导体膜106和基底绝缘膜102之间的界面上的界面态及第一氧化物半导体膜106的氧缺陷,并减小第一氧化物半导体膜106和基底绝缘膜102之间的界面上的载流子俘获的影响。

[0087] 上面示出了基底绝缘膜102所起到的效果,也可以适当地将基底绝缘膜102置换为栅极绝缘膜112及层间绝缘膜122。在此情况下,按照起到效果的工序,将第一氧化物半导体

膜106置换为第二氧化物半导体膜116或氧化物半导体膜126,即可。

[0088] 作为第一氧化物半导体膜106,优选使用CAAC氧化物半导体(也称为C Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶氧化物半导体)。但是,第一氧化物半导体膜106不局限于CAAC氧化物半导体,也可以使用非晶氧化物半导体膜。

[0089] CAAC氧化物半导体是指包括如下结晶的氧化物半导体:该结晶中进行c轴取向,并且在从ab面、表面或界面的方向看时具有三角形或六角形状的原子排列,在c轴上金属原子排列为层状或者金属原子和氧原子排列为层状,而在ab面(或者表面或界面)上a轴或b轴的方向不同(以c轴为中心旋转)。

[0090] 从更广义来理解,CAAC氧化物半导体是指非单晶,并是指包括如下相的材料,该相中在从垂直于其ab面的方向看时具有三角形、六角形、正三角形或正六角形的原子排列,并且从垂直于c轴的方向看时金属原子排列为层状或者金属原子和氧原子排列为层状。

[0091] 虽然CAAC氧化物半导体不是单晶,但是也不只由非晶形成。另外,虽然CAAC氧化物半导体包括晶化部分(结晶部分),但是有时不能明确辨别一个结晶部分与其他结晶部分的边界。

[0092] 构成CAAC氧化物半导体的氧的一部分也可以用氮来取代。另外,构成CAAC氧化物半导体的各结晶部分的c轴也可以在一定的方向上(例如,垂直于支撑CAAC氧化物半导体的衬底面、CAAC氧化物半导体的表面的方向)一致。或者,构成CAAC氧化物半导体的各结晶部分的ab面的法线也可以朝向一定的方向(例如,垂直于支撑CAAC氧化物半导体的衬底面或CAAC氧化物半导体的表面的方向)。

[0093] CAAC氧化物半导体可根据其组分等而成为导体或绝缘体。另外,CAAC氧化物半导体根据其组分等而对可见光透明,或者对可见光不透明。

[0094] 接着,说明CAAC氧化物半导体的形成方法。

[0095] 首先,通过溅射法、分子束外延法、原子层堆积法或脉冲激光蒸镀法等形成氧化物半导体膜。另外,通过在形成氧化物半导体膜时对衬底进行加热处理,从而可以形成结晶区的比例高的氧化物半导体膜。例如,可将衬底温度设定为150℃以上且450℃以下,优选设定为200℃以上且350℃以下。

[0096] 接着,也可以进行第一加热处理。通过进行第一加热处理,从而可以形成结晶区的比例更高的氧化物半导体膜。例如可在200℃以上且低于衬底的应变点的温度下进行第一加热处理。优选在250℃以上且450℃以下进行第一加热处理。虽然对于气氛没有限制,但是在氧化气氛下、惰性气氛下或减压气氛下进行第一加热处理。处理时间是3分钟至24小时。处理时间越长,可以形成结晶区的比例越高的氧化物半导体膜,然而超过24小时的热处理导致生产率的降低,所以不是优选的。

[0097] 氧化气氛是包含氧化气体的气氛。氧化气体是氧、臭氧、或一氧化二氮等,优选的是,氧化气体不含水、氢等。例如,引入热处理装置的氧、臭氧或一氧化二氮的纯度设为8N(99.999999%)以上,优选设定为9N(99.9999999%)以上(杂质浓度为10ppb以下,优选小于0.1ppb)。作为氧化气氛,可混合氧化气体和惰性气体以供使用。在这种情况下,采用至少包含10ppm以上的氧化气体的气氛。

[0098] 在此,惰性气氛是指以氮、稀有气体(氦、氖、氩、氪或氙)等的惰性气体作为主要成分的气氛。具体而言,诸如氧化气体等的反应气体小于10ppm的气氛。

[0099] 第一加热处理可以使用RTA(Rapid Thermal Anneal:快速热退火)装置。通过利用RTA,从而能够在短时间内,在衬底的应变点以上的温度下进行热处理。因此,可以缩短用来形成结晶区的比例比非晶区高的氧化物半导体膜的时间。

[0100] 作为氧化物半导体膜,也可以使用如下材料:四元类金属氧化物的In-Sn-Ga-Zn-O类的材料;三元类金属氧化物的In-Ga-Zn-O类的材料、In-Sn-Zn-O类的材料、In-Al-Zn-O类的材料、Sn-Ga-Zn-O类的材料、Al-Ga-Zn-O类的材料、Sn-Al-Zn-O类的材料;二元类金属氧化物的In-Zn-O类的材料、Sn-Zn-O类的材料、Al-Zn-O类的材料、Zn-Mg-O类的材料、Sn-Mg-O类的材料、In-Mg-O类的材料、In-Ga-O类的材料;In-O类的材料;Sn-O类的材料;或Zn-O类的材料等。此外,也可以使上述材料包含氧化硅。在此,例如In-Ga-Zn-O类的材料是指具有铟(In)、镓(Ga)、锌(Zn)的氧化物,并且对于其组分比没有特别的限制。此外,也可以包含In、Ga及Zn之外的元素。此时,优选的是,与氧化物半导体膜的化学计量比相比使氧化物半导体包含过剩的O。通过使氧化物半导体包含过剩的O,可以抑制氧化物半导体膜的氧缺陷所导致的载流子的生成。

[0101] 另外,作为一例,当作为氧化物半导体使用In-Zn-O类的材料时,将原子数比设定为In/Zn=0.5至50,优选设定为In/Zn=1至20,更优选设定为In/Zn=3至15。通过将Zn的原子数比设定为上述范围内,可以提高晶体管的场效应迁移率。在此,当化合物的原子数比为In:Zn:O=X:Y:Z时,满足 $Z > 1.5X + Y$ 的关系。

[0102] 作为氧化物半导体,可以使用由化学式 $\text{InM}_3(\text{ZnO})_m$ ($m > 0$)表示的材料。在此,M表示选自Ga、Al、Mn及Co中的一种或多种金属元素。例如,作为M,也可以使用Ga、Ga及Al、Ga及Mn或Ga及Co等。

[0103] 此外,包含 $1 \times 10^{17} \text{ atoms/cm}^3$ 以上且 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下(优选为 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下)的氮的In-Ga-Zn-O类材料成为包括c轴取向的六方晶的结晶结构的氧化物,且在In-O的结晶面(包含铟及氧的结晶面)和In-O的结晶面(包含铟及氧的结晶面)之间具备一个具有Ga及Zn的层。或者,也可以在包含上述范围内的氮的In-Ga-Zn-O类氧化物半导体膜中的相邻的In-O的结晶面和In-O的结晶面之间具备多个具有Ga及Zn的层。

[0104] 接着,也可以在氧化物半导体膜上形成第二层的氧化物半导体膜,来形成氧化物半导体膜的层叠体。可以通过同样的方法形成第一层的氧化物半导体膜及第二层的氧化物半导体膜。

[0105] 当形成第二层的氧化物半导体膜时,通过在对衬底进行加热处理的状态下形成氧化物半导体膜,从而可以以第一层的氧化物半导体膜为晶种使第二层的氧化物半导体膜晶化。此时,也可采用第一层的氧化物半导体膜及第二层的氧化物半导体膜由同一元素构成的同质生长(homo-growth)。或者也可采用第一层的氧化物半导体膜及第二层的氧化物半导体膜由至少一种以上的不同元素构成的异质生长(hetero-growth)。

[0106] 另外,也可以在形成第二层的氧化物半导体膜之后进行第二加热处理。第二加热处理可通过与第一加热处理相同的方法进行。通过进行第二加热处理,从而可以形成结晶区的比例比非晶区高的层叠结构。或者,通过进行第二加热处理,从而可以以第一层的氧化物半导体膜为晶种使第二层的氧化物半导体膜晶化。此时,也可采用第一层的氧化物半导体膜及第二层的氧化物半导体膜由同一元素构成的同质生长。或者,也可采用第一层的氧化物半导体膜及第二层的氧化物半导体膜由至少一种以上的不同元素构成的异质生长。

[0107] 可以通过如上方法形成CAAC氧化物半导体。

[0108] 在此,也可以通过形成CAAC氧化物半导体的过程的第一加热处理及第二加热处理,从基底绝缘膜102向第一氧化物半导体膜106供给氧。

[0109] 也可以在形成第一氧化物半导体膜106之后进行第三加热处理。在150℃以上且低于衬底的应变点的温度下,优选在250℃以上且450℃以下的温度下,更优选在300℃以上且450℃以下的温度下进行第三加热处理。通过进行第三加热处理,从而可以从基底绝缘膜102向第一氧化物半导体膜106供给氧。在减压气氛下、惰性气氛下或氧化气氛下进行第三加热处理。

[0110] 接着,在第一氧化物半导体膜106上形成导电膜108(参照图1B)。

[0111] 导电膜108可采用单层结构或层叠结构,并使用选自Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta、W及这些元素的氮化物、氧化物以及合金中的1个以上的材料。因为氧化物导电膜的电阻比金属膜高,所以优选与薄层电阻为 $10\ \Omega/\text{sq}$ 以下的低电阻膜进行层叠以减少导电膜108的电阻。

[0112] 也可以在形成导电膜108之后进行第四加热处理。第四加热处理可通过与第三加热处理相同的方法进行。通过第四加热处理,可以从基底绝缘膜102向第一氧化物半导体膜106供给氧。

[0113] 接着,在导电膜108上涂敷抗蚀剂,并通过光刻法形成抗蚀剂掩模。使用该抗蚀剂掩模对导电膜108进行加工来形成源电极及漏电极118(参照图1C)。

[0114] 接着,在第一氧化物半导体膜106上涂敷抗蚀剂,并通过光刻法形成抗蚀剂掩模。使用该抗蚀剂掩模对第一氧化物半导体膜106进行加工来形成第二氧化物半导体膜116(参照图1D)。由此,可以防止源电极及漏电极118的底面与第二氧化物半导体膜116的侧面接触。

[0115] 或者,也可以使用由多级灰度掩模形成的抗蚀剂掩模对导电膜108及第一氧化物半导体膜106进行加工。在此情况下,使用多级灰度掩模形成具有其厚度彼此不同的第一抗蚀剂区及第二抗蚀剂区的第一抗蚀剂掩模。在此,在第一抗蚀剂掩模中,第二抗蚀剂区的厚度比第一抗蚀剂区的厚度大。首先,使用第一抗蚀剂掩模将导电膜108加工成组合第一抗蚀剂区和第二抗蚀剂区后的区域的形状,来形成源电极及漏电极118。接着,通过利用灰化等的等离子体处理使第一抗蚀剂掩模缩退从而去除第一抗蚀剂区,来形成只使第二抗蚀剂区残留的第二抗蚀剂掩模。接着,通过使用第二抗蚀剂掩模对第一氧化物半导体膜106进行加工,得到图1D所示的形状。

[0116] 在此,也可以通过灰化等的等离子体处理进行抗蚀剂掩模的剥离工序。通过进行灰化来剥离抗蚀剂掩模,从而与使用剥离液的情况相比不容易在第二氧化物半导体膜116的侧面产生氧缺陷,所以是优选的。

[0117] 通过采用上述工序加工导电膜108及第一氧化物半导体膜106,从而第二氧化物半导体膜116的一部分残留在被加工的导电膜108之下。换言之,被加工的导电膜108的整个区域与第二氧化物半导体膜116的一部分重叠。在此,当被加工的导电膜108兼作布线时,可以减少积累在该布线和其他布线的交叉部中的电荷。因此起到抑制信号延迟等的效果。

[0118] 接着,形成覆盖源电极及漏电极118以及第二氧化物半导体膜116的栅极绝缘膜112(参照图1E)。优选在形成第二氧化物半导体膜116之后立即形成栅极绝缘膜112。这是由

于利用栅极绝缘膜112减少产生在第二氧化物半导体膜116的侧面的氧缺陷的缘故。

[0119] 在此,说明使用一个模型进行计算来对氧化物半导体膜的顶面及侧面中的氧缺陷的容易性进行验证而得的结果。注意,由于CAAC氧化物半导体的一个侧面具有多个结晶面因而计算很复杂。因此,这里使用c轴取向的纤锌矿结晶的ZnO单晶进行计算。如图17所示,作为结晶的模型,分别沿着平行于c轴的面及垂直于c轴的面进行截断,来制造(001)表面、(100)表面及(110)表面。

[0120] 在制造表面结构之后,如图18A至18C所示那样进行氧从(100)表面、(110)表面及(001)表面脱离时的情况的计算,并且对各表面的脱离的容易性进行比较。

[0121] 以使(001)面成为表面的方式截断晶格来制造模型。但是,由于使用三维周期结构进行计算,所以制造了具有两个(001)表面的真空区为1nm的平板模型。同样地,由于侧面被设想为垂直于(001)表面,所以制造了如下平板模型,其中作为侧面的一例,(100)面及(110)面出现在表面上。通过对上述两个表面进行计算,可以观察到垂直于(001)表面的面上的氧脱离的容易性的趋势。在此情况下的真空区也是1nm。(100)表面模型、(110)表面模型及(001)表面模型的原子数分别是64、108、108原子。此外,制造了从上述三个结构的表面抽出一个氧原子的结构。

[0122] 进行计算时使用密度泛函法的程序的CASTEP。作为密度泛函法使用平面波基底赝势法,作为泛函使用GGAPBE。首先,在纤锌矿结构的4原子的单元晶胞中进行包括晶格常数的结构优化。接着,根据优化的结构制造了表面结构。然后,在所制造的表面结构有氧缺陷的结构中及在所制造的表面结构没有氧缺陷的结构中,进行使晶格常数固定的结构优化。使用进行结构优化之后的能量。

[0123] 在单元晶胞的计算中使用380eV的截止能量,而在表面结构的计算中使用300eV的截止能量。作为k点,在单元晶胞的计算中使用 $9 \times 9 \times 6$ 的网格,在(100)表面模型中使用 $3 \times 2 \times 1$ 的网格数量,在(110)表面模型的计算中使用 $1 \times 2 \times 2$ 的网格,在(001)表面模型的计算中使用 $2 \times 2 \times 1$ 的网格。

[0124] 对从上述表面结构加上有氧缺陷的结构能量及氧分子的能量的一半而得到的值减去没有氧缺陷的结构能量后得到的能量差(在此称为束缚能量)进行计算。可以认为氧在束缚能量小的表面上容易脱离。

[0125] [数学式2]

[0126] (束缚能量) = (有氧缺陷的结构能量)

[0127] + (氧分子的能量的一半)

[0128] - (没有氧缺陷的结构能量)

[0129] 表1中示出根据数学式2得到的各表面的束缚能量。

[0130] [表1]

[0131]

	束缚能量
(100) 表面模型	2.89
(110) 表面模型	2.64
(001) 表面模型	3.38

[0132] 根据表1所示的结果可以认为,(100)表面及(110)表面的束缚能量比(001)表面小,所以氧较容易脱离。换言之,可知的是:在垂直于顶面的方向上具有c轴,并沿该c轴取向

的ZnO膜中,与顶面相比,氧较容易从侧面脱离。在CAAC氧化物半导体的ZnO中各种结晶面混在一起,但是在侧面具有与ZnO单晶相同种类的结晶面。因此,可以认为存在与ZnO单晶中的氧脱离的容易性相同的趋势。

[0133] 因此,作为栅极绝缘膜112,优选使用通过加热处理释放氧的绝缘膜。例如,使用与基底绝缘膜102相同的材料形成栅极绝缘膜112,即可。

[0134] 接着,在栅极绝缘膜112上形成栅电极104(参照图1F)。以不与源电极及漏电极118重叠的方式设置栅电极104。通过不使栅电极和源电极及漏电极重叠,从而可以减少寄生电容并进行晶体管的高速工作。可加工用于导电膜108的材料来形成栅电极104。

[0135] 或者,作为栅电极104也可以使用包含Al、Si、Ti、Ni、Cu、Zn、Ga、Ge、In、Sn及W中的一种以上的氧化物膜。该氧化物膜也可以包含 5×10^{19} atoms/cm³以上且20atomic%以下的氮,优选包含 1×10^{20} atoms/cm³以上且7atomic%以下的氮。例如,作为包含In、Ga及Zn的氧化物膜,优选使用包含 1×10^{20} atoms/cm³以上且7atomic%以下的氮的膜。当使用上述氧化物膜时,栅电极104优选采用与金属膜的层叠结构。此时,以与栅极绝缘膜112接触的方式设置上述氧化物膜。因为上述氧化物膜可取的功函数的范围比金属膜大,所以晶体管的阈值电压的控制性提高。

[0136] 接着,优选的是,以源电极及漏电极118以及栅电极104为掩模经过栅极绝缘膜112对第二氧化物半导体膜116添加离子,来形成包括未添加离子的第一区136及添加有离子的第二区146的氧化物半导体膜126(参照图1G)。对第二区以 5×10^{18} atoms/cm³以上且 1×10^{22} atoms/cm³以下的浓度,优选以 5×10^{18} atoms/cm³以上且 5×10^{19} atoms/cm³以下的浓度添加选自氮、磷、砷及稀有气体中的一种以上的元素。但是,添加的离子不局限于上述离子,而可采用由能够使第二氧化物半导体膜116低电阻化的元素构成的离子。此时,由于通过经过栅极绝缘膜112添加离子,从而第二氧化物半导体膜116不会直接暴露于等离子体,因此第二氧化物半导体膜116不容易受到损坏,并且可以进一步防止第二氧化物半导体膜116的厚度减小。

[0137] 接着,形成层间绝缘膜122(参照图1H)。

[0138] 可使用与基底绝缘膜102相同的材料形成层间绝缘膜122。

[0139] 接着,也可以进行第五加热处理。在150℃以上且450℃以下,优选在250℃以上且325℃以下进行第五加热处理。或者也可以使温度在250℃到325℃的范围内逐渐地提高。通过进行第五加热处理,从而也可从层间绝缘膜122向氧化物半导体膜126供给氧。

[0140] 通过上述工序,可以制造截止电流极小的晶体管。

[0141] 此外,通过采用使用本实施方式所示的氧化物半导体膜的晶体管,即使使用如母玻璃等大衬底,也可以提供可靠性高且能够进行批量生产的半导体装置。

[0142] 实施方式2

[0143] 图3A示出构成半导体装置的存储元件(以下也称为存储单元)的电路图的一例。存储单元由将氧化物半导体以外的材料(例如,硅、锗、碳化硅、砷化镓、氮化镓、有机化合物等)用于沟道形成区的晶体管1160及将氧化物半导体用于沟道形成区的晶体管1162构成。

[0144] 将氧化物半导体用于沟道形成区的晶体管1162可以根据实施方式1制造。

[0145] 如图3A所示,晶体管1160的栅电极与晶体管1162的源电极和漏电极中的一方电连接。另外,第一布线SL(1st Line:也称为源极线)与晶体管1160的源电极电连接,第二布线

BL (2nd Line:也称为位线)与晶体管1160的漏电极电连接。另外,第三布线S1 (3rd Line:也称为第一信号线)与晶体管1162的源电极和漏电极中的另一方电连接,第四布线S2 (4thLine:也称为第二信号线)与晶体管1162的栅电极电连接。

[0146] 由于将氧化物半导体以外的材料例如单晶硅用于沟道形成区的晶体管1160可以进行充分的高速工作,所以通过使用晶体管1160可以高速地进行存储内容的读出等。此外,将氧化物半导体用于沟道形成区的晶体管1162具有其截止电流比晶体管1160小的特征。因此,通过使晶体管1162成为截止状态,可以在极长时间保持晶体管1160的栅电极的电位。

[0147] 通过有效地利用能够保持栅电极的电位这一特征,可以如下所述那样进行信息的写入、保持以及读出。

[0148] 首先,对信息的写入及保持进行说明。首先,通过将第四布线S2的电位设定为使晶体管1162成为导通状态的电位,使晶体管1162成为导通状态。由此,将第三布线S1的电位施加到晶体管1160的栅电极(写入)。然后,通过将第四布线S2的电位设定为使晶体管1162成为截止状态的电位,使晶体管1162成为截止状态,从而保持晶体管1160的栅电极的电位(保持)。

[0149] 因为晶体管1162的截止电流极小,所以在长时间保持晶体管1160的栅电极的电位。例如,若晶体管1160的栅电极的电位为使晶体管1160成为导通状态的电位,则在长时间保持晶体管1160的导通状态。另外,若晶体管1160的栅电极的电位为使晶体管1160成为截止状态的电位,则在长时间保持晶体管1160的截止状态。

[0150] 接着,对信息的读出进行说明。如上所述,当在保持晶体管1160的导通状态或截止状态的状态下将预定的电位(恒定电位)施加到第一布线SL时,第二布线BL的电位根据晶体管1160的导通状态或截止状态而取不同的值。例如,在晶体管1160处于导通状态的情况下,第二布线BL的电位靠近于第一布线SL的电位。另外,在晶体管1160处于截止状态的情况下,第二布线BL的电位不变化。

[0151] 如上所述,通过在保持信息的状态下对第二布线BL的电位和预定的电位进行比较,从而可以读出信息。

[0152] 接着,对信息的改写进行说明。信息的改写与上述信息的写入和保持同样进行。换言之,将第四布线S2的电位设定为使晶体管1162成为导通状态的电位,使晶体管1162成为导通状态。由此,对晶体管1160的栅电极施加第三布线S1的电位(有关新的信息的电位)。然后,通过将第四布线S2的电位设定为使晶体管1162成为截止状态的电位,使晶体管1162成为截止状态,从而处于保持新的信息的状态。

[0153] 如上所述,根据所公开的发明的存储单元可以通过再次进行信息的写入从而直接改写信息。因此,不需要闪存器等所需要的擦除工作,并且,可以抑制起因于擦除工作的工作速度的降低。也就是说,可以实现具有存储单元的半导体装置的高速工作。

[0154] 此外,图3B中示出使图3A的存储单元发展后的存储单元的电路图的一例。

[0155] 图3B所示的存储单元1100包括第一布线SL(源极线)、第二布线BL(位线)、第三布线S1(第一信号线)、第四布线S2(第二信号线)、第五布线WL(字线)、晶体管1164(第一晶体管)、晶体管1161(第二晶体管)以及晶体管1163(第三晶体管)。在晶体管1164及晶体管1163中,将氧化物半导体以外的材料用于沟道形成区,在晶体管1161中,将氧化物半导体用于沟道形成区。

[0156] 在此,晶体管1164的栅电极与晶体管1161的源电极和漏电极中的一方电连接。另外,第一布线SL与晶体管1164的源电极电连接,并且晶体管1164的漏电极与晶体管1163的源电极电连接。另外,第二布线BL与晶体管1163的漏电极电连接,第三布线S1与晶体管1161的源电极和漏电极中的另一方电连接,第四布线S2与晶体管1161的栅电极电连接,并且第五布线WL与晶体管1163的栅电极电连接。

[0157] 接着,说明电路工作的具体例子。另外,也可以适当地改变下面所例示的电位、电压等的数值。

[0158] 在将数据写入到存储单元1100时,将第一布线SL设定为0V,将第五布线WL设定为0V,将第二布线BL设定为0V,并且将第四布线S2设定为2V。在写入数据“1”时,将第三布线S1设定为2V,而在写入数据“0”时,将第三布线S1设定为0V。此时,晶体管1163处于截止状态,晶体管1161处于导通状态。另外,在写入结束时,在使第三布线S1的电位变化之前,将第四布线S2设定为0V,而使晶体管1161处于截止状态。

[0159] 其结果是,在写入数据“1”之后,与晶体管1164的栅电极连接的节点(以下,称为节点A)的电位成为2V左右,而在写入数据“0”之后,节点A的电位成为0V左右。在节点A中积累与第三布线S1的电位相对应的电荷,如上所述,晶体管1161的截止电流极小,从而在长时间保持晶体管1164的栅电极的电位。

[0160] 接着,在从存储单元读出数据时,将第一布线SL设定为0V,将第五布线WL设定为2V,将第四布线S2设定为0V,并且将第三布线S1设定为0V,使与第二布线BL连接的读出电路处于工作状态。此时,晶体管1163处于导通状态,晶体管1161处于截止状态。

[0161] 若数据为“0”,即节点A处于0V左右的状态,则晶体管1164处于截止状态,因此第二布线BL与第一布线SL之间的电阻处于高电阻状态。另一方面,若数据为“1”,即节点A处于2V左右的状态,则晶体管1164处于导通状态,因此第二布线BL与第一布线SL之间的电阻处于低电阻状态。在读出电路中可以根据存储单元的电阻状态的不同而读出数据“0”或“1”。另外,虽然在写入时将第二布线BL设定为0V,但是也可以使第二布线BL处于浮动状态或充电到0V以上的电位。虽然在读出时将第三布线S1设定为0V,但是也可以使第三布线S1处于浮动状态或充电到0V以上的电位。

[0162] 注意,数据“1”和数据“0”是为了方便起见被定义的,也可以彼此交换。另外,上述工作电压只是一例。只要以在数据为“0”时使晶体管1164处于截止状态且在数据为“1”时使晶体管1164处于导通状态的方式、在写入时使晶体管1161处于导通状态且在写入时以外使晶体管1161处于截止状态的方式以及在读出时晶体管1163处于导通状态的方式选择工作电压,即可。尤其是,也可以使用外围逻辑电路的电源电位VDD以代替2V。

[0163] 在本实施方式中,为了清楚地理解而说明了最小存储单位(1位)的存储单元,但是存储装置的结构不局限于此。也可以通过适当地连接多个存储单元而构成更复杂的半导体装置。例如,可以使用多个上述存储单元而构成NAND型或NOR型的半导体装置。布线的结构也不局限于图3A或图3B,而可以适当地进行改变。

[0164] 图4示出具有 $m \times n$ 位的存储容量的根据本发明的一个方式的半导体装置的框电路图。

[0165] 图4所示的半导体装置包括: m 条第五布线WL(1)至WL(m)及 m 条第四布线S2(1)至S2(m); n 条第二布线BL(1)至BL(n)及 n 条第三布线S1(1)至S1(n);将多个存储单元1100(1,1)

至1100 (m,n) 配置为纵m个(行) × 横n个(列) (m、n为自然数) 的矩阵状的存储单元阵列1110; 以及外围电路如使第二布线BL及第三布线S1驱动的驱动电路1111、使第四布线S2及第五布线WL驱动的驱动电路1113以及读出电路1112。作为其他外围电路,也可以设置有刷新电路等。

[0166] 作为各存储单元的代表,以存储单元1100 (i, j) 为典型例进行考虑。在此,存储单元1100 (i, j) (i为1以上且m以下的整数,j为1以上且n以下的整数) 分别与第二布线BL (j)、第三布线S1 (j)、第五布线WL (i)、第四布线S2 (i) 以及第一布线SL连接。将电位Vs施加到第一布线SL。另外,第二布线BL (1) 至BL (n) 及第三布线S1 (1) 至S1 (n) 与驱动电路1111及读出电路1112连接,而第五布线WL (1) 至WL (m) 及 第四布线S2 (1) 至S2 (m) 与驱动电路1113连接。

[0167] 说明图4所示的半导体装置的工作。在本结构中,按每个行进行写入及读出。

[0168] 在对第i行的存储单元1100 (i, 1) 至1100 (i, n) 进行写入时,将第一布线SL的电位Vs设定为0V,将第五布线WL (i) 设定为0V,将第二布线BL (1) 至BL (n) 设定为0V,并且将第四布线S2 (i) 设定为2V。此时,晶体管1161成为导通状态。在写入数据“1”的列中将第三布线S1 (1) 至S1 (n) 设定为2V,而在写入数据“0”的列中将第三布线S1 (1) 至S1 (n) 设定为0V。另外,在数据写入结束时,在使第三布线S1 (1) 至S1 (n) 的电位变化之前将第四布线S2 (i) 设定为0V,而使晶体管1161处于截止状态。另外,将第五布线WL (i) 之外的第五布线WL设定为0V,并且将第四布线S2 (i) 之外的第四布线S2设定为0V。

[0169] 其结果是,在对数据“1”进行写入的存储单元中,与晶体管1164的栅电极连接的节点(以下称为节点A)的电位成为2V左右,而在对数据“0”进行写入的存储单元中,节点A的电位成为0V左右。另外,未选择的存储单元的节点A的电位不变。

[0170] 在进行第i行的存储单元1100 (i, 1) 至1100 (i, n) 的读出时,将第一布线SL的电位Vs设定为0V,将第五布线WL (i) 设定为2V,将第四布线S2 (i) 设定为0V,将第三布线S1 (1) 至S1 (n) 设定为0V,并使与第二布线BL (1) 至BL (n) 连接的读出电路处于工作状态。在读出电路中例如可以根据存储单元的电阻状态的不同而读出数据“0”或“1”。另外,将第五布线WL (i) 之外的第五布线WL设定为0V,并且将第四布线S2 (i) 之外的第四布线S2设定为0V。另外,虽然在写入时将第二布线BL设定为0V,但是也可以使第二布线BL处于浮动状态或充电到0V以上的电位。虽然在读出时将第三布线S1设定为0V,但是也可以使第三布线S1处于浮动状态或充电到0V以上的电位。

[0171] 由于根据本实施方式可以在极长的时间保持与将氧化物半导体用于沟道形成区的晶体管连接的节点的电位,因此可以制造能够以低耗电量进行信息的写入、保持、读出的存储元件。

[0172] 可以将本实施方式所示的结构、方法等与其他实施方式所示的结构、方法等适当地组合而实施。

[0173] 实施方式3

[0174] 在本实施方式中示出具有电容元件的存储单元的电路图的一例。图5A所示的存储单元1170包括第一布线SL、第二布线BL、第三布线S1、第四布线S2、第五布线WL、晶体管1171(第一晶体管)、晶体管1172(第二晶体管)以及电容元件1173。在晶体管1171中将氧化物半导体以外的材料用于沟道形成区,而在晶体管1172中,将氧化物半导体用于沟道形成区。

[0175] 可以根据实施方式1制造将氧化物半导体用于沟道形成区的晶体管1172。

[0176] 在此,晶体管1171的栅电极、晶体管1172的源电极和漏电极中的一方以及电容元件1173的一方的电极电连接。另外,第一布线SL与晶体管1171的源电极电连接,第二布线BL与晶体管1171的漏电极电连接,第三布线S1与晶体管1172的源电极和漏电极中的另一方电连接,第四布线S2与晶体管1172的栅电极电连接,并且第五布线WL与电容元件1173的另一方电极电连接。

[0177] 以下,说明电路工作的具体例子。另外,也可以适当地改变下面所例示的电位、电压等的数值。

[0178] 在将数据写入到存储单元1170时,将第一布线SL设定为0V,将第五布线WL设定为0V,将第二布线BL设定为0V,并且将第四布线S2设定为2V。在写入数据“1”时,将第三布线S1设定为2V,在写入数据“0”时,将第三布线S1设定为0V。此时,晶体管1172成为导通状态。另外,在写入结束时,在使第三布线S1的电位变化之前,将第四布线S2设定为0V,而使晶体管1172处于截止状态。

[0179] 其结果是,在写入数据“1”之后,连接到晶体管1171的栅电极的节点(以下,称为节点A)的电位成为2V左右,而在写入数据“0”之后,节点A的电位成为0V左右。

[0180] 在从存储单元1170读出数据时,将第一布线SL设定为0V,将第五布线WL设定为2V,将第四布线S2设定为0V,并且将第三布线S1设定为0V,使连接于第二布线BL的读出电路处于工作状态。此时,晶体管1172处于截止状态。

[0181] 下面说明将第五布线WL设定为2V时的晶体管1171的状态。用来决定晶体管1171的状态的节点A的电位取决于第五布线WL与节点A之间的电容C1和晶体管1171的栅电极与源电极及漏电极之间的电容C2。

[0182] 另外,虽然在读出时将第三布线S1设定为0V,但是也可以使第三布线S1处于浮动状态或充电到0V以上的电位的状态。数据“1”和数据“0”是为了方便起见被定义的,也可以相反。

[0183] 关于写入时的第三布线S1的电位,只要在写入后晶体管1172处于截止状态且在第五布线WL的电位为0V时晶体管1171处于截止状态的范围分别选择数据“1”或数据“0”的电位即可。关于读出时的第五布线WL的电位,只要在数据“0”时晶体管1171处于截止状态而在数据“1”时晶体管1171处于导通状态的方式选择电位即可。例如,将上述第五布线WL的电位设定为晶体管1171的阈值电压即可。只要在不改变上述晶体管1171的状态的范围,就可以采用任何阈值电压。

[0184] 此外,参照图5B说明使用存储单元的NOR型半导体存储装置的例子,该存储单元包括具有第一栅电极及第二栅电极的选择晶体管以及电容元件。

[0185] 图5B所示的存储单元阵列具有:排列为i行(i为3以上的自然数)和j列(j为3以上的自然数)的矩阵状的多个存储单元1180;i条字线WL(字线WL_1至WL_i);i条电容线CL(电容线CL_1至CL_i);i条栅极线BGL(栅极线BGL_1至BGL_i);j条位线BL(位线BL_1至BL_j);以及源极线SL。另外,在本实施方式中说明具备i条栅极线BGL(栅极线BGL_1至BGL_i)的存储单元阵列,但是不局限于此。例如,也可以在存储单元阵列中不设置栅极线BGL。为了方便,在此的i及j为3以上的自然数,但是本实施方式所示的存储单元阵列的行数及列数都不局限于3以上。既可以采用一行或一列的存储单元阵列,又可以采用两行或两列的存储单元阵列。

[0186] 再者,多个存储单元1180的每一个(也称为存储单元1180(M,N)(其中,N为1以上且j以下的自然数,M为1以上且i以下的自然数。))具备晶体管1181(M,N)、电容元件1183(M,N)以及晶体管1182(M,N)。

[0187] 此外,在半导体存储装置中,电容元件由第一电容电极、第二电容电极以及重叠于第一电容电极及第二电容电极的介电层构成。在电容元件中根据施加到第一电容电极与第二电容电极之间的电压积累电荷。

[0188] 晶体管1181(M,N)为n沟道型晶体管,并具有源电极、漏电极、第一栅电极以及第二栅电极。此外,在本实施方式的半导体存储装置中,晶体管1181不一定需要为n沟道型晶体管。

[0189] 晶体管1181(M,N)的源电极和漏电极中的一方与位线BL_N连接,晶体管1181(M,N)的第一栅电极与字线WL_M连接,晶体管1181(M,N)的第二栅电极与栅极线BGL_M连接。通过采用晶体管1181(M,N)的源电极和漏电极中的一方与位线BL_N连接的结构,可以在每个存储单元中选择性地读出数据。

[0190] 晶体管1181(M,N)在存储单元1180(M,N)中具有选择晶体管的功能。

[0191] 作为晶体管1181(M,N),可以使用将氧化物半导体用于沟道形成区的晶体管。

[0192] 晶体管1182(M,N)为p沟道型晶体管。此外,在本实施方式的半导体存储装置中,晶体管1182不一定需要为p沟道型晶体管。

[0193] 晶体管1182(M,N)的源电极和漏电极中的一方与源极线SL连接,晶体管1182(M,N)的源电极和漏电极中的另一方与位线BL_N连接,晶体管1182(M,N)的栅电极与晶体管1181(M,N)的源电极和漏电极中的另一方连接。

[0194] 晶体管1182(M,N)在存储单元1180(M,N)中具有输出晶体管的功能。作为晶体管1182(M,N),例如可以使用将单晶硅用于沟道形成区的晶体管。

[0195] 电容元件1183(M,N)的第一电容电极与电容线CL_M连接,电容元件1183(M,N)的第二电容电极与晶体管1181(M,N)的源电极和漏电极中的另一方连接。另外,电容元件1183(M,N)具有保持电容的功能。

[0196] 字线WL_1至WL_i的每个电压例如由使用译码器的驱动电路控制。

[0197] 位线BL_1至BL_j的每个电压例如由使用译码器的驱动电路控制。

[0198] 电容线CL_1至CL_i的每个电压例如由使用译码器的驱动电路控制。

[0199] 栅极线BGL_1至BGL_i的每个电压例如使用栅极线驱动电路控制。

[0200] 栅极线驱动电路例如由具备二极管及第一电容电极与二极管的阳极及栅极线BGL电连接的电容元件的电路构成。

[0201] 通过调节晶体管1181的第二栅电极的电压,可以调节晶体管1181的阈值电压。从而,可以调节用作选择晶体管的晶体管1181的阈值电压,而可以使流在截止状态下的晶体管1181的源电极和漏电极之间的电流为极小。因此,可以延长存储电路中的数据保持期间。此外,由于可以使写入及读出数据时需要的电压比现有的半导体装置低,所以可以降低耗电量。

[0202] 由于根据本实施方式可以在极长的时间保持与将氧化物半导体用于沟道形成区的晶体管连接的节点的电位,因此可以制造能够以低耗电量进行信息的写入、保持、读出的存储元件。

[0203] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法等适当地组合而使用。

[0204] 实施方式4

[0205] 在本实施方式中,参照图6A及6B说明使用实施方式1所示的晶体管的半导体装置的例子。

[0206] 图6A示出具有相当于所谓DRAM(Dynamic Random Access Memory)的结构的半导体装置的一例。图6A所示的存储单元阵列1120具有将多个存储单元1130排列为矩阵状的结构。另外,存储单元阵列1120具有m条第一布线BL以及n条第二布线WL。注意,在本实施方式中将第一布线BL称为位线BL,将第二布线WL称为字线WL。

[0207] 存储单元1130包括晶体管1131和电容元件1132。晶体管1131的栅电极与第二布线WL连接。另外,晶体管1131的源电极和漏电极中的一方与第一布线BL连接,晶体管1131的源电极和漏电极中的另一方与电容元件 的一方的电极连接。另外,电容元件的另一方的电极与电容线CL连接,并施加有一定的电压。作为晶体管1131使用上述实施方式1所示的晶体管。

[0208] 与将单晶硅用于沟道形成区的晶体管相比,实施方式1所示的将氧化物半导体用于沟道形成区的晶体管的截止电流较小。因此,如果将实施方式1所示的晶体管用于被认为所谓DRAM的图6A所示的半导体装置,则可以得到实质上的非易失性存储器。

[0209] 图6B示出具有相当于所谓SRAM(Static Random Access Memory:静态随机存取存储器)的结构的半导体装置的一例。图6B所示的存储单元阵列1140可以采用将多个存储单元1150排列为矩阵状的结构。此外,存储单元阵列1140具有第一布线BL、第二布线WL以及第三布线(反相位线(inverted bit line)/BL)。

[0210] 存储单元1150具有第一晶体管1151、第二晶体管1152、第三晶体管1153、第四晶体管1154、第五晶体管1155以及第六晶体管1156。第一晶体管1151和第二晶体管1152用作选择晶体管。另外,第三晶体管1153和第四晶体管1154中,一方为n沟道型晶体管(在此为第四晶体管1154),另一方为p沟道型晶体管(在此为第三晶体管1153)。换言之,由第三晶体管1153和第四晶体管1154构成CMOS电路。同样地,由第五晶体管1155和第六晶体管1156构成CMOS电路。

[0211] 第一晶体管1151、第二晶体管1152、第四晶体管1154、第六晶体管1156为n沟道型晶体管,作为这些晶体管使用实施方式1所示的晶体管即可。第三晶体管1153和第五晶体管1155为p沟道型晶体管,将氧化物半导体以外的材料用于这些晶体管的沟道形成区即可。但是,既可以对上述第一至第六晶体管1151至1156中的p型晶体管应用实施方式1所示的晶体管,又可以对上述第一至第六晶体管1151至1156中的n型晶体管应用将氧化物半导体之外的材料用于沟道形成区的晶体管。

[0212] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0213] 实施方式5

[0214] 可以至少其一部分使用将氧化物半导体用于沟道形成区的晶体管来构成CPU(Central Processing Unit:中央处理单元)。

[0215] 图7A是示出CPU的具体结构的框图。图7A所示的CPU在其衬底1190上具有:运算逻

辑单元 (ALU:Arithmetic logic unit) 1191、ALU控制器1192、指令译码器1193、中断控制器1194、定时控制器1195、寄存器1196、寄存器控制器1197、总线接口 (总线I/F) 1198、能够改写的ROM1199以及ROM接口 (ROM I/F) 1189。作为衬底1190使用半导体衬底、SOI衬底、玻璃衬底等。ROM1199及ROM接口1189也可以设置在不同的芯片上。当然,图7A所示的CPU只是简化其结构而所示的一例,所以实际的CPU根据其用途具有各种各样的结构。

[0216] 通过总线接口1198输入到CPU的指令在输入到指令译码器1193并被译码之后,输入到ALU控制器1192、中断控制器1194、寄存器控制器1197、定时控制器1195。

[0217] ALU控制器1192、中断控制器1194、寄存器控制器1197、定时控制器1195根据被译码的指令而进行各种控制。具体而言,ALU控制器1192生成用来控制ALU1191的工作的信号。另外,中断控制器1194在进行CPU的程序时,根据其优先度或掩模的状态来判断来自外部的输入/输出装置或外围电路的中断要求而进行处理该要求。寄存器控制器1197生成寄存器1196的地址,并对应于CPU的状态来进行寄存器1196的读出或写入。

[0218] 另外,定时控制器1195生成用来控制ALU1191、ALU控制器1192、指令译码器1193、中断控制器1194以及寄存器控制器1197的工作定时的信号。例如,定时控制器1195具有根据基准时钟信号CLK1来生成内部时钟信号CLK2的内部时钟产生部,并将该时钟信号CLK2供应到上述各种电路。

[0219] 在图7A所示的CPU中,在寄存器1196中设置有存储元件。作为寄存器1196的存储元件可以使用实施方式2所示的存储元件。

[0220] 在图7A所示的CPU中,寄存器控制器1197根据来自ALU1191的指令来选择寄存器1196中的保持工作。换言之,寄存器控制器1197选择寄存器1196所具有的存储元件中的工作:由倒相元件(phase-inversion element)保持数据;或者由电容元件保持数据。在选择由倒相元件保持数据的情况下,对寄存器1196中的存储元件供应电源电压。在选择由电容元件保持数据的情况下,对电容元件进行数据的改写,而可以停止对寄存器1196中的存储元件供应电源电压。

[0221] 如图7B或7C所示,电源的停止可以通过在存储元件群和施加有电源电位VDD或电源电位VSS的节点之间设置开关元件来进行。以下对图7B及7C的电路进行说明。

[0222] 图7B及7C示出作为用来控制对存储元件供应电源电位的开关元件,使用包括晶体管的存储电路的结构的一例,在该晶体管中将氧化物半导体用于沟道形成区。

[0223] 图7B所示的存储装置包括开关元件1141以及具有多个存储元件1142的存储元件群1143。具体而言,作为各存储元件1142可以使用实施方式2所示的存储元件。存储元件群1143所具有的各存储元件1142通过开关元件1141施加有高电平的电源电位VDD。并且,存储元件群1143所具有的各存储元件1142施加有信号IN的电位和低电平的电源电位VSS。

[0224] 在图7B中,作为开关元件1141使用将氧化物半导体用于沟道形成区的晶体管,并且该晶体管由施加到其栅电极的信号SigA来控制其开关。

[0225] 另外,虽然图7B中示出开关元件1141只具有一个晶体管的结构,但是不限于此,也可以具有多个晶体管。当开关元件1141具有多个用作开关元件的晶体管时,既可以将上述多个晶体管并联,又可以将上述多个晶体管串联,还可以组合并联和串联。

[0226] 另外,在图7B中,虽然由开关元件1141控制对存储元件群1143所具有的各存储元件1142供应高电平的电源电位VDD,但是也可以由开关元件1141控制供应低电平的电源电

位VSS。

[0227] 另外,图7C示出存储单元的一例,其中通过开关元件1141对存储元件群1143所具有的各存储元件1142供应低电平的电源电位VSS。可以由开关元件1141控制对存储元件群1143所具有的各存储元件1142供应低电平的电源电位VSS。

[0228] 即使在存储元件群和施加有电源电位VDD或电源电位VSS的节点之间设置开关元件,来暂时停止CPU的动作而停止供应电源电压,也能够保持数据,而可以降低耗电量。具体而言,例如即使个人计算机的使用者停止向键盘等输入装置输入信息,也可以停止CPU的工作,因此可以降低耗电量。

[0229] 在此,虽然以CPU为例子来说明,但是也可以应用于DSP(Digital Signal Processor:数字信号处理器)、定制LSI、FPGA(Field Programmable Gate Array:现场可编程门阵列)等的LSI。

[0230] 本实施方式可以与上述实施方式适当地组合而实施。

[0231] 实施方式6

[0232] 在本实施方式中示出使用将氧化物半导体用于沟道形成区的晶体管来形成的显示装置的例子。作为设置在显示装置中的显示元件,可以使用液晶元件(也称为液晶显示元件)、发光元件(也称为发光显示元件)。在发光元件的范畴内包括其亮度由电流或电压控制的元件,具体而言,包括无机EL(Electro Luminescence:电致发光)、有机EL等。此外,也可以采用电子墨水等由于电作用而改变对比度的显示媒体作为显示元件。在本实施方式中,参照图8A及8B说明液晶显示装置作为显示装置的一例。

[0233] 此外,本实施方式中的显示装置包括处于密封有显示元件的状态的面板及在该面板中安装有包括控制器的IC等的模块。

[0234] 另外,本实施方式中的显示装置是指图像显示器件、显示器件或光源(包括照明装置)。此外,显示装置还包括:安装有连接器诸如FPC、TAB胶带或TCP的模块;在TAB胶带或TCP的端部上设置有印刷线路板的模块;或者通过COG方式将IC(集成电路)直接安装到显示元件的模块。

[0235] 在图8A中,以围绕设置在第一衬底201上的像素部202及扫描线驱动电路204的方式设置有密封剂205。此外,在像素部202及扫描线驱动电路204上设置有第二衬底206。因此,像素部202及扫描线驱动电路204与液晶元件等的显示元件一起被第一衬底201、密封剂205以及第二衬底206密封。在图8A中,在第一衬底201上的与由密封剂205围绕的区域不同的区域中安装有使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上的信号线驱动电路203。在图8A中,供给到信号线驱动电路203、扫描线驱动电路204以及像素部202的各种信号及电位通过FPC(Flexible printed circuit:柔性印刷电路)的FPC218供给。

[0236] 此外,图8A示出在第一衬底201上设置扫描线驱动电路204,并另行设置信号线驱动电路203且将该信号线驱动电路203安装到第一衬底201的例子,但是不局限于该结构。也可以另行设置扫描线驱动电路并进行安装,并且也可以另行仅设置信号线驱动电路的一部分或者扫描线驱动电路的一部分并进行安装。

[0237] 另外,对另行设置的驱动电路的连接方法没有特别的限制,而可以采用COG(Chip On Glass:玻璃覆晶封装)法、引线键合法或TAB(Tape Automated Bonding:卷带式自动接合法)法等。图8A是通过COG法安装信号线驱动电路203的例子。

[0238] 设置在第一衬底上的像素部及扫描线驱动电路包括多个晶体管,并且,可以采用在实施方式1中所示的晶体管。

[0239] 图8B相当于沿着图8A的M-N的截面图。

[0240] 设置在第一衬底201上的像素部202及扫描线驱动电路204包括多个晶体管,并且,在图8B中示出像素部202所包括的晶体管210以及扫描线驱动电路204所包括的晶体管211。

[0241] 在本实施方式中,作为晶体管210及晶体管211,可以采用在实施方式1中所示的晶体管。因此,作为图8B所示的本实施方式的半导体装置可以提供可靠性高的半导体装置。

[0242] 设置在像素部202中的晶体管210电连接到显示元件而构成显示面板。

[0243] 作为显示元件的液晶元件213包括第一电极230、第二电极231以及液晶层208。另外,以夹持液晶层208的方式设置有用取向膜的绝缘膜232及绝缘膜233。第二电极231设置在第二衬底206一侧,并且,第一电极230和第二电极231夹着液晶层208层叠。

[0244] 此外,间隔物235为通过选择性地蚀刻绝缘膜而获得的柱状间隔物,并且是为控制液晶层208的厚度(单元间隙)而设置的。另外,还可以使用球状间隔物。

[0245] 当作为显示元件使用液晶元件时,使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。上述液晶材料根据条件而呈现胆甾相、近晶相、立方相、手性向列相、各向同性相等。

[0246] 此外,液晶材料的固有电阻率为 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上,优选为 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上,更优选为 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。注意,本说明书中的固有电阻率的值为在 20°C 下进行测量的值。

[0247] 考虑到设置在像素部中的晶体管的泄漏电流等,以能够在预定期间中保持电荷的方式设定设置在液晶显示装置的保持电容。通过使用具有氧化物半导体膜的晶体管,设置具有各像素中的液晶电容的 $1/3$ 以下或 $1/5$ 以下的电容的大小的保持电容就足够了。

[0248] 如图8B所示,半导体装置包括连接端子电极215及端子电极216,并且,连接端子电极215及端子电极216通过各向异性导电膜219电连接到FPC218所包括的端子。另外,在端子电极216之下残留氧化物半导体膜217。

[0249] 连接端子电极215由与第一电极230相同的导电膜形成,并且,端子电极216由与晶体管210、晶体管211的源电极及漏电极相同的导电膜形成。

[0250] 在本实施方式中使用的采用氧化物半导体膜的晶体管可以减少截止电流。因此,可以使图像信号等的电信号的保持时间延长,并也可以在电源导通状态下使写入间隔设定得长。从而,可以减少刷新工作的频度,所以发挥抑制耗电量的效果。

[0251] 此外,在本实施方式中使用的采用氧化物半导体膜的晶体管由于可以得到较高的电场效应迁移率,所以可以进行高速驱动。因此,通过将上述晶体管用于液晶显示装置的像素部,可以提供高图像质量的图像。此外,由于可以将上述晶体管分别设置在同一衬底上的驱动电路部及像素部中,所以可以削减液晶显示装置的零部件数。

[0252] 作为液晶显示装置的液晶的驱动方法,有与衬底垂直地施加电压的垂直电场方式以及与衬底平行地施加电压的水平电场方式。下面举例说明液晶的工作模式。

[0253] 首先,图10A1及10A2示出说明TN模式的液晶显示装置的像素结构的截面模式图。

[0254] 在互相相对地配置的第一衬底3101和第二衬底3102之间夹有具有显示元件的层3100。此外,在第一衬底3101一侧形成有第一偏振片3103,在第二衬底3102一侧形成有第二偏振片3104。配置有成为交叉尼克耳状态的第一偏振片3103的吸收轴和第二偏振片3104的

吸收轴。

[0255] 虽然在附图中未示出,但是可以在第二偏振片3104的外侧上设置背光灯等。在第一衬底3101和第二衬底3102上分别设置有第一电极3108和第二电极3109。而且,至少将与背光灯相反一侧,即在可见一侧上的第一电极3108形成为具有透光性。

[0256] 在具有这种结构的液晶显示装置具有常白模式的情况下,当对第一电极3108及第二电极3109施加电压(称为垂直电场方式)时,如图10A1所示,液晶分子3105成为在纵向方向上排列的状态。于是,来自背光灯的光不能穿过第一偏振片3103,成为黑色显示。

[0257] 并且,如图10A2所示,当不对第一电极3108和第二电极3109之间施加电压时,液晶分子3105在横向方向上排列而成为在平面内扭曲的状态。其结果是,来自背光灯的光可以穿过第一偏振片3103,成为白色显示。此外,通过调节对第一电极3108及第二电极3109施加的电压,可以表示灰度。像这样,可以进行预定的图像显示。

[0258] 此时,通过设置滤色片可以进行全彩色显示。可以在第一衬底3101一侧或第二衬底3102一侧设置滤色片。

[0259] 作为用于TN模式的液晶材料,使用公知的材料即可。

[0260] 图10B1及B2示出说明VA模式的液晶显示装置的像素结构的截面模式图。VA模式为当没有电场时液晶分子3105与衬底垂直地被取向的模式。

[0261] 与图10A1及A2同样,在第一衬底3101及第二衬底3102上分别设置有第一电极3108及第二电极3109。而且,至少将与背光灯相反一侧,即在可见一侧上的电极的第一电极3108形成为具有透光性。并且,在第一衬底3101一侧形成有第一偏振片3103,而在第二衬底3102一侧形成有第二偏振片3104。此外,配置有成为交叉尼克耳状态的第一偏振片3103的吸收轴和第二偏振片3104的吸收轴。

[0262] 在具有这种结构的液晶显示装置中,当对第一电极3108及第二电极3109施加电压(垂直电场方式)时,如图10B1所示,液晶分子3105成为在横向方向上排列的状态。于是,来自背光灯的光可以穿过第一偏振片3103,成为白色显示。

[0263] 而且,如图10B2所示,当不对第一电极3108及第二电极3109施加电压时,液晶分子3105成为在纵向方向上排列的状态。其结果是,由第二偏振片3104偏振的来自背光灯的光不受到液晶分子3105的双折射的影响地穿过单元中。于是,被偏振的来自背光灯的光不能穿过第一偏振片3103,成为黑色显示。此外,通过调节对第一电极3108及第二电极3109施加的电压,可以表示灰度。像这样,可以进行预定的图像显示。

[0264] 此时,通过设置滤色片可以进行全彩色显示。可以在第一衬底3101一侧或第二衬底3102一侧设置滤色片。

[0265] 图10C1及C2示出说明MVA模式的液晶显示装置的像素结构的截面模式图。MVA模式是一种方法,其中一个像素被分割为多个部分,且使各部分的取向方向为彼此不同而相互补偿视角依赖性。如图10C1所示,在MVA模式中在第一电极3108及第二电极3109上设置有用来控制取向的其截面为三角的突起物3158及3159。另外,其他结构与VA模式同样。

[0266] 当对第一电极3108及第二电极3109施加电压(垂直电场方式)时,如图10C1所示,液晶分子3105以其长轴大致垂直于突起物3158及3159的面的方式取向。于是,来自背光灯的光可以穿过第一偏振片3103,成为白色显示。

[0267] 而且,如图10C2所示,当不对第一电极3108及第二电极3109施加电压时,液晶分子

3105成为在纵向方向上排列的状态。其结果是,来自背光灯的光不能穿过第一偏振片3103,成为黑色显示。此外,通过调节对第一电极3108及第二电极3109施加的电压,可以表示灰度。像这样,可以进行预定的图像显示。

[0268] 此时,通过设置滤色片,可以进行全彩色显示。可以在第一衬底3101一侧或第二衬底3102一侧设置滤色片。

[0269] 图13A及13B示出MVA模式的另一例子的俯视图和截面图。如图13A所示,第二电极3109a、第二电极3109b及第二电极3109c形成为“ \angle ”型地弯曲的图案。如图13B所示,在第二电极3109a、3109b及3109c上以及第一电极3108上分别形成有取向膜的绝缘膜3162及绝缘膜3163。在第一电极3108上第二电极3109b重叠地形成有突起物3158。

[0270] 图11A1及11A2是说明OCB模式的液晶显示装置的像素结构的截面模式图。在OCB模式中,液晶分子3105在液晶层内以补偿视角依赖性的方式取向。这种取向被称为弯曲取向。

[0271] 如图10A1、10A2、10B1、10B2、10C1、10C2同样,在第一衬底3101及第二衬底3102上分别设置有第一电极3108及第二电极3109。然后,至少将与背光灯相反一侧,即在可见一侧上的电极的第一电极3108形成为具有透光性。并且,在第一衬底3101一侧形成有第一偏振片3103,而在第二衬底3102一侧形成有第二偏振片3104。此外,配置有成为交叉尼克耳状态的第一偏振片3103的吸收轴和第二偏振片3104的吸收轴。

[0272] 在具有这种结构的液晶显示装置中,当对第一电极3108及第二电极3109施加电压(垂直电场方式)时进行黑色显示。此时,如图11A1所示,液晶分子3105成为在纵向方向上排列的状态。于是,来自背光灯的光不能穿过第一偏振片3103,成为黑色显示。

[0273] 并且,如图11A2所示,当在第一电极3108和第二电极3109之间不施加电压时,液晶分子3105成为弯曲取向状态。其结果是,来自背光灯的光可以穿过第一偏振片3103,成为白色显示。此外,通过调节对第一电极3108及第二电极3109施加的电压,可以表示灰度。像这样,可以进行预定的图像显示。

[0274] 此时,通过设置滤色片可以进行全彩色显示。也可以在第一衬底3101一侧或第二衬底3102一侧设置滤色片。

[0275] 在这种OCB模式中,可以利用液晶层内的液晶分子3105的排列来补偿视角依赖性。并且,可以利用包括一对层叠的偏振器的层来提高对比度。

[0276] 图11B1及11B2示出说明FLC模式及AFLC模式的液晶显示装置的像素结构的截面模式图。

[0277] 如图10A1、10A2、10B1、10B2、10C1、10C2同样,在第一衬底3101及第二衬底3102上分别设置有第一电极3108及第二电极3109。然后,将与背光灯相反一侧,即在可见一侧上的电极的第一电极3108形成为具有透光性。并且,在第一衬底3101一侧形成有第一偏振片3103,而在第二衬底3102一侧形成有第二偏振片3104。此外,配置有成为交叉尼克耳状态的第一偏振片3103的吸收轴和第二偏振片3104的吸收轴。

[0278] 在具有这种结构的液晶显示装置中,当对第一电极3108及第二电极3109施加电压(称为垂直电场方式)时,液晶分子3105成为沿偏离研磨方向的横向方向排列的状态。其结果是,来自背光灯的光可以穿过第一偏振片3103,成为白色显示。

[0279] 而且,如图11B2所示,当对第一电极3108和第二电极3109之间未施加电压时,液晶分子3105成为沿研磨方向的横向方向排列的状态。于是,来自背光灯的光不能穿过第一偏

振片3103,成为黑色显示。此外,通过调节对第一电极3108及第二电极3109施加的电压,可以表示灰度。像这样,可以进行预定的图像显示。

[0280] 此时,通过设置滤色片可以进行全彩色显示。也可以在第一衬底3101一侧或第二衬底3102一侧设置滤色片。

[0281] 作为用于FLC模式及AFLC模式的液晶材料,使用公知的材料即可。

[0282] 图12A1及12A2示出说明IPS模式的液晶显示装置的像素结构的截面模式图。IPS模式为利用只设置在一方的衬底一侧的电极的水平电场来使液晶分子3105相对于衬底在平面内旋转的模式。

[0283] IPS模式的特征在于利用设置在一方衬底的一对电极控制液晶。因此,在第二衬底3102上设置有一对电极3150、3151。一对电极3150、3151优选分别具有透光性。而且,在第一衬底3101一侧形成有第一偏振片3103,而在第二衬底3102一侧形成有第二偏振片3104。此外,配置有成为交叉尼克耳状态的第一偏振片3103的吸收轴和第二偏振片3104的吸收轴。

[0284] 在具有这种结构的液晶显示装置中,当对一对电极3150、3151施加电压时,如图12A1所示,液晶分子3105沿偏离研磨方向的电力线取向。于是,来自背光灯的光可以穿过第一偏振片3103,成为白色显示。

[0285] 并且,如图12A2所示,不对一对电极3150和3151之间施加电压时,液晶分子3105成为沿偏离研磨方向的横向方向排列的状态。其结果是,来自背光灯的光不能穿过第一偏振片3103,成为黑色显示。此外,通过调节 一对电极3150和3151之间施加的电压,可以表示灰度。像这样,可以进行预定的图像显示。

[0286] 此时,通过设置滤色片可以进行全彩色显示。可以在第一衬底3101一侧或第二衬底3102一侧设置滤色片。

[0287] 图14A至14C示出可以用于IPS模式的一对电极3150和3151的例子。如图14A至14C的俯视图所示,一对电极3150和3151互相交替地形成,在图14A中电极3150a和电极3150b为具有起伏的波浪形状,在图14B中电极3150b和电极3151c为梳齿状且其一部分为彼此层叠的形状,在图14C中电极3150c及电极3151c为梳齿状且为电极彼此啮合的形状。

[0288] 图12B1及12B2示出说明FFS模式的液晶显示装置的像素结构的截面模式图。FFS模式是与IPS模式相同的水平电场方式,但是其中如图12B1及12B2所示,在电极3150上隔着绝缘膜形成电极3151。

[0289] 一对电极3150及3151分别具有透光性。并且,在第一衬底3101一侧形成有第一偏振片3103,而第二衬底3102一侧形成有第二偏振片3104。此外,配置有成为交叉尼克耳状态的第一偏振片3103的吸收轴和第二偏振片3104的吸收轴。

[0290] 在具有这种结构的液晶显示装置中,当对一对电极3150、3151施加电压时,如图12B1所示,液晶分子3105沿偏离研磨方向的电力线取向。于是,来自背光灯的光可以穿过第一偏振片3103,成为白色显示。

[0291] 而且,如图12B2所示,当对一对电极3150和3151之间施加电压时,液晶分子3105成为沿研磨方向在横向方向上排列的状态。其结果是,来自背光灯的光不能穿过第一偏振片3103,成为黑色显示。此外,通过调节一对电极3150和3151之间施加的电压,可以表示灰度。像这样,可以进行预定的图像显示。

[0292] 此时,通过设置滤色片可以进行全彩色显示。可以在第一衬底3101一侧或第二衬

底3102一侧设置滤色片。

[0293] 图15A至15C示出可以用于FFS模式的一对电极3150和3151的例子。如图15A至15C的俯视图所示,在一对电极3150上形成有形成各种图案的电极3151,在图15A中电极3150a上的电极3151a为具有弯曲的“<”型形状,在图15B中电极3150b上的电极3151b为梳齿状且为电极彼此啮合的形状,在图15C中电极3150c上的电极3151c为梳齿状。

[0294] 作为用于IPS模式及FFS模式的液晶材料,使用公知的材料即可。或者,也可以使用呈现蓝相的液晶。

[0295] 此外,除了上述模式之外,还可以应用PVA模式、ASM模式、TBA模式等的工作模式。

[0296] 在显示装置中,适当地设置黑矩阵(遮光层)、偏振构件、相位差构件、抗反射构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。另外,作为光源,也可以使用背光灯、侧光灯等。

[0297] 此外,也可以利用多个发光二极管(LED)作为背光灯来进行分时显示方式(场序制驱动方式)。通过应用场序制驱动方式,可以不使用滤色片地进行彩色显示。

[0298] 如上所述,作为像素部中的显示方式,可以采用逐行扫描方式或隔行扫描方式等。此外,当进行彩色显示时在像素中受到控制的色彩单元不局限于RGB(R表示红色,G表示绿色,B表示蓝色)的三种颜色。例如,也可以采用RGBW(W显示白色)或者对RGB追加黄色、青色、品红色等中的一种以上的颜色。另外,每个色彩单元的点中的显示区的大小也可以彼此不同。但是,本发明不局限于彩色显示的显示装置,而也可以应用于单色显示的显示装置。

[0299] 此外,作为显示装置所包括的显示元件,也可以应用利用电致发光的发光元件。利用电致发光的发光元件根据其发光材料为有机化合物还是无机化合物进行区分,一般来说,将前者称为有机EL元件而将后者称为无机EL元件。

[0300] 在有机EL元件中,通过对发光元件施加电压,电子及空穴分别从一对电极注入到包括具有发光性的有机化合物的层,以使电流流过。并且,这些载流子(电子及空穴)复合来发光。根据这种机理,发光元件被称为电流激发型发光元件。

[0301] 无机EL元件根据其元件结构而分类为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件具有发光层,其中发光材料的微粒分散在粘合剂中,并且其发光机理是利用施主能级和受主能级的施主-受主复合型发光。薄膜型无机EL元件具有一种结构,其中,发光层夹在介电层之间,并且该夹着发光层的介电层由电极夹住,其发光机理是利用金属离子的内壳层电子跃迁的定域类型发光。注意,这里使用有机EL元件作为发光元件进行说明。

[0302] 为了取出发光,使发光元件的一对电极中的至少一个为透明即可。并且,在衬底上制造晶体管及发光元件,作为发光元件,有从与衬底相反一侧的表面取出光的顶部发射;从衬底一侧的表面取出光的底部发射;从衬底一侧及与衬底相反一侧的表面取出光的双面发射结构的发光元件,可以应用上述任一种发射结构的发光元件。

[0303] 在图8B中,作为第一衬底201、第二衬底206,也可以使用具有柔性的衬底,例如使用具有透光性的塑料衬底等。作为塑料衬底,使用FRP(Fiberglass-Reinforced Plastics;纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外,也可以使用具有由PVF薄膜或聚酯薄膜夹住铝箔的结构的一片材。

[0304] 图8B的显示装置通过使来自光源的光透过而进行显示。因此,设置在光透过的像

素部中的衬底、绝缘膜、导电膜等的薄膜全都具有对可见光的透光性。

[0305] 作为第一电极230、第二电极231,使用包括氧化钨的氧化铟、包括氧化钨的氧化铟锌、包括氧化钛的氧化铟、包括氧化钛的氧化铟锡、氧化铟锡(以下显示为ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等具有透光性的导电材料。

[0306] 此外,作为第一电极230、第二电极231,使用包括导电高分子(也称为导电聚合物)的导电组成物。

[0307] 作为导电高分子,也可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者包含苯胺、吡咯及噻吩中的两种以上的共聚物或其衍生物等。

[0308] 此外,只要具有对可见光的透光性,第一电极230、第二电极231就可以使用与导电膜108同样的导电膜。此外,只要具有对可见光的透光性,就可以使用与晶体管210的栅电极同一层及同一材料。

[0309] 此外,由于晶体管容易被静电等损坏,所以优选设置驱动电路保护用的保护电路。保护电路优选使用非线性元件构成。

[0310] 图9A示出可以应用于保护电路的电路的一例。保护电路997由n沟道型晶体管970a及晶体管970b构成,并且在晶体管970a及晶体管970b中,栅极端子呈现与二极管同样的特性地分别连接到漏极端子。另外,作为晶体管970a及晶体管970b,也可以使用实施方式1所示的晶体管。

[0311] 晶体管970a的第一端子(栅极)及第三端子(漏极)与第一布线945连接,第二端子(源极)与第二布线960连接。此外,晶体管970b的第一端子(栅极)及第三端子(漏极)与第二布线960连接,第二端子(源极)与第一布线945连接。也就是说,图9A所示的保护电路具备两个晶体管分别使整流方向彼此相反来连接第一布线945和第二布线960的结构。换言之,采用如下结构:在第一布线945和第二布线960之间包括其整流方向从第一布线945向第二布线960的晶体管和其整流方向从第二布线960向第一布线945的晶体管。

[0312] 在上述的保护电路中,当第二布线960因静电等而带正电或负电时,电流向消除其电荷的方向流过。例如,当第二布线960带正电时,电流向将其正电荷释放到第一布线945的方向流过。通过该工作,可以防止连接到带电的第二布线960的电路或元件的静电损坏或错误工作。此外,可以防止在带电的第二布线960和其他布线隔着绝缘膜交叉结构中发生的该绝缘膜的绝缘击穿。

[0313] 另外,保护电路不局限于上述结构。例如,也可以是具有整流方向为从第一布线945向第二布线960的多个晶体管及整流方向为从第二布线960向第一布线945的多个晶体管的结构。此外,也可以使用奇数个晶体管构成保护电路。

[0314] 图9A所例示的保护电路可以应用于各种用途。例如,将第一布线945用作显示装置的共同布线,将第二布线960用作多个信号线中之一,并可以在两者之间应用上述保护电路。设置有保护电路的连接到信号线的像素晶体管被保护以避免受到布线的带电所导致的静电损坏或阈值电压的转移等的不良。该保护电路当然可以应用于显示装置的其他部分,还可以用于其他用途,例如半导体存储装置、CPU等。

[0315] 接着,说明在衬底上构成保护电路997的例子。图9B示出保护电路997的俯视图的一例。

[0316] 晶体管970a具有栅电极911a,栅电极911a与第一布线945连接。晶体管970a的源电极与第二布线960连接,漏电极通过第一电极915a与第一布线945连接。此外,晶体管970a在源电极和漏电极之间具备与栅电极911a重叠的半导体膜913。

[0317] 晶体管970b具有栅电极911b,栅电极911b通过接触孔925b与第二布线960连接。在晶体管970b中漏电极与第二布线960连接,源电极通过第一电极915a及接触孔925a与第一布线945连接。此外,晶体管970b在源电极和漏电极之间具备与栅电极911b重叠的半导体膜914。

[0318] 如上所述,通过应用实施方式1所例示的晶体管,可以提供耗电量小且可靠性高的半导体装置。另外,实施方式1所例示的晶体管不仅应用于具有上述显示功能的半导体装置,而且还可以应用于具有各种功能的半导体装置,诸如安装在电源电路的功率器件、LSI等的半导体集成电路或具有读取对象物的信息的图像传感器功能的半导体装置等。

[0319] 此外,因为可以抑制通过晶体管的电荷释放,所以在运动少的图像(包括静态图像)中可以减少显示的改写频率,来可以进一步减少显示装置的耗电量。

[0320] 如上所述,根据本发明的一个方式可以得到显示质量及可靠性高且耗电量小的液晶显示装置。

[0321] 本实施方式可以与其他实施方式适当地组合而实施。

[0322] 实施方式7

[0323] 在本实施方式中说明应用实施方式1的电子设备的例子。

[0324] 图16A是便携式信息终端。该便携式信息终端包括框体300、按钮301、麦克风302、显示部303、扬声器304以及照相机305,并具有作为便携式电话机的功能。本发明的一个方式可以应用于显示部303及照相机305。此外,虽然未图示,本发明的一个方式也可以应用于位于主体内部的CPU、无线电路或存储电路。

[0325] 图16B是显示器。该显示器包括框体310以及显示部311。本发明的一个方式可以应用于显示部311。通过使用本发明的一个方式,当增大显示部311的尺寸时也可以实现显示质量高的显示器。

[0326] 图16C是数字静态照相机。该数字静态照相机包括框体320、按钮321、麦克风322以及显示部323。本发明的一个方式可以应用于显示部323。此外,虽然未图示,本发明的一个方式也可以应用于设置在主体内部的存储电路或图像传感器。

[0327] 通过使用本发明的一个方式,可以降低电子设备的成本。此外,可以得到显示质量高的显示装置。

[0328] 本实施方式可以与其他实施方式适当地组合而实施。

[0329] 标号说明

[0330] 100 衬底

[0331] 102 基底绝缘膜

[0332] 104 栅电极

[0333] 106 第一氧化物半导体膜

[0334] 108 导电膜

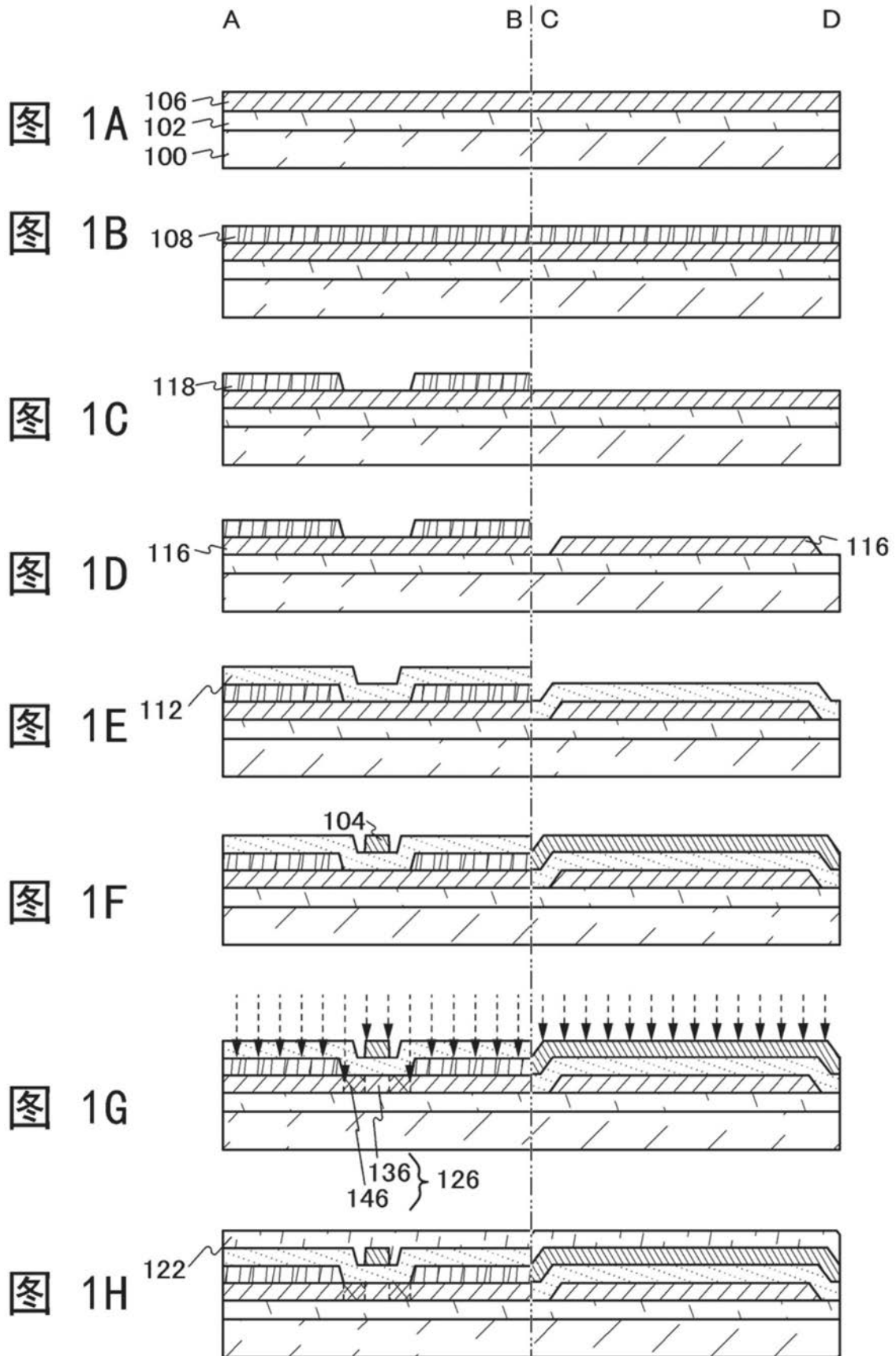
[0335] 112 栅极绝缘膜

[0336] 116 第二氧化物半导体膜

- [0337] 118 漏电极
- [0338] 122 层间绝缘膜
- [0339] 126 氧化物半导体膜
- [0340] 136 第一区
- [0341] 146 第二区
- [0342] 201 第一衬底
- [0343] 202 像素部
- [0344] 203 信号线驱动电路
- [0345] 204 扫描线驱动电路
- [0346] 205 密封剂
- [0347] 206 第二衬底
- [0348] 208 液晶层
- [0349] 210 晶体管
- [0350] 211 晶体管
- [0351] 213 液晶元件
- [0352] 215 连接端子电极
- [0353] 216 端子电极
- [0354] 217 氧化物半导体膜
- [0355] 218 FPC
- [0356] 219 各向异性导电膜
- [0357] 230 第一电极
- [0358] 231 第二电极
- [0359] 232 绝缘膜
- [0360] 233 绝缘膜
- [0361] 235 间隔物
- [0362] 300 框体
- [0363] 301 按钮
- [0364] 302 麦克风
- [0365] 303 显示部
- [0366] 304 扬声器
- [0367] 305 照相机
- [0368] 310 框体
- [0369] 311 显示部
- [0370] 320 框体
- [0371] 321 按钮
- [0372] 322 麦克风
- [0373] 323 显示部
- [0374] 911a 栅电极
- [0375] 911b 栅电极

- [0376] 913 半导体膜
- [0377] 914 半导体膜
- [0378] 915a 第一电极
- [0379] 925a 接触孔
- [0380] 925b 接触孔
- [0381] 945 布线
- [0382] 960 布线
- [0383] 970a 晶体管
- [0384] 970b 晶体管
- [0385] 997 保护电路
- [0386] 1100 存储单元
- [0387] 1110 存储单元阵列
- [0388] 1111 驱动电路
- [0389] 1112 电路
- [0390] 1113 驱动电路
- [0391] 1120 存储单元阵列
- [0392] 1130 存储单元
- [0393] 1131 晶体管
- [0394] 1132 电容元件
- [0395] 1140 存储单元阵列
- [0396] 1141 开关元件
- [0397] 1142 存储元件
- [0398] 1143 存储元件群
- [0399] 1150 存储单元
- [0400] 1151 晶体管
- [0401] 1152 晶体管
- [0402] 1153 晶体管
- [0403] 1154 晶体管
- [0404] 1155 晶体管
- [0405] 1156 晶体管
- [0406] 1160 晶体管
- [0407] 1161 晶体管
- [0408] 1162 晶体管
- [0409] 1163 晶体管
- [0410] 1164 晶体管
- [0411] 1170 存储单元
- [0412] 1171 晶体管
- [0413] 1172 晶体管
- [0414] 1173 电容元件

- [0415] 1180 存储单元
- [0416] 1181 晶体管
- [0417] 1182 晶体管
- [0418] 1183 电容元件
- [0419] 1189 ROM接口
- [0420] 1190 衬底
- [0421] 1191 ALU
- [0422] 1192 ALU控制器
- [0423] 1193 指令译码器
- [0424] 1194 中断控制器
- [0425] 1195 定时控制器
- [0426] 1196 寄存器
- [0427] 1197 寄存器控制器
- [0428] 1198 总线接口
- [0429] 1199 ROM
- [0430] 3100 具有显示元件的层
- [0431] 3101 第一衬底
- [0432] 3102 第二衬底
- [0433] 3103 第一偏振片
- [0434] 3104 第二偏振片
- [0435] 3105 液晶分子
- [0436] 3108 第一电极
- [0437] 3109 第二电极
- [0438] 3109a 第二电极
- [0439] 3109b 第二电极
- [0440] 3109c 第二电极
- [0441] 3150 电极
- [0442] 3150a 电极
- [0443] 3150b 电极
- [0444] 3150c 电极
- [0445] 3151a 电极
- [0446] 3151b 电极
- [0447] 3151c 电极
- [0448] 3151 电极
- [0449] 3158 突起物
- [0450] 3162 绝缘膜



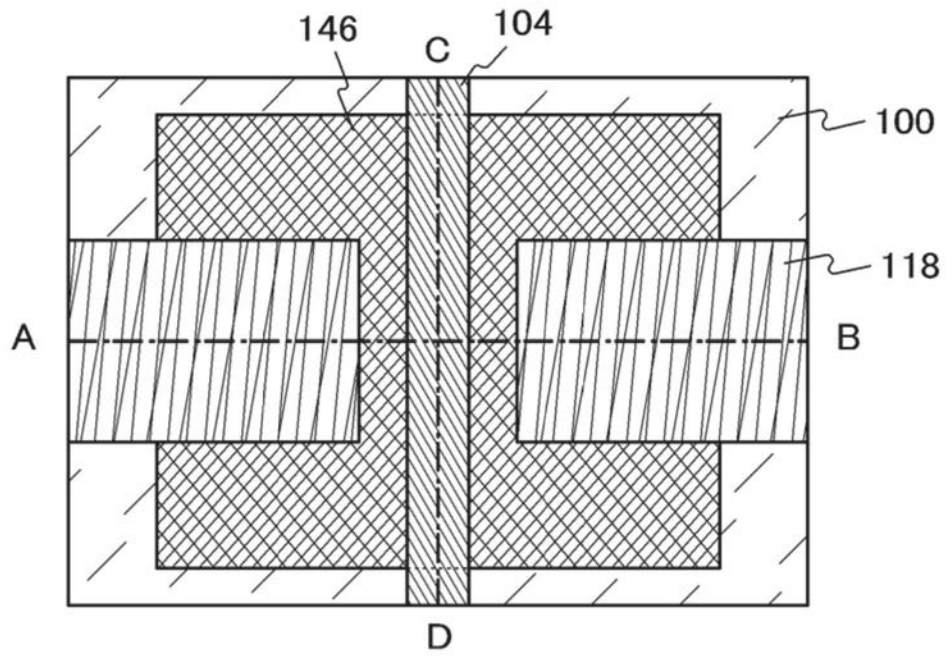


图2A

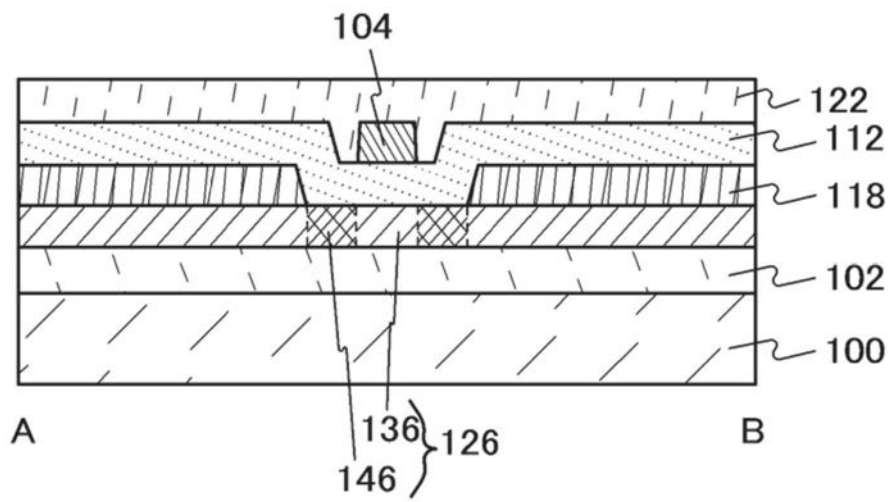


图2B

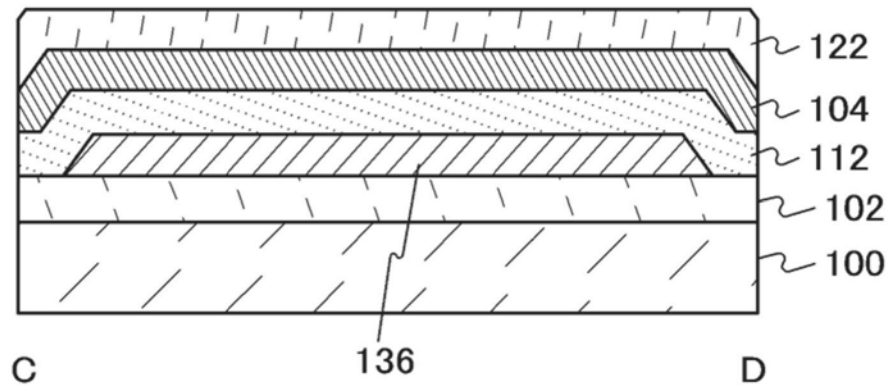


图2C

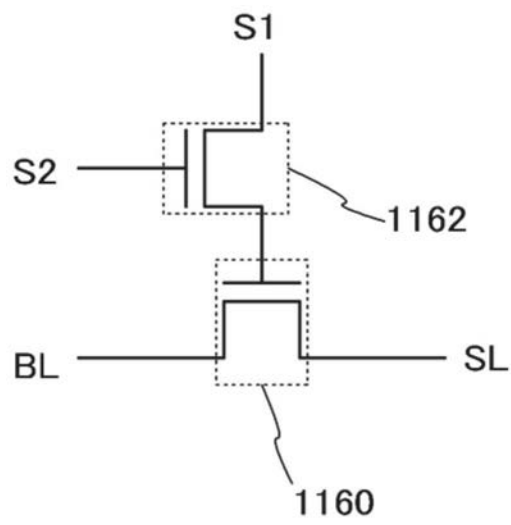


图3A

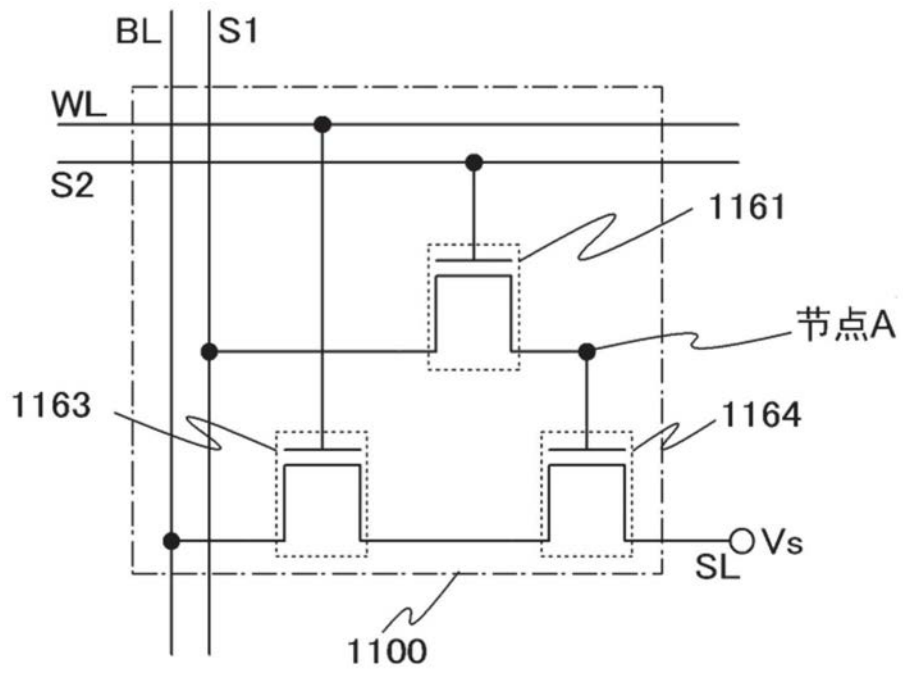


图3B

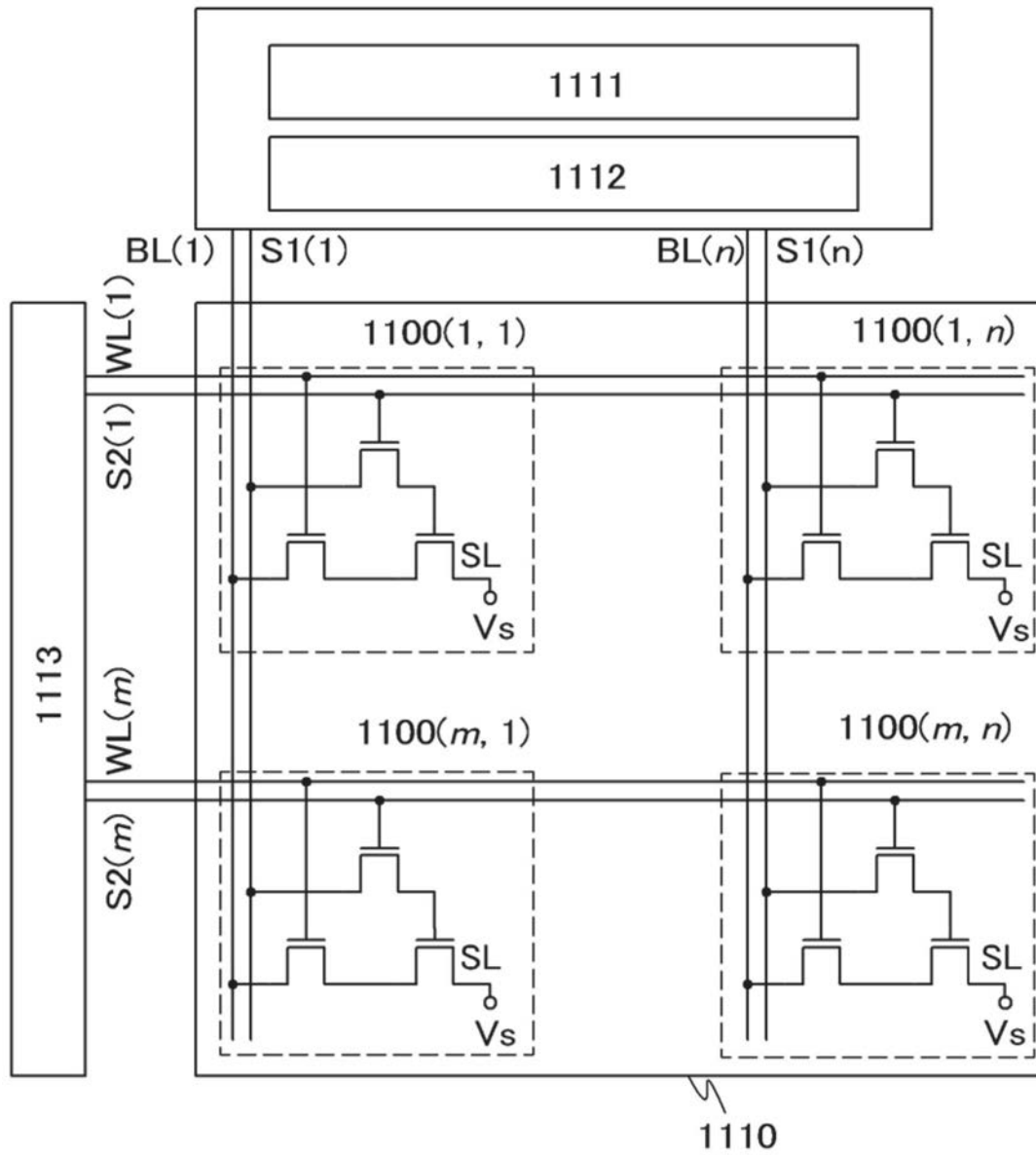


图4

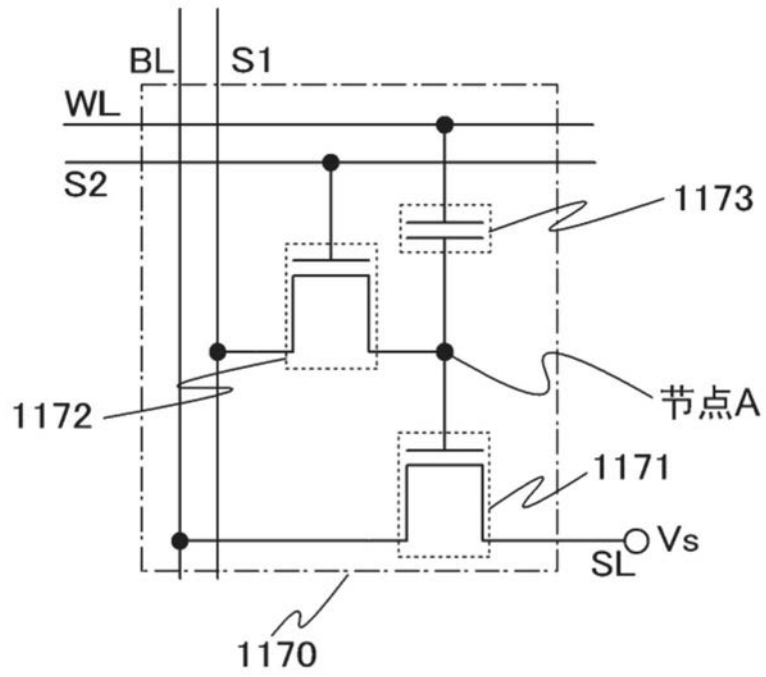


图5A

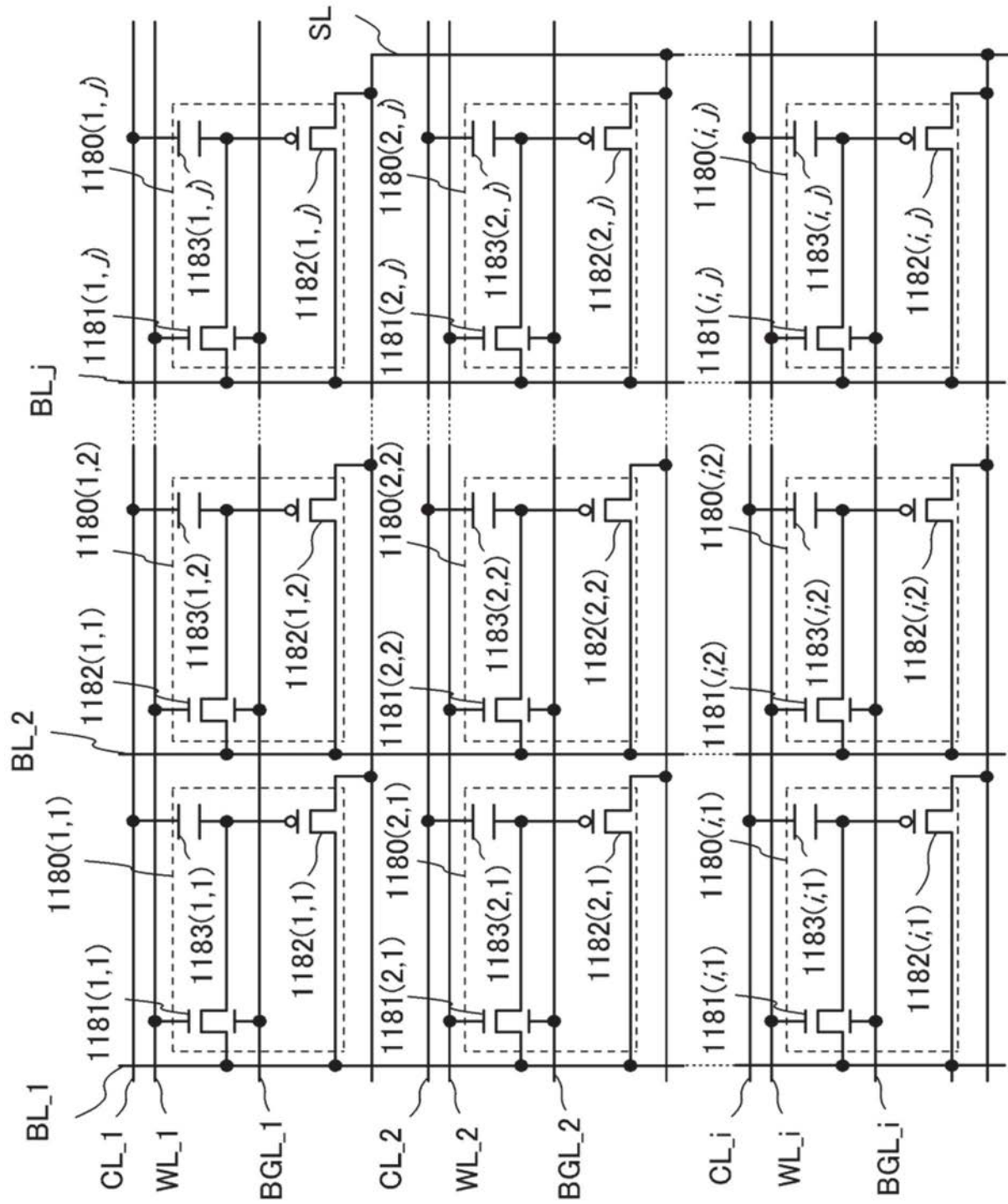


图5B

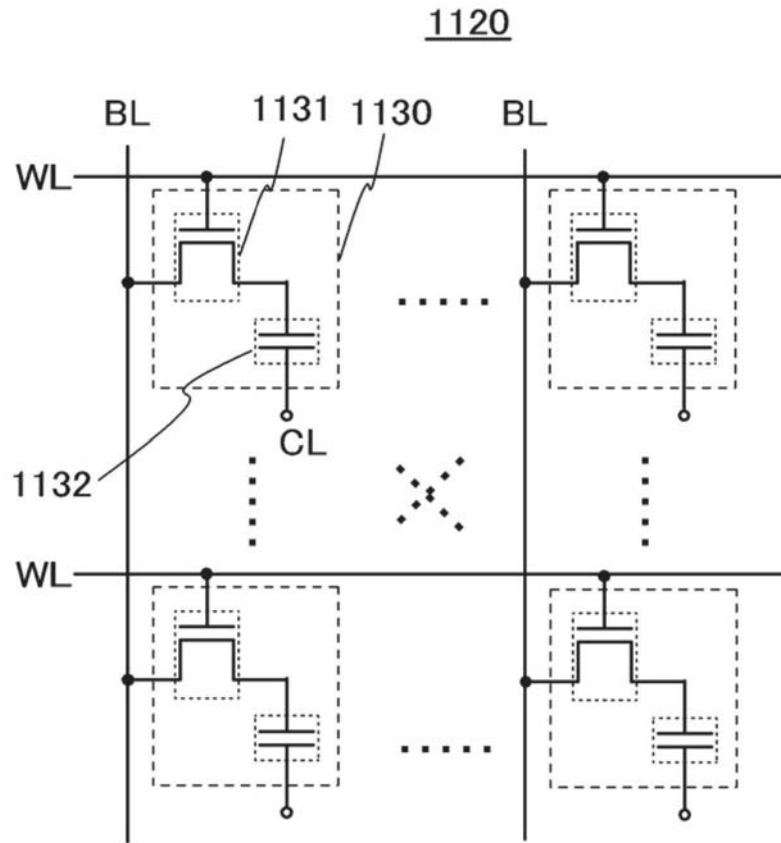


图6A

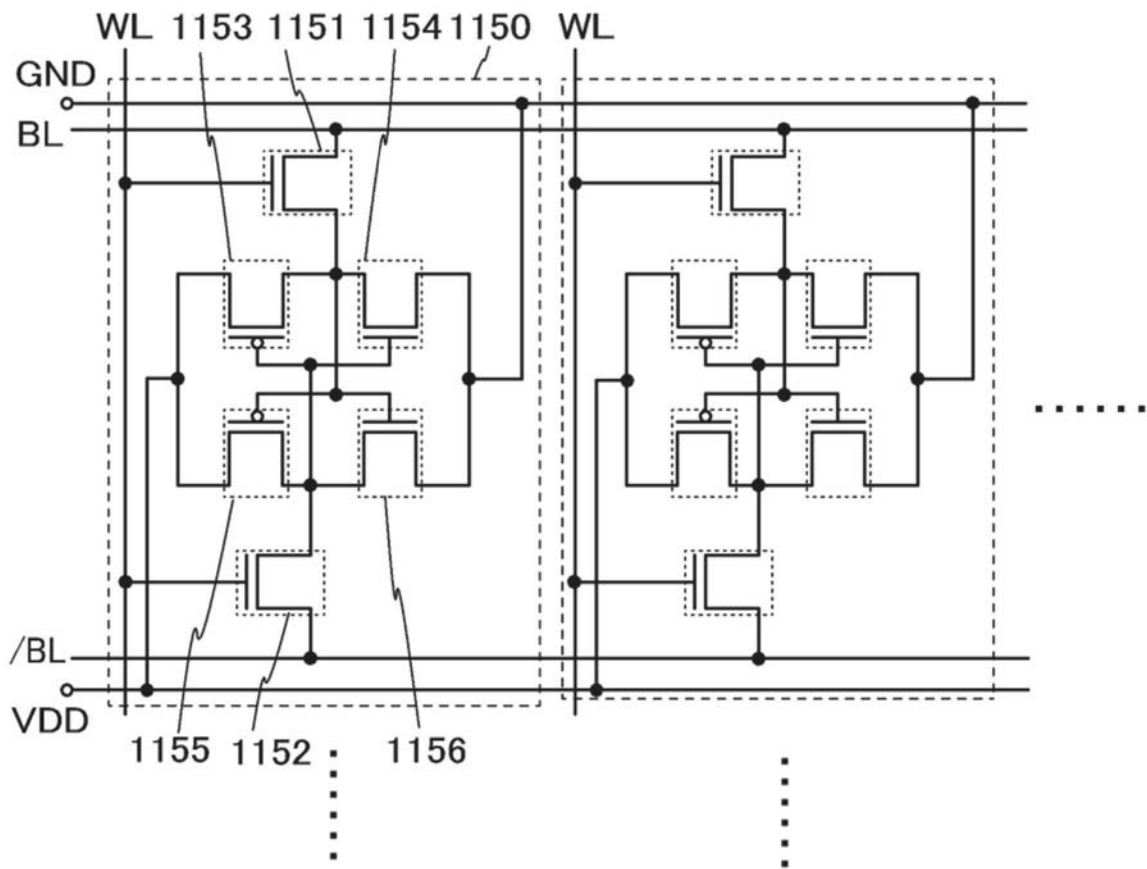
1140

图6B

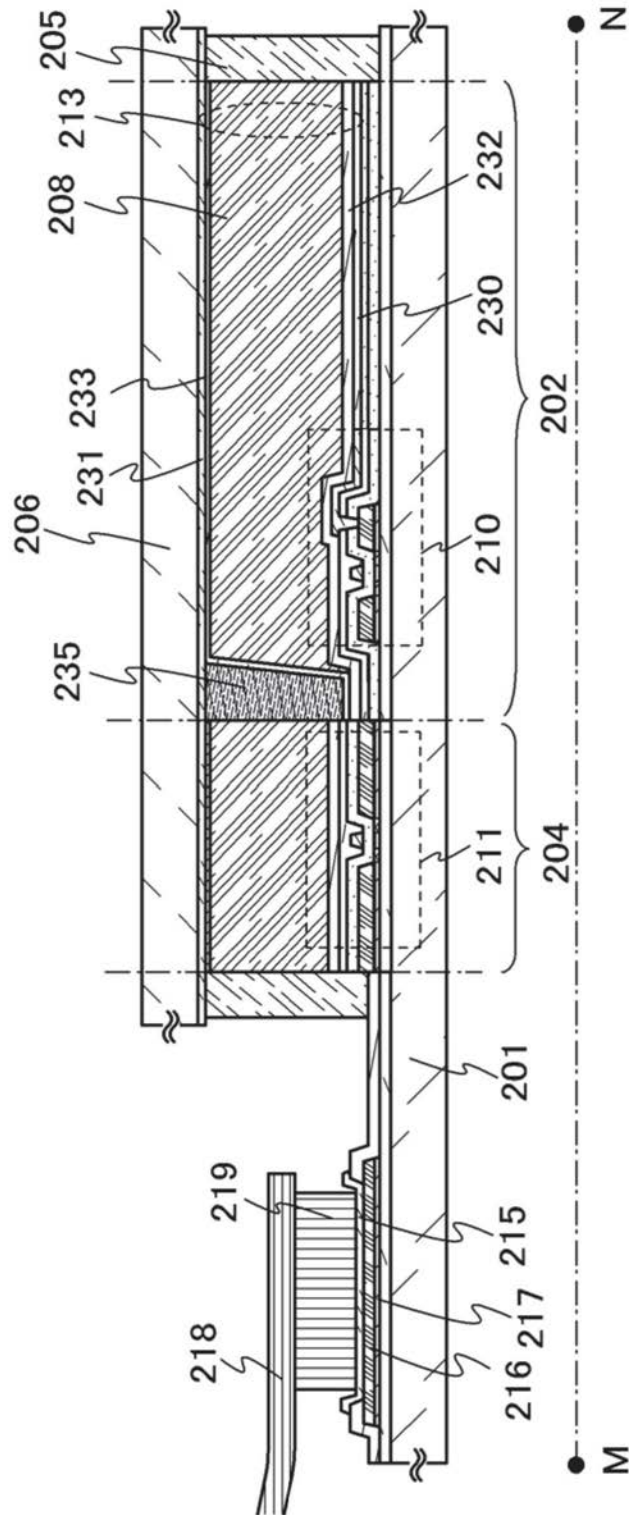


图8B

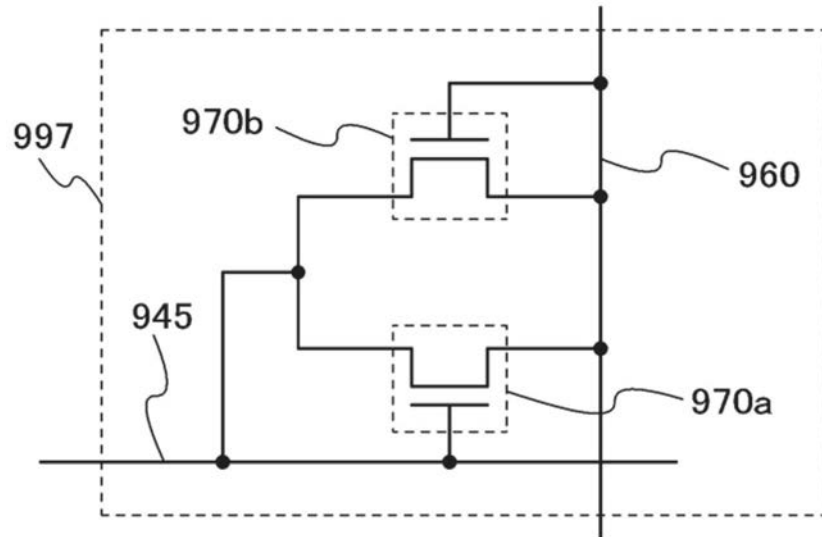


图9A

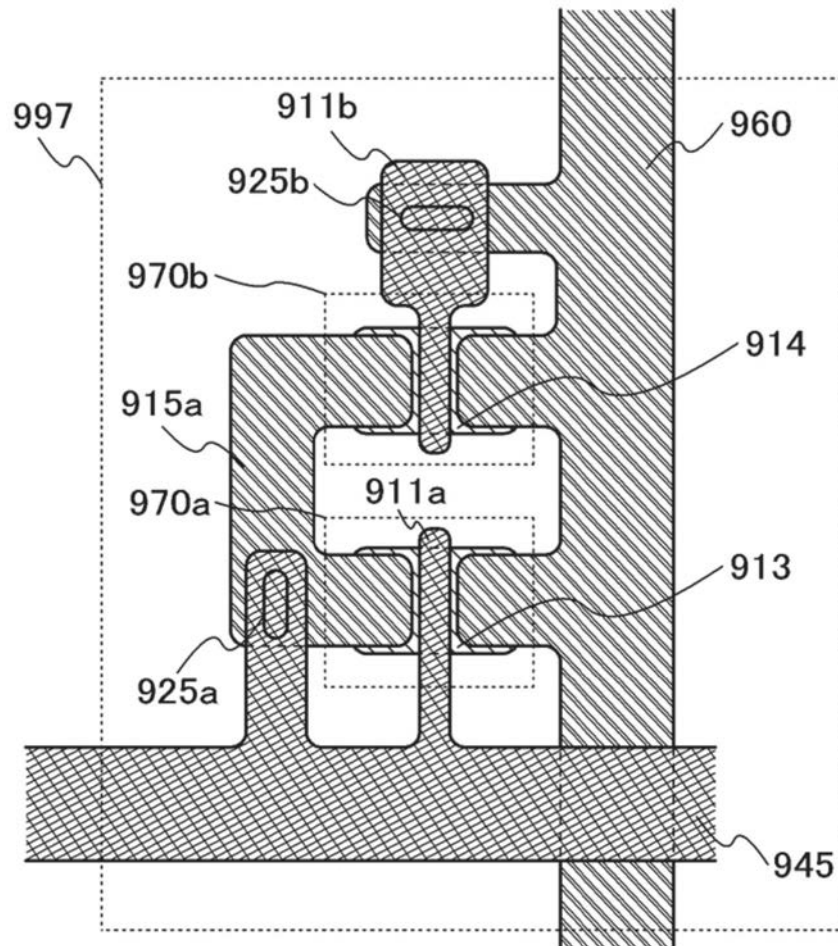


图9B

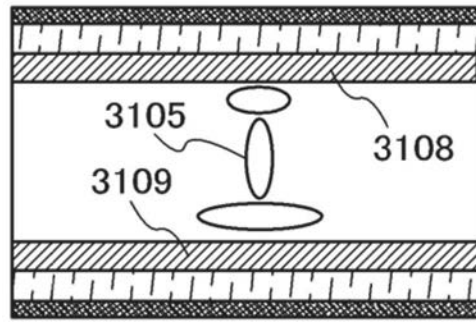


图10A1

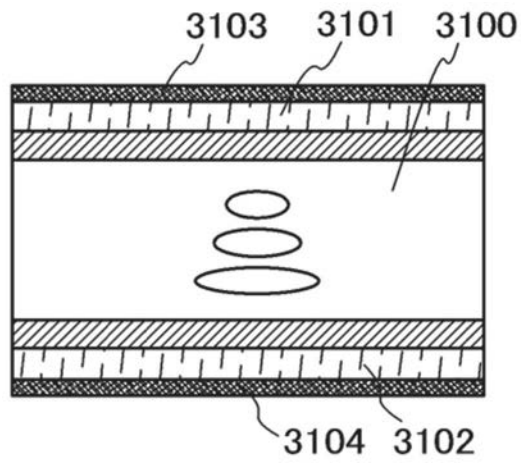


图10A2

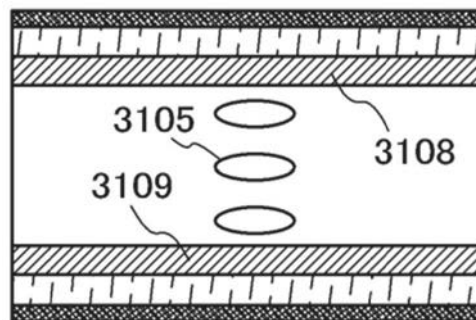


图10B1

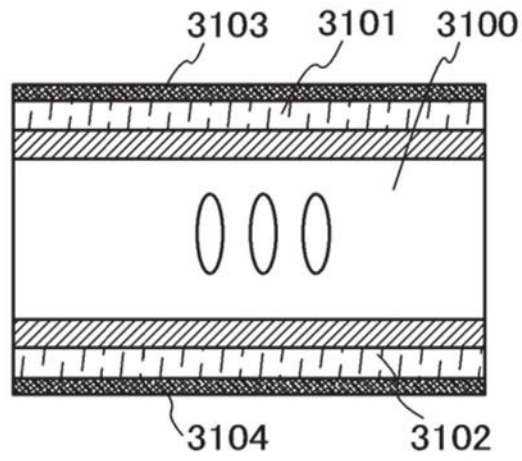


图10B2

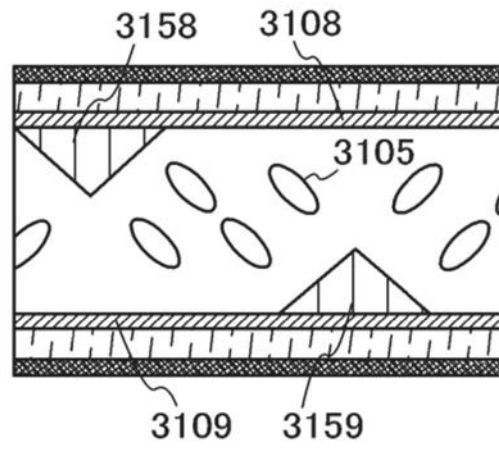


图10C1

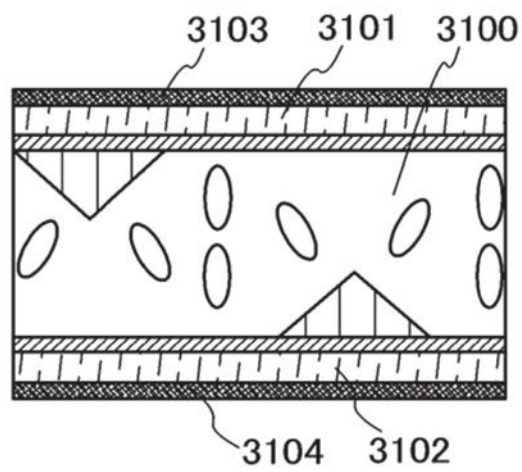


图10C2

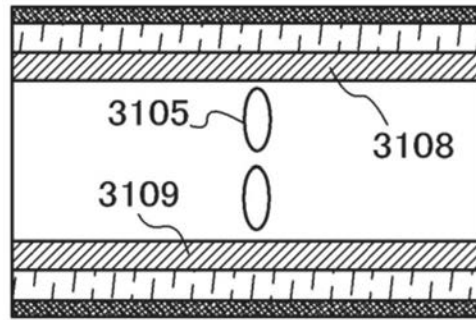


图11A1

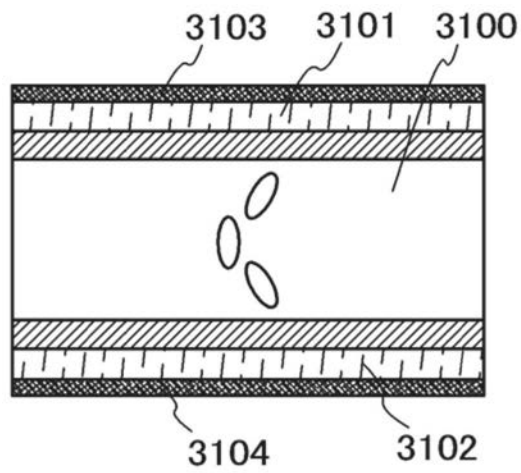


图11A2

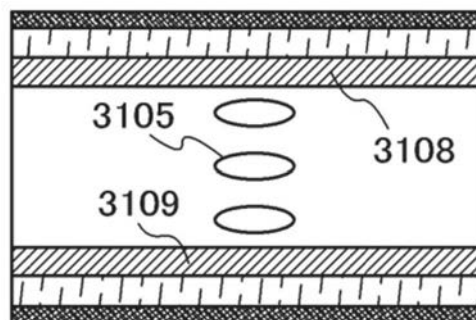


图11B1

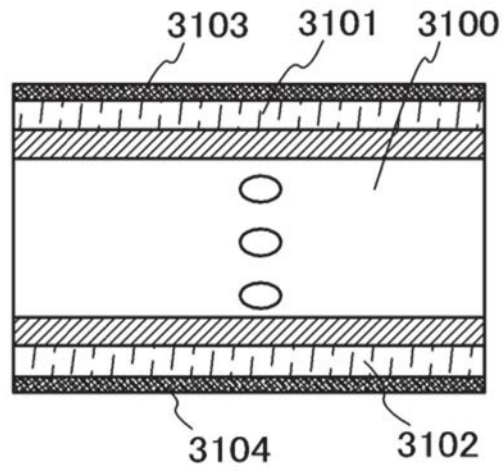


图11B2

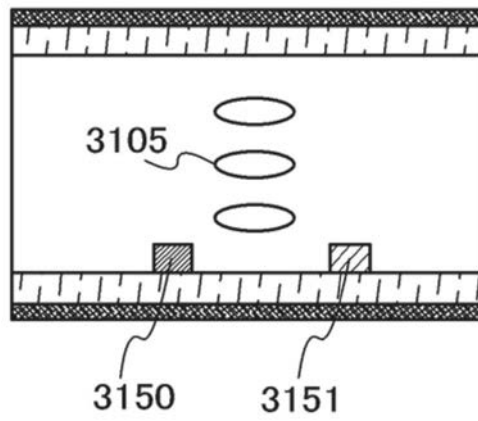


图12A1

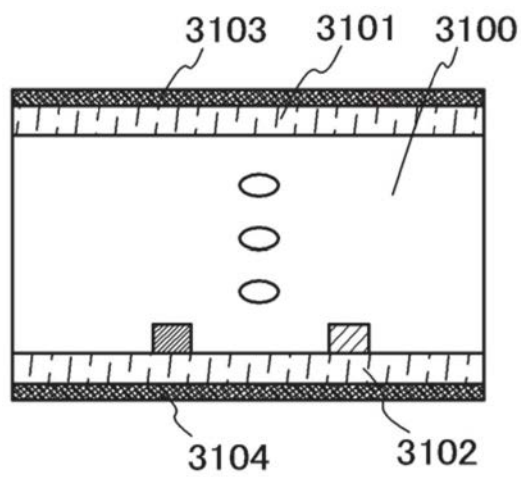


图12A2

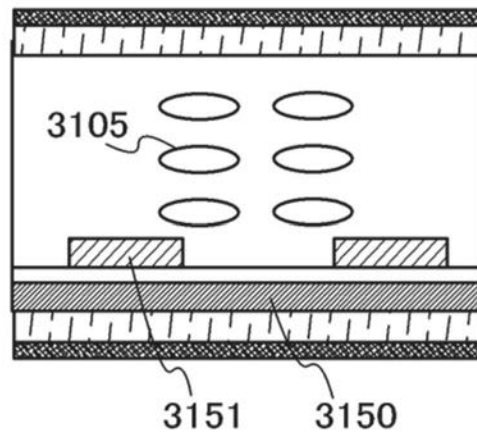


图12B1

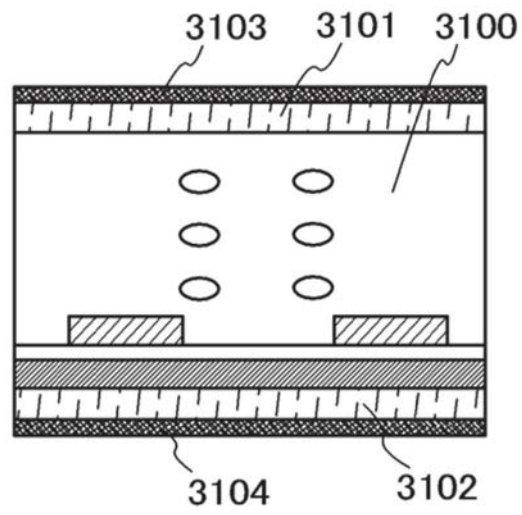


图12B2

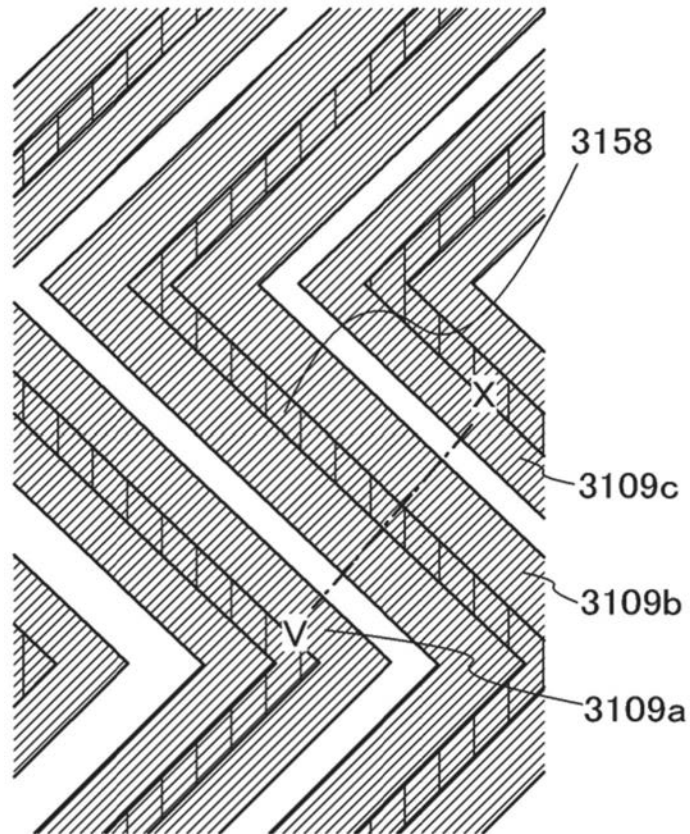


图13A

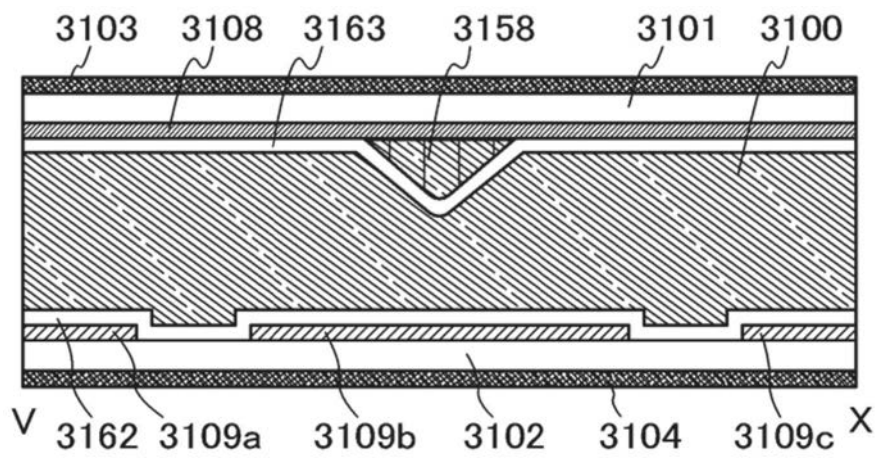


图13B

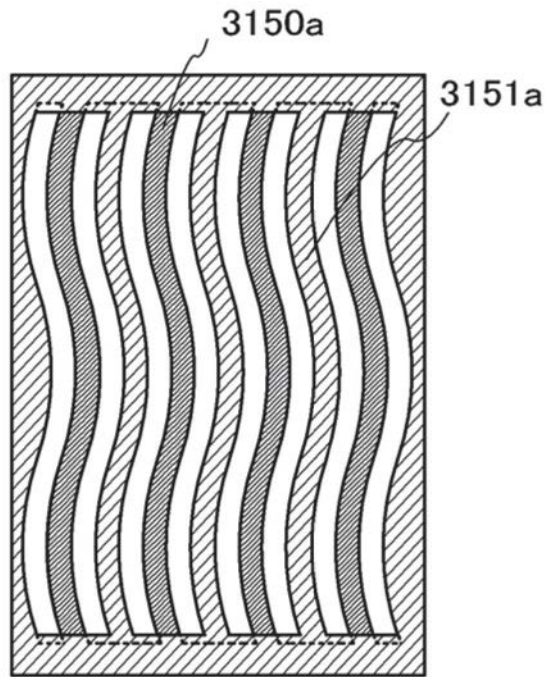


图14A

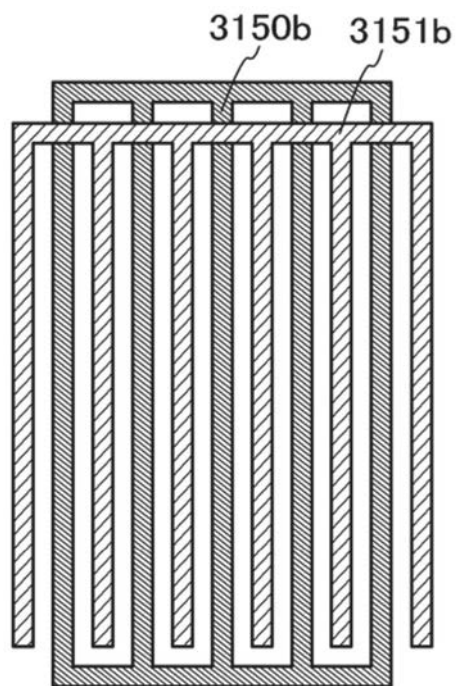


图14B

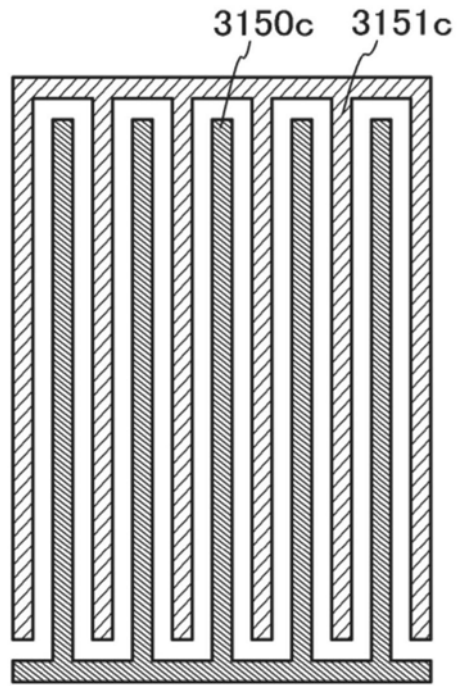


图14C

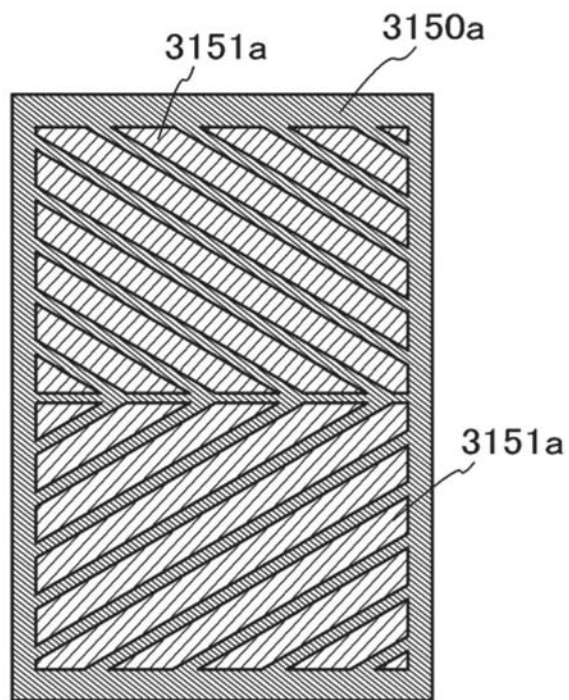


图15A

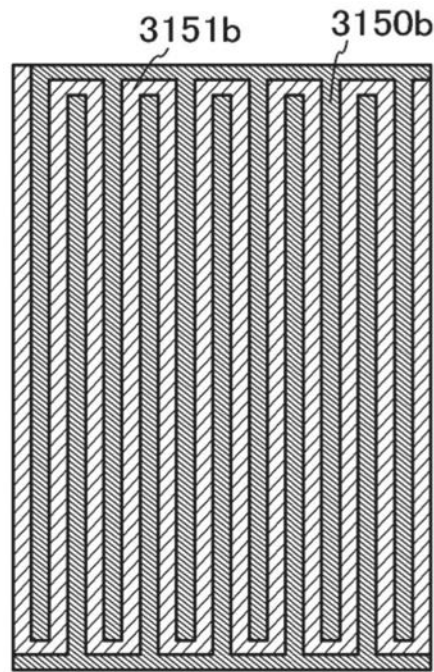


图15B

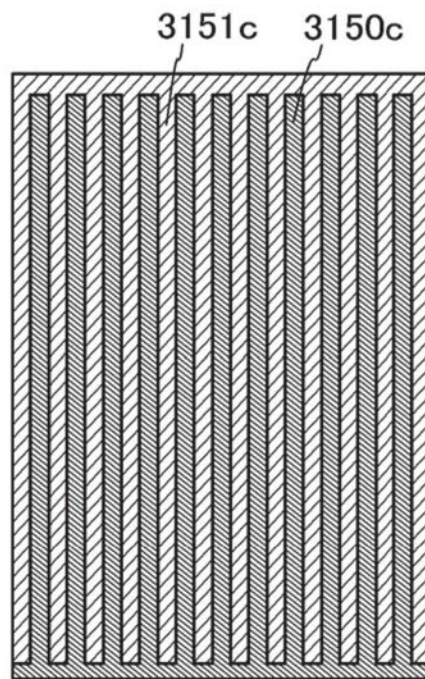


图15C

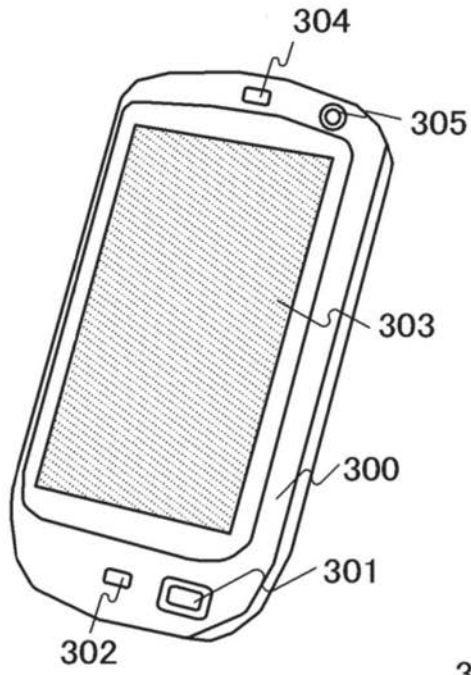


图 16A

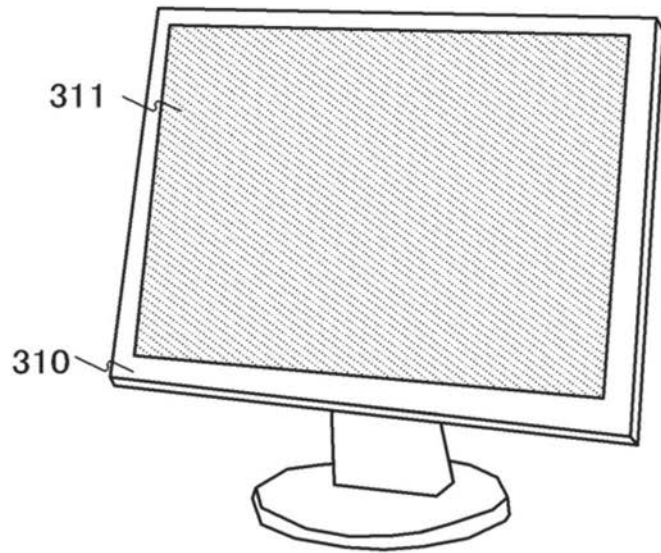


图 16B

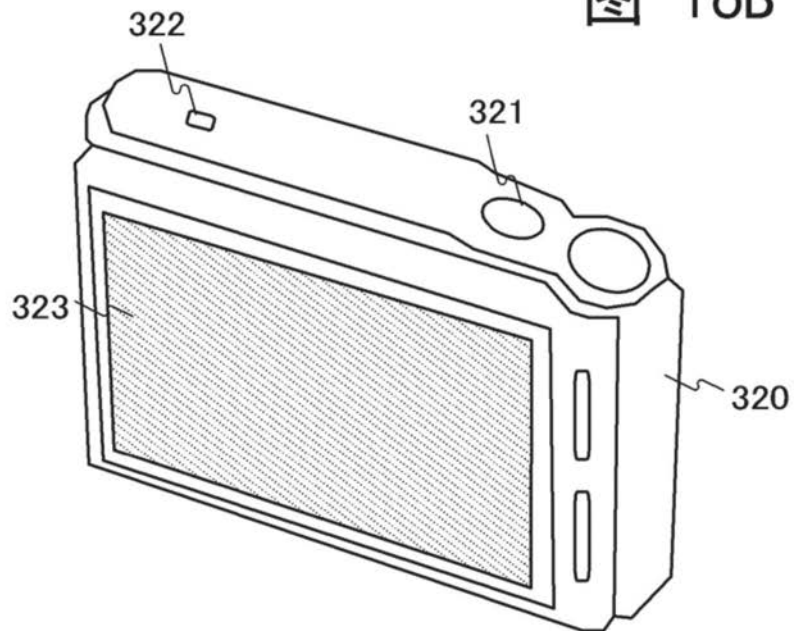


图 16C

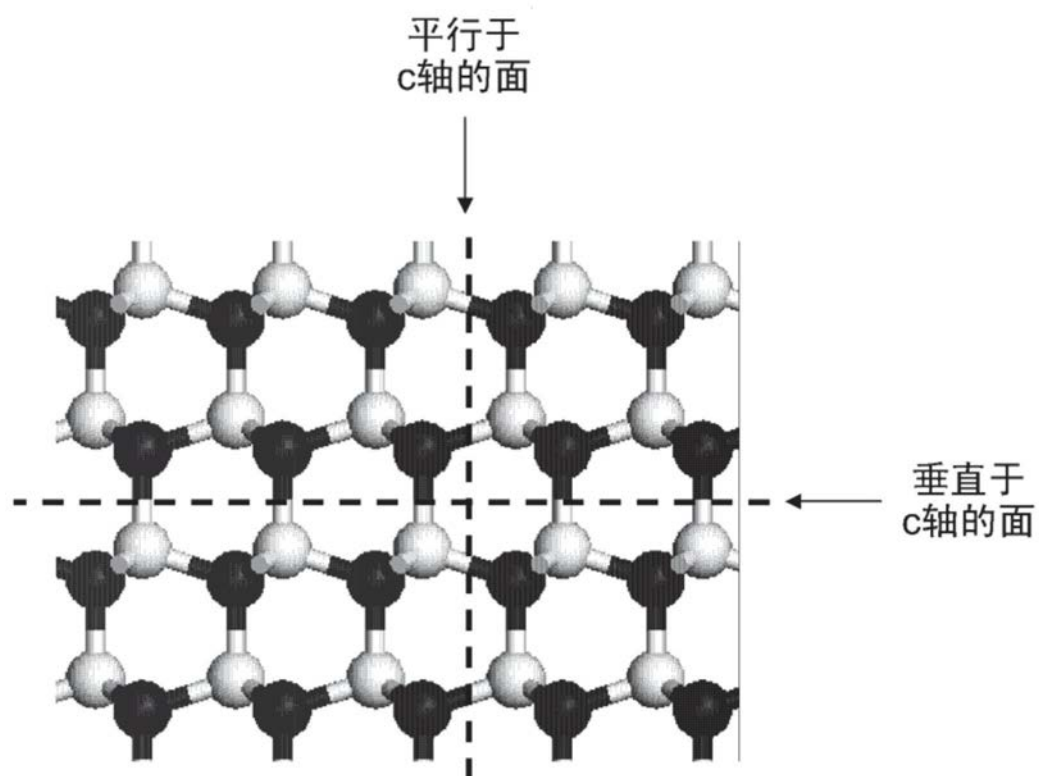


图17

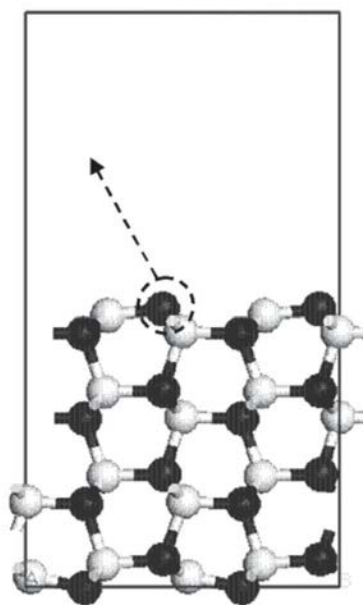


图18A

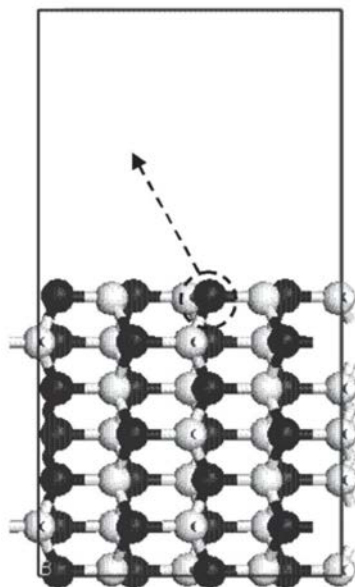


图18B

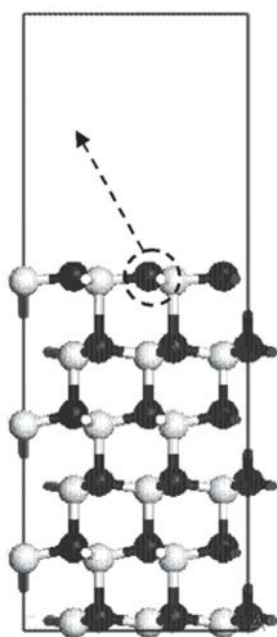


图18C