

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成21年1月15日(2009.1.15)

【公開番号】特開2007-207411(P2007-207411A)

【公開日】平成19年8月16日(2007.8.16)

【年通号数】公開・登録公報2007-031

【出願番号】特願2006-351076(P2006-351076)

【国際特許分類】

G 1 1 C 19/28 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/36 (2006.01)

G 1 1 C 19/00 (2006.01)

【F I】

G 1 1 C 19/28 D

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/36

G 1 1 C 19/00 J

G 1 1 C 19/00 K

【手続補正書】

【提出日】平成20年11月19日(2008.11.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

クロック端子および出力端子と、
前記出力端子と前記クロック端子との間に接続する第 1 トランジスタと、
前記出力端子を放電する第 2 トランジスタと、
前記第 1 トランジスタの制御電極が接続するノードである第 1 ノードを入力端とし、前記第 2 トランジスタの制御電極が接続するノードである第 2 ノードを出力端とする第 1 プルダウン駆動回路とを備え、
前記第 1 プルダウン駆動回路は、
前記第 2 ノードと第 1 電源端子との間に直列接続した第 3 および第 4 トランジスタと、
前記第 2 ノードと第 2 電源端子との間に接続した第 5 トランジスタと、
前記第 2 ノードの電位で制御されて、前記第 3 トランジスタと前記第 4 トランジスタとの接続ノードである第 3 ノードに帰還電流を流す第 6 トランジスタとを備える
ことを特徴とするシフトレジスタ回路。

【請求項 2】

請求項 1 記載のシフトレジスタ回路であって、
前記第 3 および第 4 トランジスタの制御電極は、前記第 1 ノードに接続し、
前記第 5 トランジスタの制御電極は、前記第 2 電源端子に接続し、
前記第 6 トランジスタは、前記第 3 ノードと第 3 電源端子との間に接続し、その制御電極が前記第 2 ノードに接続している
ことを特徴とするシフトレジスタ回路。

【請求項 3】

請求項 2 記載のシフトレジスタ回路であって、

前記第 2 および前記第 3 電源端子は、同一の端子により構成されていることを特徴とするシフトレジスタ回路。

【請求項 4】

請求項 1 から請求項 3 のいずれか記載のシフトレジスタ回路であって、
前記第 1 ノードを充電するタイミングを規定する信号が入力される入力端子と、
前記入力端子を入力端とし前記第 2 ノードを出力端とする第 2 ブルダウン駆動回路とをさらに備え、
前記第 2 ブルダウン駆動回路は、
前記第 2 ノードと前記第 1 電源端子との間に直列接続した第 7 および第 8 トランジスタと、
前記第 2 ノードと前記第 2 電源端子との間に接続した第 9 トランジスタと、
前記第 2 ノードの電位に制御されて、前記第 7 トランジスタと第 8 トランジスタとの接続ノードである第 4 ノードに帰還電流を流す第 10 トランジスタとを備えることを特徴とするシフトレジスタ回路。

【請求項 5】

請求項 4 記載のシフトレジスタ回路であって、
前記第 7 および第 8 トランジスタの制御電極は、前記入力端子に接続し、
前記第 9 トランジスタの制御電極は、前記第 2 電源端子に接続し、
前記第 10 トランジスタは、前記第 4 ノードと第 4 電源端子との間に接続し、その制御電極が前記第 2 ノードに接続していることを特徴とするシフトレジスタ回路。

【請求項 6】

請求項 4 または請求項 5 記載のシフトレジスタ回路であって、
前記第 5 および第 9 トランジスタは、同一のトランジスタにより構成されており、
前記第 6 および第 10 トランジスタは、同一のトランジスタにより構成されていることを特徴とするシフトレジスタ回路。

【請求項 7】

請求項 5 記載のシフトレジスタ回路であって、
前記第 2 および前記第 4 電源端子は、同一の端子により構成されていることを特徴とするシフトレジスタ回路。

【請求項 8】

クロック端子および出力端子と、
前記出力端子と前記クロック端子との間に接続する第 1 トランジスタと、
前記出力端子を放電する第 2 トランジスタと、
前記第 1 トランジスタの制御電極が接続するノードである第 1 ノードを充電するタイミングを規定する信号が入力される入力端子と、
前記入力端子を入力端とし前記第 2 トランジスタの制御電極が接続するノードである第 2 ノードを出力端とするブルダウン駆動回路とを備え、
前記ブルダウン駆動回路は、
前記第 2 ノードと第 1 電源端子との間に直列接続した第 3 および第 4 トランジスタと、
前記第 2 ノードと第 2 電源端子との間に接続した第 5 トランジスタと、
前記第 2 ノードの電位で制御されて、前記第 3 トランジスタと第 4 トランジスタとの接続ノードである第 3 ノードに帰還電流を流す第 6 トランジスタとを備える
ことを特徴とするシフトレジスタ回路。

【請求項 9】

請求項 8 記載のシフトレジスタ回路であって、
前記第 3 および第 4 トランジスタの制御電極は、前記入力端子に接続し、
前記第 5 トランジスタの制御電極は、前記第 2 電源端子に接続し、
前記第 6 トランジスタは、前記第 3 ノードと第 3 電源端子との間に接続し、その制御端子が前記第 2 ノードに接続している

ことを特徴とするシフトレジスタ回路。

【請求項 10】

請求項 9 記載のシフトレジスタ回路であって、

前記第 2 および第 3 電源端子は、同一の端子により構成されている

ことを特徴とするシフトレジスタ回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】シフトレジスタ回路