

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】令和5年3月13日(2023.3.13)

【国際公開番号】WO2022/018842

【出願番号】特願2022-538541(P2022-538541)

【国際特許分類】

G 09 G 3/3233(2016.01)

G 09 G 3/20(2006.01)

H 10 K 59/123(2023.01)

H 10 K 59/131(2023.01)

10

【F I】

G 09 G 3/3233

G 09 G 3/20 611H

G 09 G 3/20 624B

G 09 G 3/20 621F

G 09 G 3/20 611E

G 09 G 3/20 611F

G 09 G 3/20 621M

G 09 G 3/20 680G

20

G 09 G 3/20 621A

G 09 G 3/20 622D

H 10 K 59/123

H 10 K 59/131

【手続補正書】

【提出日】令和4年12月27日(2022.12.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

30

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電流によって駆動される表示素子を含む画素回路を備えた表示装置であって、

複数行×複数列の前記画素回路と、対応する列の前記画素回路にデータ信号を供給するための複数のデータ信号線と、対応する行の前記画素回路への前記データ信号の書き込みを制御するための複数の走査信号線と、対応する行の前記画素回路に含まれる前記表示素子に電流を供給するか否かを制御するための複数の発光制御線と、ハイレベル電源電圧を供給する第1電源線と、ローレベル電源電圧を供給する第2電源線と、基準電圧を供給する基準電源線とを含む表示部を備え、

40

前記画素回路は、

第1制御ノードと、

第2制御ノードと、

第1端子と、前記第2電源線に接続された第2端子とを有する前記表示素子と、

前記複数の走査信号線の1つに接続された制御端子と、前記第1電源線に接続された第1導通端子と、前記第1制御ノードに接続された第2導通端子とを有する第1初期化トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記第1制御ノードに接続された第1導通端子と、第2導通端子とを有する閾値電圧補償トランジスタと、

50

前記複数の走査信号線の1つに接続された制御端子と、前記複数のデータ信号線の1つに接続された第1導通端子と、前記第2制御ノードに接続された第2導通端子とを有する書き込み制御トランジスタと、

前記第1制御ノードに接続された制御端子と、前記閾値電圧補償トランジスタの第2導通端子に接続された第1導通端子と、前記表示素子の第1端子に接続された第2導通端子とを有する駆動トランジスタと、

前記複数の発光制御線の1つに接続された制御端子と、前記第1電源線に接続された第1導通端子と、前記駆動トランジスタの第1導通端子に接続された第2導通端子とを有する第1発光制御トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記第2制御ノードに接続された第1導通端子と、前記表示素子の第1端子に接続された第2導通端子とを有する第2発光制御トランジスタと、

制御端子と、前記表示素子の第1端子に接続された第1導通端子と、前記基準電源線に接続された第2導通端子とを有する第2初期化トランジスタと、

前記第1制御ノードに接続された第1電極と、前記第2制御ノードに接続された第2電極とを有する保持キャパシタと

を含み、

前記第1初期化トランジスタのチャネル層および前記閾値電圧補償トランジスタのチャネル層は、酸化物半導体によって形成されていることを特徴とする、表示装置。

#### 【請求項2】

前記酸化物半導体は、インジウム、ガリウム、亜鉛、および酸素によって構成されていることを特徴とする、請求項1に記載の表示装置。

#### 【請求項3】

前記第2初期化トランジスタの制御端子は、前記複数の走査信号線の1つに接続されていることを特徴とする、請求項1または2に記載の表示装置。

#### 【請求項4】

前記第1初期化トランジスタの制御端子と前記閾値電圧補償トランジスタの制御端子とは異なる走査信号線に接続され、

前記閾値電圧補償トランジスタの制御端子と前記書き込み制御トランジスタの制御端子と前記第2初期化トランジスタの制御端子とは同じ走査信号線に接続され、

各フレーム期間において、前記第1初期化トランジスタの制御端子に接続された走査信号線に印加される走査信号が所定期間オンレベルで維持された後、前記閾値電圧補償トランジスタの制御端子と前記書き込み制御トランジスタの制御端子と前記第2初期化トランジスタの制御端子とに接続された走査信号線に印加される走査信号が所定期間オンレベルで維持されることを特徴とする、請求項3に記載の表示装置。

#### 【請求項5】

前記表示部は、前記複数の発光制御線と1対1で対応し前記表示素子の第1端子の状態を初期化するための複数のリセット制御線を含み、

前記第2初期化トランジスタの制御端子は、前記複数のリセット制御線の1つに接続されていることを特徴とする、請求項1または2に記載の表示装置。

#### 【請求項6】

前記第1初期化トランジスタの制御端子と前記閾値電圧補償トランジスタの制御端子とは異なる走査信号線に接続され、

前記閾値電圧補償トランジスタの制御端子と前記書き込み制御トランジスタの制御端子とは同じ走査信号線に接続され、

各フレーム期間において、前記第1初期化トランジスタの制御端子に接続された走査信号線に印加される走査信号が所定期間オンレベルで維持された後、前記閾値電圧補償トランジスタの制御端子と前記書き込み制御トランジスタの制御端子とに接続された走査信号線に印加される走査信号が所定期間オンレベルで維持されることを特徴とする、請求項5に記載の表示装置。

10

20

30

40

50

**【請求項 7】**

各発光制御線に印加される発光制御信号がオンレベルで維持される期間には、それに対応するリセット制御線に印加されるリセット制御信号はオフレベルで維持され、かつ、各発光制御線に印加される発光制御信号がオフレベルで維持される期間には、それに対応するリセット制御線に印加されるリセット制御信号はオンレベルで維持されることを特徴とする、請求項 5 または 6 に記載の表示装置。

**【請求項 8】**

前記駆動トランジスタのチャネル層は、低温ポリシリコンによって形成されていることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の表示装置。

**【請求項 9】**

前記第 2 初期化トランジスタのチャネル層は、酸化物半導体によって形成され、前記書き込み制御トランジスタ、前記第 1 発光制御トランジスタ、および前記第 2 発光制御トランジスタのチャネル層は、低温ポリシリコンによって形成されていることを特徴とする、請求項 8 に記載の表示装置。

**【請求項 10】**

前記第 1 初期化トランジスタ、前記閾値電圧補償トランジスタ、前記書き込み制御トランジスタ、前記駆動トランジスタ、前記第 1 発光制御トランジスタ、前記第 2 発光制御トランジスタ、および前記第 2 初期化トランジスタは、n チャネル型の薄膜トランジスタであることを特徴とする、請求項 9 に記載の表示装置。

**【請求項 11】**

前記画素回路で前記第 1 発光制御トランジスタと前記第 2 発光制御トランジスタとがオフ状態で維持されている期間中において、前記第 1 初期化トランジスタが所定期間オン状態になった後、前記閾値電圧補償トランジスタと前記書き込み制御トランジスタと前記第 2 初期化トランジスタとが所定期間オン状態となることを特徴とする、請求項 1 から 10 までのいずれか 1 項に記載の表示装置。

**【請求項 12】**

電流によって駆動される表示素子を含む画素回路を備えた表示装置であって、複数行 × 複数列の前記画素回路と、対応する列の前記画素回路にデータ信号を供給するための複数のデータ信号線と、対応する行の前記画素回路への前記データ信号の書き込みを制御するための複数の走査信号線と、対応する行の前記画素回路に含まれる前記表示素子に電流を供給するか否かを制御するための複数の発光制御線と、ハイレベル電源電圧を供給する第 1 電源線と、ローレベル電源電圧を供給する第 2 電源線と、基準電圧を供給する基準電源線とを含む表示部を備え、

前記画素回路は、

第 1 制御ノードと、

第 2 制御ノードと、

第 1 端子と、前記第 2 電源線に接続された第 2 端子とを有する前記表示素子と、

前記複数の走査信号線の 1 つに接続された制御端子と、前記第 1 電源線に接続された第 1 導通端子と、前記第 1 制御ノードに接続された第 2 導通端子とを有する第 1 初期化トランジスタと、

前記複数の走査信号線の 1 つに接続された制御端子と、前記第 1 制御ノードに接続された第 1 導通端子と、第 2 導通端子とを有する閾値電圧補償トランジスタと、

前記複数の走査信号線の 1 つに接続された制御端子と、前記複数のデータ信号線の 1 つに接続された第 1 導通端子と、前記第 2 制御ノードに接続された第 2 導通端子とを有する書き込み制御トランジスタと、

前記第 1 制御ノードに接続された制御端子と、前記閾値電圧補償トランジスタの第 2 導通端子に接続された第 1 導通端子と、前記表示素子の第 1 端子に接続された第 2 導通端子とを有する駆動トランジスタと、

前記複数の発光制御線の 1 つに接続された制御端子と、前記第 1 電源線に接続された第 1 導通端子と、前記駆動トランジスタの第 1 導通端子に接続された第 2 導通端子とを有する

10

20

30

40

50

する第1発光制御トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記第2制御ノードに接続された第1導通端子と、前記表示素子の第1端子に接続された第2導通端子とを有する第2発光制御トランジスタと、

制御端子と、前記表示素子の第1端子に接続された第1導通端子と、前記基準電源線に接続された第2導通端子とを有する第2初期化トランジスタと、

前記第1制御ノードに接続された第1電極と、前記第2制御ノードに接続された第2電極とを有する保持キャパシタと

を含むことを特徴とする、表示装置。

### 【請求項13】

電流によって駆動される表示素子を含む画素回路を備えた表示装置であって、

複数行×複数列の前記画素回路と、対応する列の前記画素回路にデータ信号を供給するための複数のデータ信号線と、対応する行の前記画素回路への前記データ信号の書き込みを制御するための複数の走査信号線と、対応する行の前記画素回路に含まれる前記表示素子に電流を供給するか否かを制御するための複数の発光制御線と、ハイレベル電源電圧を供給する第1電源線と、ローレベル電源電圧を供給する第2電源線と、初期化電圧を供給する初期化電源線と、基準電圧を供給する基準電源線とを含む表示部を備え、

前記画素回路は、

第1制御ノードと、

第2制御ノードと、

第1端子と、前記第2電源線に接続された第2端子とを有する前記表示素子と、

前記複数の走査信号線の1つに接続された制御端子と、前記基準電源線に接続された第1導通端子と、前記第2制御ノードに接続された第2導通端子とを有する第1初期化トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記第1制御ノードに接続された第1導通端子と、第2導通端子とを有する閾値電圧補償トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記複数のデータ信号線の1つに接続された第1導通端子と、前記第2制御ノードに接続された第2導通端子とを有する書き込み制御トランジスタと、

前記第1制御ノードに接続された制御端子と、前記第1電源線に接続された第1導通端子と、前記閾値電圧補償トランジスタの第2導通端子に接続された第2導通端子とを有する駆動トランジスタと、

前記複数の発光制御線の1つに接続された制御端子と、前記駆動トランジスタの第2導通端子に接続された第1導通端子と、前記表示素子の第1端子に接続された第2導通端子とを有する第1発光制御トランジスタと、

前記複数の発光制御線の1つに接続された制御端子と、前記表示素子の第1端子に接続された第1導通端子と、前記初期化電源線に接続された第2導通端子とを有する第2発光制御トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記第1制御ノードに接続された第1導通端子と、前記初期化電源線に接続された第2導通端子とを有する第2初期化トランジスタと、

前記第1制御ノードに接続された第1電極と、前記第2制御ノードに接続された第2電極とを有する保持キャパシタと

を含み、

前記閾値電圧補償トランジスタのチャネル層および前記第2初期化トランジスタのチャネル層は、酸化物半導体によって形成され、

前記第1初期化トランジスタの制御端子と前記第2初期化トランジスタの制御端子とは異なる走査信号線に接続され、

前記第1初期化トランジスタの制御端子と前記閾値電圧補償トランジスタの制御端子と前記書き込み制御トランジスタの制御端子とは同じ走査信号線に接続され、

各フレーム期間において、前記第2初期化トランジスタの制御端子に接続された走査信号線に印加される走査信号が所定期間ハイレベルで維持された後、前記第1初期化トランジスタの制御端子と前記閾値電圧補償トランジスタの制御端子と前記書き込み制御トランジスタの制御端子とに接続された走査信号線に印加される走査信号が所定期間ハイレベルで維持されることを特徴とする、表示装置。

**【請求項14】**

前記酸化物半導体は、インジウム、ガリウム、亜鉛、および酸素によって構成されていることを特徴とする、請求項13に記載の表示装置。 10

**【請求項15】**

前記駆動トランジスタのチャネル層は、低温ポリシリコンによって形成されていることを特徴とする、請求項13または14に記載の表示装置。 10

**【請求項16】**

前記閾値電圧補償トランジスタ、前記書き込み制御トランジスタ、前記第2発光制御トランジスタ、および前記第2初期化トランジスタは、nチャネル型の薄膜トランジスタであり、

前記第1初期化トランジスタ、前記駆動トランジスタ、および前記第1発光制御トランジスタは、pチャネル型の薄膜トランジスタであることを特徴とする、請求項15に記載の表示装置。 10

**【請求項17】**

前記画素回路で前記第1発光制御トランジスタがオフ状態かつ前記第2発光制御トランジスタがオン状態で維持されている期間中において、前記第2初期化トランジスタが所定期間オン状態になった後、前記第1初期化トランジスタが所定期間オフ状態となるとともに前記閾値電圧補償トランジスタと前記書き込み制御トランジスタとが所定期間オン状態となることを特徴とする、請求項13から16までのいずれか1項に記載の表示装置。 20

**【手続補正2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0015

**【補正方法】**変更

**【補正の内容】**

**【0015】**

本開示のさらに他のいくつかの実施形態に係る表示装置は、電流によって駆動される表示素子を含む画素回路を備えた表示装置であって、 30

複数行×複数列の前記画素回路と、対応する列の前記画素回路にデータ信号を供給するための複数のデータ信号線と、対応する行の前記画素回路への前記データ信号の書き込みを制御するための複数の走査信号線と、対応する行の前記画素回路に含まれる前記表示素子に電流を供給するか否かを制御するための複数の発光制御線と、ハイレベル電源電圧を供給する第1電源線と、ローレベル電源電圧を供給する第2電源線と、初期化電圧を供給する初期化電源線と、基準電圧を供給する基準電源線とを含む表示部を備え、

前記画素回路は、

第1制御ノードと、

第2制御ノードと、

第1端子と、前記第2電源線に接続された第2端子とを有する前記表示素子と、 40

前記複数の走査信号線の1つに接続された制御端子と、前記基準電源線に接続された第1導通端子と、前記第2制御ノードに接続された第2導通端子とを有する第1初期化トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記第1制御ノードに接続された第1導通端子と、第2導通端子とを有する閾値電圧補償トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記複数のデータ信号線の1つに接続された第1導通端子と、前記第2制御ノードに接続された第2導通端子とを有する書き込み制御トランジスタと、 50

前記第1制御ノードに接続された制御端子と、前記第1電源線に接続された第1導通端子と、前記閾値電圧補償トランジスタの第2導通端子に接続された第2導通端子とを有する駆動トランジスタと、

前記複数の発光制御線の1つに接続された制御端子と、前記駆動トランジスタの第2導通端子に接続された第1導通端子と、前記表示素子の第1端子に接続された第2導通端子とを有する第1発光制御トランジスタと、

前記複数の発光制御線の1つに接続された制御端子と、前記表示素子の第1端子に接続された第1導通端子と、前記初期化電源線に接続された第2導通端子とを有する第2発光制御トランジスタと、

前記複数の走査信号線の1つに接続された制御端子と、前記第1制御ノードに接続された第1導通端子と、前記初期化電源線に接続された第2導通端子とを有する第2初期化トランジスタと、

前記第1制御ノードに接続された第1電極と、前記第2制御ノードに接続された第2電極とを有する保持キャパシタと  
を含み、

前記閾値電圧補償トランジスタのチャネル層および前記第2初期化トランジスタのチャネル層は、酸化物半導体によって形成され、

前記第1初期化トランジスタの制御端子と前記第2初期化トランジスタの制御端子とは異なる走査信号線に接続され、

前記第1初期化トランジスタの制御端子と前記閾値電圧補償トランジスタの制御端子と前記書き込み制御トランジスタの制御端子とは同じ走査信号線に接続され、

各フレーム期間において、前記第2初期化トランジスタの制御端子に接続された走査信号線に印加される走査信号が所定期間ハイレベルで維持された後、前記第1初期化トランジスタの制御端子と前記閾値電圧補償トランジスタの制御端子と前記書き込み制御トランジスタの制御端子とに接続された走査信号線に印加される走査信号が所定期間ハイレベルで維持される。

### 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 3

【補正方法】変更

【補正の内容】

【0 0 3 3】

< 1 . 3 駆動方法（画素回路の動作）>

次に、図3を参照しつつ、図1に示した画素回路20の動作について説明する。期間P1よりも前の期間および期間P5以降の期間が、この画素回路20内の有機EL素子21についての発光期間である。発光制御信号EMおよび走査信号SCANに関し、ハイレベルがオンレベルに相当し、ローレベルがオフレベルに相当する。なお、第2制御ノードNAおよび第1制御ノードNGの電圧の変化はデータ信号D(m)に依存するので、図3に示す第2制御ノードNAおよび第1制御ノードNGの電圧波形は一例である。また、図3の期間P1～P5における各トランジスタ（但し、駆動トランジスタT4を除く）の状態（オン／オフ状態）の推移を図4に示している。

10

20

30

40

50