



(12) 发明专利

(10) 授权公告号 CN 101167139 B

(45) 授权公告日 2010. 09. 08

(21) 申请号 200680010766. 1

(51) Int. Cl.

(22) 申请日 2006. 03. 31

G11C 16/04 (2006. 01)

(30) 优先权数据

11/095, 907 2005. 03. 31 US

(56) 对比文件

US 2004/0190360 A1, 2004. 09. 30, 全文.

CN 1487527 A, 2004. 04. 07, 全文.

(85) PCT申请进入国家阶段日

US 2004/0004866 A1, 2004. 01. 08, 全文.

2007. 09. 29

US 5281868 A, 1994. 01. 25, 全文.

(86) PCT申请的申请数据

US 6614685 B2, 2003. 09. 02, 全文.

PCT/US2006/012107 2006. 03. 31

审查员 李元

(87) PCT申请的公布数据

W02006/121529 EN 2006. 11. 16

(73) 专利权人 桑迪士克 3D 公司

地址 美国加利福尼亚州

(72) 发明人 卢卡·G·法索利

罗伊·E·朔伊尔莱茵

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

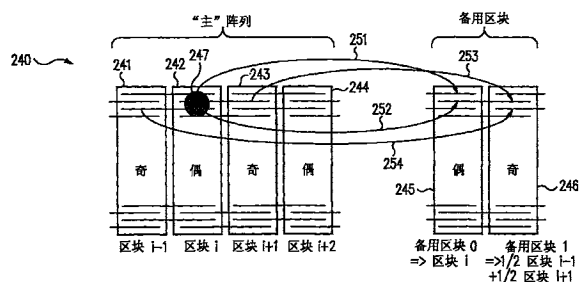
权利要求书 4 页 说明书 24 页 附图 32 页

(54) 发明名称

用于在存储器阵列中并入区块冗余的方法和
设备

(57) 摘要

一种集成电路存储器阵列包含交替的第一和第二类型的存储器区块,每一存储器区块包含与邻近存储器区块中的各自阵列线共享的各自阵列线。一种类型的缺陷区块的阵列线被映射到相同类型的备用区块中。第一邻近区块的与所述缺陷区块的阵列线共享的阵列线以及第二邻近区块的与所述缺陷区块的阵列线共享的阵列线被映射到另一类型的第二备用区块中,借此将所述缺陷区块和两个邻近区块的若干部分仅映射到两个备用区块中。



1. 一种在集成电路存储器阵列中实施区块冗余的方法,所述方法包括:

将第一类型的缺陷区块的阵列线映射到相同类型的备用区块中;

将第一邻近区块的与所述缺陷区块的阵列线共享的阵列线以及将第二邻近区块的与
所述缺陷区块的阵列线共享的阵列线映射到第二类型的第二备用区块中,借此将两个邻近
区块的若干部分和所述缺陷区块仅映射到两个备用区块中。

2. 根据权利要求1所述的方法,其中上述阵列线包括第一类型的阵列线,且其中所述
区块进一步包括大体上垂直于所述第一类型的阵列线的第二类型的阵列线,所述方法进一
步包括:

在操作模式期间启用一个或一个以上区块,所述启用包含以不同的偏压电平来偏压第
一类型的未选定的阵列线以及偏压第二类型的未选定的阵列线。

3. 根据权利要求1所述的方法,其中所述存储器阵列包括具有一个以上存储器单元平
面的三维存储器阵列。

4. 根据权利要求3所述的方法,其中上述阵列线包括字线,每一字线在至少两个字线
层的每一者上包括字线片段。

5. 根据权利要求4所述的方法,其进一步包括:

当启用第一列选择信号时,分别将来自第一组存储器平面的位线耦合到第一组的各自
总线,且如果实施第二组存储器平面的话,分别将来自所述第二组存储器平面的位线耦合
到第二组的各自总线;以及

当启用第二列选择信号时,且如果实施第二组存储器平面的话,分别将来自所述第二
组存储器平面的位线耦合到所述第一组的各自总线,且分别将来自所述第一组存储器平
面的位线耦合到所述第二组的各自总线。

6. 根据权利要求5所述的方法,其进一步包括:

如果实施两组存储器平面,个别地启用所述第一和第二列选择信号;

以及

在仅实施所述第一组存储器平面,同时启用所述第一和第二列选择信号。

7. 根据权利要求6所述的方法,其中所述同时启用的第一和第二列选择信号与邻近的
存储器区块相关联。

8. 根据权利要求1所述的方法,其中所述第一和第二类型的备用区块设置在第一个
常规存储器区块与第二多个常规存储器区块之间。

9. 根据权利要求8所述的方法,其进一步包括:

将与所述备用区块相关联的多个总线耦合到与含有所述缺陷区块的所述第一多个常
规存储器区块或所述第二多个常规存储器区块相关联的相应多个总线。

10. 根据权利要求1所述的方法,其中上述阵列线包括字线。

11. 根据权利要求10所述的方法,其进一步包括:

当选定的字线原本会落在所述缺陷区块内时,启用所述缺陷区块已被映射到其内的所
述备用区块。

12. 根据权利要求10所述的方法,其进一步包括:

当选定的字线落在所述第一和第二邻近区块内且不与所述缺陷区块内的字线共享时,
启用所述第一和第二邻近区块中的一者。

13. 根据权利要求 10 所述的方法,其进一步包括:

当选定的字线原本会落在所述第一和第二邻近区块中的一者内且与所述缺陷区块内的字线共享时,启用所述第一和第二邻近区块已被映射到其内的所述备用区块。

14. 一种集成电路,其包括:

存储器阵列,其具有交替的第一和第二类型的存储器区块,每一存储器区块包含与邻近存储器区块中各自阵列线共享的各自阵列线;

映射电路,其响应于对应于缺陷区块的地址,用于将一种类型的所述缺陷区块的阵列线映射到相同类型的备用区块中,且进一步用于将第一邻近区块的与所述缺陷区块的阵列线共享的阵列线以及将第二邻近区块的与所述缺陷区块的阵列线共享的阵列线映射到另一类型的第二备用区块中,借此将两个邻近区块的若干部分和所述缺陷区块仅映射到两个备用区块中。

15. 根据权利要求 14 所述的集成电路,其中:

上述阵列线包括所述第一类型的阵列线;

所述存储器区块进一步包括大体上垂直于所述第一类型的阵列线的第二类型的阵列线;以及

所述存储器区块进一步包括偏压电路,所述偏压电路用于以不同的偏压电平在启用的存储器区块中偏压第一类型的未选定的阵列线和第二类型的未选定的阵列线。

16. 根据权利要求 14 所述的集成电路,其中在邻近存储器区块之间共享的阵列线包括字线。

17. 根据权利要求 14 所述的集成电路,其进一步包括:

其中所述第一和第二类型的备用区块设置在第一多个常规存储器区块与第二多个常规存储器区块之间。

18. 根据权利要求 14 所述的集成电路,其中所述存储器阵列包括具有一个以上存储器单元平面的三维存储器阵列。

19. 根据权利要求 18 所述的集成电路,其中上述阵列线包括字线,每一字线在至少两个字线层的每一者上包括字线片段。

20. 根据权利要求 18 所述的集成电路,其中所述存储器阵列进一步包括:

多个层选择器电路,其每一者响应于相关联的列选择信号,如果实施存储器平面的话,用于分别将来自所述存储器平面的一个或一个以上位线耦合到多个总线中的各自总线。

21. 根据权利要求 20 所述的集成电路,其中所述多个层选择器电路包括第一类型的层选择器电路和第二类型的层选择器电路,其中:

所述第一类型的所述层选择器电路经配置以分别将来自第一存储器平面的位线耦合到第一组的各自总线;以及

所述第二类型的所述层选择器电路经配置以分别将来自所述第一存储器平面的位线耦合到第二组的各自总线。

22. 根据权利要求 21 所述的集成电路,其中:

每一存储器区块包含响应于单一列选择信号的所述第一和第二类型的层选择器电路。

23. 根据权利要求 21 所述的集成电路,其中:

每一存储器区块包含所述第一或第二类型的层选择器电路。

24. 根据权利要求 23 所述的集成电路,其中:

所述第一类型的存储器区块包含所述第一类型的层选择器电路但不包含所述第二类型的层选择器电路;以及

所述第二类型的存储器区块包含所述第二类型的层选择器电路但不包含所述第一类型的层选择器电路。

25. 根据权利要求 21 所述的集成电路:

其中第三类型的层选择器电路经配置从而如果实施第二存储器平面的话,分别将来自所述第二存储器平面的位线耦合到所述第二组的各自总线;以及

其中第四类型的层选择器电路经配置从而如果实施所述第二存储器平面的话,分别将来自所述第二存储器平面的位线耦合到所述第一组的各自总线。

26. 根据权利要求 25 所述的集成电路,其中:

包含所述第一类型的层选择器电路的每一区块还包含第三类型的相应的层选择器电路,所述两个层选择器电路响应于相同的列选择信号;以及

包含所述第二类型的层选择器电路的每一区块还包含第四类型的相应的层选择器电路,所述两个层选择器电路响应于相同的列选择信号。

27. 根据权利要求 26 所述的集成电路,其进一步包括:

列选择电路,其在实施第一和第二存储器平面两者的存储器阵列中经配置以用于同时选择与所述第一和第三类型的层选择器电路相关联或与所述第二和第四类型的层选择器电路相关联的仅一个列选择信号,以及在不实施所述第二存储器平面的存储器阵列中经配置以用于同时选择两个列选择信号,一个所述列选择信号与所述第一和第三类型的层选择器电路相关联,且另一所述列选择信号与所述第二和第四类型的层选择器电路相关联。

28. 根据权利要求 18 所述的集成电路,其中:

所述第一类型的存储器区块包括列和层选择电路,所述列和层选择电路经配置以用于将来自第一组存储器平面的各自位线耦合到第一组的各自总线,且如果实施第二组存储器平面的话,将来自所述第二组存储器平面的各自位线耦合到第二组的各自总线;以及

所述第二类型的存储器区块包括列和层选择电路,所述列和层选择电路经配置从而如果实施所述第二组存储器平面的话,用于将来自所述第二组存储器平面的位线耦合到所述第一组的各自总线,且用于将来自所述第一组存储器平面的各自位线耦合到所述第二组的各自总线。

29. 根据权利要求 28 所述的集成电路:

其中上述多个总线,包括与第一多个非备用存储器区块相关联的第一多个总线;

所述存储器阵列进一步包括与第二多个非备用存储器区块相关联的第二多个总线;以及

所述存储器阵列进一步包括与备用存储器区块相关联的第三多个总线;

第一多个总线耦合电路,其用于分别将所述第三多个总线耦合到所述第一多个总线;以及

第二多个总线耦合电路,其用于分别将所述第三多个总线耦合到所述第二多个总线。

30. 根据权利要求 29 所述的集成电路,其中所述第一和第二类型的备用区块设置在所述第一和第二类型的第一多个存储器区块对与第一和第二类型的第二多个存储器区块对

之间。

31. 一种集成电路,其包括:

存储器阵列;

与所述存储器阵列的第一部分相关联的第一类型的第一多个线;

与所述存储器阵列的第二部分相关联的所述第一类型的第二多个线;

与所述存储器阵列的备用部分相关联的所述第一类型的第三多个线;

所述第三多个线当所述存储器阵列的所述备用部分被利用时分别耦合到所述第一或第二多个线,且当所述存储器阵列的所述备用部分未被利用时既不耦合到所述第一多个线也不耦合到所述第二多个线。

32. 根据权利要求 31 所述的集成电路,其中所述第一,第二和第三多个线在读取模式期间包括输出感测总线。

33. 根据权利要求 31 所述的集成电路,其中所述第一,第二和第三多个线包括全局阵列线。

34. 根据权利要求 31 所述的集成电路,其中:

所述第一和第二部分每一者包括各自多个非备用存储器区块;以及
所述备用部分包括至少一个备用存储器区块。

35. 根据权利要求 34 所述的集成电路,其中:

所述备用部分设置在所述存储器阵列的所述第一与第二部分之间。

用于在存储器阵列中并入区块冗余的方法和设备

技术领域

[0001] 本发明涉及含有存储器阵列且尤其是那些并入有冗余的阵列的半导体集成电路，且更明确地说（对于某些实施例）涉及那些具有三维存储器阵列的半导体集成电路。

[0002] 背景技术

[0003] 集成电路存储器阵列已经常包含冗余元件（例如，行和列），所述冗余元件可用于替换一个或一个以上缺陷元件。举例来说，可通过用备用的（即，冗余）行或列替换含有缺陷存储器单元的行或列来替换缺陷存储器单元。某些存储器阵列技术和结构较之冗余列更适于实施冗余或备用行，而其它存储器阵列技术和结构较之行更适于实施备用列。

[0004] 发明内容

[0005] 在一些种类的存储器阵列技术中，例如低电阻位线－字线短路或影响许多字线和位线的短路的某些类型的故障可导致倾覆行和列冗余的多个位故障。可实施根据本发明的区块冗余方案以保全原本会发生故障且被丢弃的此类装置。这种方案用备用区块替换受短路影响的整个区块。

[0006] 在一个方面，本发明提供一种用于集成电路存储器阵列的区块冗余方法。所述方法包含将第一类型的缺陷区块的阵列线映射到相同类型的备用区块中，和将第一邻近区块的与所述缺陷区块的阵列线共享的阵列线以及第二邻近区块的与所述缺陷区块的阵列线共享的阵列线映射到第二类型的第二备用区块中，借此将所述缺陷区块和两个邻近区块的若干部分仅映射到两个备用区块中。

[0007] 存储器阵列可包含无源元件存储器单元，且优选地包含反熔丝单元。在一些实施例中，存储器阵列包括具有一个以上存储器单元平面的三维存储器阵列，且在一些三维实施例中，每一字线在至少两个字线层的每一者上包含字线片段。

[0008] 所述方法可包含将与备用存储器区块相关联的多个总线耦合到与含有缺陷区块的第一多个常规存储器区块或第二多个常规存储器区块相关联的相应多个总线。

[0009] 在一些实施例中，所述方法包含当选定的字线原本会落在缺陷存储器区块内时，启用缺陷存储器区块已映射到的备用存储器区块。在一些实施例中，所述方法包含当选定的字线落在邻近的非备用存储器区块内且不与缺陷存储器区块内的字线共享时，启用邻近的非备用存储器区块中的一者。在一些实施例中，所述方法包含当选定的字线原本会落在邻近的非备用存储器区块中的一者内且与缺陷存储器区块内的字线共享时，启用邻近的非备用存储器区块已映射到的备用存储器区块。

[0010] 在另一方面，本发明提供一种包含存储器阵列的集成电路，所述存储器阵列具有交替的第一和第二类型的存储器区块，每一存储器区块包含与邻近存储器区块中的各自阵列线共享的各自阵列线。所述集成电路还包含响应于对应于缺陷区块的地址的映射电路，其用于将一种类型的缺陷区块的阵列线映射到相同类型的备用区块中，且进一步用于将第一邻近区块的与所述缺陷区块的阵列线共享的阵列线以及将第二邻近区块的与所述缺陷区块的阵列线共享的阵列线映射到另一类型的第二备用区块中，借此将所述缺陷区块和两个邻近区块的若干部分仅映射到两个备用区块中。

[0011] 在一些实施例中,第一和第二类型的备用区块设置在第一多个常规存储器区块与第二多个常规存储器区块之间。在一些实施例中,存储器阵列包括具有一个以上存储器单元平面的三维存储器阵列。在一些实施例中,集成电路包含第一类型的层选择器电路,其经配置以分别将来自第一存储器平面的位线耦合到第一组的各自总线,且进一步包含第二类型的层选择器电路,其经配置以分别将来自第一存储器平面的位线耦合到第二组的各自总线。

[0012] 在另一方面,本发明提供一种集成电路,其包含:存储器阵列、与存储器阵列的第一部分相关联的第一类型的第一多个线、与存储器阵列的第二部分相关联的第一类型的第二多个线,和与存储器阵列的备用部分相关联的第一类型的第三多个线。所述第三多个线当存储器阵列的备用部分被利用时分别耦合到所述第一或第二多个线,且当存储器阵列的备用部分未被利用时既不耦合到所述第一多个线也不耦合到所述第二多个线。在一些实施例中,备用部分可包含至少一个备用存储器区块,且可设置在存储器阵列的第一与第二部分之间。

[0013] 在若干方面,本发明适于具有存储器阵列的集成电路,适于操作此类集成电路和存储器阵列的方法,且适于此类集成电路或存储器阵列的计算机可读媒体编码,所有均如本文更详细描述且如所附权利要求书中所陈述。此外,本文描述的发明方面可单独使用或以组合形式使用。

[0014] 以上是概述且因此必然含有对细节的简化、一般化和省略。因此,所属领域的技术人员将了解,以上概述仅是说明性的且不希望其以任何方式限制本发明。从下文陈述的具体实施方式中可了解如单独由权利要求书界定的本发明的其它方面、发明特征和优点。

附图说明

[0015] 所属领域的技术人员通过参看附图,可更好地理解本发明及其许多目的、特征和优点。

[0016] 图 1 是表现存储器阵列的字线层和位线层的俯视图,其展示由邻近存储器区块共享的 2:1 交错的字线。

[0017] 图 2 是在邻近存储器区块之间具有共享的字线的无源元件存储器阵列的表现,且其说明存在阵列缺陷时存储器操作的示范性偏压条件。

[0018] 图 3 是在邻近存储器区块之间具有共享的字线的无源元件存储器阵列的表现,且其说明存在阵列缺陷时存储器操作的示范性偏压条件。

[0019] 图 4 是展示将缺陷存储器区块和相邻区块的若干部分映射到一对备用存储器区块中的存储器阵列的方框图。

[0020] 图 5 是展示将缺陷存储器区块和相邻区块的若干部分映射到一对备用存储器区块中的存储器阵列的方框图。

[0021] 图 6 是包含设置在两个存储器隔区之间的一对备用存储器区块的存储器阵列的方框图。

[0022] 图 7 是包含每一者均设置在个别对的存储器隔区之间的四对备用存储器区块的存储器阵列的方框图。

[0023] 图 8 是展示当缺陷存储器区块为备用区块时的有用映射的存储器阵列的方框图。

- [0024] 图 9 是用于实施区块冗余的示范性控制电路的方框图。
- [0025] 图 10 是用于实施区块冗余的示范性控制电路的方框图,其覆盖在存储器阵列方框图上。
- [0026] 图 11 是示范性主阵列控制电路的方框图。
- [0027] 图 12 是示范性备用区块控制电路的方框图。
- [0028] 图 13 是展示当缺陷存储器区块邻近于存储器隔区的边界时的有用映射的示范性存储器阵列的方框图。
- [0029] 图 14 是有用的存储器阵列配置的三维表现。
- [0030] 图 15 是图 14 中描绘的阵列的实施例的横截面图。
- [0031] 图 16 是展示特定层选择配置的示范性阵列的方框图。
- [0032] 图 17 是展示特定层选择配置的示范性阵列的方框图。
- [0033] 图 18 是展示特定层选择配置的示范性阵列的方框图。
- [0034] 图 19 (包括图 19A 和图 19B) 是展示特定层选择配置的示范性阵列的方框图。
- [0035] 图 20 (包括图 20A 和图 20B) 是展示部分层兼容装置的特定层选择配置的示范性阵列的方框图。
- [0036] 图 21 是展示当特定存储器区块有缺陷时存储器区块的示范性映射和启用的部分层存储器阵列的方框图。
- [0037] 图 22 是展示当特定存储器区块有缺陷时存储器区块的示范性映射和启用的部分层存储器阵列的方框图。
- [0038] 图 23 是展示当特定存储器区块有缺陷时存储器区块的示范性映射和启用的部分层存储器阵列的方框图。
- [0039] 图 24 是展示当特定存储器区块有缺陷时存储器区块的示范性映射和启用的部分层存储器阵列的方框图。
- [0040] 图 25 是展示当特定存储器区块有缺陷时存储器区块的示范性映射和启用的部分层存储器阵列的方框图。
- [0041] 图 26 是展示当特定存储器区块有缺陷时存储器区块的示范性映射和启用的部分层存储器阵列的方框图。
- [0042] 图 27 (包括图 27A 和图 27B) 是具有每一者均由个别对的存储器隔区共享并设置在个别对的存储器隔区之间的八对备用存储器区块的存储器阵列的方框图。
- [0043] 图 28 是用于实施区块冗余的示范性控制电路的方框图,其覆盖在存储器阵列方框图上。
- [0044] 图 29 是示范性主阵列控制电路的方框图。
- [0045] 图 30 是示范性备用区块控制电路的方框图。
- [0046] 图 31 是到达示范性控制电路的输入信号的表。
- [0047] 图 32 (包括图 32A 和图 32B) 是各自缺陷存储器区块的修整位值(trim bit value)的表。
- [0048] 图 33 是可用于实施部分层兼容性的层选择方框图。
- [0049] 图 34 是可用于实施部分层兼容性的层选择方框图。
- [0050] 图 35 是共享的备用存储器区块的示范性实施例的方框图。

[0051] 不同图中使用相同参考标号表示类似或相同项目。

具体实施方式

[0052] 图 1 是表现根据本发明某些实施例的三维存储器阵列的字线层和位线层的俯视图。展示存储器区块 182、184 分别包含多个位线 183、185，且具有 2:1 交错的字线片段。到区块的字线片段的一半的垂直连接在区块的左侧（例如，字线片段 187 和垂直连接 189），且到区块的字线片段的另一半的垂直连接在区块的右侧（例如，字线片段 186 和垂直连接 190）。另外，每一垂直连接服务两个邻近区块的每一者中的字线片段。举例来说，垂直连接 190 连接到阵列区块 182 中的字线片段 186 并连接到阵列区块 184 中的字线片段 188。换句话说，每一垂直连接（例如，垂直连接 190）由两个邻近区块的每一者中的字线片段共享。然而，将预期，第一和最后阵列区块的各自“外部”垂直连接可能仅服务第一和最后阵列区块中的字线片段。举例来说，如果区块 184 是形成存储器阵列的多个区块中的最后区块，那么其外部垂直连接（例如，垂直连接 194）可能仅服务区块 184 内的字线片段 192，且因此不与阵列的整个其余部分中一样由两个字线片段共享。

[0053] 通过如图所示交错字线片段，垂直连接的间距是个别字线片段本身的间距的两倍。这尤其有利，因为对于许多无源元件存储器单元阵列可实现的字线间距显著小于对于可能用于形成垂直连接的许多通路结构可实现的间距。此外，如下文更详细描述，这还可减小待实施在半导体衬底中处于存储器阵列下方的字线驱动器电路的复杂性。

[0054] 其它字线层和位线层可与图示相同而实施，且因此将共享相同的垂直连接。对示范性存储器结构的额外描述可查阅 Scheuerlein 的第 US 2004-0190360 号美国公开专利申请案（现为第 6,879,505 号美国专利）“Word Line Arrangement Having Multi-Layer Word Line Segments for Three-Dimensional Memory Array”，其揭示内容全文以引用的方式并入本文中。然而，虽然可能在三维存储器阵列（即，并入有彼此层叠形成的一个以上存储器平面的单片式半导体集成电路）的情境下描述许多示范性实施例，但也明确地预期本发明的仅具有单一存储器平面的其它实施例。

[0055] 存储器阵列 180 优选地是并入有无源元件存储器单元的无源元件存储器阵列（PEMA）。如本文所使用，无源元件存储器阵列包含多个 2 端子存储器单元，其每一者连接在相关联的 X 线与相关联的 Y 线之间。此存储器阵列可以是二维（平面）阵列，或者可以是具有一个以上平面的存储器单元的三维阵列。每一此类存储器单元具有非线性传导性，其中反方向（即，从阴极向阳极）上的电流低于正方向上的电流。从阳极向阴极施加大于编程电平电压会改变存储器单元的传导性。当存储器单元包含熔丝技术时传导性可减小，或者当存储器单元包含反熔丝技术时传导性可增加。无源元件存储器阵列不一定是可一次编程（即，写入一次）存储器阵列。

[0056] 此类无源元件存储器单元通常可视为具有在一方向上引导电流的电流导引元件以及能够改变其状态的另一组件（例如，熔丝、反熔丝、电容器、电阻元件等）。可通过在存储器元件被选定时感测电流流动或电压降落来读取存储器元件的编程状态。

[0057] 现参看图 2，展示存储器阵列 200 的一部分。描绘五个存储器区块 201、202、203、204 和 205，其每一者包含五个位线和五个字线，但实际上可实施更多的此类位线和字线。尽管如此，五个此类位线和字线足以说明此阵列的偏压以及位线-字线短路（即，“BL-WL 短

路”)的影响。

[0058] 存储器区块 203 包含字线 207、208、209、210 和 211 以及位线 212、213、214、215 和 216。字线 209 描绘为选定的字线 (SWL) 且偏压于 0 伏,同时位线 214 描绘为选定的位线 (SBL) 且偏压于 10 伏,以用于对 SWL 与 SBL 交叉处的选定的存储器单元进行编程。选定的区块 203 内的未选定的字线 207、208、210 和 211 通常偏压于 9 伏的未选定字线偏压 (也称为未选定 X 线偏压 V_{ux})。选定的区块 203 内的未选定的位线 212、213、215 和 216 通常偏压于 1 伏的未选定位线偏压 V_{ub} (也称为未选定 Y 线偏压)。此类用于对选定的存储器单元进行编程的偏压是示范性的,且可使用其它值。此类型的阵列的适宜的偏压电平的额外描述可参阅 Roy E. Scheuerlein 的第 6,618,295 号美国专利 (其揭示内容以引用的方式并入本文中)、Bendik Kleveland 等人的第 6,631,085 号美国专利 (其揭示内容以引用的方式并入本文中),以及 Roy E. Scheuerlein 的上述第 6,879,505 号美国专利。

[0059] 存储器区块 204 可称为“半选定的”区块,因为选定的字线 209 对于区块 203 和区块 204 是共享的,与未选定的字线 207、211 (区块 203 的未选定的字线的一半) 一样。因为这些字线的偏压与选定的区块 203 相同,所以区块 204 的所有位线 (例如,位线 222) 也偏压于未选定位线电平 V_{ub} (这里展示为 1 伏),以防止对任何存储器单元进行无意编程 (由于与区块 204 共享选定的字线 209) 并限制通过区块 204 的未选定的存储器单元的泄漏电流。

[0060] 存储器区块 202 可称为“半取消选定的”区块,因为其与选定的区块 203 共享未选定的字线 (例如,字线 208 和 210) 而不是选定的字线 209。由于未选定的字线的近似一半 (即,与选定的区块 203 共享的字线) 偏压于未选定电平 V_{ux} ,且由于没有字线偏压于选定 (即,编程) 偏压电平,所以区块 202 的所有位线 (例如,位线 220) 可能向左浮动。不与选定的区块共享的剩余字线 (例如,字线 221) 也可能向左浮动。

[0061] 存储器区块 201 和 205 可能称为“取消选定的”区块,因为没有阵列线是与选定的存储器区块 203 共享的。此类取消选定的区块的所有位线和字线可能向左浮动。

[0062] 值得注意的是,在所示的示范性 PEMA 中,选定的区块 203 中未选定的位线偏压于与未选定的字线不同的电压。此外,未选定的位线或未选定的字线均不偏压于接地。因此,位线与字线之间的短路可能导致此类受影响的位线和字线的偏压电平变得不确定,即使从未选择受影响的位线和字线 (例如,如果被冗余位线替换和 / 或被冗余字线替换) 也如此。此类线上的不确定的偏压电平可能导致其它存储器单元误编程,或过分泄漏,或不可读取。一个或一个以上位线与一个或一个以上字线之间的短路更有可能导致非期望的偏压电平,所述非期望的偏压电平导致含有短路的区块发生故障。

[0063] 然而,由于两个邻近区块共享字线,所以 BL-WL 短路不仅影响含有短路的区块,而且还同样影响邻近区块的一半。每当受短路影响的字线和位线需要偏压于其各自的未选定偏压电平时,短路可能阻止此类受影响的阵列线达到其期望的偏压电平,这将阻止对阵列进行正确编程和读取。图 2 所示的选定的区块 203 中描绘了 BL-WL 短路 206。因此,受影响的位线 212 和 213 以及受影响的字线 207 和 208 的未选定偏压电平不确定且在图中指示为“???”。可以看到,字线 207 是与在选定的区块 203 一侧的邻近存储器区块 204 共享的并影响所述邻近存储器区块 204,而字线 208 是与在选定的区块 203 另一侧的邻近存储器区块 202 共享的并影响所述邻近存储器区块 202。

[0064] 现参看图 3, 展示阵列 200, 其中选定的区块邻近于含有 BL-WL 短路的缺陷区块。存储器区块 202 现为选定的区块。存储器区块 202 现为选定的区块, 存储器区块 201 现为半取消选定的区块, 存储器区块 203 (含有短路) 现为半选定的区块, 且存储器区块 204 和 205 均为取消选定的区块。在区块 202 与 203 之间共享的字线 210 现为选定的字线, 且偏压于 0 伏。

[0065] 区块 202 中的位线 230 现为选定的位线, 且偏压于 10 伏。与之前一样, 位线 212 和 213 的未选定偏压电平以及字线 208 的未选定偏压电平不确定。

[0066] 由于这种共享阵列线 (例如, 这里展示为共享字线) 结构的缘故, 如果替换含有 BL-WL 短路的区块, 且如果还替换与含有 BL-WL 短路的区块共享字线的每一相邻区块的一半, 那么可能实现存储器阵列的适当操作。这是因为具有 BL-WL 短路的区块无法被选定或半选定。

[0067] 初看起来, 可能认为这种替换暗示需要三个备用区块来替换一故障区块。然而, 由于阵列中的存储器区块在奇区块与偶区块之间交替 (即, 这里的差异是, 最上方的字线是与右侧的邻近区块还是与左侧的邻近区块共享的), 所以可能另外需要总共四个备用区块来替换一奇存储器区块或一偶存储器区块。换句话说, 为了提供包含两个邻近奇区块的偶备用区块, 以及为了提供包含两个邻近偶区块的奇备用区块, 可能另外需要一组四个备用区块 (例如, 奇 - 偶 - 奇 - 偶区块)。

[0068] 存储器区块映射

[0069] 在本发明的一方面, 可通过仅使用两个备用存储器区块在此存储器阵列中替换单一存储器区块。现参看图 4, 描绘存储器阵列 240, 其包含含有存储器区块 241、242、243 和 244 的主阵列且进一步包含备用区块 245 和 246。展示存储器区块 242 内的 BL-WL 短路 247, 存储器区块 242 可认为是“偶”存储器区块。缺陷偶存储器区块 242 内的所有字线映射到偶备用区块 245 内的相应字线。举例来说, 缺陷区块 242 内的从区块的左侧驱动到区块 242 中的字线 (即, 所述字线还与在区块 242 左侧的邻近区块 241 共享) 映射到偶备用区块 245 内的相应字线 (所述字线还被从区块的左侧驱动到备用区块 245 中)。这种映射的实例描绘为映射 251。类似地, 缺陷区块 242 内的从区块的右侧驱动到区块 242 中的字线 (即, 所述字线还与在区块 242 右侧的邻近区块 243 共享) 映射到备用区块 245 内的还被从此备用区块的右侧驱动到备用区块中的相应字线。这种映射的实例描绘为映射 252。邻近奇区块 243 (在缺陷存储器区块 242 右侧) 内的与存储器区块 242 共享的字线映射到邻近于偶备用区块 245 且在偶备用区块 245 右侧的奇备用区块 246。这种映射的实例描绘为映射 253。然而, 邻近奇存储器区块 241 (在缺陷存储器区块 242 左侧) 内的与存储器区块 242 共享的字线折叠并映射到相同的奇备用存储器区块 246 内。这种映射的实例描绘为映射 254。

[0070] 以此方式, 缺陷偶存储器区块内的所有字线映射到偶备用存储器区块中, 且在缺陷存储器区块的一侧的邻近奇存储器区块内的字线的一半以及在缺陷存储器区块的另一侧的邻近奇存储器区块内的字线的一半映射到奇备用存储器区块中, 借此将三个存储器区块的至少若干部分仅映射到两个备用存储器区块中。

[0071] 现参看图 5, 再次描绘存储器阵列 240, 此时奇存储器区块 243 内具有 BL-WL 短路 247。缺陷奇存储器区块 243 内的所有字线映射到奇备用区块 246 内的相应字线。举例来说, 缺陷区块 243 内的从区块的左侧驱动到区块 243 中的字线 (即, 所述字线还与在区块

243 左侧的邻近区块 242 共享) 映射到备用区块 246 内的相应字线(所述字线还被从区块的左侧驱动到备用区块 246 中)。这种映射的实例描绘为映射 262。类似地,缺陷区块 243 内的从区块的右侧驱动到区块 243 中的字线(即,所述字线还与在区块 243 右侧的邻近区块 244 共享)映射到备用区块 246 内的还被从此备用区块的右侧驱动到区块中的相应字线。这种映射的实例描绘为映射 261。邻近偶区块 242(在缺陷存储器区块 243 左侧)内的与存储器区块 243 共享的字线映射到邻近于奇备用区块 246 且在奇备用区块 246 左侧的偶备用区块 245。这种映射的实例描绘为映射 264。然而,邻近偶存储器区块 244(在缺陷存储器区块 243 右侧)内的与存储器区块 243 共享的字线折叠并映射到相同的偶备用存储器区块 245 中。这种映射的实例描绘为映射 263。

[0072] 以此方式,缺陷奇存储器区块内的所有字线映射到奇备用存储器区块中,且在缺陷存储器区块的一侧的邻近偶存储器区块内的字线的一半以及在缺陷存储器区块的另一侧的邻近奇存储器区块内的字线的一半映射到单个奇备用存储器区块中,借此将三个存储器区块的至少若干部分仅映射到两个备用存储器区块中。

[0073] 稍许概括来说,第一类型的缺陷存储器区块(例如,奇或偶)内的第一类型的所有阵列线(例如,字线)映射到第一类型的备用存储器区块中,且第二类型的第一邻近存储器区块(在缺陷存储器区块的一侧)内的与缺陷存储器区块共享的阵列线的一半以及第二类型的第二邻近存储器区块(在缺陷存储器区块的另一侧)内的与缺陷存储器区块共享的阵列线的一半映射到第二类型的备用存储器区块中。因此,为了替换与两个邻近区块共享阵列线的单一不良区块,需要两个备用区块:一个用于替换不良区块本身,且另一个用于替换两个邻近区块的各自一半。

[0074] 隔区组织

[0075] 现参看图 6,可以隔区来组织存储器阵列。存储器阵列 270 包含第一隔区 271(也标记为隔区 0)和第二隔区 272(也标记为隔区 1),以及备用存储器区块 273 和 274。每一隔区包含许多存储器区块(优选为 16 个存储器区块),且优选地包含其自身的读出放大器(未图示)和页子寄存器(未图示)(对于一些三维存储器阵列实施例,其可设置在存储器阵列下方,且对于一些实施例,其可设置在存储器阵列外部)。在所示的实施例中,隔区内每一读出放大器连接到横穿整个隔区的相应的 SELB 线。举例来说,隔区 0 包含一组 SELB 线 277(例如,这里展示为 16 个此类 SELB 线)。在给定的存储器操作中,隔区 0 内一组选定的位线(例如,来自三维阵列中的一个或一个以上存储器平面)分别通过列选择电路(未图示)耦合到所述组 SELB 线 277。在读取操作中,每一 SELB 线的读出放大器接着读出相应位线的状态,而在编程操作期间(对于支持此类操作的实施例),可根据待写入的所需数据样式将编程和/或抑制电压驱动到各自 SELB 线上,且此类偏压通过列选择电路耦合到相应的位线。

[0076] 不同隔区具有不同且独立的 SELB 线。隔区 1 包含一组 SELB 线 279(例如,这里展示为 16 个此类 SELB 线)。与隔区 0 一样,在给定的存储器操作中,隔区 1 内一组选定的位线可分别通过列选择电路(未图示)耦合到所述组 SELB 线 279。

[0077] 对于备用区块的一个可能的选择将是将其添加在每一隔区中,共享隔区的 SELB 线。对于每 16 个区块这将添加 2 个额外区块,从而导致存储器阵列面积增加约 12.5%(即,2/16),且将允许替换每一隔区中的一个区块(例如,具有 BL-WL 短路)。或者,为了减小电路

小片尺寸影响,可能在两个不同隔区之间共享两个备用区块,如图 6 所示。与备用区块 273 和 274 相关联的 SELB 线 278 的两端上的耦合电路 282、283 允许将备用区块的 SELB 线 278 连接到任一隔区。依据此类 SELB 线的偏压电平,耦合电路可与 PMOS 晶体管开关一样简单,如图所示。如果控制信号 280 有效(即,在此实例中,为低),那么备用区块的 SELB 线 278 分别耦合到针对隔区 0 的 SELB 线 277。在此情况下,控制信号 281 将保持无效以使备用区块的 SELB 线 278 与 SELB 线 279 隔离。或者,如果控制信号 281 有效,那么备用区块的 SELB 线 278 分别耦合到针对隔区 1 的 SELB 线 279。在此情况下,控制信号 280 将保持无效以使备用区块的 SELB 线 278 与 SELB 线 277 隔离。

[0078] 一旦备用区块 SELB 线 278 连接(例如,经由 PMOS 开关)到适当隔区的 SELB 线,且因此连接到针对所述隔区的读出放大器,那么区块冗余操作对读出放大器和页子寄存器变得完全透明而无需进行进一步多路传输,且如果可编程,那么对编程操作也是透明的。不需要复制读取/写入电路。此方案用于每 2 个隔区替换一个存储器区块(即,对于每 2 个隔区允许一个 BL-WL 短路)。尽管备用区块读取路径含有额外的 PMOS 开关装置(或其它耦合电路),但可执行谨慎的读取和编程路径模拟以确保主阵列与备用区块读取/写入操作之间的类似行为。利用这种配置,存储器阵列面积增加约 6.7%(即,2/32,加上用于 PMOS 开关的较小额外面积约 5um)。

[0079] 类似的选通或耦合考虑也可适用于其它列选择和/或列解码器线,其中当存储器区块被备用区块替换时,备用区块的此类列选择线可耦合到隔区 0 或隔区 1 中的类似的线。举例来说,一组全局列选择(CSG)线可在其左端和右端分别耦合到针对隔区 0 的 CSG 线或针对隔区 1 的 CSG 线。因为这些 CSG 线是全轨道(full-rail)信号,所以这种耦合电路优选地包含全发射栅极(即,NMOS 和 PMOS 晶体管两者)。在某些实施例中,每一隔区包含 10 个此类 CSG 线,但也预期其它数目和类型的列选择信号线。或者,备用区块可包含单独的全局列选择解码器,其每当启用备用区块时被启用,如下文更详细描述(例如图 12 所示)。还提供一组较低的 SELB 线,因为阵列优选地包含交错的位线,其中一半退出阵列到达顶部且另一半退出到底部。

[0080] 包含上述此类 CSG 线和相关的解码器电路、SELB 线和层选择电路的有用的列电路的额外细节可参阅 Luca G. Fasoli 等人 2004 年 12 月 30 日申请的第 11/026,470 号美国申请案“Apparatus and Method for Hierarchical Decoding of Dense Memory Arrays Using Multiple Levels of Multiple-Headed Decoders”,其揭示内容以引用的方式并入本文中。图 2-5 尤其适当,且图 3 中描绘的标记为 I/O[15]-I/O[0] 的十六个线的群组对应于此处描述的 SELB 线。

[0081] 图 7 展示存储器阵列 300 的另一实施例,所述存储器阵列 300 包含四对隔区,每一者具有一对备用区块和一组 SELB 线,所述组 SELB 线可通过 PMOS 开关连接到任一邻近隔区的 SELB 线,所有均如图 6 所示,且此处以 2×2 栅格分组。

[0082] 现参看图 8,其展示存储器阵列 320 的实施例,其中横过主阵列区块(例如,隔区 0、隔区 1)与备用区块之间的边界而共享字线。举例来说,备用区块 273 中的字线 326 是与隔区 0 内的最后区块(例如,十六个区块中的最后一个)共享的,所述最后区块展示为区块 271P 且还展示为区块 15(从隔区 0 最左侧区块的区块 0 到最右侧区块的区块 15 编号)。更明确地说,区块 273 中的字线 326 与区块 271P 中的字线 327 共享。换句话说,字线的一半

在存储器区块 271P 与存储器区块 273 之间是共享的。

[0083] 如果备用区块 274 内发生 BL-WL 短路,那么根据上文描述,此备用区块 274 不可使用,且每一相邻区块的一半也不可使用。两个邻近存储器区块中的与缺陷区块的字线共享的字线也受到影响且不可使用。举例来说,区块 272A 中的字线 324 是与缺陷备用区块 274 共享的。此字线可折叠并映射到另一备用区块 273 中的字线 326 中(如映射 328 所指示)。因为字线 326 不是与缺陷备用存储器区块 274 共享的,所以字线 326 可代替字线 324。类似地,区块 272A 内的与备用区块 274 共享的所有字线映射到备用区块 273 内的相应字线中,所述字线的每一者与存储器区块 271P 共享。如下文所述,可提供额外一位冗余信息以允许将备用区块本身内的缺陷映射到阵列外部,如此图所示。

[0084] 然而,特别地预期字线不在主阵列区块与备用区块之间共享的其它实施例。在这些情况下,可能不需要用于存储缺陷地址的额外位。

[0085] 区块冗余的修整位和控制逻辑

[0086] 使用图 7 所示的存储器阵列 300 作为示范性实施例,存在四种可能的区块替换,因为每对备用区块可替换邻近隔区的任一者(但不是两者)中的不良区块。现参看图 9,展示表现对此类存储器区块替换的控制的方框图。修整位 340 区块经编程以含有故障区块的地址。由于存在四种可能的区块替换,所以存在各 7 位的 4 个条目。表 1 描述条目中每一位的用途。注意,故障地址比实际区块地址 (BLKADD[3:0]) 多一位。必需这样以确保备用区块中具有 BL-WL 短路的电路小片可恢复,其否则将会危及区块 15/ 隔区 0(如果短路在备用区块 0 中)或区块 0/ 隔区 1(如果短路在备用区块 1 中)的一半。

[0087] 表 1

[0088]

位 #	名称	用途
[6]	ENABLE	启用位,如果为 0,则条目被禁用(不使用)
[5]	RXL_BAY	左或右隔区中的故障(0=左,1=右)
[4:0]	FAIL_BLKADD[4:0]	具有 BL-WL 短路的区块的地址 FAIL_BLKADD[4:0] = 11111(-1) =>备用区块 1 中的短路 FAIL_BLKADD[4:0] = 0XYXW =>其中 BLKADD[3:0] = XYZW 的区块中的短路 FAIL_BLKADD[4:0] = 10000(16) =>备用区块 0 中的短路

[0089] 可以任何适宜的可编程技术来实施此类修整位。举例来说,可使用电可编程熔丝、激光可编程熔丝、例如快闪 EEPROM 的非易失性可编程存储器单元、例如反熔丝单元的无源元件存储器单元,或任何其它技术。这里术语“修整位”便于区分来自阵列中(备用区块和主阵列区块两者)的存储器单元的可编程存储器的这些位,且因为其它此类修整位也可用于为另外的数字存储器装置提供校准或其它类似“修整”功能。

[0090] 匹配逻辑

[0091] 在总线 341 上将含有四个 7 位条目的总共 28 位传送到匹配逻辑区块 342。此区块还接收总线 345 上传送的 4 位区块地址 BLKAD[3:0]、总线 346 上传送的最低有效字线地址 RAD[0],和总线 347 上传送的一组 8 位的个别隔区启用信号 BAYE[7:0],其全部可由用于控制存储器阵列操作的控制逻辑区块(未图示)产生。匹配逻辑区块 342 将这些信号与修整位条目进行比较以决定是否使原本已被启用的主阵列区块无效且改为启用备用区块。

[0092] 8 个输出信号(备用区块启用,SPBLKEN[7:0])指示应在 8 个隔区中的哪一隔区中用备用区块替换正常区块。如果 SPBLKEN[7:0] 全部为零,那么不需要替换。需要 RAD[0] 信号以能够在替换一半区块(受短路影响的区块的相邻区块)时激活正确的 SPBLKEN 信号。

换句话说,如上所述,如果当前区块地址对应于恰巧邻近于缺陷区块的主阵列区块,那么当当前行地址对应于与缺陷区块共享的字线时禁用主阵列区块,但当行地址对应于不与缺陷区块共享的字线时不禁用主阵列区块(且允许在主阵列区块中继续访问)。

[0093] 用于产生 SPBLKEN[7:0] 信号的逻辑由于还有必要为相邻区块激活 SPBLKEN 的缘故而稍许有些复杂。在以下示范性代码中,可将区块地址的最低有效位与行地址的最低有效位进行比较以推断字线是否与邻近的缺陷区块共享。将四个条目的每一者的七个修整位称为变量 ENABLE_i、RXL_BAY_i 和 FAIL_BLKADD_i[4:0] (i = 0、1、2、3),用于产生 8 位信号 SPBLKEN[7:0] 的示范性逻辑可描述为:

```
[0094]      For i = 0,1,2,3
[0095]      REPL_i = 0
[0096]      If FAIL_BLKADD_i = BLKADD then
[0097]          REPL_i = 1
[0098]      Else if 0 ≤ FAIL_BLKADD_i+1 ≤ 15 and BLKADD[0] = RAD[0] and FAIL_
BLKADD_i
[0099]      +1 = BLKADD then
[0100]          REPL_i = 1
[0101]      Else if 0 ≤ FAIL_BLKADD_i-1 ≤ 15 and BLKADD[0] = not(RAD[0]) and
[0102]      FAIL_BLKADD_i-1 = BLKADD then
[0103]          REPL_i = 1
[0104]      SPBLKEN[2i] = ENABLE_i and not(RXL_BAY) and REPL_i
[0105]      SPBLKEN[2i+1] = ENABLE_i and RXL_BAY and REPL_i
```

[0106] 在此代码中,变量 BLKADD 涉及当前存储器操作的区块地址,且对例如 FAIL_BLKADD_i 和 FAIL_BLKADD_i 的此类多位变量的参考应视为涉及此类变量的所有 5 位。然而,例如 BLKADD[0] 的参考仅涉及当前区块地址的位零。可以其它等效逻辑功能性代替以产生此类备用区块启用信号。

[0107] SPENBLK[7:0] 信号在总线 343 上传送到存储器核心 300。每一个别 SPENBLK[i] 信号传送到存储器阵列的个别隔区 [i],且当此类备用区块启用信号有效(例如,高)时,其将禁用隔区 [i] 中的所有的主阵列区块。此逻辑可在每个区块内实施在行解码和/或预解码逻辑中。

[0108] 现参看图 10,展示示范性存储器阵列配置 350,其中针对每一个别对的隔区的个别匹配逻辑位于针对所述个别对的隔区的个别备用区块下方。存储器阵列包含八个隔区(标记为 351、352、... 358)和四个备用区块区域 361、362、363、364。修整位区块 340 产生四组 7 位条目,每一组条目用于一个区块替换。此处,针对备用区块 361(即,用于替换隔区 351 或 352 中的区块)的 7 位条目标记为 TF_BLKRED_ENTRY1_TB[6:0],且在总线 368 上传送到匹配逻辑 365。另外三个条目 TF_BLKRED_ENTRY2_TB[6:0]、TF_BLKRED_ENTRY2_TB[6:0] 和 TF_BLKRED_ENTRY 3_TB[6:0] 传送到隔区 2/ 隔区 3、隔区 4/ 隔区 5 和隔区 6/ 隔区 7 的个别匹配逻辑区块,如图所示。

[0109] 隔区 0/ 隔区 1 的匹配逻辑区块 365 还接收一对隔区启用信号 BAYE[1:0]。类似地,其它对隔区启用信号 BAYE[3:2]、BAYE[5:4] 和 BAYE[7:6] 传送到隔区 2/ 隔区 3、隔区

4/ 隔区 5 和隔区 6/ 隔区 7 的个别匹配逻辑区块, 如图所示。所有四个匹配逻辑区块接收 4 位区块地址信号 BLKADD[3:0] 和最低有效行地址位 RAD[0]。每一匹配逻辑区块产生个别的左和右备用区块启用信号, SPBLKEN_L 和 SPBLKEN_R。(如本文所描述, 这四组 SPBLKEN_L 和 SPBLKEN_R 信号, 各组分别用于隔区 0/ 隔区 1、隔区 2/ 隔区 3、隔区 4/ 隔区 5 和隔区 6/ 隔区 7, 在本文中也描述为 SPENBLK[7:0] 信号)。举例来说, 针对隔区 0/ 隔区 1 的匹配逻辑区块 365 在节点 366 上产生 SPBLKEN_L 信号且在节点 367 上产生 SPBLKEN_R 信号。当节点 366 上的 SPBLKEN_L 信号有效时, 禁用隔区 0 中所有主阵列区块。同样, 当节点 367 上的 SPBLKEN_R 信号有效时, 禁用隔区 1 中所有主阵列区块。此逻辑可在每个区块内实施在行解码和 / 或预解码逻辑中。图 11 中描绘用于实现此功能的示范性电路, 其中原本会启用区块的 BLKEN 信号 381 被适当的左或右备用区块启用信号 (此处展示为 SPBLKEN_L/R 382) 超越, 以产生实际的区块启用信号 383。

[0110] 备用区块

[0111] 现参看图 12, 展示代表性备用区块区域, 例如备用区块区域 361 (见图 10), 其包含两个备用区块 401 和 402。备用区块 401、402 的顶部处的一组 SELB 线 410 借助耦合电路 (例如, PMOS 开关 411) 耦合到左侧隔区 0 中或右侧隔区 1 中的 SELB 线。同样, 备用区块 401、402 的底部处的一组 SELB 线 412 类似地耦合到隔区 0 中或隔区 1 中的 SELB 线。在个别节点 366 和 367 上接收 SPBLKEN_L 和 SPBLKEN_R 信号。当任一信号有效时, 启用备用区块区域 361, 且节点 403 上的 SPEN 信号有效以启用备用区块顶部处的备用全局列解码器 413 和备用区块底部处的备用全局列解码器 414。

[0112] 依据最低有效行地址 BLDADD[0], 启用备用区块 401 (借助节点 415 上的区块 0 启用信号), 或启用备用区块 402 (借助节点 416 上的区块 1 启用信号)。一对高压电平移位器 408、409 在节点 406 和 407 上产生一对高压启用信号 XSPBLKEN_HV_R 和 XSPBLKEN_HV_L, 以控制将 SELB 线 410、412 耦合到左或右隔区的 PMOS 开关 411。如上所述, 备用全局列解码器 413、414 可包含高压转移栅极 (transfer gate) (未图示) 以将全局列解码器 (CSG) 线耦合到来自左隔区或右隔区的 CSG 线, 且还可由左和右备用区块启用电平移位器 408、409 控制。或者, 备用全局列解码器 413、414 可以是用于在特定备用区块区域内产生 CSG 线的独立解码器, 且所述备用区块 CSG 线无需耦合到左隔区或右隔区中的 CSG 线。

[0113] 如下文所述, 某些三维实施例中的备用区块不包含相应的读出放大器, 或对于一些实施例来说不包含页子寄存器, 可使用另外为读出放大器和页子寄存器分配的布局区域来实施此处展示的备用区块控制电路。

[0114] 现参看图 13, 描绘存储器阵列的实施例, 其中横过两个隔区之间的边界而共享字线。换句话说, 一个隔区的最后存储器区块中的字线的一半与邻近隔区中的第一存储器区块共享。区块 15/ 隔区 1 (也标记为区块 352P) 是隔区 1 (本文也描述为隔区 352) 中的十六个存储器区块中的最后一个。右侧的下一存储器区块是区块 0/ 隔区 2 (也标记为区块 353A), 其为隔区 2 (本文也描述为隔区 353) 中的十六个存储器区块中的第一个。展示隔区 0 的两个备用区块 401、402, 如同隔区 2 的两个备用区块 362A 和 362B。

[0115] 如果隔区之间的边界处的存储器区块的一者中发生 BL-WL 短路 420, 那么所述区块仍可被替换, 但修整位区块中使用两个条目, 因为必须使用两对备用存储器区块的若干部分 (即, 所有四个备用区块的若干部分)。缺陷区块 353A 中的所有字线映射到隔区 2/ 隔

区 3 的相应的（例如，奇或偶）备用区块 362A，此处描绘为映射 421 和 422。邻近区块 353B 中的与缺陷区块 353A 共享的字线映射到另一备用区块 362B。然而，另一邻近存储器区块 352P 中的与缺陷区块 353A 中的字线共享的字线无法映射到备用区块 362B 中，因为这些区块 352P 和 362B 不共享相同的 SELB 线和相同的读出放大器。事实上，邻近区块 352P 中的字线的一半映射到隔区 0/ 隔区 1 的备用区块 402，如映射 424 所示。虽然这种区块替换映射提供替换在隔区之间的边界上发生的缺陷区块的能力，但其消耗四个不同隔区（例如，隔区 0、隔区 1、隔区 2 和隔区 3；或者隔区 4、隔区 5、隔区 6 和隔区 7）的所有备用区块资源，且因此如果缺陷区块是邻近于隔区边界的四个区块之一（例如，隔区 1/ 区块 15；隔区 2/ 区块 0；隔区 5/ 区块 15；或隔区 6/ 区块 0），那么所有四个隔区中仅可替换一个缺陷区块。或者，在其它实施例中，并不横过隔区之间的边界而共享字线，且每对隔区内的区块替换限制独立于其它对隔区。因此，隔区 1/ 区块 15 中的缺陷不会消耗整个条的所有备用区块资源。

[0116] 现参看图 14，展示根据本发明某些实施例表现具有分段字线配置的三维存储器阵列的示意图。每一字线由在存储器阵列的至少一个且有利地一个以上字线层上的一个或一个以上字线片段形成。举例来说，第一字线由设置在存储器阵列的一个字线层上的字线片段 130 以及由设置在另一字线层上的字线片段 132 形成。字线片段 130、132 通过垂直连接 128 连接以形成第一字线。垂直连接 128 还提供到达设置在另一层（例如，半导体衬底内）中的驱动器装置 126（或者驱动器电路）的连接路径。来自行解码器（未图示）的经解码输出 122 大体上平行于字线片段 130、132 而横穿，且当被选择时经由装置 126 将字线片段 130、132 耦合到经解码偏压线 124，所述经解码偏压线 124 大体上垂直于字线片段而横穿。

[0117] 还展示字线片段 131、133，其通过垂直连接 129 连接以形成第二字线并提供到达驱动器装置 127 的连接路径。来自行解码器的另一经解码输出 123 当被选择时经由装置 127 将这些字线片段 131、133 耦合到经解码偏压线 124。上述 Roy E. Scheuerlein 的第 6, 879, 505 号美国专利中描述了类似的分段字线结构的其它细节。

[0118] 图 15 是具有字线层的三维存储器阵列的横截面图，所述字线层每一者对应于各自的位线层。描绘了四个字线层，标记为 WL1、WL3、WL5 和 WL7。层 WL1 上的字线片段对应于位线层 BL2 上的位线。类似地，层 WL3、WL5 和 WL7 上的字线片段分别对应于位线层 BL4、BL6 和 BL8 上的位线。

[0119] 区块 137 内的字线片段 132、133、134 和 135 通过垂直连接 128 连接以形成逻辑字线。展示位线层 BL8 上的多个位线 144。多个存储器单元 146 形成在每一位线 144 与字线片段 142 之间。这些存储器单元优选地是并入有反熔丝结构的无源元件存储器单元，但也可使用其它存储器单元技术。

[0120] 字线片段 132 落在存储器区块 137 内，而字线片段 142 落在邻近区块 136 内。这两个字线片段垂直连接到其它字线片段以在每一区块中形成字线，并且在这些区块 136 与 137 之间共享字线。

[0121] 四个位线层 BL2、BL4、BL6 和 BL8 也分别标记为层 0、层 1、层 2 和层 3，因为字线层连接在一起并从下方进行馈入。存在多种方式可在这种存储器阵列结构中实现列解码。举例来说，每一列地址可能对应于单一位线层上的单一位线。然而，以解码这些个别位线所必要的间距来布局此类列解码器非常困难。因此，有用的是，为每一列地址选择一组位线，并将每一选定的位线耦合到个别读出线（例如，SELB 线），所述个别读出线耦合到个别读出放

大器。

[0122] 在本发明一些实施例中,当在选定的存储器区块中选择逻辑列时,选择一组 16 个位线(例如,从四层的每一层选择四个位线)并将其分别耦合到相应的 SELB 线。图 15 中描绘一个此类层选择。由于对于此示范性实施例来说位线是交错的,所以位线的一半(例如,偶数编号的位线)退出到存储器区块的顶部,且位线的另一半(例如,奇数编号的位线)退出到存储器区块的底部。此类位线也可成对交错而不是个别交错。在其它实施例中,位线完全不需要交错。在此情况下,所有位线通常将退出存储器区块而到达顶部或底部,但不是顶部和底部两者。

[0123] 当在区块 137 中选择列 0 时,层 0 上的退出到存储器区块的顶部的最初四个位线(标记为 0T、1T、2T、3T)耦合到 SELB[3:0],层 1 上的退出到存储器区块的顶部的最初四个位线耦合到 SELB[7:4],层 2 上的退出到存储器区块的顶部的最初四个位线耦合到 SELB[11:8],且层 3 上的退出到存储器区块的顶部的最初四个位线耦合到 SELB[15:12]。(图中,每一位线 144 经标记以指示此示范性解码和层选择,其使用(例如)“0T”来表示耦合到存储器区块顶部上的 SELB[0] 的位线,使用“2B”来表示耦合到存储器区块底部上的 SELB[2] 的位线,等等。)类似地,当在区块 137 中选择列 1 时,层 0 上的退出到存储器区块的顶部的接下来四个位线耦合到 SELB[3:0],层 1 上的退出到存储器区块的顶部的接下来四个位线耦合到 SELB[7:4],层 2 上的退出到存储器区块的顶部的接下来四个位线耦合到 SELB[11:8],且层 3 上的退出到存储器区块的顶部的接下来四个位线耦合到 SELB[15:12]。这可通过使用上述 Luca G.Fasoli 等人的“Apparatus and Method for Hierarchical Decoding of Dense Memory Arrays Using Multiple Levels of Multiple-Headed Decoders”中详细描述 16 头列解码器来实现。可将此电路视为驱动四个层选择器电路的单一解码器节点。每一个别层选择器电路将个别位线层上的四个邻近位线(即,退出存储器区块而到达区块的顶部或底部的那些位线的邻近位线)耦合到与所述个别层选择器电路相关联的一组 SELB 线。

[0124] Christopher J.Petti 等人 2005 年 3 月 31 日申请的第 11/095,905 号美国申请案“Transistor Layout Configuration for Tight-Pitched Memory Array Lines”中描述了用于驱动每一字线(例如,借助个别垂直连接,例如垂直连接 128)的额外的有用电路和布局配置,所述申请案的揭示内容以引用的方式并入本文中。

[0125] 现参看图 16,描绘展示存储器阵列 440 的方框图,所述存储器阵列 440 包含 32 个存储器区块和 16 个 SELB 线(成 4 组四个此类 SELB 线)。未提供备用区块,且因此不支持区块冗余。存储器区块中的 16 个包含读出放大器,其每一者分别连接到 SELB 线中的一者。举例来说,存储器区块 444 包含耦合到 SELB[0] 的读出放大器 443,而存储器区块 445 不包含读出放大器。每一存储器区块还包含四个层选择器电路,例如层 0 选择器 446、层 1 选择器 447、层 2 选择器 448 和层 3 选择器 449,其全部与存储器区块 450 相关联。与每一存储器区块相关联的四个层选择器在所有描绘的存储器区块上是相同的。

[0126] 现参看区块 444,如果选择最左侧列解码器,那么同时启用一组四个层选择器 442,且来自四个存储器层的每一者的四个位线分别耦合到 16 个 SELB 线中的个别组的四个 SELB 线。因此,个别位线耦合到 16 个 SELB 线中的每一 SELB 线,且每一者由例如读出放大器 443 的相应的读出放大器读出。

[0127] 在如图 14 和 15 所示的存储器结构中,可能仅需要实施存储器层的一部分。举例来说,尽管至此已描述四个此类存储器层,且描述在存储器操作期间列选择电路将位线耦合到 16 个 SELB 线中的每一者,但可能需要实施仅包含层 0 和层 1 的部分存储器阵列。这可通过省略与层 2 和层 3 相关联的掩蔽和处理步骤并直接进行到对存储器层上方的层(例如,金属层)的处理来实现,因为对于四个存储器平面的每一者来说存储器区块本身内的字线和位线掩码相同,且可将存储器阵列制造成实际上实施较少的存储器平面。然而,再次参看图 16,如果层 2 或层 3 上不实施位线,那么不会有位线耦合到 SELB 线的一半,即耦合到层 2 和层 4 选择器电路的 SELB[15:8]。虽然概念上可能改变解码以便忽略这些 SELB 线的一半(以及与其连接的读出放大器电路),但实际上这可能比其它解码选择困难得多。

[0128] 图 17 中展示一种可能的技术,其中互换用于存储器区块的一半的层选择器电路。区块 0 到区块 15 包含与之前一样的层选择器电路,而区块 16 到区块 31 包含与层 2 和层 3 选择器电路互换的层 0 和层 1 选择器电路。对于一些实施例,可仅通过将垂直连接(即,“zia”)从个别位线交换到 16 头列解码器内的晶体管源极/漏极区域来实现这种层选择器互换。如果实施所有四个存储器层,那么在给定时间仅启用一个存储器区块,且为所有 16 个 SELB 线提供与区块和列地址无关的数据,但解码映射依据启用哪一区块而变化。举例来说,对于区块 0 到区块 15,SELB[0] 线对应于层 0 上的位线,而对于区块 16 到区块 31,SELB[0] 线对应于层 2 上的位线。

[0129] 现参看图 18,展示相同的存储器阵列配置 460,这次对应于实际上仅实施最初两个存储器层的实施例。在存储器操作期间,通过启用两个不同的存储器区块将个别位线耦合到 16 个 SELB 线中的每一者,其中一个存储器区块选自区块 0 到区块 15,且另一个存储器区块选自区块 16 到区块 31。(可使用另一修整位来指示装置应根据 4 层还是 2 层假定来进行解码。)在存储器区块 0 中,同时启用一组两个层选择器 462,且来自层 0 和层 1 的每一者的四个位线分别耦合到 SELB[3:0] 和 SELB[7:4]。在存储器区块 16 中,对于相同列地址,还同时启用另一组两个层选择器 463,且来自层 0 和层 1 的每一者的不同组的四个位线分别耦合到 SELB[11:8] 和 SELB[15:12]。因此,可在不需要对读取/写入路径的任何改变的情况下实现 2 层或 4 层兼容性。事实上,对于 2 层选择,区块启用解码经改变以同时启用两个单独区块(与相同 SELB 线相关联),而对于 4 层选择仅启用一个区块。当然,在较大的存储器阵列中,如果提供额外独立组的 SELB 线和读出放大器,那么还可启用额外的存储器区块。

[0130] 如果还需要区块冗余,那么可如上所述提供备用存储器区块。现参看图 19,描绘存储器阵列 480,其包含各具有读出放大器的 16 个存储器区块以及不具有读出放大器的两个备用区块。与区块 0-7 相比,针对区块 8-15 互换层选择器电路。相对于增加 SELB 线数目,对于存储器区块 0 到 7 的每一者以层 0/层 2/层 1/层 3 的次序排列层选择器电路,且对于这种层映射这些区块可称为类型 A 区块。(回想这些区块也可基于共享邻近区块之间的字线而作为交替的奇和偶存储器区块。)对于存储器区块 7 到 15 的每一者以层 2/层 0/层 3/层 1 的次序排列层选择器电路,且对于这种层映射这些区块可称为类型 B 区块。在 4 层实施例中,仅启用一个区块,而在 2 层实施例(如图中所描绘)中,同时启用两个区块以在存储器操作期间将个别位线耦合到每一 SELB 线。

[0131] 两个备用区块均展示为类型 A 存储器区块(但,如上所述,一个可能为奇且另一个

为偶)。这暗示着只要两个相邻区块也是类型 A 区块就可替换类型 A 区块。换句话说,可替换区块 0-6,但不替换区块 7-15。如果两个备用区块均为类型 B 区块,那么仅可替换区块 9-15。这一限制仅适用于 2 层实施例。在 4 层实施例中,可替换任何存储器区块,但与缺陷主阵列区块相比在备用区块中层映射可能不同(例如,备用类型 A 区块替换主阵列类型 B 区块)。

[0132] 图 20 展示另一配置,其中存储器阵列 500 包含交替的类型 A 和类型 B 存储器区块,且进一步包含备用类型 A 存储器区块和备用类型 B 存储器区块。与之前一样,在 4 层实施例中,仅启用一个存储器区块,且在 2 层实施例中,同时启用一对区块。但此处,所述对同时启用的存储器区块是邻近的区块,如图所示。此外,现可替换任何区块,只要存储器区块的任何奇/偶体现符合类型 A 和类型 B 配置即可。举例来说,如果区块 0 是偶存储器区块且还是类型 A 存储器区块,那么备用区块 0 也应该是偶存储器区块且还是类型 A 存储器区块。类似地,如果区块 1 是奇存储器区块且还是类型 B 存储器区块,那么备用区块 1 也应该是奇存储器区块且还是类型 B 存储器区块。因此,任何类型 A(偶)存储器区块均具有类型 B(奇)相邻区块,且可由类型 A(偶)备用区块 0 替换,其中每一相邻类型 B(奇)存储器区块的一半映射到类型 B(奇)备用区块 1 中。同样,任何类型 B(奇)存储器区块均具有类型 A(偶)相邻区块,且可由类型 B(奇)备用区块 1 替换,其中每一相邻类型 A(偶)存储器区块的一半映射到类型 A(偶)备用区块 0 中。

[0133] 在 4 层装置(即,所有层选择器电路实际上均耦合到所实施的存储器层)中,上述映射对于这种 A/B 层选择器配置同等有效。所述映射对于 2 层装置也是一样的,然而,备用区块启用(和作为结果的对另外寻址的主阵列区块的禁用)由于同时启用两个不同区块而稍许较复杂。对于给定的存储器操作:(1) 可启用两个主阵列区块;(2) 可启用一个主阵列区块和一个备用区块(其中禁用第二主阵列区块);或(3) 可启用两个备用区块(且禁用两个主阵列区块)。

[0134] 接下来 6 幅图提供对于若干不同情形的每一情形启用哪些区块的实例,在所述若干不同情形中,要不是存在 BL-WL 短路或促使将区块中的一者(或附近区块)标记为有缺陷的其它缺陷,主阵列中的一对区块原本会被启用。这些图仅针对 2 层实施例描述。在 4 层实施例中,一次仅启用单一存储器区块。

[0135] 现参看图 21,表现阵列的一部分,其具有奇区块 521 和 523 以及偶区块 522 和 524,且进一步具有偶备用区块 526 和奇备用区块 527。假定偶区块是类型 A 区块且奇区块是类型 B 区块,但这是任意的。描绘奇区块 523 中的短路,其致使此区块有缺陷。如上所述,缺陷奇区块 523 映射到奇备用区块 527,而邻近偶区块 522 中的与缺陷区块共享的字线以及邻近偶区块 524 内的与缺陷区块共享的字线均映射到偶备用区块 526,如图中所描绘。

[0136] 要不是进行区块替换,区块 522 和 523 原本会在主阵列中被启用(即,选定的或有效的字线落在这些区块内)。展示针对区块 522 和 523 两者的有效(即,选定的)字线。缺陷区块 523 始终被禁用并重新映射到备用区块 527,但如果有效字线不与缺陷区块 523 共享,那么启用区块 522。此处情况就是如此,且因此,启用区块 522 且不将其重新映射到备用区块。如本文参看图 21-26 所使用,“有效”字线是对应于呈现给装置的地址的字线,且如果区块被启用那么将被“选定”,但所述字线可映射到备用区块。还应了解,在某些实施例(例如,某些 2 层实施方案)中,存在两个有效字线,两个存储器区块的每一者中各一个。

[0137] 现参看图 22,描绘相同情形,但具有不同有效字线。映射与上文相同,但在此情形中,由于区块 522 中的有效字线与缺陷区块 523 共享,所以也禁用区块 522 并将其改为映射到备用偶区块 526。换句话说,启用两个备用区块。

[0138] 现参看图 23,描绘又一情形。此处,有效字线落在区块 524 和 525 内。缺陷区块仍为区块 523,因此映射仍与上文相同。然而,在此情况下,如果区块 524 中的有效字线与缺陷区块 523 共享(此处情况正是如此),那么禁用偶区块 524 并将其重新映射到备用偶区块 526。在区块 525 中,有效字线不与缺陷区块 523 共享,且因此启用区块 525 且不将其重新映射到备用区块。

[0139] 现参看图 24,表现相同阵列,其具有奇区块 521 和 523 以及偶区块 522 和 524,且进一步具有偶备用区块 526 和奇备用区块 527。再次假定偶区块是类型 A 区块且奇区块是类型 B 区块。描绘偶区块 522 中的短路,其致使此区块有缺陷。在此情况下,缺陷偶区块 522 映射到偶备用区块 526,而邻近奇区块 521 中的与缺陷区块共享的字线以及邻近奇区块 523 内的与缺陷区块共享的字线均映射到奇备用区块 527,如图中所描绘。

[0140] 有效字线再次落在区块 522 和 523 内,如图所示,且要不是进行区块替换,区块 522 和 523 原本会在主阵列中被启用。缺陷区块 522 始终被禁用并重新映射到备用区块 526,但如果有效字线不与缺陷区块 522 共享,那么仍启用区块 523。此处情况就是如此,且因此,启用区块 523 且不将其重新映射到备用区块。

[0141] 现参看图 25,描绘相同情形,但具有不同有效字线。映射与上文相同,但在此情形中,由于区块 523 中的有效字线与缺陷区块 522 共享,所以也禁用区块 523 并将其改为映射到备用奇区块 527。

[0142] 现参看图 26,描绘又一情形。此处,有效字线落在区块 520 和 521 内。缺陷区块仍为区块 522,因此映射仍与上文相同。然而,在此情况下,如果区块 521 中的有效字线与缺陷区块 522 共享(此处情况正是如此),那么禁用奇区块 521 并将其重新映射到备用奇区块 527。在区块 520 中,有效字线不与缺陷区块 520 共享,且因此启用区块 520 且不将其重新映射到备用区块。

[0143] 对于一些实施例,关于在 2 层装置中是否启用区块的决策可概括如下:

[0144] 1. 如果选定(即,有效)字线落在缺陷区块内,那么禁用缺陷区块并改为将其重新映射到适当的备用区块(即,启用适当的备用区块);

[0145] 2. 如果选定的字线落在邻近于缺陷区块的区块内但与缺陷区块共享,那么禁用邻近区块并改为将其重新映射到适当的备用区块(即,启用适当的备用区块);

[0146] 3. 如果选定的字线落在邻近于缺陷区块的区块内但不与缺陷区块共享,那么启用邻近区块且不重新映射到备用区块;

[0147] 4. 如果选定的字线落在任何其它区块内,那么启用所述区块;

[0148] 现参看图 27,展示存储器阵列 550,其中实施 16 个不同存储器隔区,每一隔区包含 16 个存储器区块。展示两个不同的 64 兆字节核心,核心 0 和核心 1,其每一者由 COREE[i] 信号启用。每一核心包含各自隔区 0 到 7 以及四对备用区块,每对放置在个别对的隔区之间并配置以替换所述个别对的隔区中的一者中的单一区块。展示逻辑上可寻址的总共 256(即, 16×16) 个存储器区块,以及 16 个备用存储器区块,从而获得总共 272 个物理存储器区块。在此阵列中可替换至多达 8 个区块,但对于每对隔区替换不多于一个区块(即,如

果故障相对均匀地分布在隔区中)。

[0149] 接下来在此存储器阵列 550 的情境中描述区块替换逻辑的示范性配置,其对于另一 4 层装置实现 2 层兼容性。现参看图 28,展示此示范性配置的方框图。与图 10-12 所示的配置相比,现准备启用 2 层装置中的两个区块。由于一个启用的区块可处于主阵列中且一个启用的区块可处于备用区块区域中,所以提供两个不同的备用启用信号,一个针对偶区块 (SPBLKENA) 且一个针对奇区块 (SPBLKENB)。举例来说,如果激活 SPBLKENA 但未激活 SPBLKENB,那么禁用偶主阵列区块 (由于启用了偶备用区块),但不禁用主阵列中的奇区块。

[0150] 提供修整位区块 580 (差不多与之前一样) 以包含故障区块的地址。由于存在 8 种可能的替换,所以存在 8 个各 7 位的条目。上述表 1 描述条目中每一位的用途。以相同方式指示每一不良区块,而不管装置实施为 4 层装置还是 2 层装置。

[0151] 匹配逻辑类似于之前描述的匹配逻辑,但现存在此逻辑的 8 个实例,每一个实例针对一对备用区块,且每一者现产生 4 个输出信号:其中 2 个驱动到在备用区块左侧的隔区内的存储器区块,且其中 2 个驱动到在备用区块右侧的隔区内的存储器区块。匹配逻辑优选地位于备用区块本身以下 (例如,在原本会用于实施读出放大器的区域中),使得在其它设计中不需要区块冗余时将容易移除区块冗余。图 31 中概述通过匹配逻辑接收的各种接口信号。

[0152] 4 个备用区块启用输出信号 (SPBLKENA_L、SPBLKENB_L、SPBLKENA_R、SPBLKENB_R) 指示我们需要在 2 个隔区中的哪一者 (左或右) 中用一个或两个备用区块替换正常区块。SPBLKENA_L/R 信号行进到偶区块,而 SPBLKENB_L/R 信号行进到奇区块。如果所有四个 SPBLKEN 信号均为零,那么两个隔区中的任一者中均不需要替换。与之前一样,使用最低有效行地址位 RAD[0] 信号以在替换邻近于缺陷区块 (即,受短路影响的区块) 的一半区块时能够激活正确的 SPBLKENA/B_L/R 信号。

[0153] 以 ENABLE、RXL_BAY 和 FAIL_BLKADD[7:0] 来指示一个条目的七个修整位,用于产生 SPBLKENA/B_L/R 的逻辑可描述为:

[0154] REPLA = 0

[0155] REPLB = 0

[0156] FBP1 = FAIL_BLKADD[4:0]+1

[0157] FBM1 = FAIL_BLKADD[4:0]-1

[0158] If SMI_TWOLAYER = 0 then

[0159] If FAIL_BLKADD = BLKADD then

[0160] If FAIL_BLKADD[0] = 0 then REPLA = 1

[0161] If FAIL_BLKADD[0] = 1 then REPLB = 1

[0162] End if

[0163] If FBP1 = BLKADD and RAD[0] = not (FAIL_BLKADD[0]) then

[0164] If not (FAIL_BLKADD[01] = 0) then REPLA = 1

[0165] If not (FAIL_BLKADD[0]) = 1 then REPLB = 1

[0166] End if

[0167] If FBM1 = BLKADD and RAD[0] = FAIL_BLKADD[0] then

```

[0168]          If not (FAIL_B LKADD[0]) = 0 then REPLA = 1
[0169]          If not (FAIL_BLKADD[0]) = 1 then REPLB = 1
[0170]          End if
[0171]    End if
[0172]    If SMI_TWOLAYER = 1 then
[0173]      If FAIL_BLKADD[4:1] = BLKADD[3:1] then
[0174]        If FAIL_B LKADD[0] = 0 then REPLA = 1
[0175]        If FAIL_BLKADD[0] = 1 then REPLB = 1
[0176]      End if
[0177]      If FBP1[4:1] = BLKADD[3:1] and RAD[0] = not (FAIL_BLKADD[0]) then
[0178]        If not (FAIL_B LKADD[0]) = 0 then REPLA = 1
[0179]        If not (FAIL_BLKADD[0]) = 1 then REPLB = 1
[0180]      End if
[0181]      If FBM1[4:1] = BLKADD[3:1] and RAD[0] = FAIL_BLKADD[0] then
[0182]        If not (FAIL_BLKADD[0]) = 0 then REPLA = 1
[0183]        If not (FAIL_B LKADD[0]) = 1 then REPLB = 1
[0184]      End if
[0185]    End if
[0186]    SPBLKENA_L = ENABLE and not (RXL_BAY) and REPLA
[0187]    SPBLKENA_R = ENABLE and RXL_BAY and REPLA
[0188]    SPBLKENB_L = ENABLE and not (RXL_BAY) and REPLB
[0189]    SPBLKENB_R = ENABLE and RXL_BAY and REPLB

```

[0190] 在主阵列中, SPENBLKA_L/R 信号当为高时将禁用 (左或右) 隔区中的所有偶区块。SPENBLKB_L/R 信号当为高时将禁用 (左或右) 隔区中的所有奇区块。此逻辑可在每个区块内实施在行预解码器逻辑中。图 29 展示示范性配置。

[0191] 图 30 描绘用于此配置的示范性备用区块控制逻辑。其适于接收四个备用区块启用信号而不是仅两个此类信号 (如图 12 所示)。

[0192] 在一些实施例中, 可实施有用的测试模式以激活所有 8 个备用区块组中的两个备用区块, 而禁用主阵列区块。所述模式在 SMI_ALLSPBLKON_TMCR = 1 时被激活且可单独使用或结合主阵列多区块选择模式使用以通过对所有备用区块并行施加相同操作来加速测试 (例如, 应力测试)。

[0193] 为了启用上述配置的任一者中的区块冗余, 以故障区块的地址对修整位进行编程。匹配逻辑电路以及备用与主阵列区块控制电路将对自动重新映射故障区块和相邻区块的两个半部以及启用一个区块 (4 层实施方案) 或两个区块 (2 层实施方案) 进行照管, 其中故障区块处于其间无备用区块的 2 个隔区的边界处 (即, 隔区 1/ 区块 15、隔区 2/ 区块 0、隔区 5/ 区块 15 或隔区 6/ 区块 0) 的情况除外。在此情况下, 条的两个资源均可用于修补区块, 如上所述, 且因此, 区块冗余将仅能够替换条内单一的不良区块。

[0194] 现参看图 32, 所描绘的表概述适当的修整位设定和作为结果的针对各种故障区块位置的重新映射。此表适于 4 层实施方案和 2 层实施方案。

[0195] 用于在另一 4 层装置中实现 2 层兼容性的另一技术针对层选择器电路的一半利用互换邻近列解码器输出。现参看图 33, 其展示一组层选择器电路, 其中四个此类层选择器电路连接到每一列解码器输出。举例来说, 列解码器输出 651 耦合到层选择器 652 (其将来自层 0 的位线 BL[3:0] 耦合到 SELB[3:0] 线), 耦合到层选择器 653 (其将来自层 1 的位线 BL[3:0] 耦合到 SELB[7:4] 线), 耦合到层选择器 654 (其将来自层 0 的位线 BL[7:4] 耦合到 SELB[11:8] 线), 且耦合到层选择器 655 (其将来自层 1 的位线 BL[7:4] 耦合到 SELB[15:12] 线)。列解码器输出 656 耦合到层选择器 657 (其将来自层 2 的位线 BL[7:4] 耦合到 SELB[3:0] 线), 耦合到层选择器 658 (其将来自层 3 的位线 BL[7:4] 耦合到 SELB[7:4] 线), 耦合到层选择器 659 (其将来自层 2 的位线 BL[3:0] 耦合到 SELB[11:8] 线), 且耦合到层选择器 660 (其将来自层 3 的位线 BL[3:0] 耦合到 SELB[15:12] 线)。

[0196] 在 4 层实施方案中, 启用所有的列解码器, 且单次选择一个列解码器输出。在 2 层实施方案中, 禁用列解码器的一半, 且单次选择剩余一半中的一者。举例来说, 在 2 层实施方案中, 列解码器输出 651 将层 0 和层 1 两者上的最初 8 个位线 (退出到区块的这一侧) 耦合到相应的 SELB 线。禁用列解码器输出 656, 因为甚至未实施层 2 和层 3。下一列地址将选择列解码器 661, 其将层 0 和层 1 两者上的接下来 8 个位线 (在此方向上退出区块的那些位线中的位线) 耦合到相应的 SELB 线。在此配置中, 每一存储器区块本质上是混合 A/B 区块, 且两个备用区块同样将是相同的混合 A/B 配置, 但如果字线如图 1 中所描绘是共享的, 那么这些存储器区块将仍为奇或偶。此外, 在此配置中, 即使对于 2 层装置也仅启用一个区块, 且可能如参看图 10-12 所述实施匹配逻辑和备用区块控制逻辑。

[0197] 现参看图 34, 用于在另一 4 层装置中实现 2 层兼容性的另一技术利用混合 A/B 区块的不同变化形式。此处, 展示相同组的层选择器电路, 其中四个此类层选择器电路连接到每一列解码器输出, 但没有交叉。举例来说, 列解码器输出 681 耦合到层选择器 652 (其将来自层 0 的位线 BL[3:0] 耦合到 SELB[3:0] 线), 耦合到层选择器 653 (其将来自层 1 的位线 BL[3:0] 耦合到 SELB[7:4] 线), 耦合到层选择器 659 (其将来自层 2 的位线 BL[3:0] 耦合到 SELB[11:8] 线), 且耦合到层选择器 660 (其将来自层 3 的位线 BL[3:0] 耦合到 SELB[15:12] 线)。列解码器输出 682 耦合到层选择器 657 (其将来自层 2 的位线 BL[7:4] 耦合到 SELB[3:0] 线), 耦合到层选择器 658 (其将来自层 3 的位线 BL[7:4] 耦合到 SELB[7:4] 线), 耦合到层选择器 654 (其将来自层 0 的位线 BL[7:4] 耦合到 SELB[11:8] 线), 且耦合到层选择器 655 (其将来自层 1 的位线 BL[7:4] 耦合到 SELB[15:12] 线)。

[0198] 在 4 层实施方案中, 启用所有的列解码器, 且单次选择一个列解码器输出。然而, 在 2 层实施方案中, 仍启用所有的列解码器, 但现单次选择两个列解码器。举例来说, 将同时选择列解码器输出 681 和 682 以将层 0 和层 1 两者上的最初 8 个位线 (如果为交错位线, 则为退出区块到达顶部或底部的那些位线中的位线) (即, 总共 16 个位线) 耦合到相应的 SELB 线。

[0199] 在此配置中, 每一存储器区块本质上是混合 A/B 区块, 且两个备用区块同样将是相同的混合 A/B 配置, 但如果字线如图 1 中所描绘是共享的, 那么这些存储器区块将仍为奇或偶。此外, 在此配置中, 即使对于 2 层装置也仅启用一个区块, 且可能如参看图 10-12 所述实施匹配逻辑和备用区块控制逻辑。此外, 由于对于 2 层或 4 层实施方案均仅启用一个区块, 所以驱动阵列中各自节点的阻抗 (例如, 那些驱动选定的字线的阻抗) 在任一型式中

将是类似的。可通过禁用区块内的低位列地址来实现同时选择两个邻近的列解码器。

[0200] 在一对邻近存储器隔区之间共享一个或一个以上备用区块的概念无需限于上述实施例。现参看图 35, 描绘并入有层级位线的存储器阵列 700。备用区块区域 702 包含一个或一个以上备用区块, 其可由备用区块区域 702 上方的第一组主阵列区块 703 以及由备用区块区域 702 下方的第二组主阵列区块 704 共享。备用区块区域 702 内的备用区块通过一组开关 705、706 耦合到两个主阵列区块区域中的一者, 所述开关 705、706 将备用区块区域 702 中的全局位线 (例如, GBL 707) 耦合到主阵列区块区域中的一者中的全局位线 (例如, GBL 706)。根据本文描述的本发明的各方面, 可使用备用区块来实施使用全局位线的任何存储器结构和架构。这包含 (例如) 某些 NAND 存储器结构, 其中包含 En-Hsing Chen 等人的第 US 2004/0145024 号美国专利申请公开案 “NAND Memory Array Incorporating Capacitance Boosting of Channel Regions in Unselected Memory Cells and Method for Operation of Same” 中描述的那些存储器结构, 所述申请案全文以引用的方式并入本文中。还预期其它使用局部和全局位线的存储器结构用于备用区块冗余。

[0201] 如以上实例所表明, 但为了清楚地表达要点, 本文描述的区块冗余技术的在一对主阵列区块之间共享一个或一个以上备用区块的方面不一定需要存储器区块的奇 / 偶结构。即使所有主阵列存储器区块均相同也可有利地使用这种共享, 且在此情况下, 可利用单一备用存储器区块。

[0202] 在一些实施例中, 可在每一备用区块区域内提供一组以上的备用区块。举例来说, 尽管仅需要单一一对备用区块来替换不良区块, 但隔区对之间可包含两对备用区块。这将允许替换同一隔区中的两个缺陷区块, 或将允许替换左侧隔区和右侧隔区两者中的单一缺陷区块, 只要缺陷区块地址不同即可 (由于在备用区块区域中 SELB 线是共享的)。

[0203] 虽然上述其中一对备用区块由两个邻近隔区共享 (并设置在两个邻近隔区之间) 的实施例在 SELB 线和其它控制线的选路方面尤其有效, 但还预期两个以上隔区共享一组备用区块。

[0204] 本文描述的用于对标称既定作为 4 层实施方案的设计实现 2 层兼容性的技术无需限于此类数目的存储器层或平面。举例来说, 8 层设计可使用此处教导的相同或类似技术而与 4 层兼容。同样, 2 层存储器装置可仅实施有一个存储器层。此外, 此类技术还可扩展为甚至实现此 8 层设计中的 2 层兼容性, 或者 4 层设计中的 1 层或 2 层兼容性。另外, 虽然 4 层设计中的此 2 层兼容性暗示三维存储器阵列, 但本文描述的区块冗余技术可同等适当地用于仅具有单一存储器平面的存储器阵列 (即, 2-D 存储器阵列) 中。

[0205] 本文揭示的发明方面可单独使用或组合使用。举例来说, 各种区块冗余技术、部分层兼容性技术和其它技术可单独使用或组合在一起使用或与其它技术组合使用。

[0206] 在所描述的实施例中, 为所有可能的存储器层形成层选择器电路。每一层选择器电路响应于相关联的启用信号, 其用于将相关联的存储器层上的个别阵列线耦合到相关联的一组 I/O 总线中的个别 I/O 总线。当实施部分数目的层时, 一些层选择器电路并不连接到所实施的存储器层阵列线 (例如, 位线), 而是可在不对半导体处理序列中的其它掩码中的任一者作出改变的情况下制造所述装置。虽然如此, 但所实施的存储器层上的个别阵列线耦合到每一个别 I/O 总线, 而不管是否实施第二存储器层。这起因于层选择器电路的物理配置, 以及用于根据实施的存储器层的实际数目控制层选择器电路的装置的可配置性。对

于一些实施例,此配置可通过如上所述对配置存储器进行编程来进行。对于一些实施例,此配置可通过在与任选存储器层中的一者或一者以上相关联的层上存在或缺乏一特征而实现。

[0207] 在一些实施例中,存储器阵列包含字线和字线解码器,所述字线解码器具有与是否实施任选的一个或一个以上存储器层无关的配置。举例来说,具有字线且每一字线在多个字线层(每一字线层与一个或两个位线层相关联)中每一者上包含一字线片段的实施例可以这种字线解码器配置来实施。

[0208] 大多数存储器阵列经设计而具有相对较高程度的统一性。举例来说,通常每个位线包含相同数目的存储器单元。作为另一实例,为了实现解码电路的便利和效率,位线、字线、阵列区块以及甚至存储器平面的数目用数字表示经常是二的整数幂(即, 2^N)。但这种规律性或一致性当然并非对于本发明实施例的任一者均是必需的。举例来说,不同层上的字线片段可包含不同数目的存储器单元,存储器阵列可包含三个存储器平面,第一和最后的阵列区块内的字线片段在存储器单元的数目或位线配置方面可能不同,以及对存储器阵列设计的通常一致性的许多其它无规律变化形式的任一者。除非权利要求书中另外明确陈述,否则这种通常一致性(正如本文描述的实施例中所示)不应引入到任何权利要求的含义中。

[0209] 应了解,指称顶部、左侧、底部和右侧仅是对于存储器阵列的四侧的便利的描述性术语。区块的字线片段可实施为水平定向的交叉指状(inter-digitated)的两组字线片段,且区块的位线可实施为垂直定向的交叉指状的两组位线。每一个别组的字线或位线可由阵列的四侧中的一侧上的个别解码器/驱动器电路和个别读出电路服务。第6,859,410号美国专利(其揭示内容全文以引用的方式并入本文中)“Tree Decoder Structure Particularly Well Suited to Interfacing Array Lines Having Extremely Small Layout Pitch”中且另外在上述 Luca G. Fasoli 等人的“Apparatus and Method for Hierarchical Decoding of Dense Memory Arrays Using Multiple Levels of Multiple-Headed Decoders”中陈述了有用的列电路。

[0210] 字线也可称为行线或X线,且位线也可称为列线或Y线。字线和位线两者均可称为阵列线。如果将字线称为第一类型的阵列线,那么可将位线称为第二类型的阵列线(或反之亦然)。例如全局位线的全局阵列线也可称为第一类型的阵列线。“字”线与“位”线之间的区别可向所属领域的技术人员传达至少两个不同涵义。当读取存储器阵列时,一些实践者假定,字线被“驱动”且位线被“读出”。在此方面,X线(或字线)通常预期连接到存储器单元晶体管的栅极端子,或存储器单元开关装置的开关端子(如果存在的话)。Y线(或位线)通常预期连接到存储器单元的开关端子(例如,源极/漏极端子)。第二,存储器组织(例如,数据总线宽度、操作期间同时读取的位的数目等)可能与观察一组两个阵列线比起数据“字”来说与数据“位”更对准具有某种关联。因此,本文中X线、字线和行线以及Y线、位线和列线的指称说明各自实施例,但不应在限制性意义而应在较一般意义上理解。

[0211] 如本文所使用,字线(例如,包含字线片段)和位线通常表示正交阵列线,且通常遵循此项技术中的一个通常假定:至少在读取操作期间字线被驱动且位线被读出。因此,阵列的位线也可称为阵列的读出线。不应通过使用这些术语而引出关于字组织的任何特定隐含意义。此外,如本文所使用,“全局阵列线”(例如,全局字线、全局位线)是连接到一个以

上存储器区块中的阵列线片段的阵列线,但不应引出表明此全局阵列线必须横穿整个存储器阵列或大体上横穿整个集成电路的任何特定推断。

[0212] 如本文所使用,“第一类型的存储器区块”不一定暗示任何特定的层选择配置对于第一类型的所有此类存储器区块均是共同的,尽管情况也可能如此。类似地,“第二类型的存储器区块”不一定暗示任何特定的层选择配置对于第二类型的所有此类存储器区块均是共同的,也不一定暗示第二类型的区块中的任何层配置必定不同于第一类型的区块的层配置,尽管情况可能如此。第一和第二类型的存储器区块可指出区块顶部(或底部)处的第一阵列线是否与区块左侧或右侧的邻近区块共享。

[0213] 如本文所使用,无源元件存储器阵列包含多个2端子存储器单元,其每一者连接在相关联的X线与相关联的Y线之间。此存储器阵列可以是二维(平面)阵列或者可以是具有一个以上存储器单元平面的三维阵列。每一此类存储器单元具有非线性传导性,其中反向方向(即,从阴极到阳极)上的电流低于正向方向上的电流。从阳极向阴极施加大于编程电平电压会改变存储器单元的传导性。当存储器单元包含熔丝技术时传导性可减小,或者当存储器单元包含反熔丝技术时传导性可增加。无源元件存储器阵列不一定是可一次编程(即,写入一次)存储器阵列。

[0214] 此类无源元件存储器单元通常可视为具有在一方向上引导电流的电流导引元件和能够改变其状态的另一组件(例如,熔丝、反熔丝、电容器、电阻元件等)。可通过在存储器元件被选定时感测电流流动或电压降落来读取存储器元件的编程状态。

[0215] 在本文描述的本发明的各自实施例中,预期可使用许多不同的存储器单元技术。适宜的三维反熔丝存储器单元结构、配置和工艺包含(不限于)以下文献中描述的结构、配置和工艺:Johnson等人的题为“Vertically Stacked Field Programmable Nonvolatile Memory and Method of Fabrication”的第6,034,882号美国专利;Knall等人的题为“Three-Dimensional Memory Array and Method of Fabrication”的第6,420,215号美国专利;Johnson的题为“Vertically-Stacked, Field Programmable Nonvolatile Memory and Method of Fabrication”的第6,525,953号美国专利;Cleeves的题为“Three Dimensional Memory”的第2004-0002184 A1号美国专利申请公开案;以及Herner等人2002年12月19日申请的题为“An Improved Method for Making a High Density Nonvolatile Memory”的第10/326,470号美国专利申请案(现并入在第6,984,561号美国专利中)。这些所枚举的揭示案的每一者全文以引用的方式并入本文中。

[0216] 本发明预期有利地用于多种存储器单元技术和存储器阵列配置中的任一者,包含传统的单层存储器阵列和多层(即,三维)存储器阵列,且尤其是那些具有极其密集的X线或Y线间距要求的存储器阵列。在某些实施例中,存储器单元可由半导体材料组成,如Johnson等人的第6,034,882号美国专利中以及Zhang的第5,835,396号美国专利中所述。在某些实施例中,预期反熔丝存储器单元。也可使用例如MRAM和有机无源元件阵列的其它类型的存储器阵列。MRAM(磁阻随机存取存储器)基于磁性存储器元件,例如磁性隧道结(MTJ)。Peter K. Naji等人发表在2001IEEE国际固态电路会议的技术论文文摘(ISSCC 2001/会议7/技术指导:先进技术/7.6,2001年2月6日)以及ISSCC 2001视觉增刊的页94-95、404-405中的“A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM”中描述了MRAM技术。可使用并入有有机材料层的某些无源元件存储器单元,所述有机材料层包

含至少一个具有类似二极管特性传导的层和至少一个通过施加电场而改变传导性的有机材料。Gudensen 等人的第 6, 055, 180 号美国专利描述此类有机无源元件阵列。也可使用包括例如相变材料和非晶固体的材料的存储器单元。见 Wolstenholme 等人的第 5, 751, 012 号美国专利以及 Ovshinsky 等人的第 4, 646, 266 号美国专利, 其两者均以引用的方式并入本文中。在其它实施例中, 也可使用三端子存储器单元而不是二端子无源元件存储器单元, 且选择多个 X 线 (或行线) 以将来自选定的 Y 线 (或位线) 上的一个以上存储器单元的电流相加。此类存储器单元包含快闪 EPROM 和 EEPROM 单元, 其在此项技术中是众所周知的。此外, 还预期具有极其密集的 X 线和 / 或 Y 线间距要求的其它存储器阵列配置, 例如: 那些并入有薄膜晶体管 (TFT) EEPROM 存储器单元的存储器阵列配置, 如 Thomas H. Lee 等人的第 US 2002-0028541A1 号美国专利申请公开案 “Dense Arrays and Charge Storage Devices, and Methods for Making Same” 中所描述; 以及那些并入有 TFT NAND 存储器阵列的存储器阵列配置, 如 Scheuerlein 等人的第 US2004-0125629A1 号美国专利申请公开案 “Programmable Memory Array Structure Incorporating Series-Connected Transistor Strings and Methods for Fabrication and Operation of Same” 中所描述, 所述申请案以引用的方式并入本文中。

[0217] 各图中各自阵列线的方向性仅便于容易地描述阵列中的两组交叉线。虽然字线通常垂直于位线, 但并不一定需要如此。如本文所使用, 集成电路存储器阵列是单片式集成电路结构, 而不是封装在一起或紧密接近地封装的一个以上集成电路装置。

[0218] 可使用连接区块的单一节点的术语来描述本文的方框图。然而, 应了解, 当上下文需要时, 此 “节点” 实际上可表示用于传送微分信号的一对节点, 或者可表示用于运载若干相关信号或用于运载形成数字字的多个信号或其它多位信号的多个单独接线 (例如, 总线)。

[0219] 基于本揭示案的教导, 期望所属领域的一般技术人员将容易能够实践本发明。相信本文提供的对各自实施例的描述提供了对本发明的充分理解和细节, 以使一般技术人员能够实践本发明。然而, 为了清楚起见, 未展示和描述本文描述的实施方案的所有常规特征。当然, 应了解, 在任何此类实际实施方案的开发过程中, 必须作出大量视实施方案而定的决策以便实现开发者的特定目标 (例如, 符合应用和商业相关约束), 且这些特定目标将由于实施方案的不同以及开发者的不同而不同。此外, 将了解, 这种开发工作可能较复杂且耗费时间, 但对于得到本揭示案的益处的所属领域的一般技术人员来说, 将仍然是一项常规的工程设计任务。

[0220] 举例来说, 认为关于每一阵列或子阵列内存储器单元的数目、经选择以用于字线和位线预解码器和解码器电路及位线读出电路的特定配置、以及字组织的决策全部是所属领域的技术人员在实践本发明时在开发商业可行产品的情境中所面对的工程设计决策的典型决策。如此项技术中众所周知, 实施各种行和列解码器电路, 以用于基于地址信号和可能的其它控制信号来选择存储器区块以及选定的区块内的字线和位线。然而, 尽管认为仅需要工程设计工作的常规运用来实践本发明, 但这些工程设计工作可能引起额外的发明工作, 如开发要求较高的竞争性产品时经常发生的发明工作。

[0221] 虽然大体上推测了电路和物理结构, 但完全认可的是, 在现代半导体设计和制造过程中, 物理结构和电路可以用适于在后续设计、测试或制造阶段以及在作为结果而制造

的半导体集成电路中使用的计算机可读描述形式来实施。因此,可基于计算机可读编码及其表现形式、实施在媒体中还是与适宜的读取器设备组合以允许相应电路和 / 或结构的制造、测试或设计细化,来阅读针对传统电路或结构的权利要求(符合其特定语言)。本发明预期包含电路、相关方法或操作、制造此类电路的相关方法,以及此类电路和方法的计算机可读媒体编码,所有均如本文所描述且如所附权利要求书中所界定。如本文所使用,计算机可读媒体至少包含磁盘、磁带或其它磁性、光学、半导体(例如,快闪存储卡、ROM)或电子媒体以及网络、有线线路、无线或其它通信媒体。电路的编码可包含电路示意信息、物理布局信息、行为模拟信息,且 / 或可包含可用于表现或表达所述电路的任何其它编码。

[0222] 以上具体实施方式仅已描述本发明的许多可能的实施方案中的几个实施方案。为此,希望此详细描述是以说明的方式而不是限制的方式进行的。在不脱离本发明的范围和精神的情况下,可基于本文陈述的描述内容作出对本文揭示的实施例的变化和修改。仅希望所附权利要求书(包含所有等效物)来界定本发明的范围。此外,明确地预期上述实施例单独使用以及以各种组合使用。因此,本文未描述的其它实施例、变化和改进不一定排除在本发明的范围外。

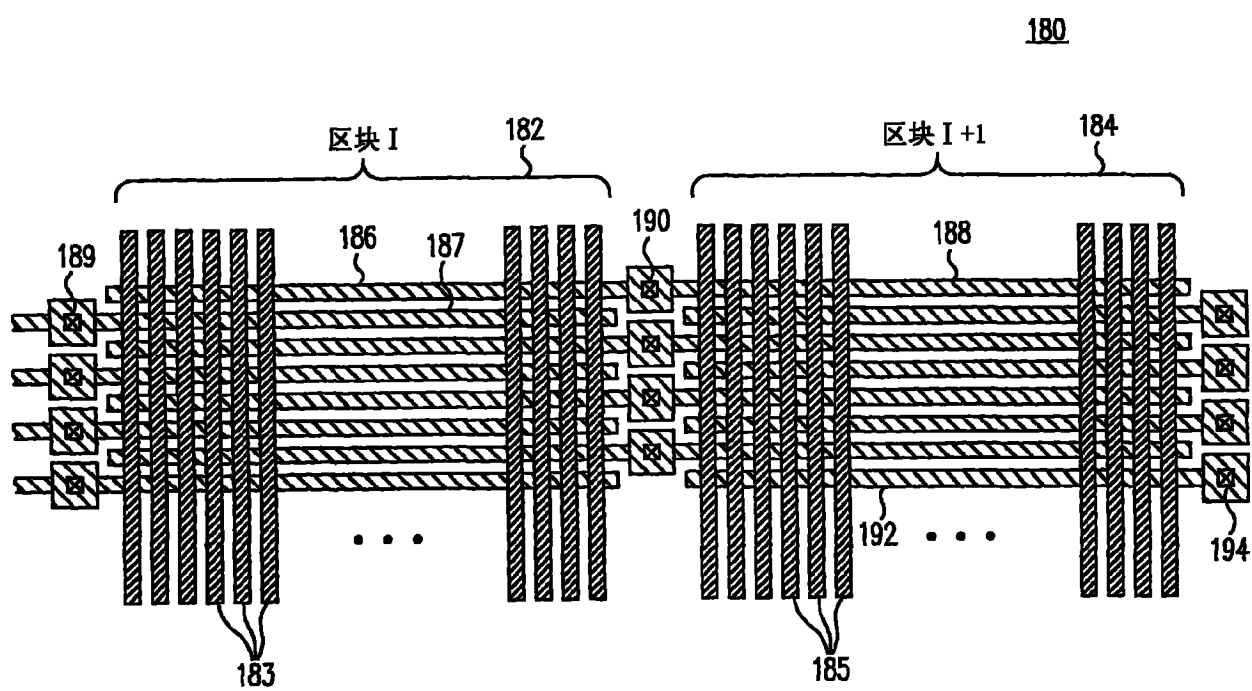


图1

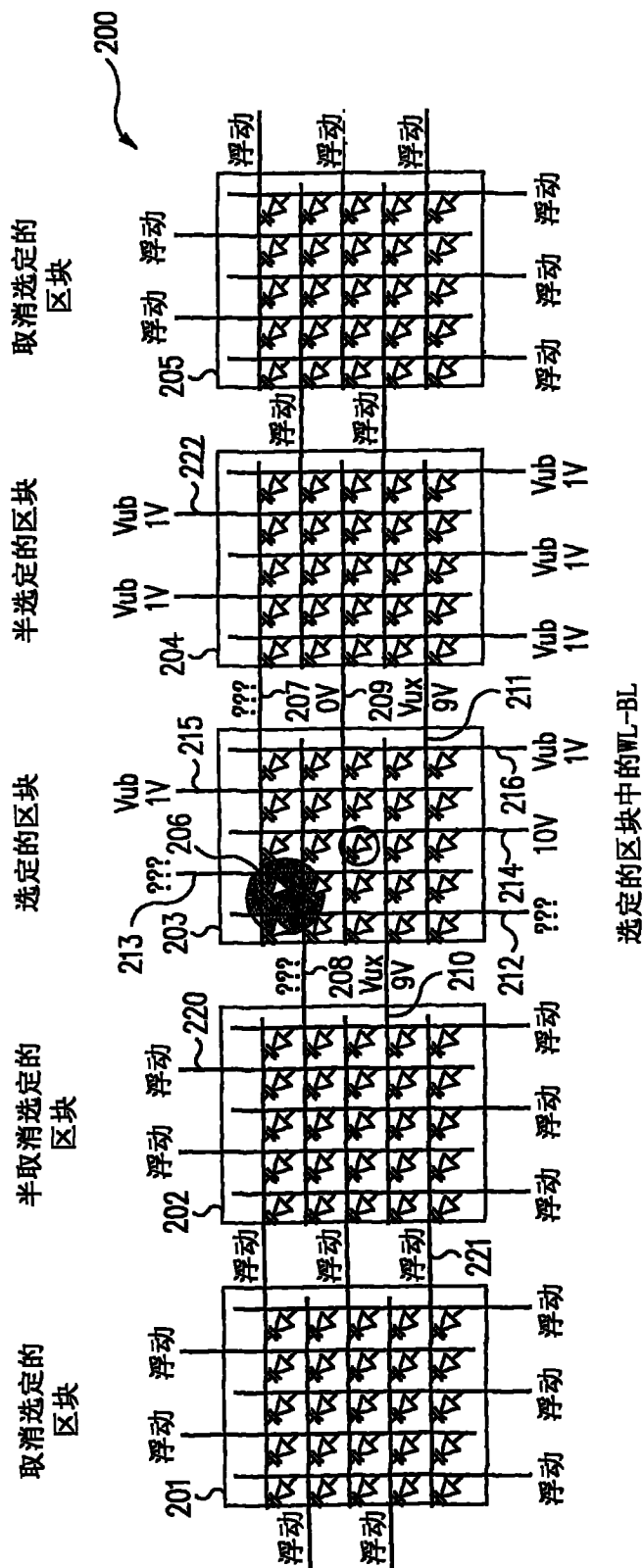


图2

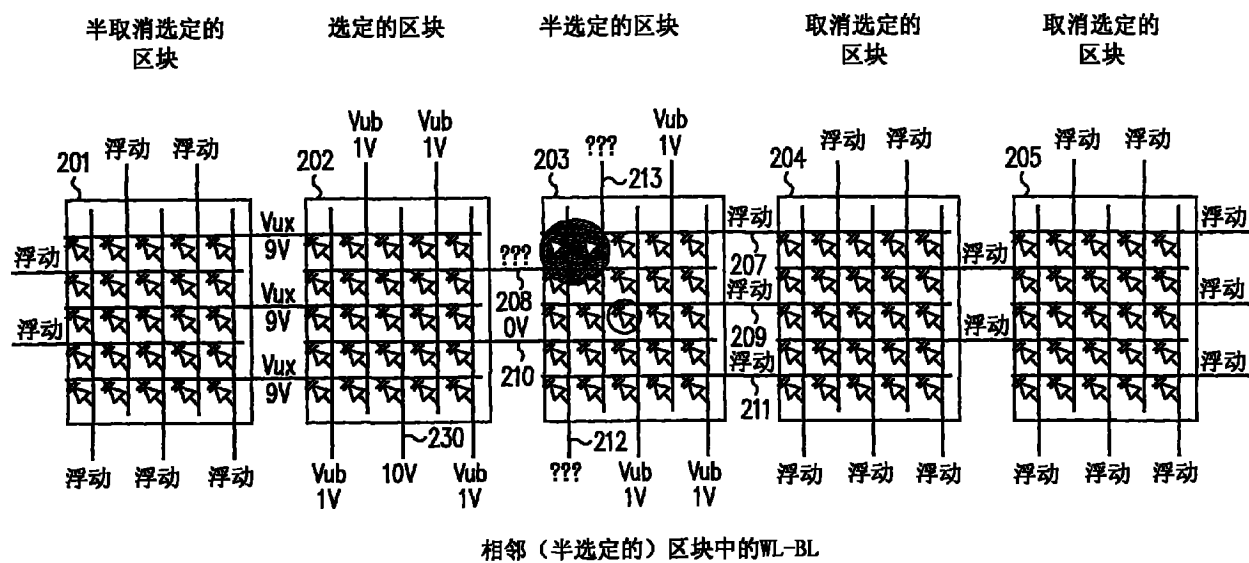
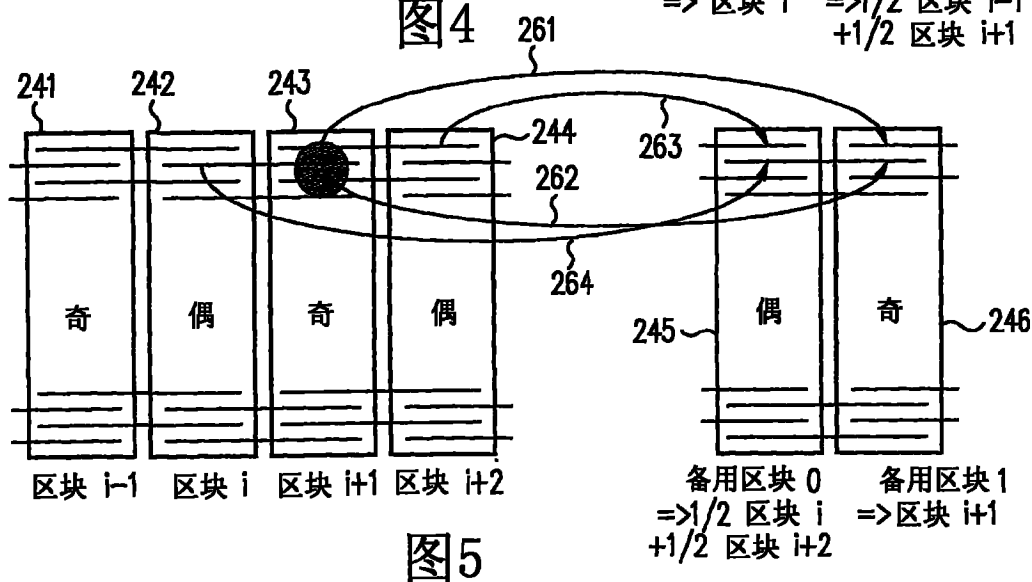
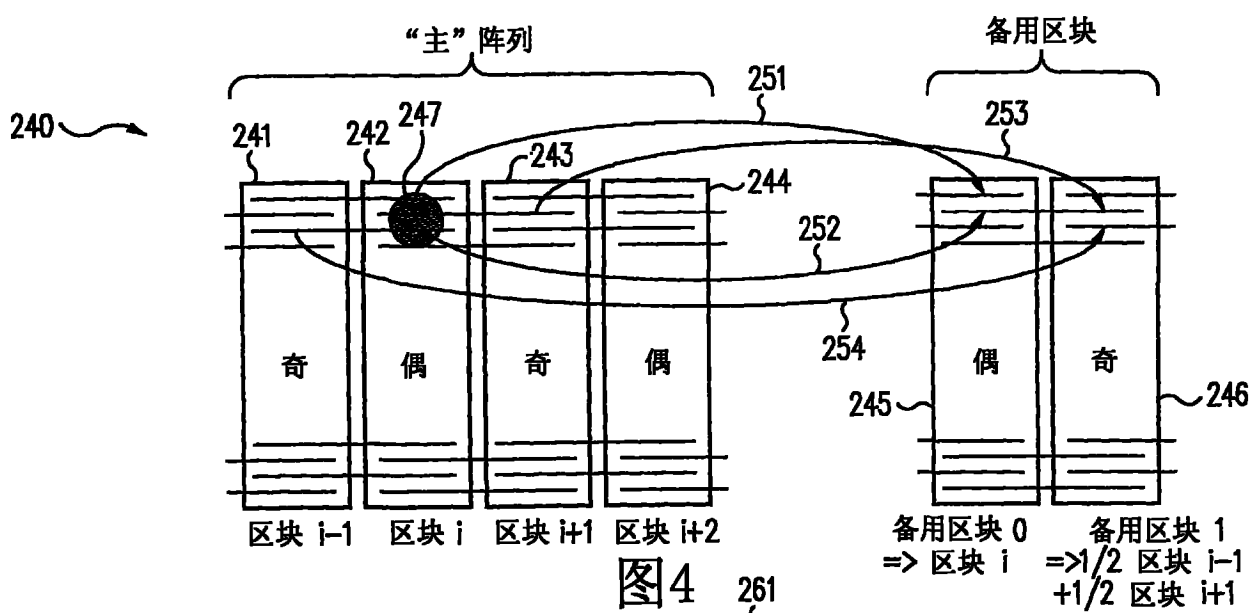


图3



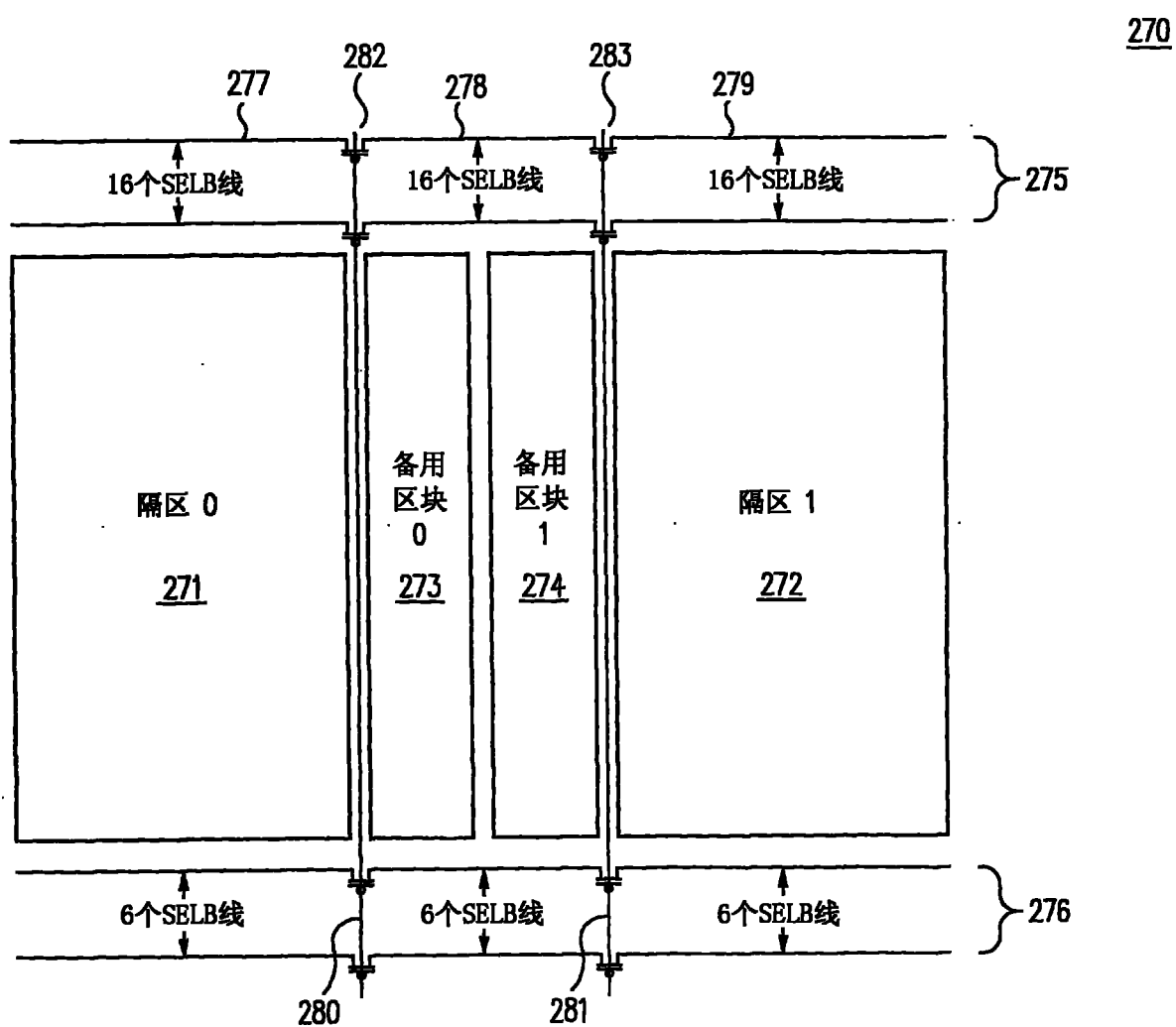


图6

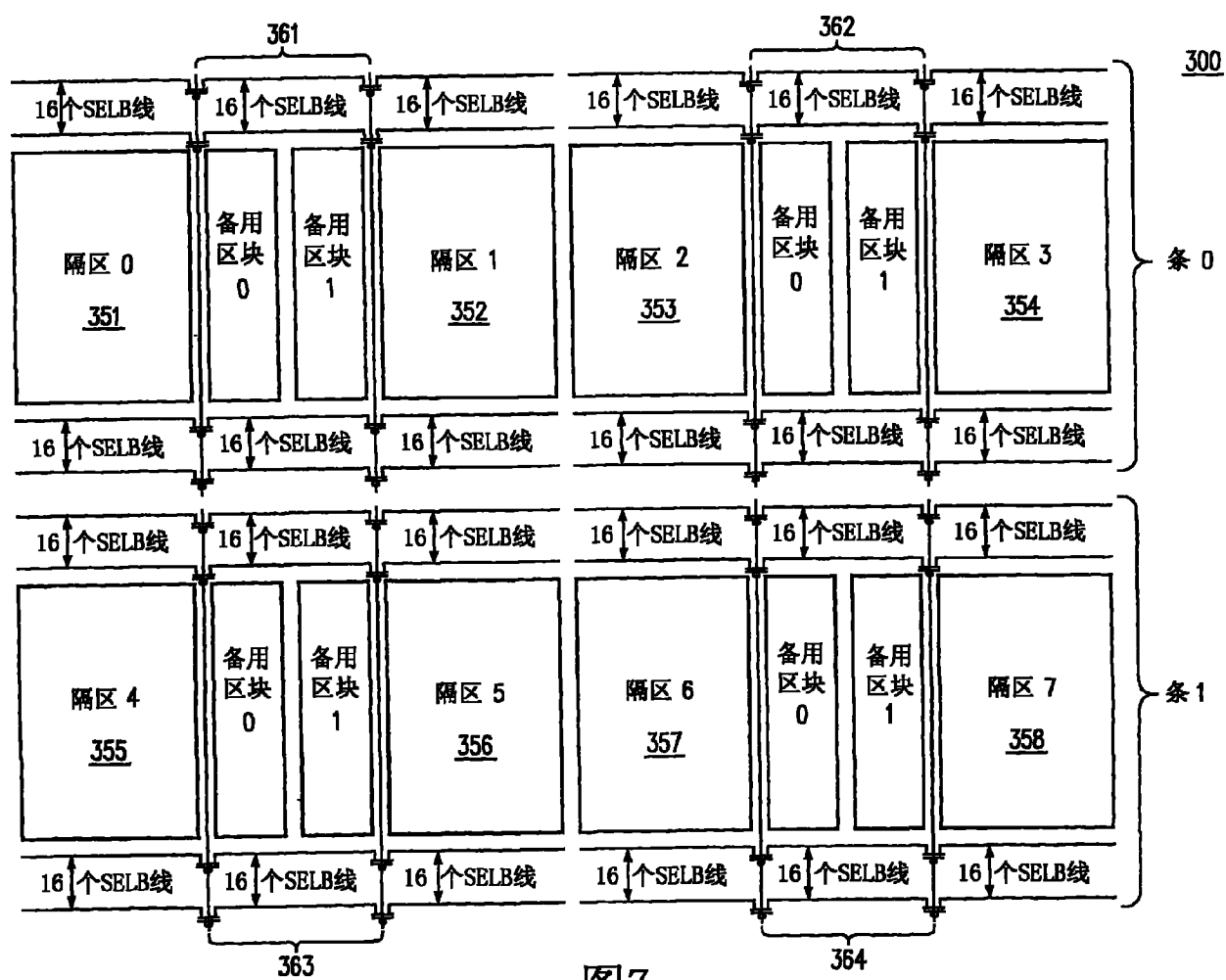


图 7

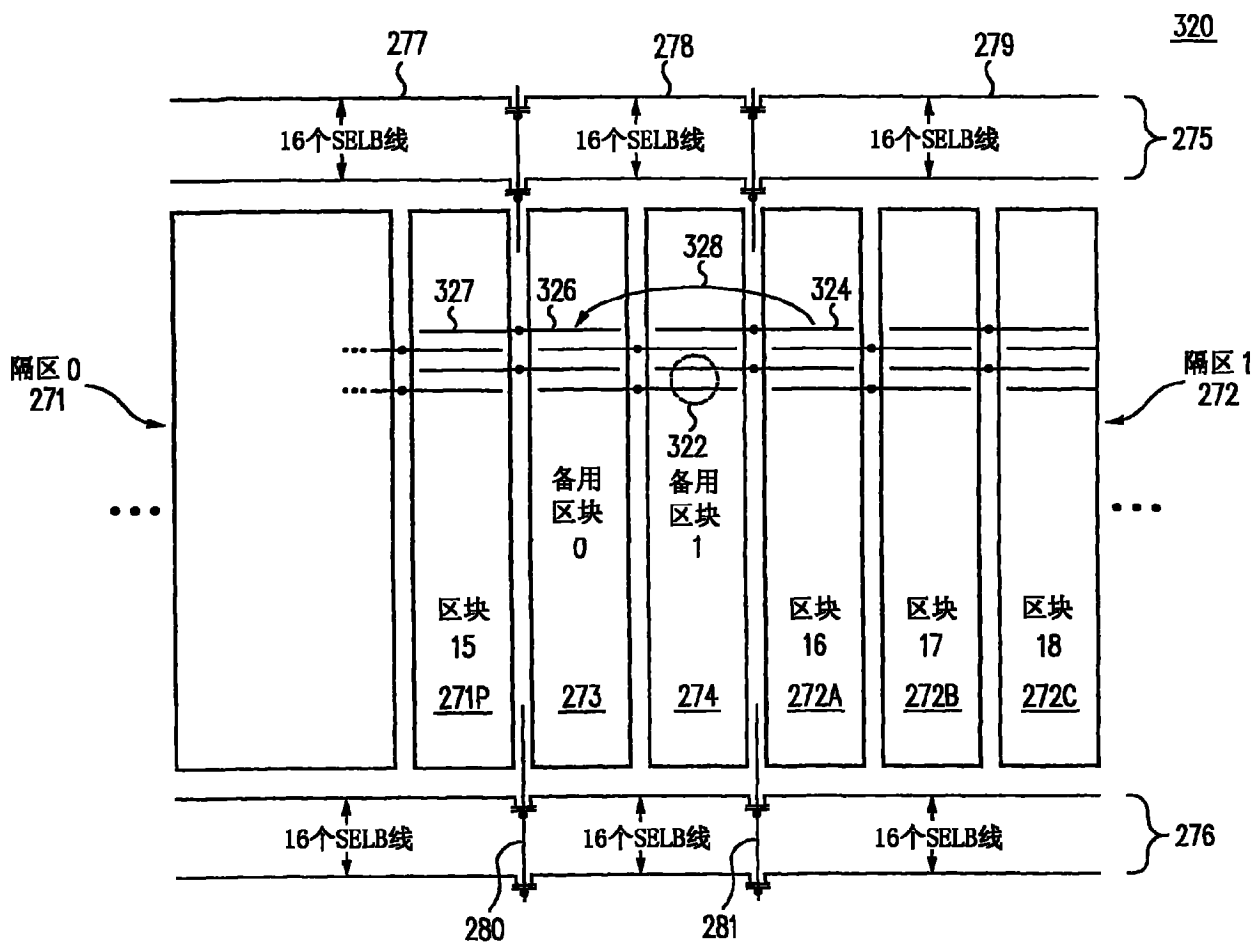


图8

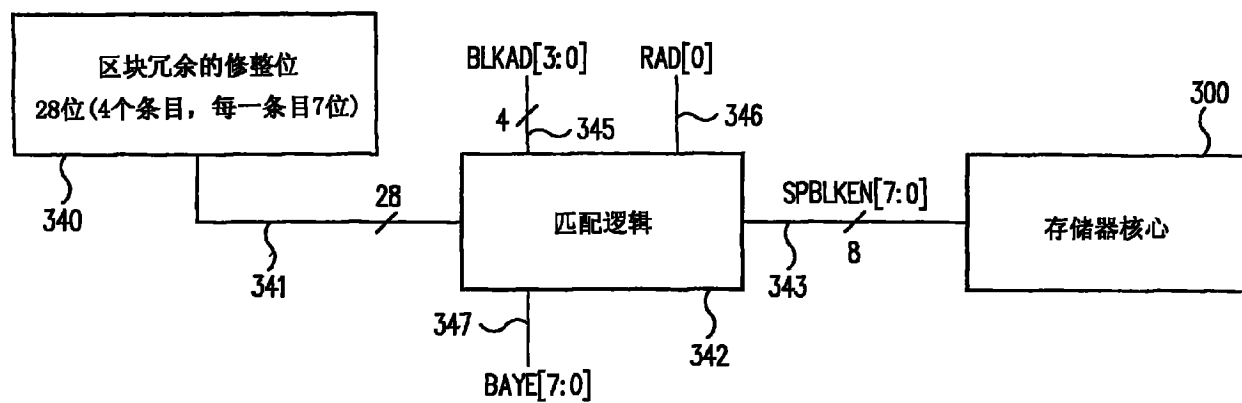


图9

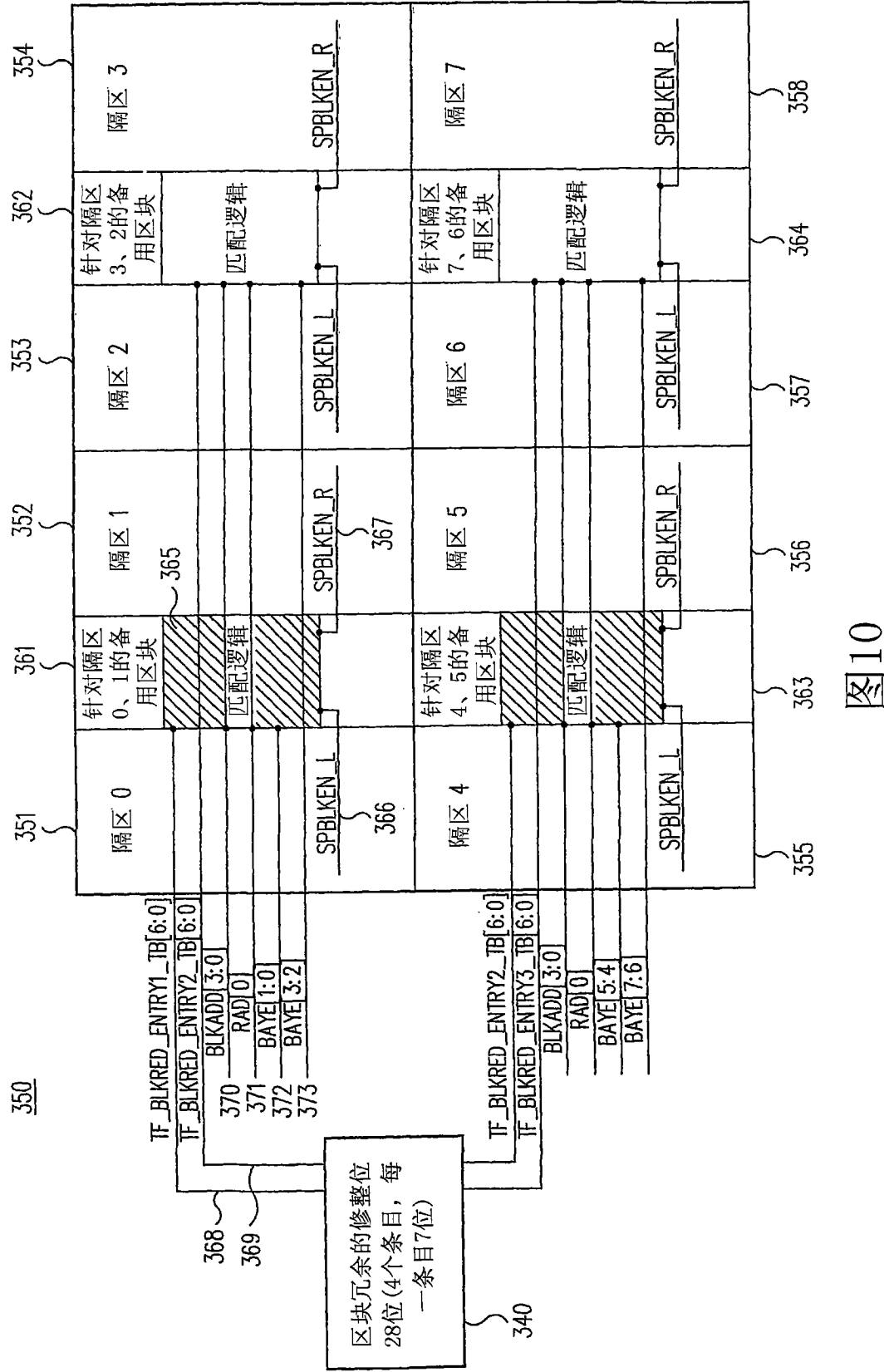


图10

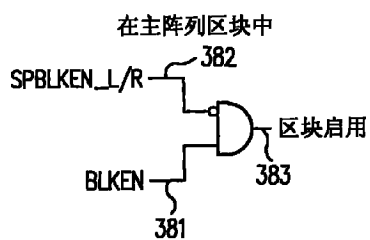


图11

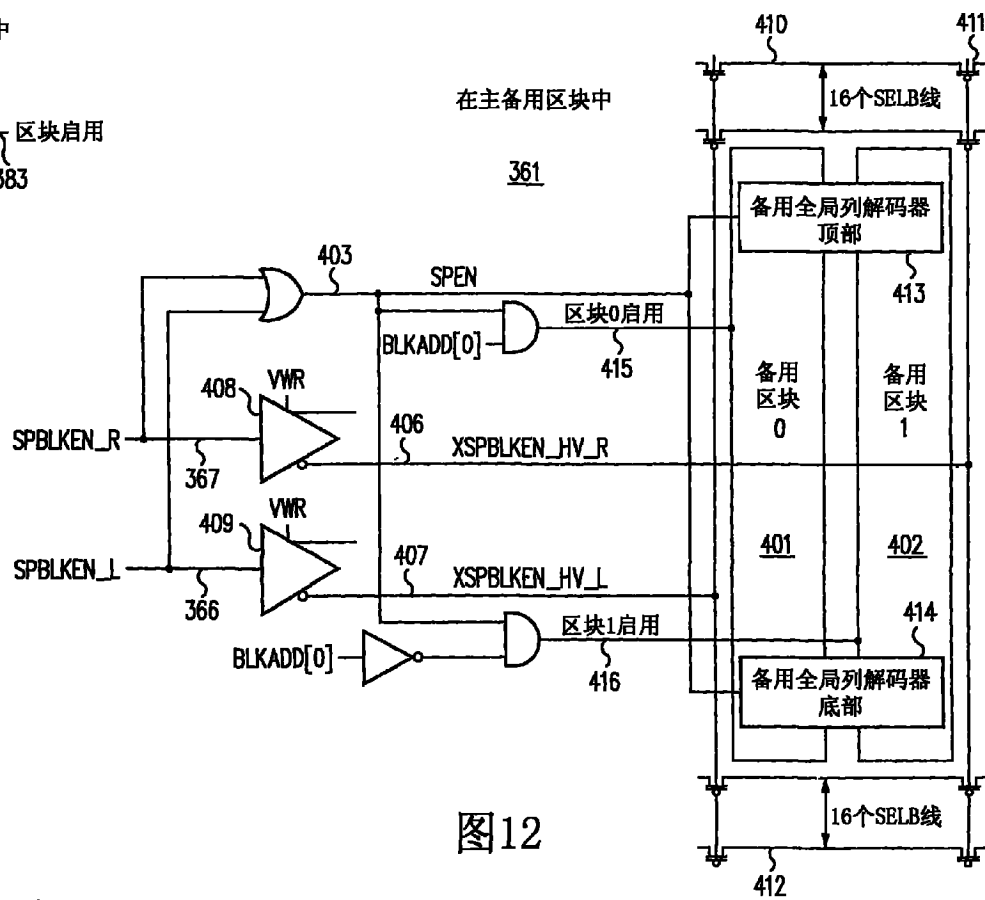


图12

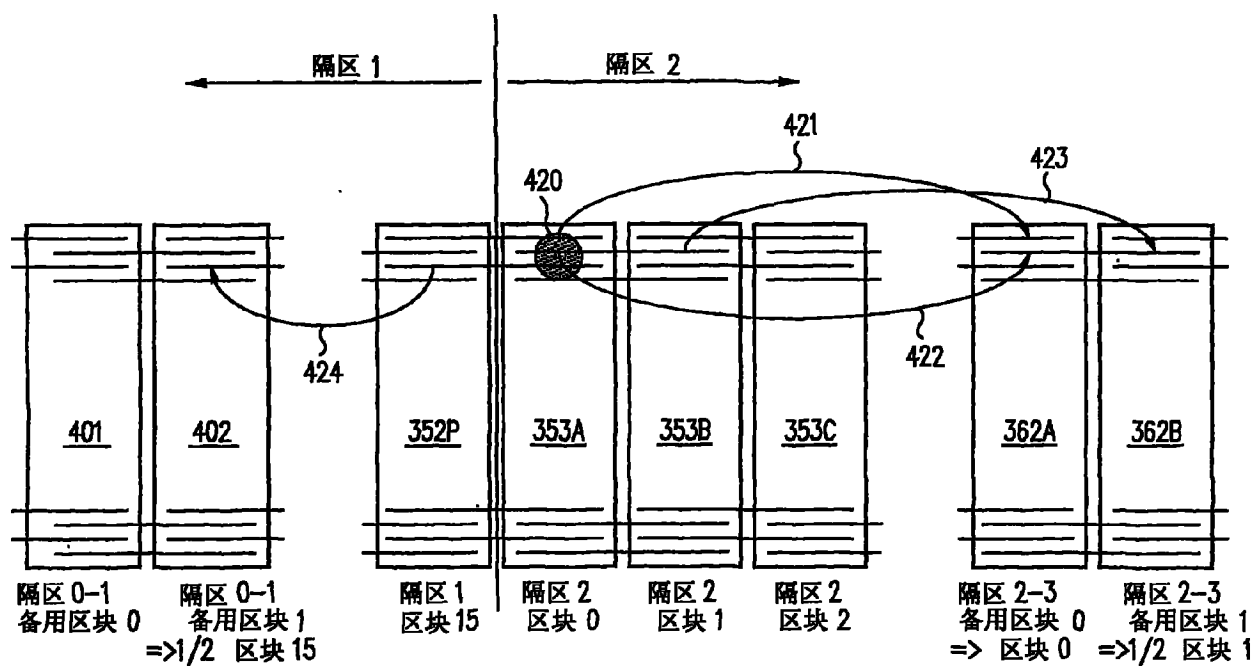


图13

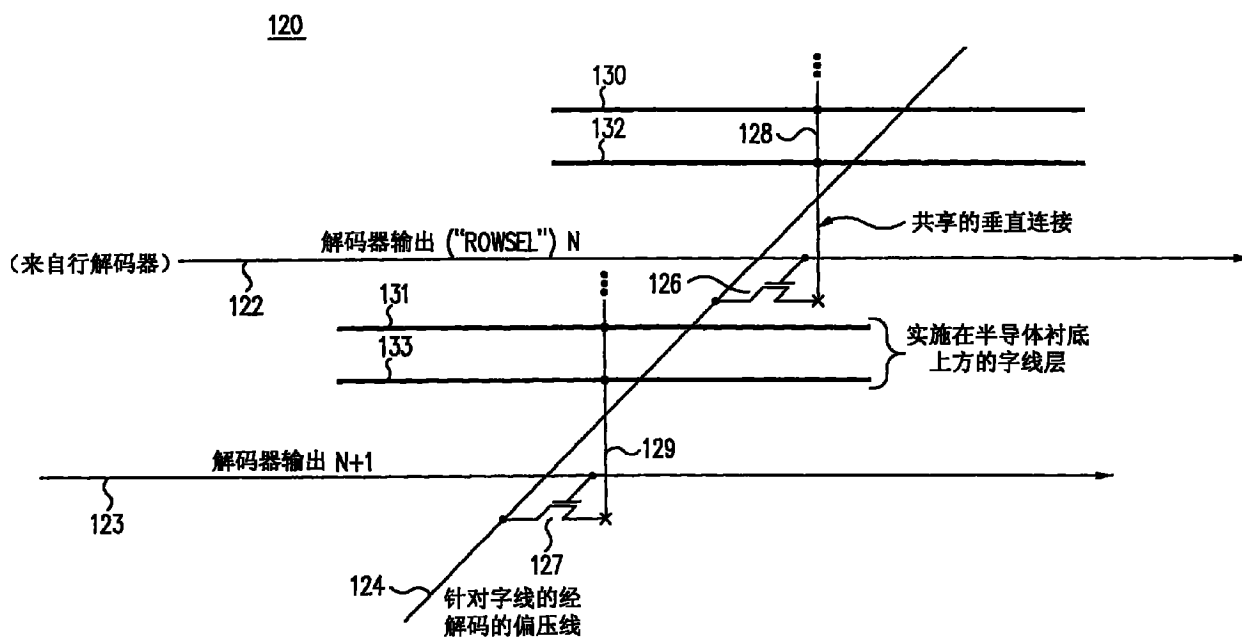


图14

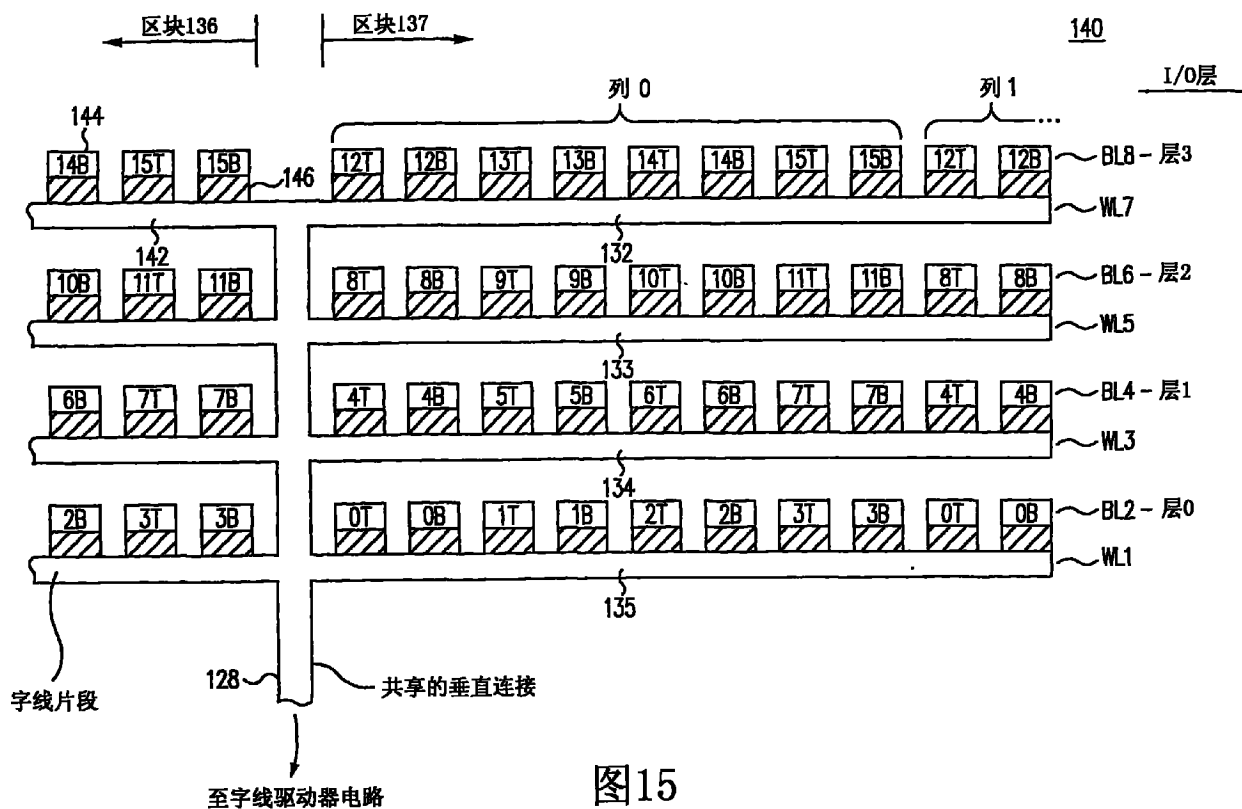


图15

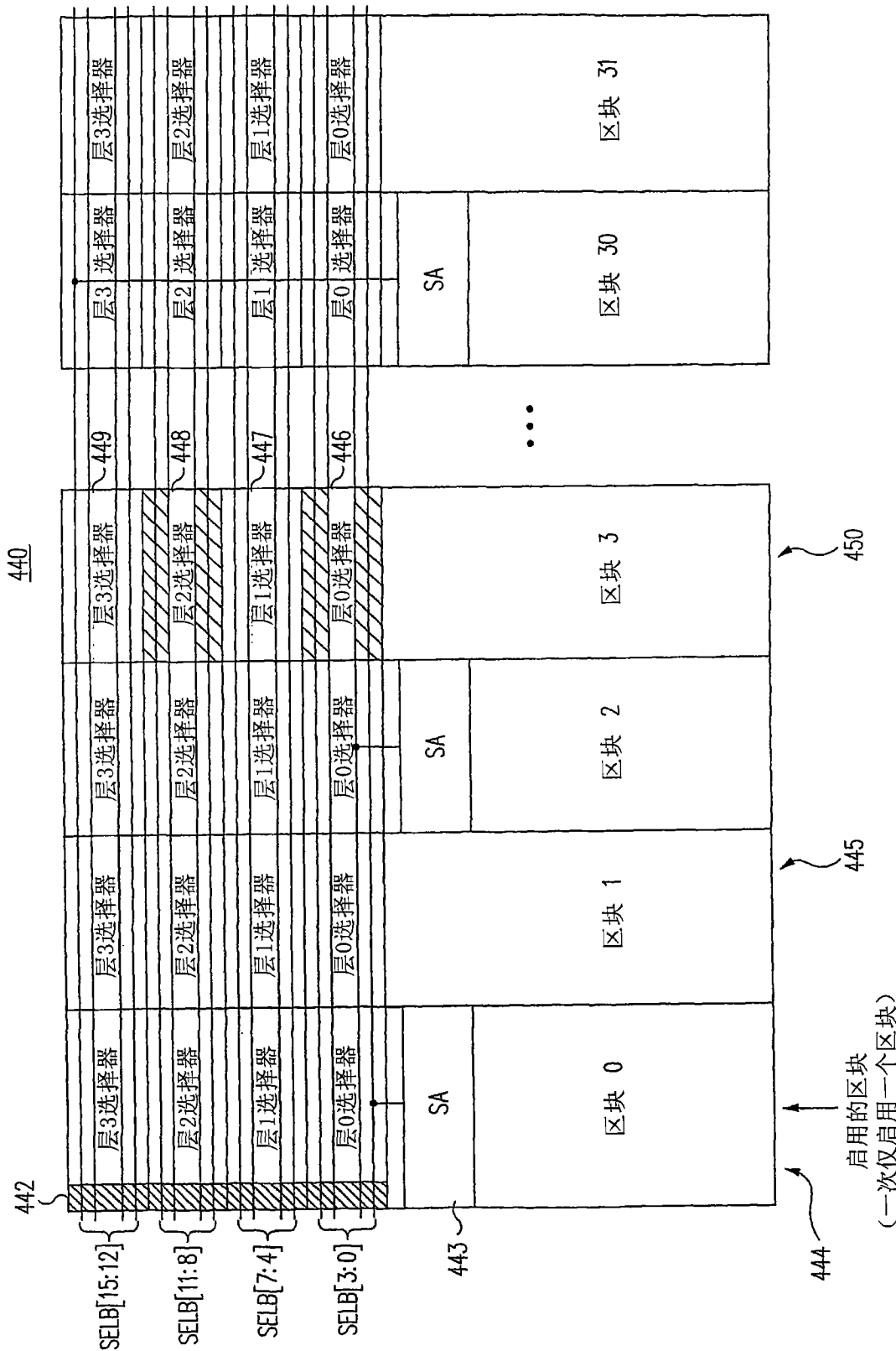
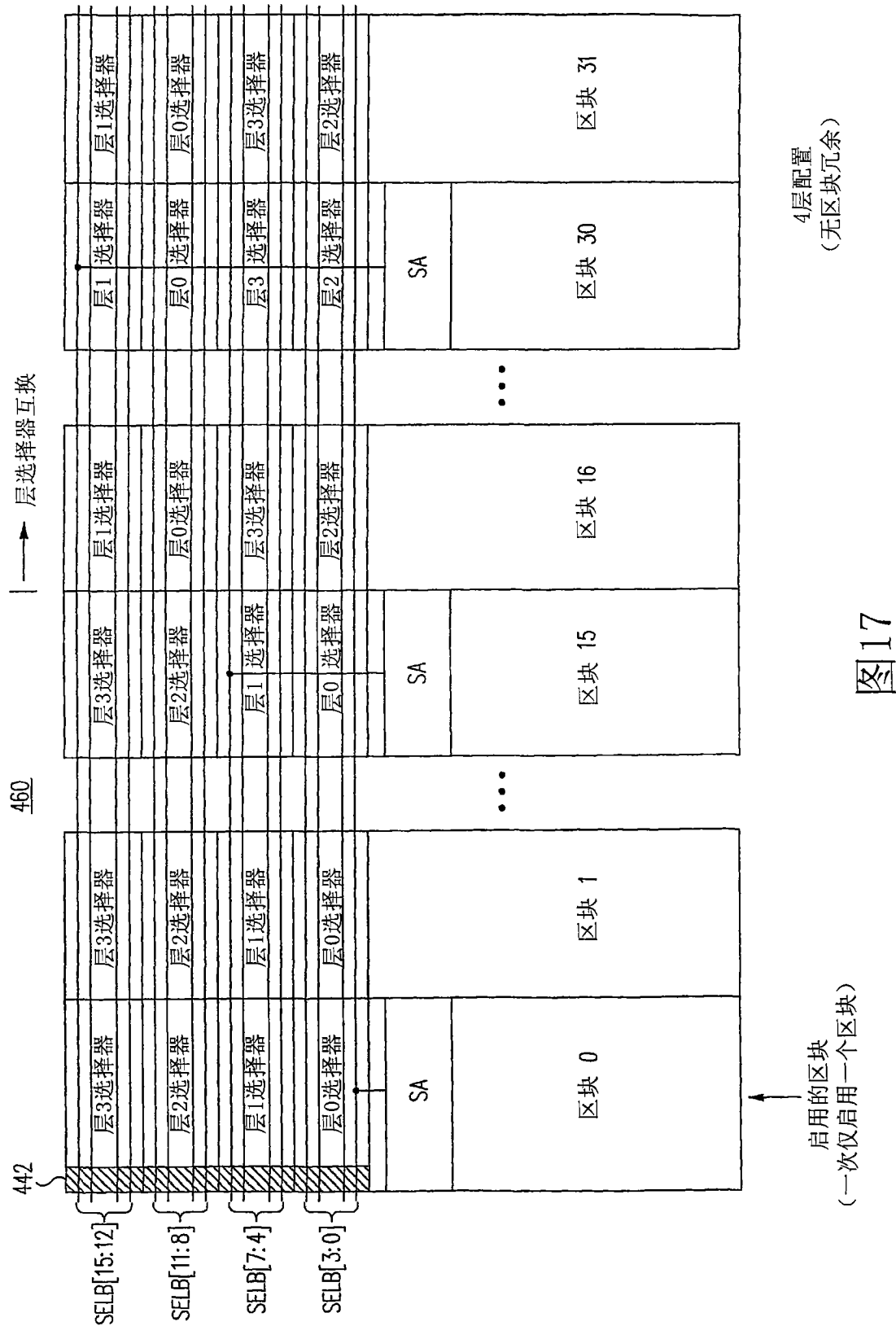
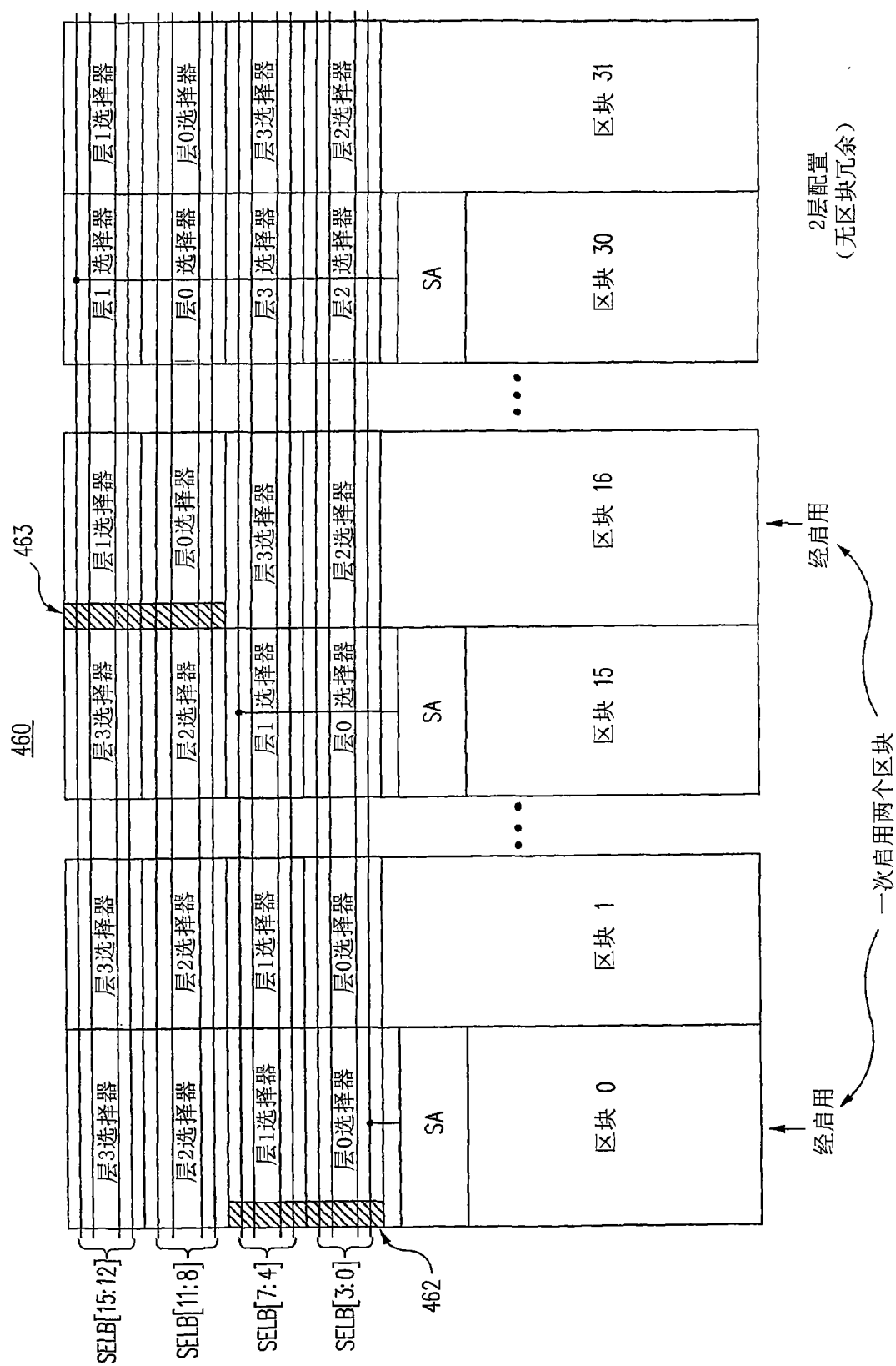
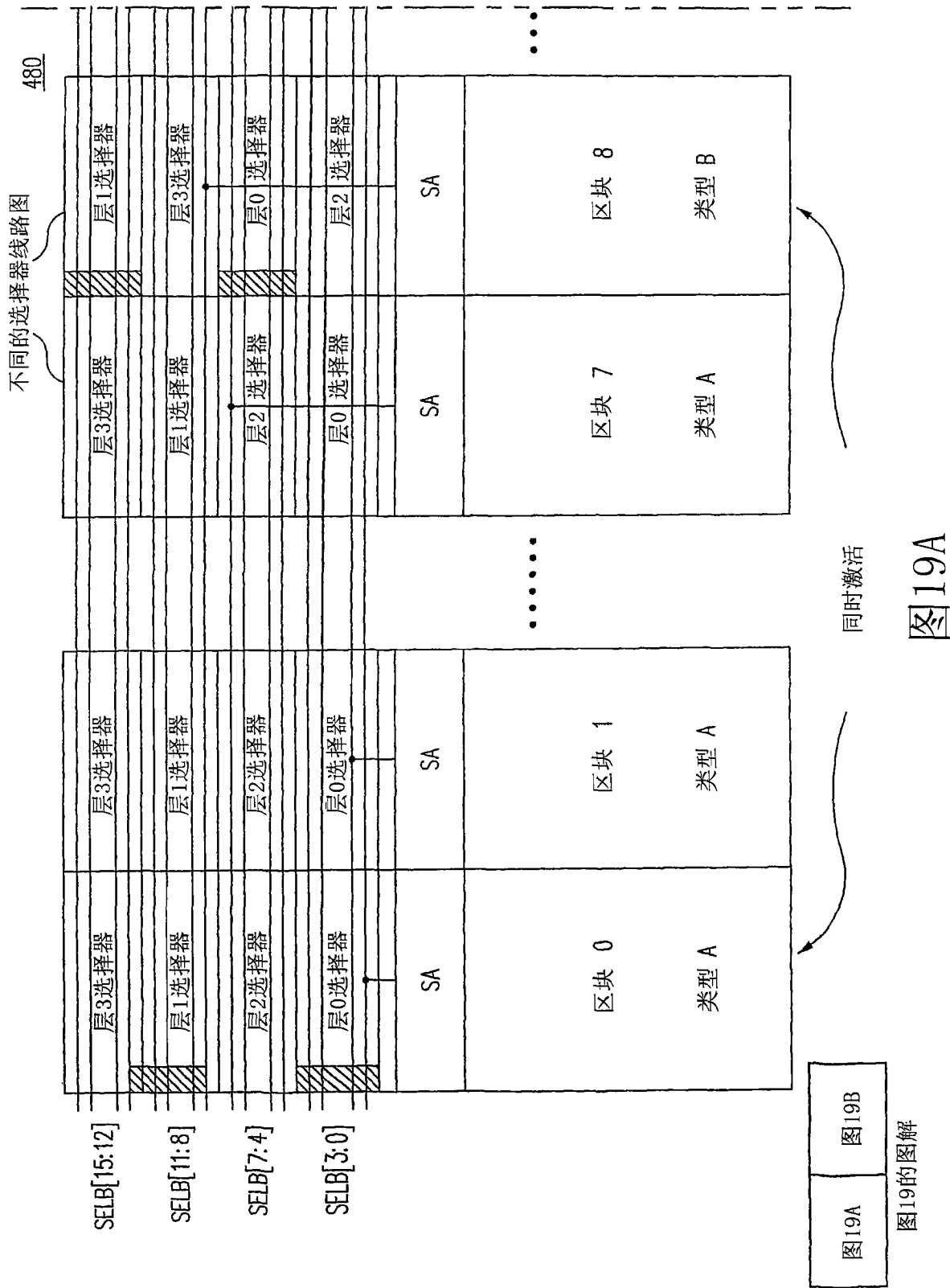


图16





18



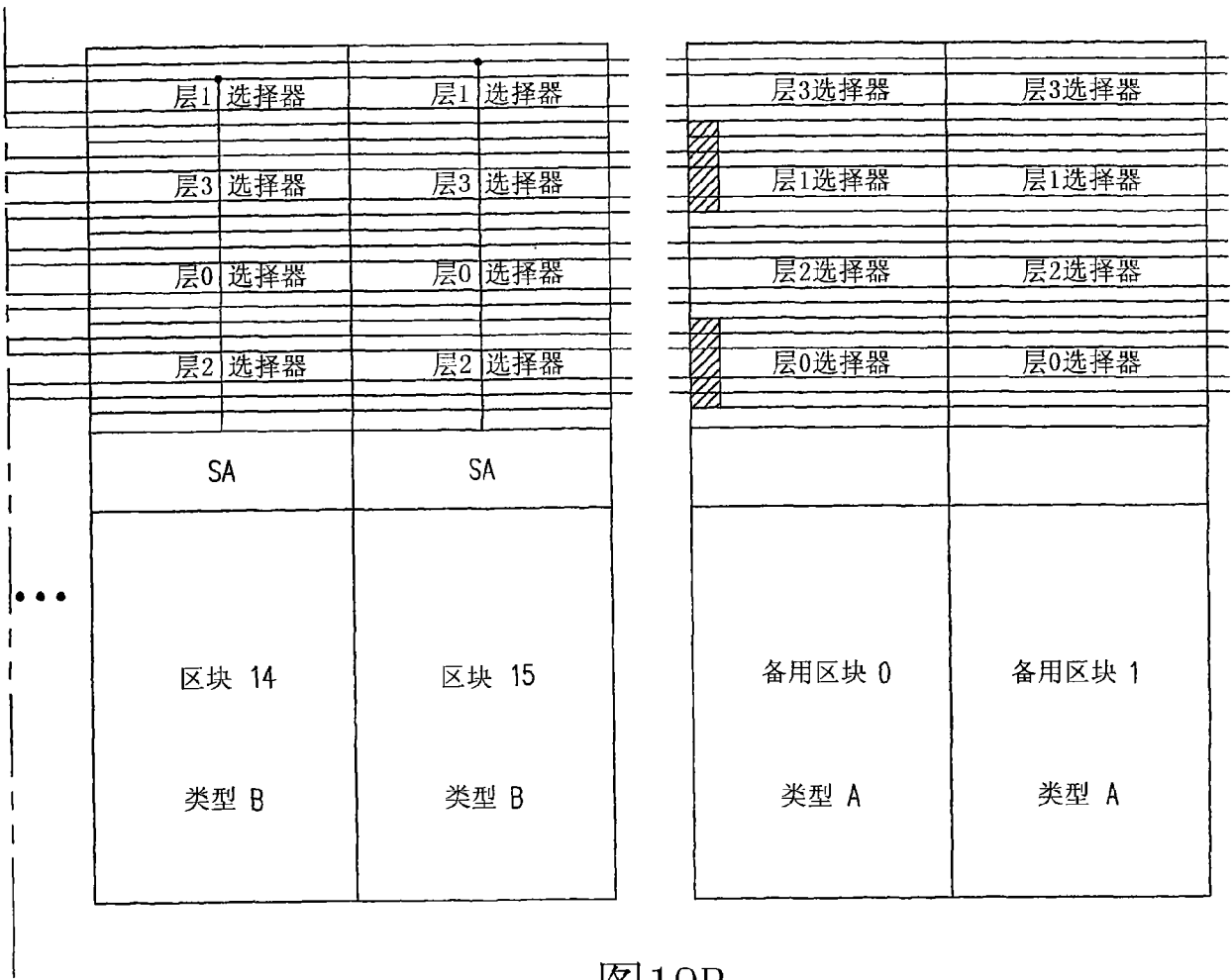
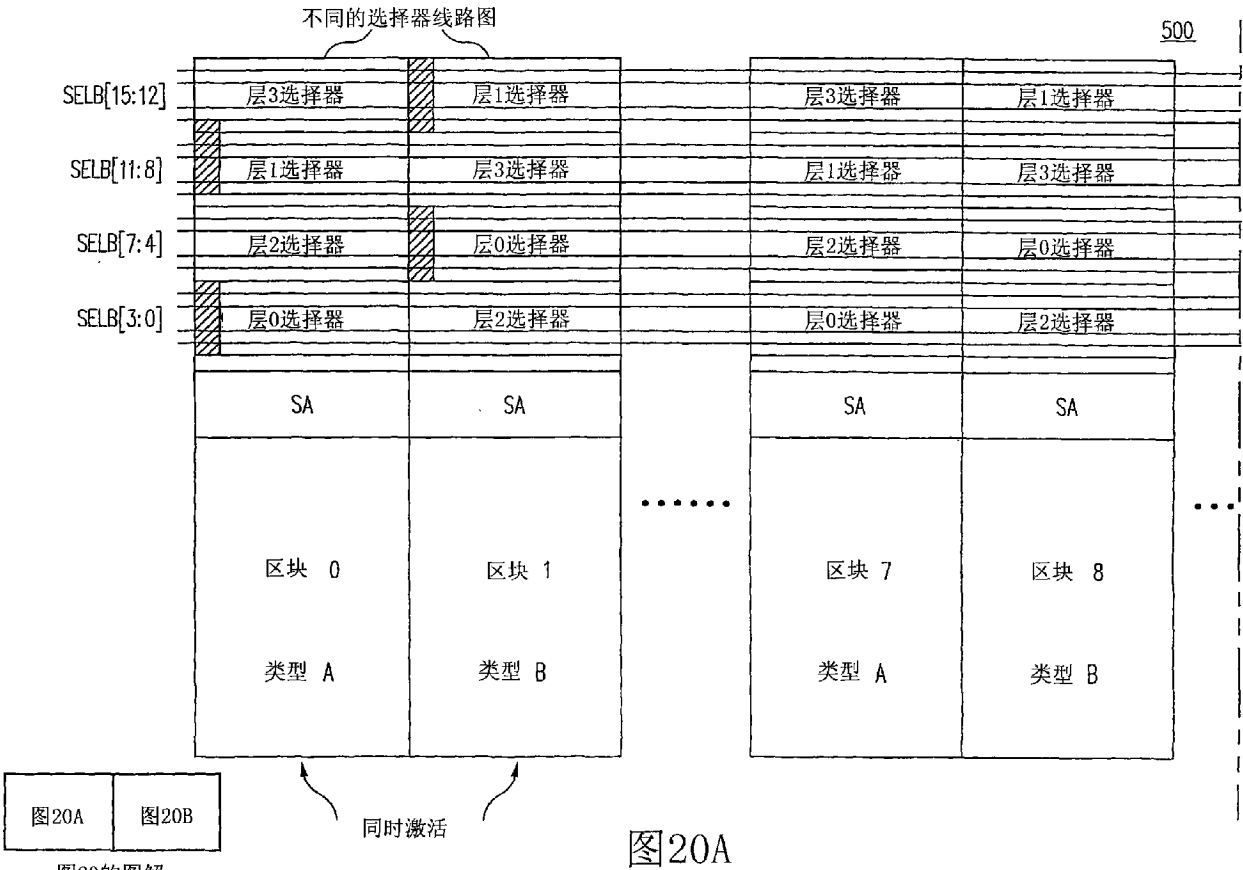


图19B



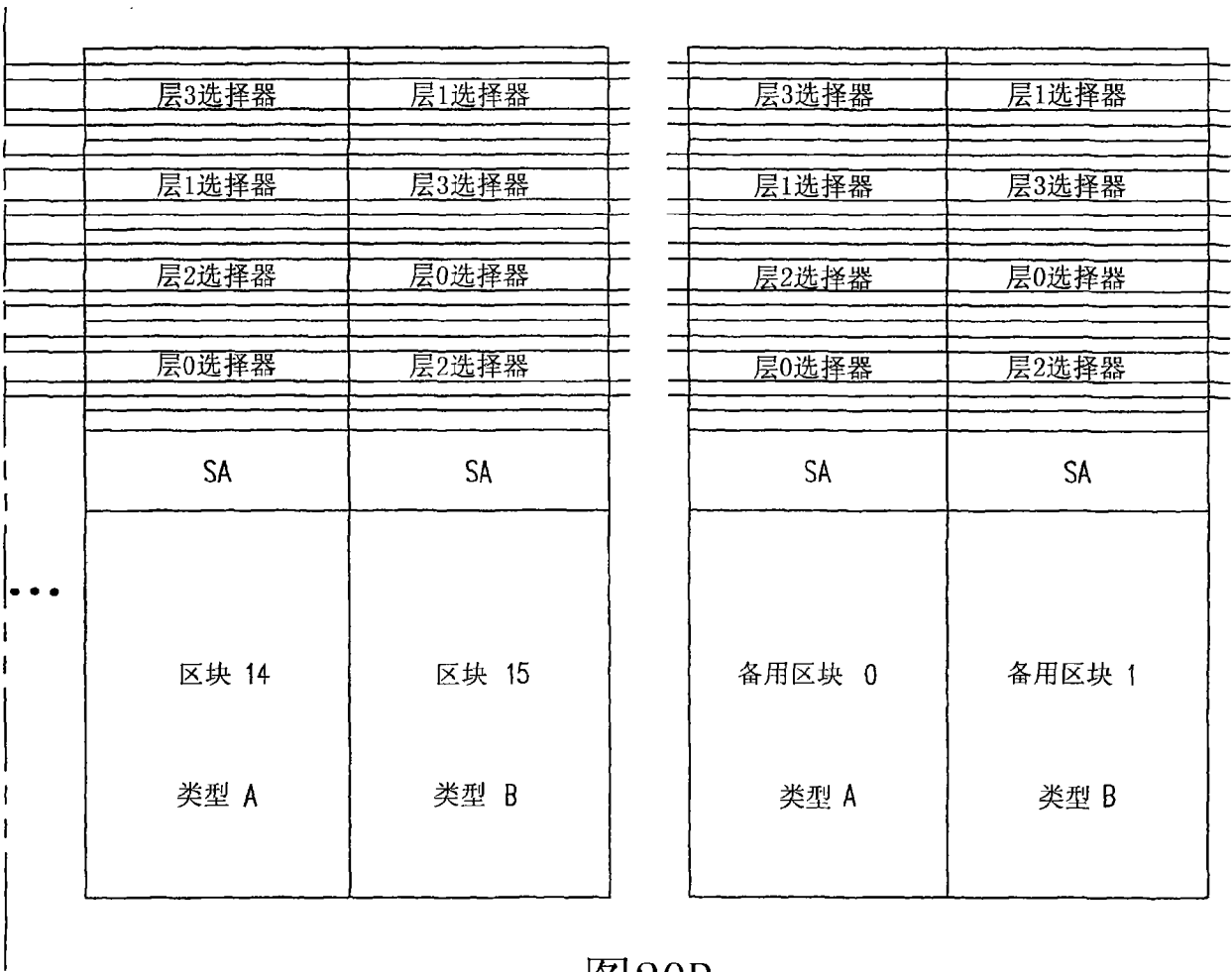


图20B

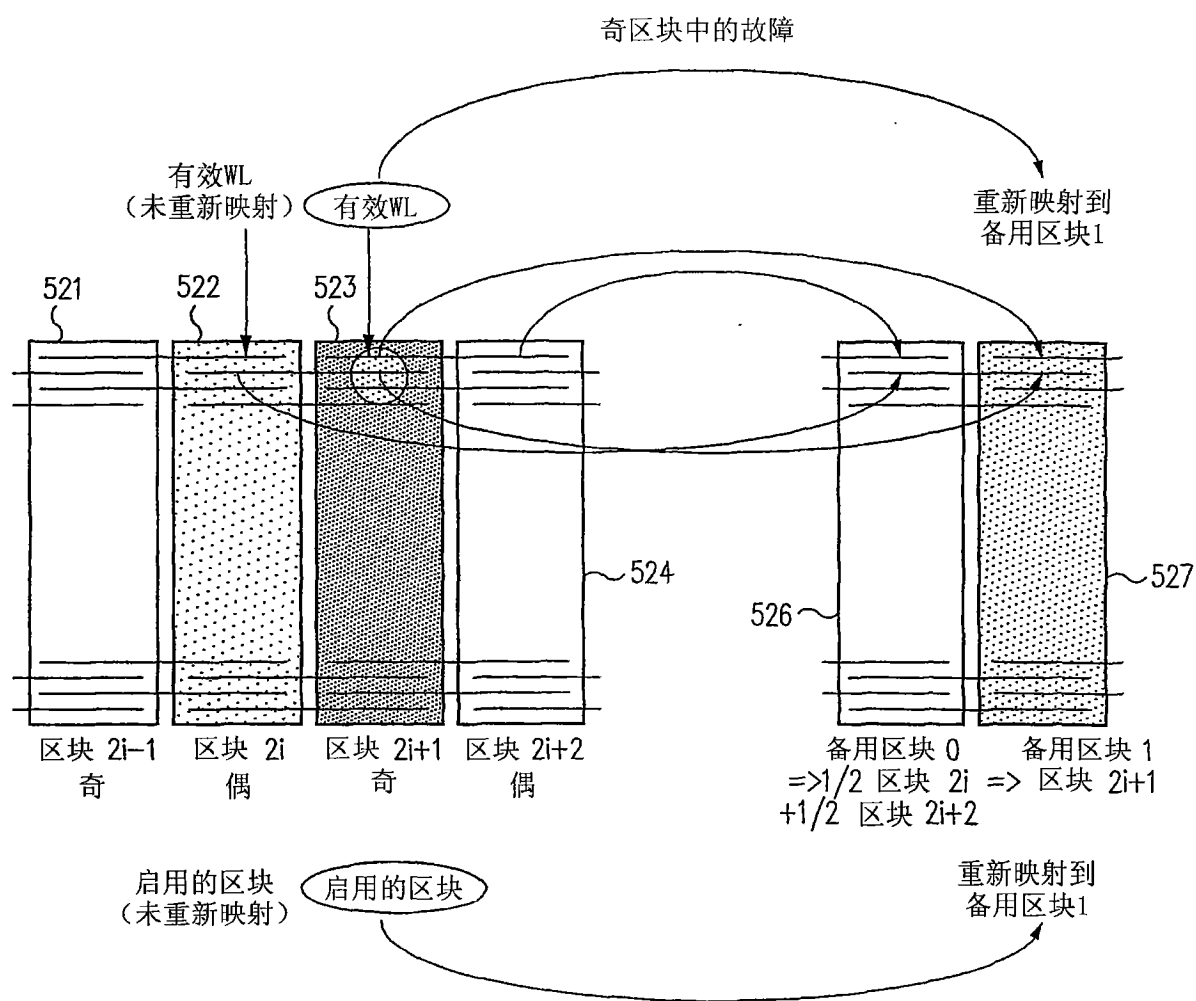


图21

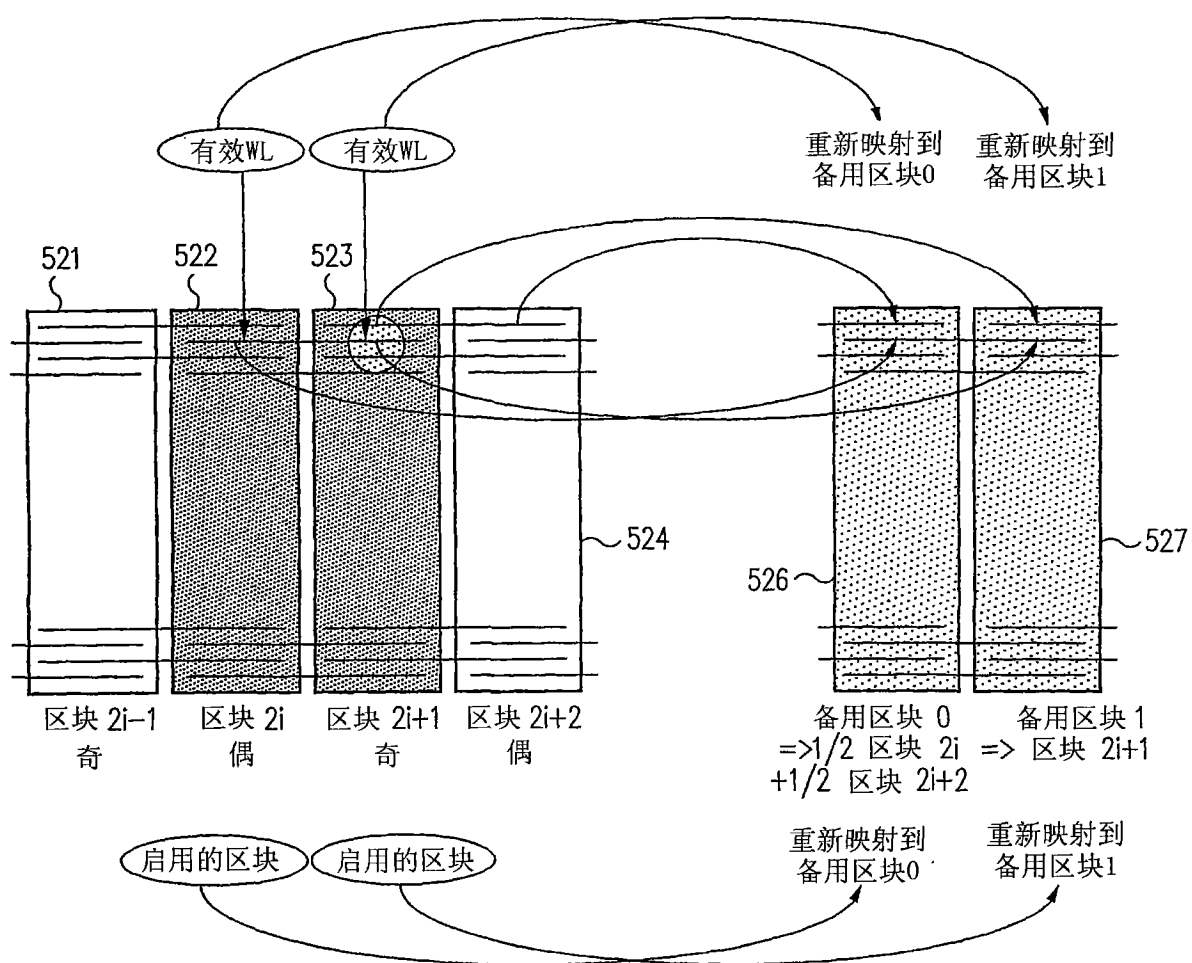


图22

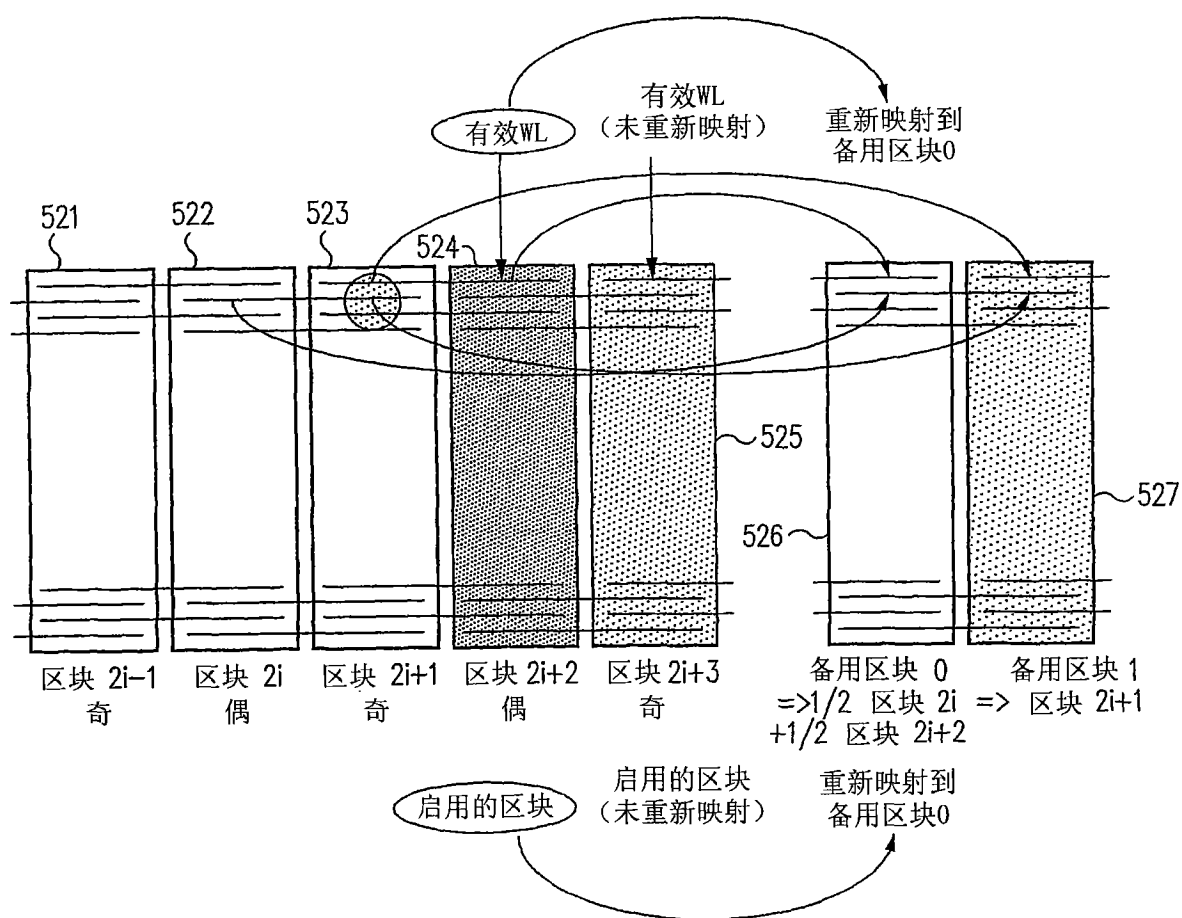


图23

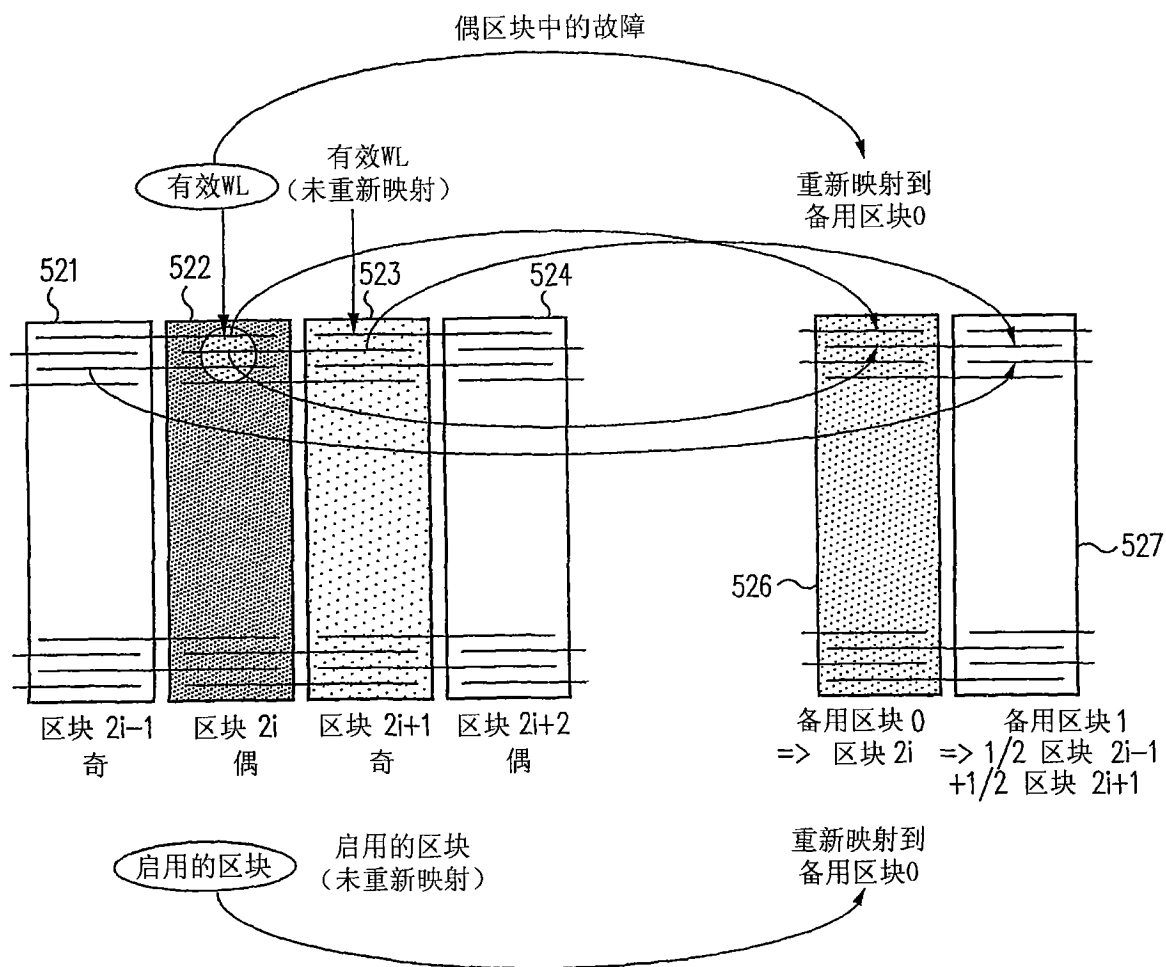


图24

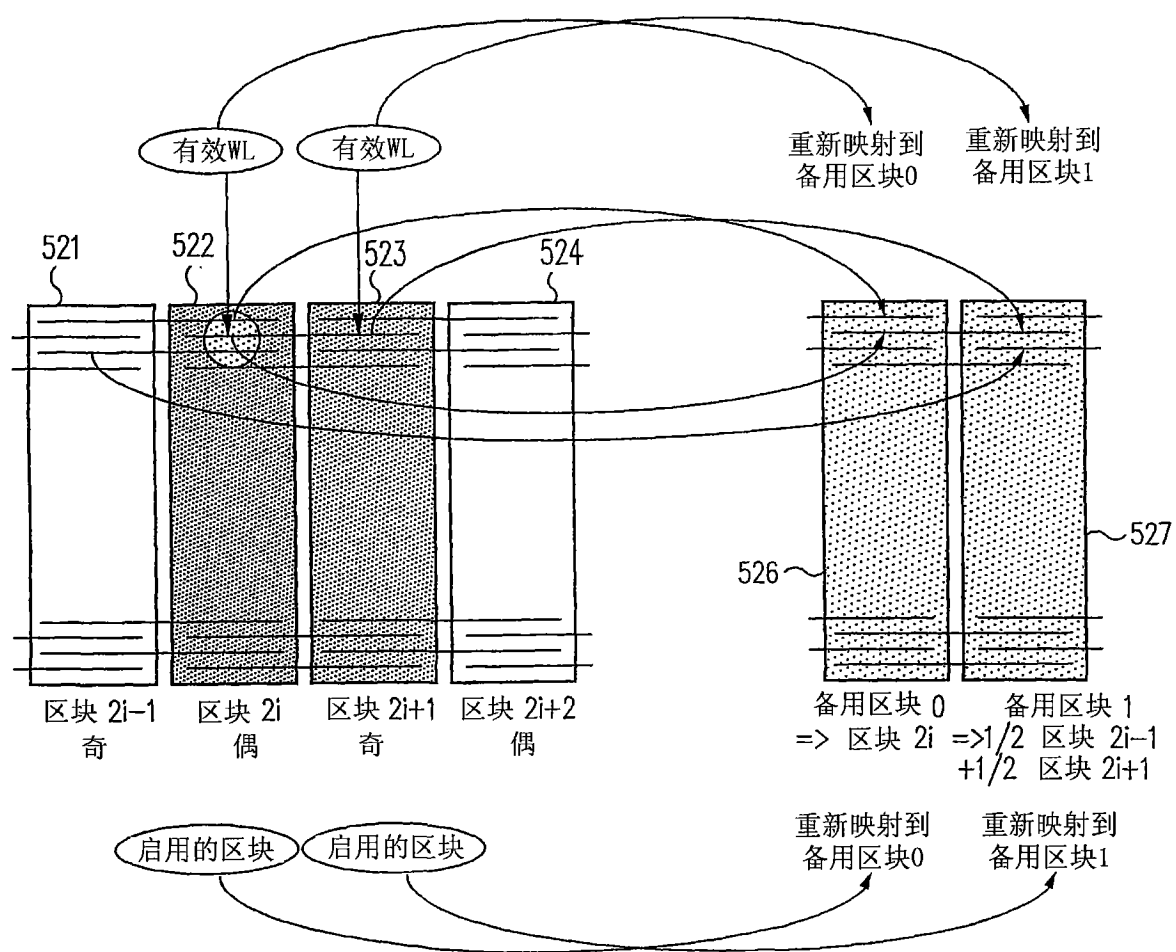


图25

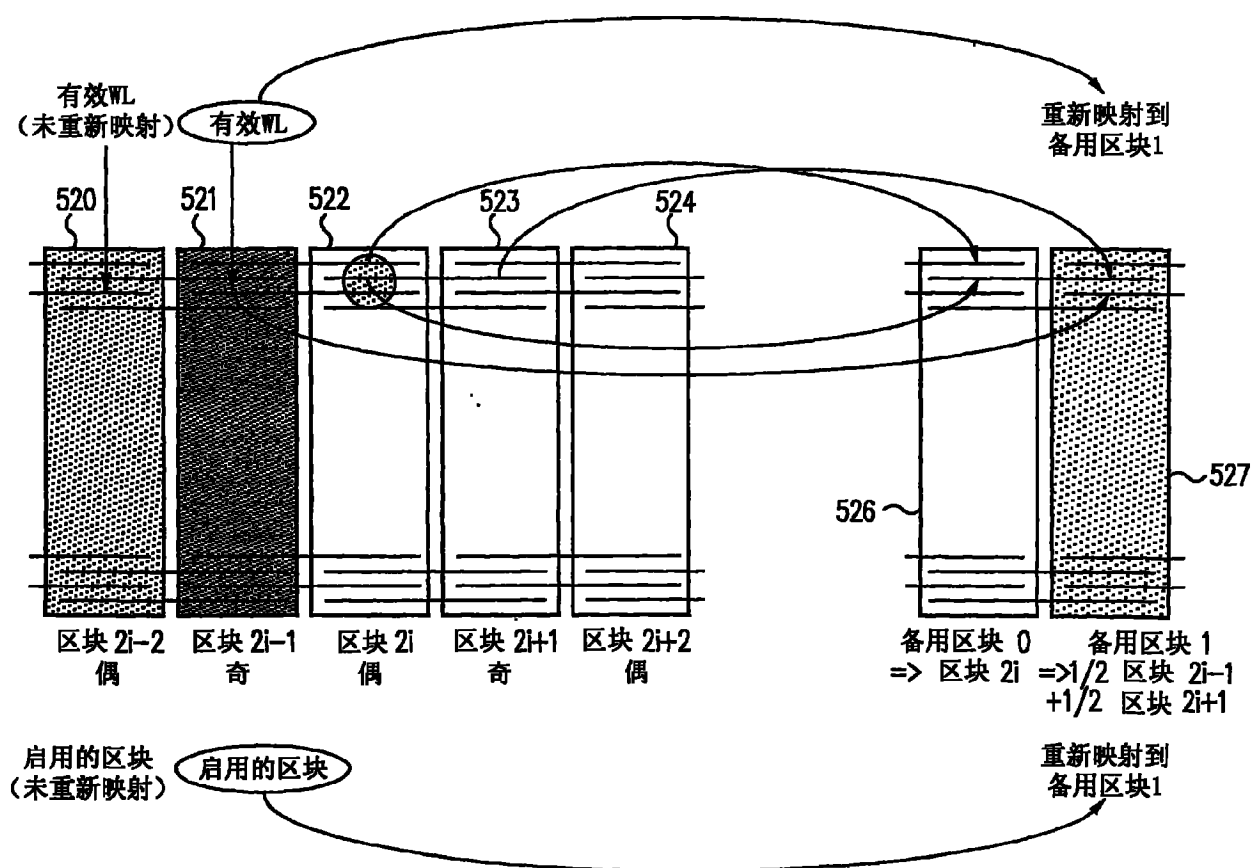


图26

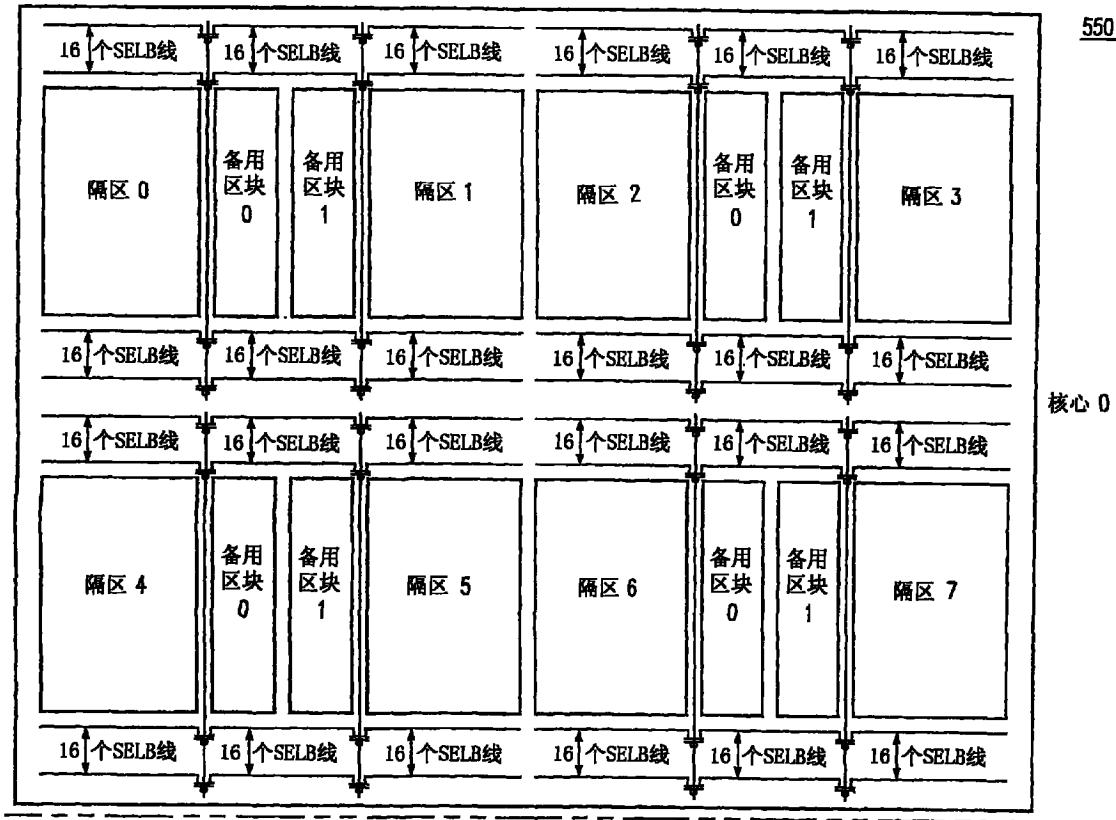


图27A

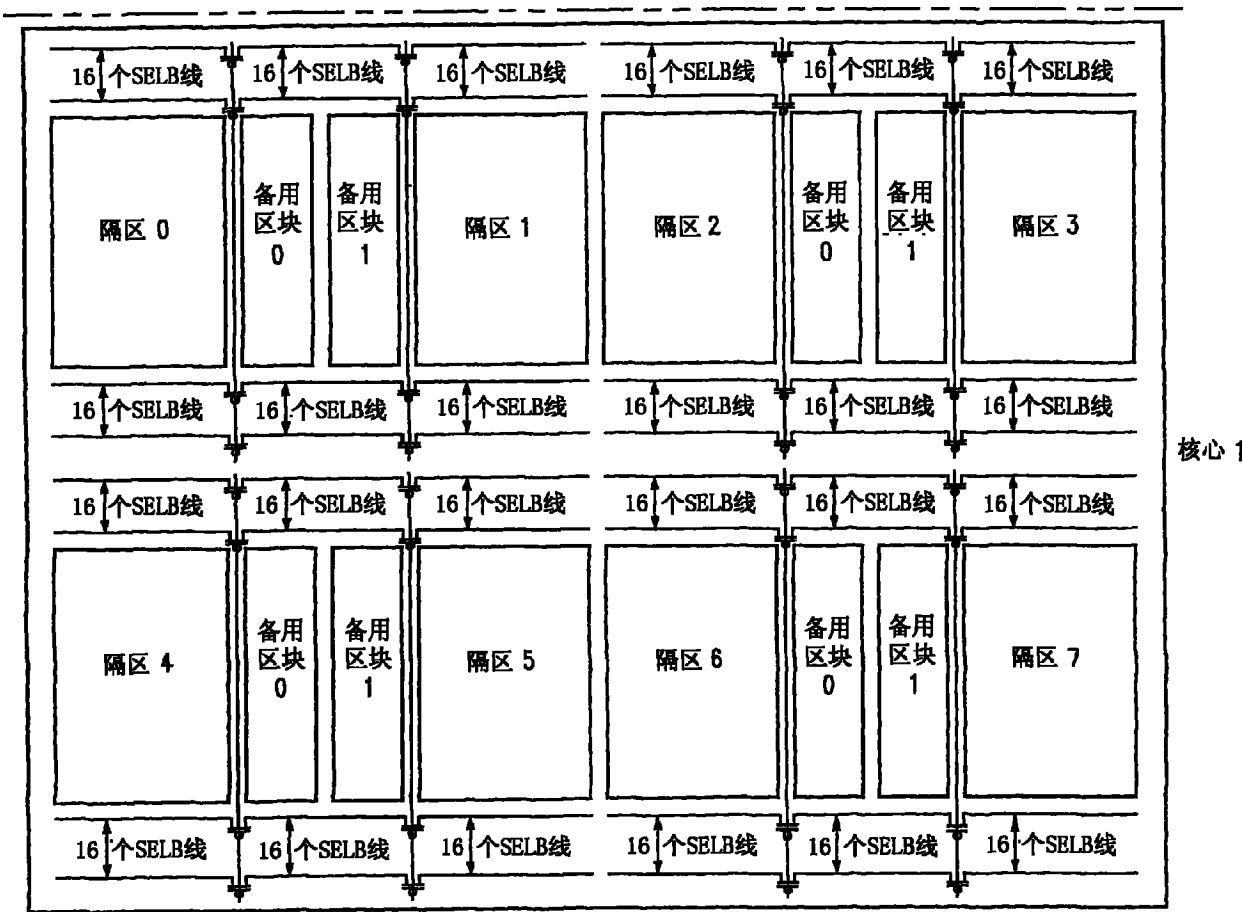
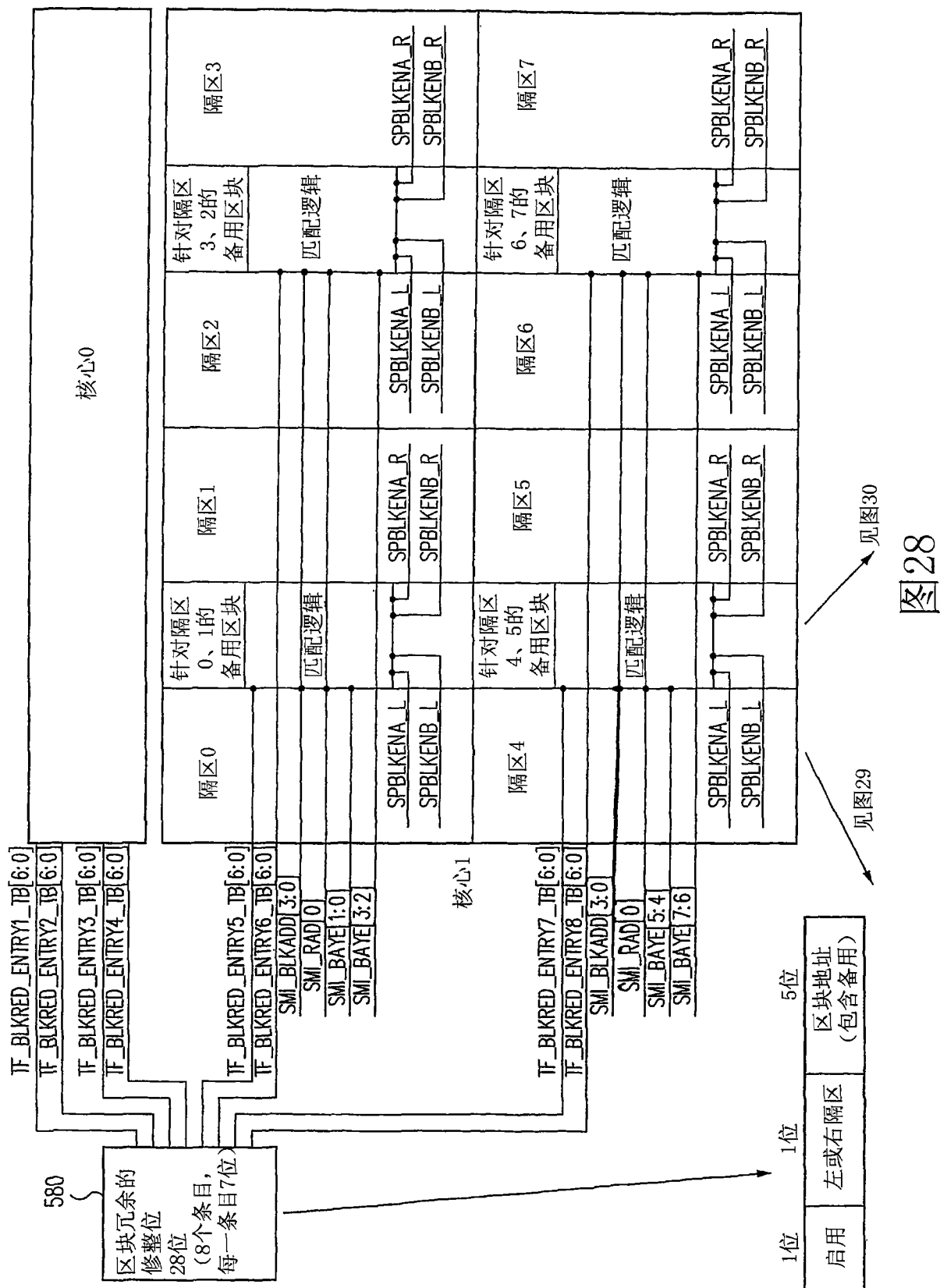


图27B



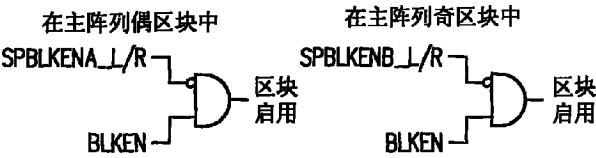


图29

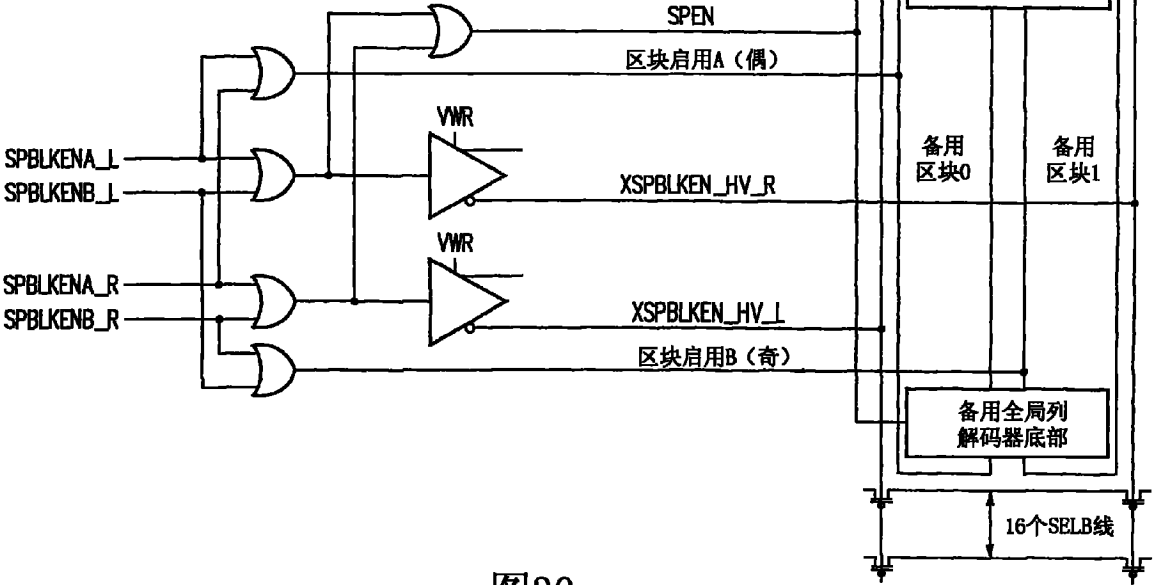


图30

匹配逻辑输入

信号名称	输入/输出	功能描述	定时关键?
TF_BLKRED_ENTRY1_TB[6:0]	I	故障区块地址 核心0 隔区1/0 (位定义见表1)	否
TF_BLKRED_ENTRY2_TB[6:0]	I	故障区块地址 核心0 隔区3/2 (位定义见表1)	否
TF_BLKRED_ENTRY3_TB[6:0]	I	故障区块地址 核心0 隔区5/4 (位定义见表1)	否
TF_BLKRED_ENTRY4_TB[6:0]	I	故障区块地址 核心0 隔区7/6 (位定义见表1)	否
TF_BLKRED_ENTRY5_TB[6:0]*	I	故障区块地址 核心1 隔区1/0 (位定义见表1)	否
TF_BLKRED_ENTRY6_TB[6:0]*	I	故障区块地址 核心1 隔区3/2 (位定义见表1)	否
TF_BLKRED_ENTRY7_TB[6:0]*	I	故障区块地址 核心1 隔区5/4 (位定义见表1)	否
TF_BLKRED_ENTRY8_TB[6:0]*	I	故障区块地址 核心1 隔区7/6 (位定义见表1)	否
SML_BAYE[7:0]	I	隔区启用信号 (每个隔区一个)	是
SML_BLKAD[3:0]	I	区块地址	是
SML_RAD[0]	I	WL地址的LSB	是
SML_TWOLAYER	I	两层部分-需要针对两层部分改变替换程序	否
SML_ALLSPBLKON_TMCRC*	I	同时激活所有备用区块的测试模式	否

图31

故障区块	TF_BLKRED_ENTRY1[6:0]	TF_BLKRED_ENTRY2[6:0]	重新映射			
			隔区0/1 备用区块 0	隔区0/1 备用区块 1	隔区2/3 备用区块 0	隔区2/3 备用区块 1
隔区0/1/2/3中均无	0000000		未使用	未使用	未使用	未使用
隔区0, 区块0	1000000	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	隔区0, 区块0	1/2隔区0, 区块1 1/2未使用	见表的 后半部分	见表的 后半部分
隔区0, 区块1	1000001	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	1/2隔区0, 区块0 1/2隔区0, 区块2	隔区0, 区块1	见表的 后半部分	见表的 后半部分
隔区0, 区块2	1000010	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	隔区0, 区块2	1/2隔区0, 区块1 1/2隔区0, 区块3	见表的 后半部分	见表的 后半部分
隔区0, 区块3	1000011	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	1/2隔区0, 区块2 1/2隔区0, 区块4	隔区0, 区块3	见表的 后半部分	见表的 后半部分
隔区0, 区块4	1000100	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	隔区0, 区块4	1/2隔区0, 区块3 1/2隔区0, 区块5	见表的 后半部分	见表的 后半部分
隔区0, 区块5	1000101	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	1/2隔区0, 区块4 1/2隔区0, 区块6	隔区0, 区块5	见表的 后半部分	见表的 后半部分
隔区0, 区块6	1000110	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	隔区0, 区块6	1/2隔区0, 区块5 1/2隔区0, 区块7	见表的 后半部分	见表的 后半部分
.....						
隔区0, 区块14	1001110	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	隔区0, 区块14	1/2隔区0, 区块13 1/2隔区0, 区块15	见表的 后半部分	见表的 后半部分
隔区0, 区块15	1001111	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	1/2隔区0, 区块14 1/2未使用	隔区0, 区块15	见表的 后半部分	见表的 后半部分
隔区0/1, 备用区块 0	1010000	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	未使用	1/2隔区0, 区块15 1/2未使用	见表的 后半部分	见表的 后半部分
隔区0/1, 备用区块 1	1111111	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	1/2隔区1, 区块0 1/2未使用	未使用	见表的 后半部分	见表的 后半部分
隔区1, 区块0	1100000	可用于隔区2、区块1-15和隔区3、 区块0-15中的不良区块	隔区1, 区块0	1/2隔区1, 区块1 1/2未使用	见表的 后半部分	见表的 后半部分

图32A

图32A

图32B

图32的图解

隔区1, 区块1	1100001	可用于隔区2、区块1-15和隔区3、区块0-15中的不良区块	1/2 隔区1, 区块0 1/2 隔区1, 区块2	隔区1, 区块1	见表的 后半部分	见表的 后半部分
.....						
隔区1, 区块14	1101110	可用于隔区2、区块1-15和隔区3、区块0-15中的不良区块	隔区1, 区块14	1/2 隔区1, 区块13 1/2 隔区1, 区块15	见表的 后半部分	见表的 后半部分
隔区1, 区块15	1101111		1/2 隔区1, 区块14 1/2 未使用	隔区2, 区块15	1/2 隔区2, 区块1 1/2 未使用	
隔区2, 区块0	1101111		1/2 隔区1, 区块14 1/2 未使用	隔区2, 区块0	1/2 隔区2, 区块1 1/2 未使用	
隔区2, 区块1		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	隔区2, 区块2, 区块0 隔区2, 区块2, 区块2	隔区2, 区块1	
隔区2, 区块2		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	隔区2, 区块2	1/2 隔区2, 区块1 1/2 隔区2, 区块3	
.....						
隔区2, 区块14		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	隔区2, 区块14	1/2 隔区2, 区块13 1/2 隔区2, 区块15	
隔区2, 区块15		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	1/2 隔区2, 区块14 1/2 未使用	隔区2, 区块15	
隔区2/3, 备用 区块0		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	未使用	1/2 隔区2, 区块15 1/2 未使用	
隔区2/3, 备用 区块1		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	1/2 隔区3, 区块0 1/2 未使用	未使用	
隔区3, 区块0		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	隔区3, 区块0	1/2 隔区3, 区块1 1/2 未使用	
隔区3, 区块1		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	1/2 隔区3, 区块2 1/2 隔区3, 区块0	隔区3, 区块1	
.....						
隔区3, 区块14		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	隔区3, 区块14	1/2 隔区3, 区块13 1/2 隔区3, 区块15	
隔区3, 区块15		可用于隔区0、区块0-15和隔区1、区块0-14中的不良区块	见表的前半部分	1/2 隔区3, 区块14 1/2 未使用	隔区3, 区块15	

图32B

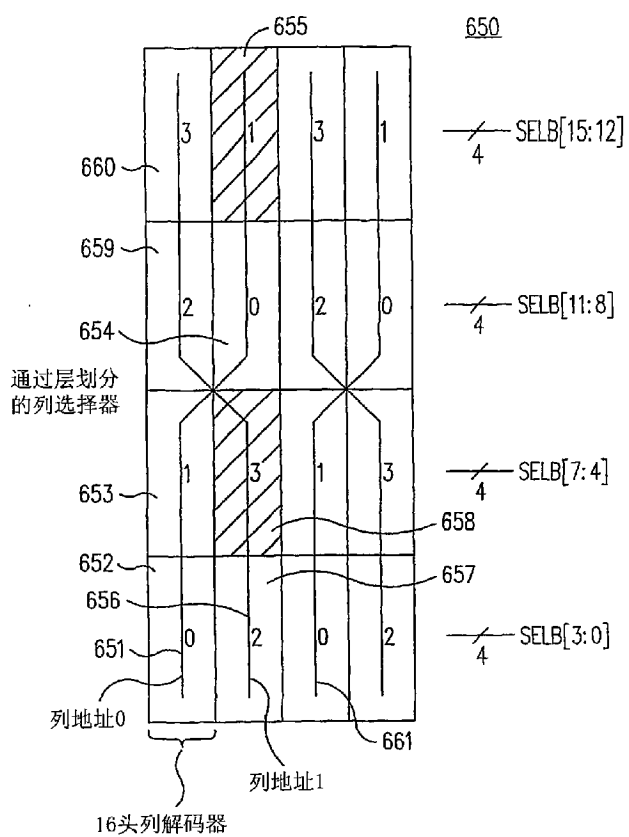


图33

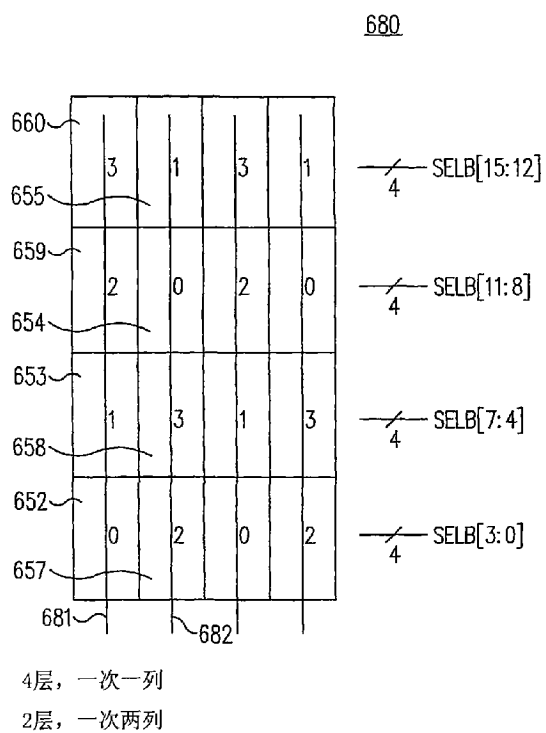


图34

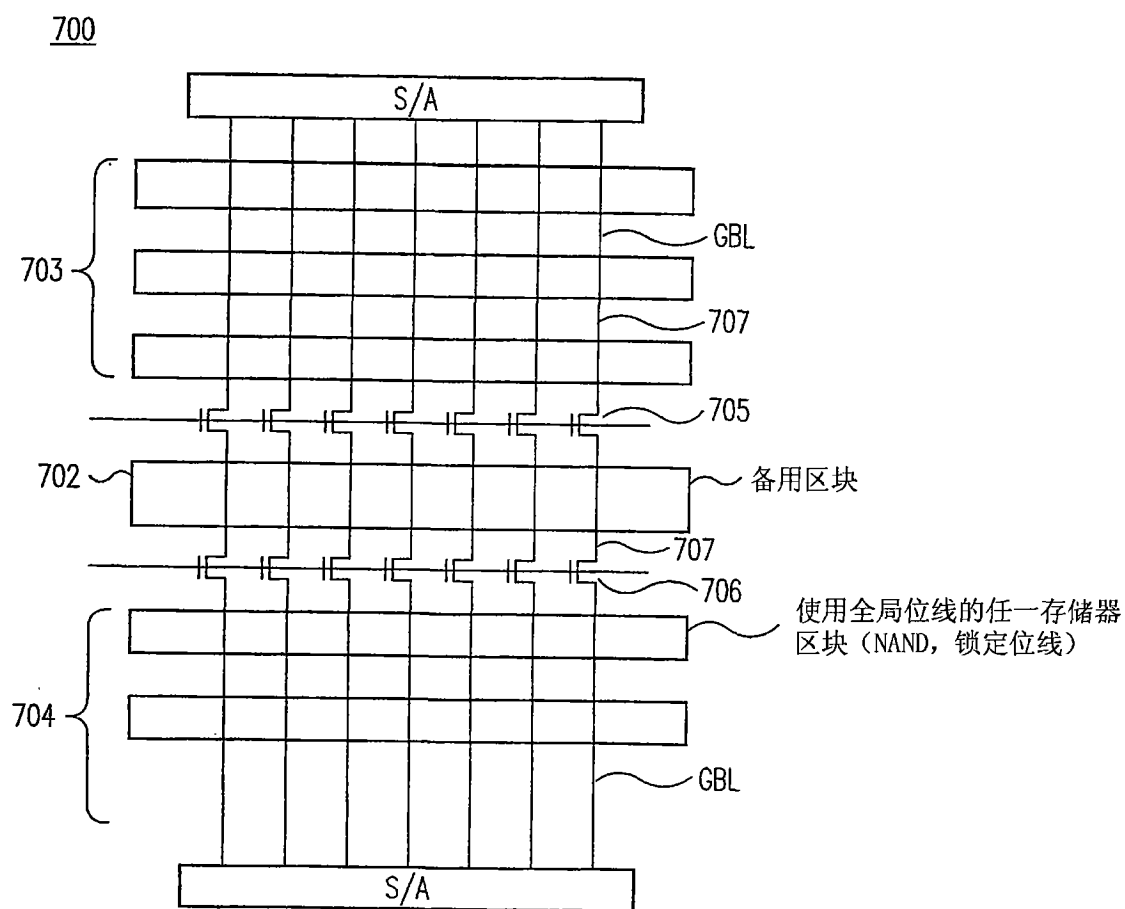


图35