

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6176996号
(P6176996)

(45) 発行日 平成29年8月9日 (2017.8.9)

(24) 登録日 平成29年7月21日 (2017.7.21)

(51) Int.Cl.

F I

G 1 1 C 29/34 (2006.01)

G 1 1 C 29/00 6 7 3 P

G 1 1 C 29/12 (2006.01)

G 1 1 C 29/00 6 7 5 B

G 1 1 C 11/16 (2006.01)

G 1 1 C 11/16 2 4 0

請求項の数 10 (全 24 頁)

(21) 出願番号	特願2013-98326 (P2013-98326)	(73) 特許権者	390019839
(22) 出願日	平成25年5月8日 (2013.5.8)		三星電子株式会社
(65) 公開番号	特開2013-235646 (P2013-235646A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成25年11月21日 (2013.11.21)		C o . , L t d .
審査請求日	平成28年5月9日 (2016.5.9)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	13/466, 922		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成24年5月8日 (2012.5.8)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	米国 (US)		y e o n g g i - d o , R e p u b l i c
			o f K o r e a
		(74) 代理人	100110364
			弁理士 実広 信哉
		(72) 発明者	エイドリアン・イー・オング
			アメリカ合衆国・カリフォルニア・945
			88・プレザントン・ハフ・ドライブ・2
			770
			最終頁に続く

(54) 【発明の名称】 抵抗性メモリのテスト方法、システム及びアーキテクチャー

(57) 【特許請求の範囲】

【請求項 1】

複数の抵抗性メモリセルのビットラインを電流駆動器に接続し、前記抵抗性メモリセルのソースラインをVCPパッド又は外部ピンに接続する段階と、

前記電流駆動器が前記ビットラインに接地電圧レベルを提供する間において、前記VCPパッド又は外部ピンを第1テスト書き込みパルス幅の時間の間、テスト書き込み電圧レベルに維持する段階と、

前記抵抗性メモリセルに第1データを書き込むために、前記抵抗性メモリセルに第1方向に第1書き込みテスト電流を並列的に提供して駆動する段階と、

前記電流駆動器が前記ビットラインに前記テスト書き込み電圧レベルを提供する間において、前記VCPパッド又は外部ピンを第2テスト書き込みパルス幅の時間の間、前記接地電圧レベルに維持する段階と、

前記抵抗性メモリセルに前記第1データと相反する第2データを書き込むために、前記抵抗性メモリセルに前記第1方向と相反する第2方向に第2書き込みテスト電流を並列的に提供して駆動する段階と、を含む

ことを特徴とする抵抗性メモリの並列的なテスト方法。

【請求項 2】

前記抵抗性メモリセルは少なくとも1024個の抵抗性メモリセルを含むメモリ装置又はメモリブロックの抵抗性メモリセルである

ことを特徴とする請求項1に記載の抵抗性メモリの並列的なテスト方法。

【請求項 3】

少なくとも一つの内部アナログ電圧発生器をディスエイブルする段階をさらに含むことを特徴とする請求項 1 又は 2 に記載の抵抗性メモリの並列的なテスト方法。

【請求項 4】

前記第 1 及び第 2 書き込みテスト電流は一般的な書き込み電流の $X\%$ に該当し、 X は 100 より小さく、

前記第 1 及び第 2 テスト書き込みパルス幅の時間は一般的な書き込みパルス幅の時間に比べて短く、

テスト環境温度を一般動作温度の範囲以下に低くする段階をさらに含む

ことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の抵抗性メモリの並列的なテスト方法。

10

【請求項 5】

前記第 1 データを前記抵抗性メモリセルに並列的に記入した後に、前記抵抗性メモリセルから前記第 1 データに対する読み取り動作を行なう段階と、

前記第 1 データの正確性に対する検証動作を行なう段階と、

前記第 2 データを前記抵抗性メモリセルに並列的に記入した後に、前記抵抗性メモリセルから前記第 2 データに対する読み取り動作を行なう段階と、

前記第 2 データの正確性に対する検証動作を行なう段階と、をさらに含む

ことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の抵抗性メモリの並列的なテスト方法。

20

【請求項 6】

前記抵抗性メモリセルを前記第 1 データ又は前記第 2 データに初期化する段階をさらに含む

ことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の抵抗性メモリの並列的なテスト方法。

【請求項 7】

前記抵抗性メモリセルを初期化する段階は、前記抵抗性メモリセルに初期化電流を並列的に提供して駆動する段階を含む

ことを特徴とする請求項 6 に記載の抵抗性メモリの並列的なテスト方法。

【請求項 8】

読み取りディスターブテスト電流を前記抵抗性メモリセルに並列的に提供して駆動することによって、前記抵抗性メモリセルの読み取りエラーをスクリーンする段階をさらに含む

30

ことを特徴とする請求項 7 に記載の抵抗性メモリの並列的なテスト方法。

【請求項 9】

前記読み取りエラーをスクリーンする段階は、

前記読み取りディスターブテスト電流を前記第 1 又は前記第 2 方向に前記抵抗性メモリセルに並列的に提供して駆動する段階と、

前記読み取りディスターブテスト電流を前記抵抗性メモリセルに並列的に提供して駆動した後に、一般的な読み取り電流を利用して前記抵抗性メモリセルから前記第 1 又は第 2 データに対する読み取り動作を行なう段階と、

読み取り圧縮モードから前記第 1 又は第 2 データの正確性を検証する段階と、を含む

ことを特徴とする請求項 8 に記載の抵抗性メモリの並列的なテスト方法。

40

【請求項 10】

前記読み取りディスターブテスト電流は一般的な電流の $X\%$ であり、 X は 100 より大きく、

テスト環境の温度を一般動作温度の範囲より高く増加させる段階をさらに含む

ことを特徴とする請求項 8 又は 9 に記載の抵抗性メモリの並列的なテスト方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、抵抗性メモリ回路 (Resistive type memory circuit) のテストにあり、さらに詳しくは、メモリ回路の信頼性の向上のためのストレステスト (stress testing)、リテンションテスト (retention testing)、機能テスト (functional testing)、及び速度テストの初期化 (fast test initialization) に関する。

【背景技術】

【0002】

抵抗性メモリは次世代の不揮発性メモリとして最終的にはフラッシュメモリ、EPROM (Erasable Programmable Read Only Memory) などのような従来の不揮発性メモリを代替するものと期待されている。また抵抗性メモリは最終的に揮発性メモリが使用される技術分野からもDRAM、SRAMのような従来の揮発性メモリを代替するものと期待されている。

【0003】

従来の不揮発性メモリの技術はその性能に関する問題及び長期間の信頼性に対する問題があり、従来の揮発性メモリの技術は永久的にデータを貯蔵することができない問題があった。逆に、抵抗性メモリはフラッシュメモリ及びDRAMの短所は有しないとともに数多くの長所を有する特徴がある。抵抗性メモリは、例えば、STT-MRAM (Spin Transfer Torque Magnetoresistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory)、PRAM (Phase change RAM)、メモリストRAM (memristor RAM)、ReRAM、CBRAMなどを含む。不揮発性メモリの永久的な貯蔵特性とDRAMのような揮発性メモリの高い性能及び信頼特性を連係することによって、抵抗性メモリは市場で重要な位置を占めている。

【0004】

実際に、メモリ回路は使用される前に必ずテストされなければならない。メモリセルの初期不良率は高い方である。このようなメモリセルの不良はコンピュータ装置、エンベデッド装置 (embedded device)、ソフトウェアアルゴリズムなどに悪い影響を与える。また、メモリ回路の集積度が増えることによって、効率的なテスト方法に対する要求が高くなっている。

【0005】

抵抗性メモリセルなどは一般的に可変抵抗とトランジスタを含む。一般的に、抵抗が低い状態は論理 '0' 又は論理ロー状態 (low logic state) で定義され、抵抗が高い状態は論理 '1' 又は論理ハイ状態 (high logic state) で定義される。但し、これは例示的なものであり、抵抗が低い状態が論理 '1' で、抵抗が高い状態が論理 '0' としても定義できる。

【0006】

抵抗性メモリセルはスイッチング電圧 (switching voltage) 又はスイッチング電流 (switching current) を有するように設計される。例えば、スイッチング電流のレベルを満足させる十分な電流がセルを通じる場合に、該当セルは典型的に一つの論理値から異なる論理値にスイッチングされる。論理ハイ状態から論理ロー状態にスイッチングされたり、論理ロー状態から論理ハイ状態にセルがスイッチングされたりすることは蓋然性がある。言い換えると、スイッチング電圧又はスイッチング電流はメモリセルを '1' から '0' に又はその反対に変化させる。ある場合に、メモリセルに対する読み取り動作又は書き込み動作が行なわれるときエラーが発生する。例えば、メモリセルに対する読み取り動作が行なわれるとき、該当セルはスイッチングされてはならないが、たまにスイッチングされることがある。読み取り動作の間に意図しなかったメモリセルのデータが変更されるときメモリセルの読み取りディスタ urb が発生する。読み取りディスタ urb はメモリセルの読み取りエラー率 (read error rate

e) が非常に高いとき発生する傾向がある。メモリセルに対する書き込み動作を行なうとき、たまにメモリセルのスイッチングが行なわれるべきであるが、スイッチングされない場合がある。書き込みエラーはメモリセルの書き込みエラー率が非常に高いとき発生する。

【 0 0 0 7 】

幾つかのメモリセルは他のものに比べて高いエラー率を発現する。仮に、メモリ装置の総エラー率があまり高いと、該当メモリ装置などは量産できなくなる。従来のテスト方法は一般的に D R A M、フラッシュの伝統的なメモリに効果があるだけで S T T - M R A M のような抵抗性メモリの特有の物理的な特性は顧慮しなかった。なお且つ、抵抗性メモリの大きさ及び集積度が引き続き増えることによって、抵抗性メモリをテストするための時間及びその難しさが増え続けている。従って、テスト時間及び費用を減らすための多量の並列スクリーニング (m a s s i v e p a r a l l e l s c r e e n i n g) の適用が要求されている。また、メモリ回路の信頼性の向上のためのリテンションテスト (r e t e n t i o n t e s t i n g)、機能テスト (f u n c t i o n a l t e s t i n g)、及び速度テストの初期化 (f a s t t e s t i n i t i a l i z a t i o n) などの技術の開発が要求されている。

10

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

抵抗性メモリのテスト時間及び費用などを減らすための多量の並列スクリーニング方法と、メモリ回路の信頼性の向上のためのリテンションテスト、機能テスト、及び速度テストの初期化などの技術を開発する。

20

【課題を解決するための手段】

【 0 0 0 9 】

本発明の一態様によると、抵抗性メモリの多量並列テスト方法は複数の抵抗性メモリセルのビットラインを電流駆動器に接続し、前記抵抗性メモリセルのソースラインを V C P パッド又は外部ピンに接続する段階、前記電流駆動器が前記ビットラインに接地電圧レベルを提供し、前記 V C P パッド又は外部ピンをテスト書き込みパルス幅と関連された時間の間テスト書き込み電圧レベルに維持する段階、前記メモリセルに第 1 データを書き込むために、前記メモリセルに第 1 方向に第 1 書き込みテスト電流を並列的に提供して駆動する段階、前記電流駆動器が前記ビットラインに前記テスト書き込み電圧レベルを提供し、前記 V C P パッド又は外部ピンを前記テストパルス幅と関連された時間の間前記接地電圧レベルに維持する段階、及び前記メモリセルに前記第 1 データと相反する第 2 データを書き込むために、前記メモリセルに前記第 1 方向と相反する第 2 方向に第 2 書き込みテスト電流を並列的に提供して駆動する段階を含む。

30

【 0 0 1 0 】

本発明の他の態様によると、メモリ装置は複数の抵抗性メモリセル、内部アナログ電圧発生器、V C P パッド又は外部ピン、第 1 テストコントロール信号に応じて前記内部アナログ電圧発生器、前記 V C P パッド又は外部ピンの中で何れか一つを選択して前記メモリセルのソースラインに接続させるスイッチ、電流駆動器、及び複数のビットラインと関連され、各トランジスタは第 2 テストコントロール信号に応じてビットラインを前記電流駆動器に接続する複数のトランジスタを含む。

40

【 0 0 1 1 】

本発明の他の態様によると、複数の抵抗性メモリセルを含むアレイ、及び D F T 回路を含み、前記 D F T 回路は前記メモリセルを含むアレイのビットラインを第 1 方向の第 1 テスト書き込み電流及び第 2 方向の第 2 テスト書き込み電流で駆動する電流駆動器及び複数のテストコントロール信号を前記電流駆動器に提供する書き込みパルス幅コントロール回路を含む。

【発明の効果】

【 0 0 1 2 】

50

本発明によると、多量の並列スクリーニング方法を適用して抵抗性メモリのテスト時間及び費用などを減らし、抵抗性メモリのリテンションテスト、機能テスト、速度テストの初期化などの改善された技術によってメモリ回路の信頼性を向上させる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】メモリ装置及び自動テスト装置を含むメモリテストシステムの例示的なブロックダイアグラムである。

【図 2 A】図 1 のメモリ装置のメモリセルアレイに含まれる例示的な S T T - M R A M メモリセルの構成図である。

【図 2 B】図 1 のメモリ装置のメモリセルアレイに含まれる例示的な S T T - M R A M メモリセルの構成図である。

【図 3 A】本発明の一実施形態による速度エラーストレステスト回路を含む図 1 のメモリ装置の D F T 回路の例示的なブロック図である。

【図 3 B】本発明の一実施形態による速度エラーストレステスト回路を含む図 1 のメモリ装置の D F T 回路の例示的なブロック図である。

【図 4】サブアレイブロックを含む 6 4 M b メモリブロックを例示的に示すブロックダイアグラムである。

【図 5】本発明の他の実施形態による図 1 のメモリ装置の D F T 回路の一例を示すブロックダイアグラムである。

【図 6】本発明の他の実施形態による書き込みパルス幅コントロール回路を例示的に示すブロック図である。

【図 7 A】本発明のメモリセルの並列的なテスト方法を示す順序図である。

【図 7 B】本発明のメモリセルの並列的なテスト方法を示す順序図である。

【図 8】本発明の実施形態によるメモリ装置、メモリアレイのメモリセルをテストするための D F T 回路を有する A T E を含むメモリテストシステムを示すブロック図である。

【図 9】本発明の実施形態による D F T 回路を有する抵抗性メモリ装置を含むコンピューティングシステムを示すブロック図である。

【発明を実施するための形態】

【 0 0 1 4 】

本発明の長所及び特徴、そしてこれを達成する方法は添付される図面とともに、後述する実施形態などによって詳しく説明する。しかし、本発明はここに説明される実施形態などによって限定されず、他の形態に具体化できる。但し、本発明の実施形態などは本発明が属する技術分野から通常の知識を有する者が本発明の技術的な思想を容易に実施できる程度に説明するために提供される。

【 0 0 1 5 】

図面に於いて、本発明の実施形態などは図示された特定の形態に制限されず、明確性のために誇張されている。また、明細書の全体にわたって同じ参照符号で表示する部分は同じ構成要素を示す。

【 0 0 1 6 】

本発明の明細書から「及び／又は」の表現は前後に配置される構成要素などの中で少なくとも一つを含む意味で使用される。また、「連結される／結合される」の表現は異なる構成要素と直接に連結されるか、異なる構成要素を介して間接的に連結される意味で使用される。本発明の明細書から単数形は文句に特別に言及がない限り複数形も含む。また、明細書から使用される「含む」は言及した構成要素、段階、動作及び素子の一つ以上の他の構成要素、段階、動作、素子及び装置の存在又は追加を意味する。

【 0 0 1 7 】

図 1 はメモリ装置 1 0 5 及び自動テスト装置 1 2 0 を含むメモリテストシステム 1 0 0 の例示的なブロックダイアグラムである。図 1 を参照すると、メモリ装置 1 0 5 はメモリセルアレイ 1 1 0、データ入出力回路 1 7 0、アドレスデコーダ 1 8 0 及びコントロールロジック 1 9 0 を含む。コントロールロジック 1 9 0 は、本発明の技術的な思想の例示

である一実施形態によってメモリセルアレイ 110 のメモリセルをテストするための DFT 回路 (design for test circuitry) 115 を含む。

【0018】

図 1 を参照すると、メモリセルアレイ 110 は各ターフ以上のビットを貯蔵する複数のメモリセル 30、MC を含む。メモリセル MC は複数のワードライン W L s、複数のソースライン S L s 及び複数のビットライン B L s に連結される。

【0019】

アドレスデコーダ 180 はワードライン W L s とソースライン S L s を通じてメモリセルアレイ 110 と連結される。アドレスデコーダ 180 はコントロールロジック 190 の制御によって動作する。アドレスデコーダ 180 はワードライン W L s とソースライン S L s を選択するために入力アドレスをデコーディングする。アドレスデコーダ 180 はコントロールロジック 190 からパワー (例えば、電圧又は電力) を供給されて、これを選択し又は選択されないワードラインに供給できる。

【0020】

データ入出力回路 170 はビットライン B L s を通じてメモリセルアレイ 110 に連結される。データ入出力回路 170 はコントロールロジック 190 の制御によって動作する。データ入出力回路 170 はアドレスデコーダ 180 からのビットライン選択信号 (図示せず) によってビットラインを選択できる。データ入出力回路 170 はコントロールロジック 190 からパワー (例えば、電圧又は電力) を供給されて、これを選択されるビットラインに供給する。

【0021】

コントロールロジック 190 はメモリ装置 105 の全般の動作を制御するように構成できる。コントロールロジック 190 は外部パワー及び/又は制御信号を受信する。コントロールロジック 190 は外部パワーを利用して内部動作に必要なパワーを生成する。コントロールロジック 190 は制御信号によって読み取り、書き込み及び/又は消去動作を制御する。コントロールロジック 190 は、本発明の技術的な思想の例示である一実施形態によってメモリセルアレイ 110 のメモリセルをテストするための DFT 回路 115 を含む。

【0022】

図 2 A 及び図 2 B は図 1 のメモリ装置 105 のメモリセルアレイ 110 に含まれた例示的な S T T - M R A M メモリセルの構成図である。図 3 A 及び図 3 B は本発明の技術的な思想の例示である一実施形態による速度エラーストレステスト回路を含む、図 1 のメモリ装置 105 の DFT 回路 115 の例示的なブロック図である。以下に、図 1 から図 3 B について説明する。

【0023】

ここに開示される本発明の技術的な思想の例示である実施形態では高いエラー率と低いリテンションを遮断するのに使用される。図 1 に示したように、メモリ装置 105 は例えば、メモリセルアレイ 110 DFT 回路 115 を含む。DFT 回路 115 はメモリコアでデザインできる。選択的に、自動テスト装置 120 はメモリ装置 105 のテストのためにメモリ装置 105 に連結される。上述したように、一部の実施形態から DFT 回路 115 又は DFT 回路 115 の一部は自動テスト装置 120 にビルトイン (built-in) される。他の実施形態から、DFT 回路 115 又は DFT 回路 115 の一部は自動テスト装置 120 又は他のホストシステムに位置する。書き込みテスト電流は同時に複数のメモリセルによって駆動された後検証でき、以後に書き込みテスト電流は複数のメモリセルによって同時に反対の方向に駆動され検証できる。複数のメモリセルに多量に書き込みする機能は容易かつ効率的なテストの初期化を提供する。即ち、以下に開示するように、同じデータがメモリ集積度によって一つ又は複数の選択されたブロック又は全てのメモリブロック (例えば、全体のメモリ装置の複数のメモリセル) に多量の方式で並列的に記入される。また、読み取りディスターブテスト電流は複数のメモリセルによって何れか一つの方向に同時に駆動された後検証される。また、セル間移動影響 (cell-to-cell

1 影響) 及びリテンションエラーも防止できる。

【0024】

一部の実施形態では、メモリセルアレイ110は複数のSTT-MRAMメモリセルを含む。しかし、ここに示した技術的な思想は抵抗性メモリの異なる形態、例えば、STT型以外のMRAM、PRAM、メモリスタRAM、ReRAM、CBRAMなどに適用できる。

【0025】

図2AはSTT-MRAM型のメモリセルで可変抵抗を形成するマグネチックトンネル接合(MJT)10とこれとともにSTT-MRAMセル30を構成する関連選択トランジスタ20を開示する。MJT10は固定層12、自由層16及びこれらの間に位置したトンネリング層14を含む。本質的に高い電流駆動、低い電圧及びPMOSTランジスタに比べて相対的に狭い面積のために、トランジスタ20としてNMOSTランジスタがよく使用されている。MRAM30に“1”を書き込むときに使用される電流は“0”を書き込むときに使用される電流とは違う。この二つの記入過程の間の電流方向の非対称性はトランジスタ20のゲート対ソース電圧の非対称によって発生する。

【0026】

続いて、MJTの自由層及び固定層が平衡(Parallel)Pの状態であるとき、即ちMJTが低い抵抗性を示すときMRAMセルは“0”ロジック状態で定義される。これと逆に、MJTの自由層及び固定層が反平衡(Anti-Parallel)APの状態であるとき、即ちMJTが高い抵抗性を示すとき、MRAMセルは“0”ロジック状態

【0027】

上述したように、矢印35の方向、即ち、上向きの方に流れる電流は、(i)“1”を書き込むためにP状態からAP状態にスイッチングさせたり、(ii)以前に形成されたMJTのAP状態を安定させる。このように、矢印40の方向、即ち、下向きの方に流れる電流は、(i)“0”を書き込むためにAP状態からP状態にスイッチングさせたり、(ii)以前に形成されたMJTのP状態を安定させる。しかし、他の実施形態では、この方向が逆になってMJTの自由層がそれと関連された選択レジスタに向かう。図示されていない他の実施形態では、矢印35の方向に流れる電流は、(i)AP状態からP状態にスイッチングさせたり、(ii)以前に形成されたMJTのP状態を安定させる。このような実施形態で、矢印40の方向に流れる電流は、(i)P状態からAP状態にスイッチングさせたり、(ii)以前に形成されたAP状態を安定させる。

【0028】

図2Bは図2AのMRAM30の構成図であり、MJT10は貯蔵されたデータによって可変抵抗を有する貯蔵素子を示す。MJT10の電流は、(i)矢印方向35に電流が流れるときP状態からAP状態に変化させ、及び/又は(ii)矢印方向40に電流が流れるときAP状態からP状態に変化させる。

【0029】

MJT10をAP状態からP状態に、又はこれと逆にスイッチングするとき要求される電圧はスイッチング電圧 V_{c0} を超える。これに対応する電流はスイッチング電流 I_{c0} である。特定のスイッチ電圧 V_{c0} 及び関連された特定のスイッチング電流 I_{c0} は様々な方式で定義でき、このような値などは特定の時間内にメモリセルの50%のスイッチング可能性に基づいて選択される。即ち、スイッチング電流 I_{c0} はMJT10の設計に基づいて選択又は決定され、あるいは、特定のスイッチ電圧 V_{c0} 及び/又はスイッチング電流 I_{c0} からのスイッチング可能性の測定に基づいて選択又は決定される。臨界スイッチ電圧カレント I_{c0} が満足されると、貯蔵されたメモリビットが状態をスイッチ(例えば、“0”から“1”に、“1”から“0”に)する確率が50%になる。標準安定性の期待値を満足させるために受容可能なエラー率でスイッチングが行なわれることを保障

するために過駆動電流 (over drive current) が適用される。この過駆動電流 I_{sw} は I_{c0} 値の 1.3 倍、1.5 倍、2 倍又は 2 倍以上である。例えば、MJT 装置に対する電流 I_{c0} の値の書き込みパルス幅が 20 ns から 7 μ A だとすれば、MTJ の状態を安定的にスイッチするために使用される I_{sw} は 11 μ A 以上である。

【0030】

一部の場合、“安全”書き込み電流 (例えば、書き込みエラー率が約 10^{-9} より小さい場合) は、特定の期間、例えば 10 ns 間にスイッチング電流 I_{c0} の 1.5 倍から 2 倍である。メモリセルからビット値を読み取りするために相対的に“安全”読み取り電流が印加される (例えば、読み取りエラー率が 10^{-9} より小さい場合)。例えば、“安全”読み取り電流はスイッチング電流 I_{c0} の 0.2 倍 (即ち、20%) である。他の例として、スイッチング電流 I_{c0} が 6 μ A であれば、正常動作モードからの書き込み電流は 12 μ A 以上、又は概ね 12 μ A であり、正常動作モードからの読み取り電流は 1.2 μ A より小さいか概ね 1.2 μ A である。このような方式で、正常書き込み動作モードからメモリセルが適切にスイッチングできる確率が一部の場合はほぼ 100% になるほど高い。類似に、正常読み取りモードから偶然にメモリセルの値がスイッチングされる確率は一部の場合 0% に近いほど低い。

【0031】

AP 状態から、印加された電圧を除去することは MJT 10 の状態に影響を与えない。このように、正常動作モードで AP 状態から P 状態に遷移するために、少なくとも V_{co} の負電圧が印加されてメモリセルから反対の方向に少なくともスイッチング電流 I_{c0} の電流が流れる。P 状態から印加された電圧を除去することは MJT 10 の状態に影響を与えない。

【0032】

即ち、MJT 10 は反平衡状態 (即ち、高い抵抗状態又は“1”ロジック状態) から“0”を貯蔵するために平衡状態 (即ち、低い抵抗状態又は“1”ロジック状態) にスイッチングできる。MJT 10 が正常動作モードで初期に“1”ロジック状態又は AP 状態だと仮定すれば、スイッチング電流 I_{c0} より大きい又は同じ電流が矢印 40 の方向へトランジスタ 20 に向かって流れる。このためにトランジスタ 20 のソースノード SL は抵抗経路を通じて接地電位に接続され、陽電圧はトランジスタ 20 のゲートノード WL に供給され、陽電圧はトランジスタ 20 のドレインノード BL に供給される。

【0033】

上述したように、MTJ 10 は平衡状態から反平衡状態にスイッチされることによって“1”を貯蔵できる。MTJ 10 が初期に論理“0”又は P 状態だと仮定すれば、一般動作モード (normal operation mode) で“1”を貯蔵するために電流 I_{c0} より大きい又は同じ電流が矢印 35 の方向へトランジスタ 20 を通じて流れる。この動作のために、ノード SL には抵抗性経路 (Resistive path、図示せず) を通じて陽電圧が印加され、ノード WL には陽電圧が印加され、ノード BL は抵抗性経路を通じて接地電位に接続される。

【0034】

図 3A は図 1 のメモリアレイ 110 の一部又はブロック 102 を示すブロック図である。ブロック 102 は例えば、STT-MRAM セル 30 のようなメモリセルを含む。図 2A 及び図 2B を参照して説明したように、各 STT-MRAM セルの自由層 16 はビットライン BL0、112 及びビットライン BL1、114 に連結される。各 STT-MRAM セル 30 の固定層 12 はそれと関連がある選択トランジスタ 20 のドレインに連結される。各選択トランジスタ 20 のソースはソースライン (例えば、116、118) に連結される。ソースライン 116、118 は一般動作モードから内部共通電圧プレーン発生器 120 (internal common voltage plane generator、以下、内部 VCP 発生器と言う) のような内部アナログ電圧発生器に接続されるか、又はテストモードから VCP パッド又は外部 VCP ピン 125 に接続される。選択トランジスタのゲートはワードライン (例えば、WL0、WL1、WL $n-1$ ~ WL n) に

10

20

30

40

50

よって制御できる。

【 0 0 3 5 】

D F T 回路 1 1 5 (図 1 参照) は、例えば、一つ以上の定電流駆動器 1 3 5、速度エラーストレステスト回路 1 4 0、一つ以上の V C P 選択スイッチ 1 3 0、V C P パッド又は外部 V C P ピン 1 2 5、及び選択的に一つ以上の書き込みパルス幅コントロール回路 1 4 5 を含む。

【 0 0 3 6 】

V C P 選択スイッチ 1 3 0 は内部 V C P 発生器 1 2 0 又は V C P パッド又は外部ピン 1 2 5 の中で何れか一つを選択できる。即ち、ソースライン (例えば、1 1 6、1 1 8) はテストコントロール信号 D V C P 及び / 又はテストコントロール信号 / D V C P に応じて内部 V C P 発生器 1 2 0 又は V C P パッド又は外部ピン 1 2 5 の中で何れか一つに連結される。例えば、D V C P 信号がアサート (a s s e r t) されるとき、内部 V C P 発生器 1 2 0 はディスエイブル (d i s a b l e) されたり、又はメモリセルアレイ 1 1 0 のソースラインなどから接続が切られて、V C P パッド又は外部ピン 1 2 5 はイネーブル (e n a b l e) されたり、又はメモリセルアレイ 1 1 0 のソースラインに接続される。逆に、D V C P 信号がアサートしないとき、内部 V C P 発生器 1 2 0 はイネーブルされたり、又はメモリセルアレイ 1 1 0 のソースラインに接続でき、V C P パッド又は外部ピン 1 2 5 はディスエイブルされたり、又はメモリセルアレイ 1 1 0 のソースラインから接続が切れる。V C P 選択スイッチ 1 3 0 はマルチプレクサ (m u l t i p l e x e r) 又は適当なスイッチからなる。

【 0 0 3 7 】

定電流駆動器 1 3 5 は、例えば、陽電圧提供器 1 3 2 に接続された p - チャンネル型トランジスタ 1 3 7 と負電圧又は接地電圧提供器 1 3 4 に接続された n - チャンネル型トランジスタ 1 3 9 を含む。トランジスタ 1 3 7 は P M O S 電流ミラー回路 (c u r r e n t m i r r o r c i r c u i t、図示せず) に連結される。これと類似に、トランジスタ 1 3 9 は N M O S 電流ミラー回路 (c u r r e n t m i r r o r c i r c u i t、図示せず) に連結される。トランジスタはテストコントロール信号など / E P、E N によってコントロールされる。テストコントロール信号など / E P、E N は一つ以上の書き込みパルス幅コントロール回路 1 4 5 を利用してメモリ装置の内部から生成できる。他の例として、テストコントロール信号など / E P、E N はメモリ装置 1 0 5 の外部から生成されて定電流駆動器 1 3 5 に提供できる。一般動作モードで、定電流駆動器 1 3 5 はテストされる状態ではないときメモリ装置 1 0 5 の他の部分に対する影響を除去するために 3 状態 (t r i - s t a t e) にある。

【 0 0 3 8 】

F E S T 回路 1 4 0 はビットライン 1 1 2、1 1 4 と各々関連された F E S T トランジスタ 1 4 2、1 4 4 を含む。これは各ビットラインが接続された F E S T トランジスタと関連がある。各 F E S T トランジスタは F E S T テストコントロール信号に応じてビットライン B L 0、B L 1 の各々に接続されて定電流駆動器 1 3 5 と連結される。カラム選択信号 (C S 0、C S 1 又はこれと関連された信号) はメモリセルアレイ 1 1 0 のカラムを選択することをコントロールする。F E S T トランジスタ 1 4 2、1 4 4 は F E S T テスト信号に応じてテストモードの間に感知増幅器及び書き込み駆動器 1 5 0 をバイパスする。

【 0 0 3 9 】

D V C P、/ D V C P 及び / 又は F E S T テストコントロール信号は速度エラーストレステストモード (f a s t e r r o r s t r e s s t e s t m o d e) に進入するのに使用される。F E S T テストコントロール信号はビットラインを定電流駆動器 1 3 5 に連結する。D V C P 及び / 又は / D V C P 信号はソースラインを V C P パッド又は外部ピン 1 2 5 に連結する。

【 0 0 4 0 】

I 書き込みエラー率 (W r i t e E r r o r R a t e、W E R) スクリーニン

10

20

30

40

50

グ。

【0041】

テストモードから書き込みエラーをスクリーニングするとき、VCPパッド又は外部ピン125は定電流駆動器135がビットラインに接地電圧レベルを提供する間に第1書き込みパルス幅又は時間に該当する時間だけ陽のテスト書き込み電圧レベル(positive test write voltage level)に維持される。定電流駆動器135のn-チャンネルトランジスタ139はEN信号によってイネーブルされ、p-チャンネルトランジスタ137は/EP信号によってディスエイブルされる。

【0042】

テスト段階で、VCPパッド又は外部ピン125と定電流駆動器135は第1テスト電流が第1方向(例えば、ソースラインから選択トランジスタ20を通過した後にMTJ10を通過する矢印35の方向)にメモリセルへ流れるように駆動する。従って、第1データ(例えば、全て“1”又は全て“0”)がメモリセルに記入される。このようなストレステスト動作は多量の並列規模(massive parallel scale)で行なわれる。一例として、メモリ装置105(図1参照)の全てのメモリセル又は実質的な全てのメモリセルは並列的に同時にテストできる。一例として、少なくとも1K(例えば、1024)のメモリセルを含むメモリブロックの全てのメモリセル又は実質的な全てのメモリセルは並列的に同時にテストでき、その結果、総電流は管理できるレベル内にある。例えば、所定のカラム内の少なくとも1024個のメモリセルと関連された少なくとも1024個のワードラインは同時にターンオンできる。他の方法の例として、一つのワードラインがターンオンでき、複数のカラム(例えば、1024個のカラム)がターンオンでき、これによって少なくとも1024個のメモリセルを並列的にテストできる。

【0043】

同時に、並列的に第1データを多量の規模(massive scale)でメモリセルに記入した後、データは検証動作を行なうために再び読取りされる。即ち、多量の並列書き込み動作(massive parallel write operation)の後の検証はフリップ(flip)されないメモリセルがあるかどうかチェックすることを含む。例えば、感知増幅器150とその他の読み取り回路を利用する一般的な読み取り動作は第1データが各メモリセルに正しく記入されたかどうかを検証することで行なわれる。他の例として、検証回路(図示せず)は第1データが各メモリセルに成功的に記入されたかを検証するのに利用される。尚且つ、アドレスとデータ圧縮回路(data compression circuit)がメモリセルに貯蔵された同じデータの読み取りの時間を減らすために使用される。同じデータがメモリセルに書き込まれているので、読み取り圧縮モード(read compression mode)からデータを検証することは有用かつ効率的である。従って、速い検証を可能にする。また、アドレスとデータ圧縮を利用しないとき、故障ビット(failed bits)又はメモリセルは記録でき、又は一つ以上の冗長メモリセル(redundant memory cells)によって代替できる。

【0044】

第1データをメモリセルに記入し検証を行なった後に、反対のデータが多量の規模でメモリセルに書き込まれる。定電流駆動器135がビットラインにテスト書き込み電圧レベルを提供する間に、VCPパッド又は外部ピン125は第2パルス幅又は時間の間に接地電圧レベルに維持される。定電流駆動器135のn-チャンネルトランジスタ139はEN信号によってディスエイブルされ、p-チャンネルトランジスタ137は/EP信号によってイネーブルされる。

【0045】

テスト段階で、VCPパッド又は外部ピン125と定電流駆動器135は第2テスト電流が第1方向と反対である第2方向(例えば、ビットラインからMJT10を通過した後選択トランジスタ20を通過する矢印40の方向)にメモリセルへ流れるように駆動される。従って、第2データ(例えば、全て“0”又は全て“1”)がメモリセルに記入さ

10

20

30

40

50

れる。このようなストレステスト動作は多量の並列規模 (massive parallel scale) で行なわれる。一例として、メモリ装置 105 (図 1 参照) の全てのメモリセル又は実質的な全てのメモリセルは並列的に同時にテストできる。一例として、少なくとも 1 K (例えば、1024) のメモリセルを含むメモリブロックの全てのメモリセル又は実質的な全てのメモリセルは並列的に同時にテストできる。第 2 書き込みテスト電流は第 1 テスト電流と実質的に同じ又は異なる。

【0046】

より大きい振幅 (amplitude)、長い周期 (例えば、パルス幅) を有する書き込み電流及び/又は高い温度環境の下でテストはスイッチング確率 (switching probability) を増加させる。逆に、小さい振幅、短い周期を有する書き込み電流及び/又は低い温度環境の下でテストはスイッチング確率を減少でき、従って、データが成功的に記入され難い。従って、書き込みエラー率をチェックするためには、書き込み電流の振幅、パルス幅及び/又はテスト温度は減り、スイッチング確率が減少される。これによって、書き込みエラー率を意図的に増加させることができる。

【0047】

第 2 データをメモリセルに多量の規模で同時に記入した後に、データは検証のために再び読取りされる。例えば、感知増幅器と他の読取り回路を利用する一般的な読取り動作は第 2 データが各メモリセルに正しく記入されたかどうかを検証することで行なわれる。このように、検証回路は第 1 データが各メモリセルに成功的に記入されたかを検証するのに利用される。なお、アドレスとデータ圧縮回路 (data compression circuit) がメモリセルに貯蔵された同じデータの読取りの時間を減らすために使用される。同じデータがメモリセルに書き込まれているので、読取り圧縮モード (read compression mode) でデータを検証することは有用かつ効率的である。従って、速い検証を可能にする。

【0048】

II 読取りエラー率 (read error rate、RER) スクリーニング、速度テスト初期化、リテンションテスト。

【0049】

メモリセルに対する書き込みストレステストに加えたりこれを代替して、上述したように、メモリセルは読取りエラーのためにスクリーンされる。例えば、RER スクリーニング (screening) は多量の規模 (massive scale) で読取りディスタurb (read disturb) をテストすることを含む。さらに、速度テストの初期化 (fast test initialization) 及びリテンションテスト (retention - testing) が類似な多量の規模で行なわれる。

【0050】

読取りディスタurb又はリテンションテストの前に、多量の並列書き込みの技術 (massive parallel writing techniques) が全体のメモリアレイ又はメモリアレイの一つ以上のメモリブロックを所定のデータ値に速く効率的に初期化するのに使用される。即ち、VCP パッド又は外部ピンそして定電流駆動器は第 1 データ (例えば、“1”) 又は第 2 データ (例えば、“0”) の中で何れか一つがメモリセルに書き込まれるように初期化電流 (initialization current) をメモリセルに並列的に駆動できる。他の例として、外部の磁場 (magnetic field、図示せず) がメモリセル内に電流を誘導してデータがメモリセルに書き込まれるように使用され、これによって、読取りディスタurb又はリテンション型テスト (retention type test) の準備をすることができる。一例として、より長いテストセットアップ時間 (setup time) を招いたとしても、メモリセルは一般的なメモリ書き込みの過程を経て初期化できる。

【0051】

一つ以上のメモリブロックが知られているデータ値に初期化された後に、読取りディスタurbテスト電流がメモリセルに多量の規模で並列的に印加される。読取りディスタurb

10

20

30

40

50

ターブ電流は並列的にメモリセルへ第 1 又は第 2 方向に印加されて駆動される。例えば、読み取りディスターブ電流は V C P パッド又は外部ピンからメモリセルを通過して定電流駆動器に向かう方向に駆動される。他の例として、読み取りディスターブ電流は定電流駆動器からメモリセルを通過して V C P パッド又は外部ピンに向かう方向に駆動される。読み取りディスターブ電流は後に説明されるように一般の読み取り電流より高い。これは一つ以上のメモリセルのデータビット値がテストする間にフリップされる確率を増加させる。

【 0 0 5 2 】

さらに詳しくは、R E R スクリーニングは定電流駆動器がビットラインに接地電圧レベルを提供する間に V C P パッド又は外部ピンをテスト読み取りパルス幅と関連された時間の間にテスト読み取り電圧レベルに維持することによって読み取りディスターブ電流をメモリセルに印加することを含む。一般に、R E R スクリーニングは定電流駆動器がビットラインにテスト読み取り電圧レベルを提供する間に V C P パッド又は外部ピンをテスト読み取りパルス幅又は時間の間に接地電圧レベルに維持することによって読み取りディスターブ電流をメモリセルに印加する。テスト読み取りパルス幅又は時間は一般の読み取りパルス幅又は時間より長い。これは意図的にテストの間にビット値がフリップされる可能性を増加させる。

【 0 0 5 3 】

読み取りディスターブ電流をメモリセルに多量の規模で駆動した後に、メモリセルに貯蔵されたデータは検証のために再び読取りされる。例えば、初期化されたデータ値がフリップされたかどうかを検証するために、一般的な読み取り動作が一般的な読み取り電流、感知増幅器 1 5 0、及び他のメモリ読み取り回路を利用して行なわれる。他の例として、データは圧縮回路 (c o m p r e s s i o n c i r c u i t y) を使用する読み取り圧縮モード (r e a d c o m p r e s s i o n m o d e) で読取りされて検証される。さらに、アドレスとデータ圧縮を利用しないとき、故障ビット (f a i l e d b i t s) 又はメモリセルは記録でき、又は一つ以上の冗長メモリセルによって代替できる。

【 0 0 5 4 】

たとえ読み取り電流が書き込み電流より小さいため読み取りディスターブ電流を駆動するときより多いメモリセルが同時にテストされても、読み取りディスターブ電流は書き込みと類似な多量の規模で適用される。さらに、ストレス電圧又は電流でデータをメモリセルに並列的に記入し (例えば、初期化)、メモリセルを並列的に読取りし、正確なビット値のリテンションをテストすることによってリテンション失敗 (r e t e n t i o n f a i l u r e s) がスクリーンされる。

【 0 0 5 5 】

I I I W E R スクリーニングと R E R スクリーニングの様々な例。

【 0 0 5 6 】

一般的に、より高い電流、より長い周期 (例えば、パルス幅)、より高い温度はスイッチング確率を増加させる。書き込みエラー率をチェックするためには、スイッチング確率を減らすために書き込み電流、周期及び / 又はテスト環境温度を低くする。これによって、意図的に書き込みエラー率を増加させることができる。読み取りエラー率をチェックするためには、スイッチング確率を増加させるために電流、周期及び / 又はテスト環境温度を高くする。これによって、意図的に読み取りエラー率を増加させることができる。

【 0 0 5 7 】

例えば、何れか一方向に多量の並列書き込みに関連されたテストを行なう間に、一般的な書き込み電流又は安全書き込み電流より低い振幅を有する書き込み電流はメモリセル値がスイッチされる可能性を低くするために使用され、弱いビットがテストモードの間にスクリーンされ、一つ以上の冗長メモリセルによって代替される。低い電流を利用して M T J 1 0 を平衡状態から反平衡状態に又は反平衡状態から平衡状態にスイッチすることはより難しいので、スイッチングの可能性は低くなる。例えば、第 1 及び / 又は第 2 書き込みテスト電流は一般的な書き込み電流の X % であり、X は 1 0 0 より小さい。即ち、書き

10

20

30

40

50

込み電流の振幅はテストモードの間に減る。従って、テスト書き込み電流は一般的な書き込み電流のX%になる。Xはシミュレーション (simulation)、モデリング (modeling) 又は他の実験方法によって決定される。例えば、Xは95、90、85、80、75、70、65、60、55、50であり、希望するストレスレベルによって異なる。

【0058】

書き込み電流の振幅の調整だけではなく、書き込みパルス幅又は時間もテストモードの間に調整できる。一般的な書き込みパルス幅より短い書き込みパルス幅は書き込みエラー率を増加させる。書き込みテスト電流及び/又は書き込みパルス幅は意図的に書き込みエラー率を増加させるために一般的な値より低くなり、弱いビットがスクリーンされたり代替される。例えば、仮に一般的な書き込みパルス幅が20 nsだとすれば、テストモードからの書き込みパルス幅は10 ns又はそれと類似な範囲になる。振幅の減少及びパルス幅の減少を組み合わせることで利用できる。さらに、テスト環境の温度が一般動作温度の範囲 (normal operating temperature range) に比べて低くなる。これはMTJ10がスイッチングされることをさらに難しくする。例えば、テスト環境温度は零下20 以下又はそれと類似な温度、零下40 以下又はそれと類似な温度のように一般動作温度の範囲より低い。バーンインオープン (burn-in oven) 又は他の温度サイクリング機構 (temperature cycling appliance) 又はATEがテスト環境温度を調整するために使用される。低い書き込み電圧と書き込み電流、短い書き込みパルス幅、及び/又は低い温度の組み合わせが多量の並列書き込みが行なわれる間にテスト時間を減らすために利用される。

【0059】

多量の並列読み取りと関連されたテストを行なう間に、一般的な又は安全読み取り電流より大きい振幅を有する読み取り電流が読み取りディスタurb (read disturb) の可能性を増加させるために利用される。従って、弱いビットがテストモードの間にスクリーンされ、一つ以上の冗長メモリセルによって代替できる。MTJ10は高い電流で平衡状態から反平衡状態に、又は反平衡状態から平衡状態により容易にスイッチングされるので、読み取りディスタurbの可能性は増加される。例えば、第1及び/又は第2読み取りテスト電流は一般的な読み取り電流のX%であり、Xは100より大きい。即ち、読み取り電流の振幅はテストモードの間に増加される。従って、テスト読み取り電流は一般的な読み取り電流のX% (Xは100以上) になる。Xはシミュレーション (simulation)、モデリング (modeling) 又は他の実験方法によって決定される。例えば、Xは105、110、115、120、125、130、135、140、145、150であり、希望するストレスレベルによって異なる。

【0060】

読み取り電流の振幅の調整だけではなく、読み取りパルス幅もテストモードの間に調整できる。一般的な読み取りパルス幅より長い読み取りパルス幅 (read pulse width) は読み取りエラー率を増加させる。読み取りテスト電流及び/又は読み取りパルス幅は意図的に読み取りエラー率を増加させるために一般的な値より増加され、弱いビットがスクリーンされたり代替される。例えば、仮に一般的な読み取りパルス幅が10 nsだとすれば、テストモードからの読み取りパルス幅は20 ns又はそれと類似な範囲になる。振幅の増加及びパルス幅の増加が組み合わせられて利用される。さらに、テスト環境の温度が一般動作温度の範囲 (normal operating temperature range) に比べて高くなる。これはMTJ10がスイッチングされることをもっと容易にする。例えば、テスト環境温度は120 程度又はそれと類似な温度、150 程度又はそれと類似な温度のように一般動作温度の範囲より高い。バーンインオープン (burn-in oven) 又は他の温度サイクリング機構 (temperature cycling appliance) 又はATEがテスト環境温度を、例えば、260 以上まで調整するために使用される。高い読み取り電圧と読み取り電流、長い読み取りパルス幅、及び/又は高い温度の組み合わせが多量の並列書き込みが行なわれる

10

20

30

40

50

間にテスト時間を減らすために利用される。

【 0 0 6 1 】

上述した多量の並列書き込みの技術などは速く効率的に全体のメモリアレイ又はメモリアレイの一つ以上のメモリブロックを所定のデータ値に初期化することに使用される。即ち、本発明の技術的な思想は速度テストセットアップ (f a s t t e s t s e t u p) を提供し、その後正確性のためにデータのリテンションテスト及び読み取り又は検証が行なわれる。他の例として、外部磁場 (e x t e r n a l m a g n e t i c f i e l d 、 図示せず) がメモリセル内に電流を誘導してデータがメモリセルに記入されるようにする。

【 0 0 6 2 】

I V 機能テスト及びセル間移動影響のスクリーニング。

【 0 0 6 3 】

本発明の技術的な思想の実施形態は抵抗性メモリセルの機能テスト (f u n c t i o n a l t e s t) を行なうときにも利用される。さらに、セル間移動影響が機能テストの一部としてチェックされる。例えば、アドレス及びチェッカーボードパターン (c h e c k e r b o a r d p a t t e r n) 、ムービングインバージョンパターン (m o v i n g i n v e r s i o n p a t t e r n) 、列ストライプパターン (r o w s t r i p e p a t t e r n) 及びノ又はカラムストライプパターン (c o l u m n s t r i p e p a t t e r n) のようなデータパターンが生成され、他の機能テストモードからテストされる。他の例として、全てのカラムがイネーブルされ、一つの列 (r o w) 又はワードラインがイネーブルされる。これによって、該当列の全てのセルを機能的にテストできる。他の例として、全ての列又はワードラインがイネーブルされ、一つのカラムがイネーブルされ、これによって、該当カラムの全てのメモリセルを機能的にテストできる。

【 0 0 6 4 】

他の例として、第1データ (例えば、“ 1 ”) は偶数番目の列に書き込まれ、第2データ (例えば、“ 0 ”) は奇数番目の列に書き込まれる。他の例として、第1データ (例えば、“ 1 ”) は偶数番目のカラムに書き込まれ、第2データ (例えば、“ 0 ”) は奇数番目のカラムに書き込まれる。他の例として、シングル (s i n g l e) 、ダブル (d o u b l e) 、マルチプル (m u l t i p l e) カラムストライプパターン (c o l u m n s t r i p e p a t t e r n) が一つ以上のメモリブロックのメモリセルに記入される。チェッカーボードパターン (c h e c k e r b o a r d p a t t e r n) が一つ以上のメモリブロックのメモリセルに記入される。チェッカーボードパターンは列を一つ置きに一つずつ選択し、カラムを一つ置きに一つずつ選択した後に第1データ (例えば、“ 1 ”) を記入し、残りの一つ置きに一つの列を選択し、残りの一つ置きに一つのカラムを選択した後に第2データ (例えば、“ 0 ”) を書き込むことによって形成される。モードレジスタセット (M R S 、 M o d e R e g i s t e r S e t) の命令は一つ以上の機能テストモードを選択したり上述した他のテストモードを選択するのに使用される。

【 0 0 6 5 】

セル間移動の影響は機能テストが発生した以後に検証の目的でデータを再び読み取りすることによってチェックされたり測定される。即ち、一つ以上の機能テストを行なった後に、データが正しく記入されたかどうか又は正しい値を維持しているかどうかを検証するためにデータは一般的な読み取り動作を利用して再び読み取りされる。メモリ装置の外部から出たり隣メモリセルによって発生する電磁気妨害 (e l e c t r o m a g n e t i c i n t e r f e r e n c e) はデータの品質の持続性及びデータリテンションに影響を与える。本発明から説明された機能テストを行なうことによって、弱いビット又はメモリセルがセル間移動の影響又は他のディスタ urb による故障 (f a i l u r e) を意図的に増加させることによってスクリーンできる。

【 0 0 6 6 】

図 3 B は図 1 のメモリアレイ 1 1 0 の一部又はブロック 1 0 2 を示すブロック図であ

10

20

30

40

50

る。図3Bは図3Aと類似であり、異なる部分はFESTトランジスタ144のソースが第1定電流駆動器135と他の定電流駆動器である第2定電流駆動器195に接続されることである。これは定電流駆動器195が定電流駆動器135に追加されることを意味する。定電流駆動器195の構成要素は定電流駆動器135の構成要素と類似又は同じである。この例としては、偶数又は奇数番目のカラムに対して単独に電流駆動器が対応することを可能にする。即ち、奇数及び偶数番目のビットラインは135又は195によってイネーブルされる相反する電流によってストレスを受け、VCPからフローティング(floating)されたり接続が切れる。仮に定電流駆動器135のPMOSTランジスタがオン(on)であり、定電流駆動器195のNMOSTランジスタがオンであれば、電流は135から195の方向に流れ、相反する電流がメモリセルの奇数及び偶数番目のカラムを通過しながらストレスを減らす。

10

【0067】

言い換えると、電流は第1方向に奇数番目のビットラインと関連されたメモリセルに流れ、第1方向と反対の第2方向に偶数番目のビットラインとメモリセルに流れる。仮にVCPからフローティングされていたり接続が切れている間に定電流駆動器195のPMOSTランジスタがオンであり、定電流駆動器135のNMOSTランジスタがオンであれば、相反する電流が流れる(例えば、メモリセルの他のカラムと関連して第1方向と第2方向が変わる。さらに、定電流駆動器135、195の出力ラインは外部テスト器又はATEを通じて直接にコントロールするためにボンディングパッド(bonding pad)に直接に連結される。

20

【0068】

即ち、偶数番目のカラム又はビットラインは第1定電流駆動器135に連結され、奇数番目のカラム又はビットラインは第2定電流駆動器195に連結される。従って、他のカラムは同時に他の方向にストレスを受けたりテストされる。セル間移動ストレスは例えば、異なるカラムのセルの間のトンネリング(tunneling)又は他の干渉(interference)をスクリーンすることによって測定又は観察できる。

【0069】

図4はサブアレイブロック210のようなサブアレイブロック(sub-array blocks)を含む64Mbメモリブロック205を例示的に示すブロックダイアグラムである。各サブアレイブロック210は複数のメモリアレイタイル(MATs、memory array tiles)を含む。各メモリアレイタイル215はアレイ又はメモリセルのブロックを含む。例えば、各メモリアレイタイル215はメモリブロック220のようにM個のワードラインWLとN個のビットラインBLを有するメモリブロックを含む。ワードラインの個数Mは1から1024の個数の中で一つであり、他の例として、1024以上にしても良い。これと類似に、ビットラインの個数Nは1から1024の個数の中で一つである。各メモリアレイタイル215は第1定電流駆動器135及び/又は第2定電流駆動器235と関連される。これは二つのメモリアレイタイル215の間に配置されたローカルカラム選択セクション225、LCSに含まれる。定電流駆動器135、235はここで説明される様々なテストモードの間にメモリセルに十分な駆動電流を供給するように分配される。一例として、定電流駆動器135、235の中で何れか一つ又は二つの駆動器全てがパッド又は外部ピンに連結され、パッド又は外部ピンを通じて一つ又は複数のテストコントロール信号(例えば、/EP and EP)を受信できる。一例として、二つの定電流駆動器135、235が全て同じパッド又は外部ピンに連結される。ローカルカラム選択セクション225はFEST回路140を含む。一例として、ローカルカラム選択セクション225は64Mbメモリブロック205の全体から様々なメモリアレイタイル215の間に複製される。多い64Mbメモリブロック205が結合されてより大きいメモリセルアレイ及び/又は適切な大きさの装置を形成できる。増幅器及び書き込み駆動器150はローカル(local)感知増幅器及び書き込み駆動器からなり、この場合に様々なメモリアレイタイル215の間に配置できる。他の例として、一つ又は複数のグローバル(global)センス感知増幅器及び書き込み駆動器がメモリ

30

40

50

アレイタイル 2 1 5 と分離されて構成でき、ローカルカラム選択セクション 2 2 5 に含まれない。

【 0 0 7 0 】

図 5 は本発明の技術的な思想の他の実施形態による図 1 のメモリ装置の D F T 回路の一例を示すブロックダイアグラムである。図 5 は速度エラーストレステスト回路を含む。図 5 の多い構成要素などは図 3 と同じ又は類似である。従って、同じ構成要素などに対する詳しい説明は省略する。

【 0 0 7 1 】

ビットライン（例えば、1 1 2、1 1 4）を定電流駆動器 1 3 5 に接続させるために F E S T トランジスタを使用する代わりに、ビットラインプリチャージトランジスタ（b i t l i n e p r e c h a r g e t r a n s i s t o r s、B L P R）3 2 0、3 2 5 が使用される。メモリ装置に使われるビットライントランジスタは一般的なものであるので、本発明の技術的な思想を実現するためにはあまり影響がない部分であるが狭いダイ空間（d i e s p a c e）が要求されている。

【 0 0 7 2 】

更に、ビットラインプリチャージトランジスタ 3 1 0 を使用でき、これはブロック 1 1 2 の一側の末に配置できる。

【 0 0 7 3 】

なお、ビットラインプリチャージトランジスタは大きい物理的な特性を有するように設計されたり、十分な駆動電源を提供するようにブーストされる。スイッチ回路 3 1 5 は F E S T スイッチ回路 3 3 0 と D V C P スイッチ回路 3 3 5 を含む。D V C P スイッチ 3 3 5 は、F E S T スイッチ 3 3 0 とともに動作するが、V C P 選択スイッチ 1 3 0 と類似な方式で動作する。例えば、D V C P 信号と F E S T 信号がアサートされるとき内部 V C P 発生器 1 2 0 はディスエ이블されたり、B L R P トランジスタ（例えば、3 2 0、3 2 5）から分離でき、定電流駆動器 1 3 5 は B L R P トランジスタがターンオンされるとき B L R P トランジスタのソースに接続され、ビットライン（例えば、1 1 2、1 1 4）に接続される。逆に、D V C P 信号がアサートされないとき内部 V C P 発生器 1 2 0 はイネーブルされたり、B L P R トランジスタのソースに接続できる。従って、B L P R トランジスタがターンオンされるときビットライン（例えば、1 1 2、1 1 4）に接続される。

【 0 0 7 4 】

B L P R トランジスタ（例えば、3 0 5 及び / 又は 3 1 0）はスイッチ 3 1 5 と類似なスイッチを使用して定電流駆動器 1 3 5 又は他の定電流駆動器に接続される。従って、メモリ装置の各カラムのための F E S T トランジスタを設計しなくても、全体のメモリアレイのメモリセル又はメモリセルのブロックは同時にテストされる。

【 0 0 7 5 】

図 6 は本発明の他の実施形態による書き込みパルス幅コントロール回路 4 0 5 を例示的に示すブロック図である。書き込みパルス幅コントロール回路 4 0 5 は図 1 の D F T 回路 1 1 5 に含まれる。一例として、テストコントロール信号（例えば、E P、/ E P、E N、及び / 又は E N）は外部自動テスト装置（A T E）によって図 1 の D F T 回路 1 1 5 に提供される。従って、パルス幅コントロール回路 4 0 5 は選択的である。しかし、書き込みパルス幅コントロール回路 4 0 5 を D F T 回路 1 1 5 に含むことによって、メモリ装置 1 0 5 は最小限の外部回路又はテスト装置だけでテストできる長所がある。

【 0 0 7 6 】

上述したように、メモリ装置 1 0 5（図 1）はメモリセルアレイ 1 1 0 と D F T 回路 1 1 5 を含む。D F T 回路 1 1 5 は一つ以上の定電流駆動器（例えば、図 3 の 1 3 5）を含み、夫々の定電流駆動器はメモリセルアレイのビットラインを互いに異なる方向又は極性を有する書き込みテスト電流で駆動する。D F T 回路 1 1 5 は書き込みパルス幅コントロール回路 4 0 5 を含み、これはテストコントロール信号（例えば、E P、/ E P、/ E N 及び / 又は E N）を一つ以上の定電流駆動器に提供する。

【 0 0 7 7 】

書き込みパルス幅コントロール回路 4 0 5 はクロック信号 C L K を受信する第 1 入力バッファ 4 1 0 と D Q x ピンのような用途入出力 D Q ピン (r e p u r p o s e d i n p u t / o u t p u t D Q p i n) から信号を受信する第 2 入力バッファ 4 1 5 のような様々な構成要素を含む。一例として、D Q x ピンは他の D Q ピンが使われたとしても D Q 0 ピンに対応する。書き込みパルス幅コントロール回路 4 0 5 のアドレスバッファ 4 2 5 は $A < 0 : i >$ アドレス信号を受信できる。テスト書き込みコントロール回路 4 2 0 は第 1 入力バッファ 4 1 0、第 2 入力バッファ 4 1 5、及びアドレスバッファ 4 2 5 に連結され、クロック信号 C L K、用途 D Q x ピンからの信号、及び $A < 0 : i >$ アドレス信号の中で少なくとも一つに基づいて複数のテストコントロール信号 (例えば、E P、/ E P、E N、及び / 又は / E N) を発生する。一例として、D Q 0 ピンは読み取り及び / 又は書き込み電流の極性を定義するために使用され、C L K ハイ周期 (C L K h i g h p e r i o d) は読み取り及び / 又は書き込みパルス幅を定義するために使用される。入力テスト信号 T E S T がアサートされないとき (例えば、i n a c t i v e 又は L O W)、テストコントロール信号 E P はハイに強制され、テストコントロール信号 E N はローに強制されるが、これは電流駆動器を 3 状態 (t r i - s t a t e s) になるようにする。入力テスト信号 T E S T がアサート (例えば、a c t i v e 又は H I G H) になるとき、電流駆動器コントロール回路 1 4 5 はイネーブルされ、D Q 0 の状態によって E P がアクティブ L O W に強制されたり、又は E P がアクティブ H I G H に強制される。同期化動作 (s y n c h r o n o u s o p e r a t i o n) で、n - ビットカウンタ (n は 2 又はその以上) はパルス幅遅延 (p u l s e w i d t h d e l a y) を生成する。

【 0 0 7 8 】

テスト書き込みコントロール回路 4 2 0 は n - ビットカウンタ 4 3 0 をさらに含む。書き込みパルス幅コントロール回路 4 0 5 はアドレスバッファ 4 2 5 とテストコントロール回路 4 2 0 に連結されたレジスタ 4 3 5 をさらに含む。レジスタ 4 3 5 はパルスのタイミングをコントロールする。レジスタ 4 3 5 はまた $A < 0 : i >$ 信号に基づいて D L Y < 0 : n > 信号を生成する。D L Y < 0 : n > 信号は n - ビットカウンタの出力を選択するのに使用される。例えば、D L Y < 1 > はカウンタの最下位ビット (l e a s t s i g n i f i c a n t b i t) の出力を選択するのに使用される。これによって、カウンタから出る一番短いパルス幅を生成する。D L Y < 2 > は二番目の最下位ビット (s e c o n d l e a s t s i g n i f i c a n t b i t) を選択するのに使用される。D L Y < 0 > はカウンタをバイパスして一番短いパルス幅を C L K 周期に選択する。n - ビットカウンタ 4 3 0 の出力とクロック信号の周期はテストコントロール信号のアクティブ時間を決定するのに使用される。

【 0 0 7 9 】

第 1 論理 A N D ゲート 4 4 0 は第 1 入力バッファ 4 1 0 とテスト書き込みコントロール回路 4 2 0 に連結され、クロック信号 C L K と入力テスト信号 T E S T を入力として受信し、入力テスト信号 T E S T がアサートされるときクロック信号 C L K を再生成する。第 2 論理 A N D ゲート 4 4 5 は第 2 入力バッファ 4 1 5 とテスト書き込みコントロール回路 4 2 0 に連結され、用途 D Q x ピンからの信号と入力テスト信号 T E S T を入力として受信し、入力テスト信号 T E S T がアサートされるとき用途 D Q x ピンからの信号を再生成する。テスト書き込みコントロール信号 4 2 0 はクロック信号 C L K、用途 D Q x ピンからの信号、及び入力テスト信号 T E S T を受信でき、クロック信号 C L K、用途 D Q x ピンからの信号、及び入力テスト信号 T E S T の中で少なくとも一つに基づいて複数のテストコントロール信号 (例えば、E P、/ E P、E N、及び / 又は / E N) を生成する。定電流駆動器 (例えば、図 3 の 1 3 5) は書き込みパルス幅コントロール回路 4 0 5 のテスト書き込み電流回路 4 2 0 から複数のテストコントロール信号を受信できる。

【 0 0 8 0 】

一例として、書き込みテスト電流の方向又は極性は少なくとも一つの用途 D Q ピンからの信号に基づく。なお、書き込みテスト電流のパルス幅は少なくとも一つのクロック信

10

20

30

40

50

号のハイ周期に基づく。

【0081】

定電流駆動器（例えば、図3の135）は入力テスト信号TESTがアサートされないときテストコントロール信号（例えば、EP、/EP、EN及び/又は/EN）によって3状態になる。例えば、入力テスト信号TESTがアサートされないとき（例えば、inactive又はLOW）、EPテストコントロール信号がアサートされ（例えば、HIGH論理状態に強制）、ENテストコントロール信号はアサートされない（例えば、LOW論理状態に強制）。これによって、電流駆動器が3状態になる。逆に、入力テスト信号TESTがアサートされるとき（例えば、active又はHIGH）、EPテストコントロール信号及び/又はENテストコントロール信号はテストモードの状態によってアサートされる。

10

【0082】

入力テスト信号TESTは一般的なモードレジスタセット(mode register set、MRS)の技術によってアサートできる。これと類似に、MRS技術は用途DQxピンをイネーブル又は再割り当てしたり、CLK信号をイネーブルするのに使用される。なお、テスト書き込みコントロール回路420は外部ATE装置及び/又は内部スマートメモリコントローラによってコントロールされる。

【0083】

図7Aは本発明の技術的な思想によるメモリセルの並列的なテスト方法を示す順序図である。段階505から始まり、動作モードがテストモードであるか否かを判断する。

20

【0084】

仮にテストモードではなければ、読み取り及び/又は書き込み動作が一般動作モードから進行される段階510に進行される。

【0085】

逆に、テストモードであれば、速度エラーストレステストモード(fast error test mode)がイネーブルされ、一つ以上の内部VCP電圧発生器のような内部アナログ電圧発生器をディスエイブルすることを含む段階515に進行する。続いて、抵抗性メモリセルを定電流駆動器に連結することを含む段階520に進行される。段階525から、メモリセルのソースラインがVCPパッド又は外部ピンに接続される。段階530及び535は定電流駆動器がビットラインに接地電圧レベルを提供する間に、第1書き込みパルス幅と関連された時間の間にVCPパッド又は外部ピンをテスト書き込み電圧レベルに維持する段階を含む。段階540で、第1テスト電流は第1方向にメモリセルに提供される。段階545が進行され、第1データがメモリセルに記入され、その後どのメモリセルのビットがフリップされなかったかを検証するために読み取り動作が再び行なわれる。即ち、メモリビットはフリップされるものと予想され、仮に、フリップされない場合該当メモリセルの条件は記録され、冗長メモリセルが該当位置に割り当てられる。

30

【0086】

段階550及び555は定電流駆動器がビットラインにテスト書き込み電圧レベルを提供する間に、第2書き込みパルス幅又は時間の間にVCPパッド又は外部ピンを接地電圧レベルに維持する段階を含む。

40

【0087】

段階560から、第2テスト電流は第1方向と相反する第2方向にメモリセルに提供され、それによって、段階565から第1データと相反する第2データがメモリセルに記入される。その後どのメモリセルのビットがフリップされなかったかを検証するために読み取り動作が再び行なわれる。即ち、メモリビットはフリップされるものと予想され、仮にフリップされない場合該当メモリセルの条件は記録され、冗長メモリセルが該当位置に割り当てられる。

【0088】

図7Bは本発明の実施形態によるメモリセルを並列的にテストするための技術を示す順序図である。段階506から始まり、動作モードがテストモードであるか否かを判断す

50

る。仮に動作モードがテストモードではなければ、読み取り及び／又は書き込み動作が一般動作モードから進行される段階５１１に進行される。

【００８９】

逆に、テストモードであれば、速度エラーストレステストモードがイネーブルされ、一つ以上の内部ＶＣＰ電圧発生器のような内部アナログ電圧発生器をディスエイブルすることを含む段階５１６に進行される。続いて、抵抗性メモリセルのビットラインを定電流駆動器に連結することを含む段階５２１に進行される。段階５２６から、メモリセルのソースラインがＶＣＰパッド又は外部ピンに連結される。段階５３１及び５３６は定電流駆動器がビットラインに接地電圧レベルを提供する間に、第１読み取りパルス幅と関連された時間の間にＶＣＰパッド又は外部ピンをテスト読み取り電圧レベルに維持する段階を含む。

10

【００９０】

段階５４１から、読み取りディスターブテスト電流は第１方向にメモリセルに提供される。段階５４６が進行され、どのメモリセルのビットがフリップされたかを検証するために読み取り動作が再び行なわれる。即ち、メモリビットはフリップされないものと予想され、仮にフリップされると該当メモリセルの条件が記録され、冗長メモリセルが該当位置に割り当てられる。

【００９１】

段階５５１及び５５６は定電流駆動器がビットラインにテスト読み取り電圧レベルを提供する間に、第２読み取りパルス幅と関連された時間の間にＶＣＰパッド又は外部ピンを接地電圧レベルに維持する段階を含む。段階５６１から、読み取りディスターブテスト電流は第１方向と相反する第２方向にメモリセルに提供される。段階５６６が進行され、どのメモリセルのビットがフリップされたかを検証するために読み取り動作が再び行なわれる。即ち、メモリビットはフリップされないものと予想され、仮にフリップされると該当メモリセルの条件が記録され、冗長メモリセルが該当位置に割り当てられる。

20

【００９２】

図８は本発明の実施形態によるメモリ装置１０５、メモリアレイのメモリセルをテストするためのＤＦＴ回路１１５を有するＡＴＥ１２０を含むメモリテストシステムを示すブロック図である。メモリテストシステム８００は図１のメモリテストシステム１００と類似である。従って、詳しい説明は省略する。図８を参照すると、ＤＦＴ回路１１５はＡＴＥ１２０と関連されたり、ＡＴＥ１２０内に位置できる。これによって、上述した本発明のテスト概念よりホスト面でのコントロールが強調されることを分る。ＤＦＴ回路１１５の一部又は全ての構成要素はメモリ装置１０５と関連されたり、メモリ装置１０５内に位置できる。上述した並列的なテスト方法の特徴と概念はＤＦＴ回路１１５の実際の位置とは関係なく適用されてコントロールされる。

30

【００９３】

図９は本発明の技術的な思想の実施形態によるＤＦＴ回路１１５を有する抵抗性メモリ装置１０５を含むコンピューティングシステム９００を示すブロック図である。図９を参照すると、コンピューティングシステム９００は中央処理装置９１０、ラム９１５、ユーザインタフェース９２０、ベースバンドチップセット（base band chip set）のようなモデム９２５及び／又はＡＴＥ１２０を含み、システムバス９０５に電氣的に接続される。ＤＦＴ回路１１５を含む抵抗性メモリ装置１０５はシステムバス９０５に電氣的に接続される。抵抗性メモリ装置１０５はバーンインオープン９３０によって囲まれ、又はテスト環境の温度を調整する適当な温度サイクル機構によって囲まれる。

40

【００９４】

上述した本発明の技術的な思想は例示的なものであり、本発明の技術的な思想はこれに限定されない。本発明の技術的な思想はＭＲＡＭセルに限定されない。本発明の技術的な思想は並列読み取り及び書き込みの大きさに限定されない。本発明の技術的な思想はマグネチックトンネル接合装置を含み、ＰＭＯＳ、ＮＭＯＳのようなトランジスタの種類に

50

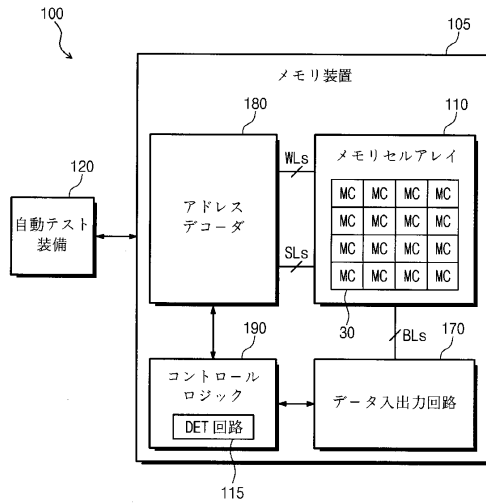
限定されない。本発明の実施形態は論理ゲートに限定されなく、NOR又はNANDが論理カラム選択(logical column selection)のために適用される。本発明の技術的な思想は回路の集積型に限定されず、どのプロセス技術(例えば、CMOS、Bipolar、又はBICMOS)もメモリを形成するために使用される。本発明の技術的な思想はメモリテスト回路に適用されるがこれに限定されない。本発明の実施形態などはメモリセルの信頼性を向上させることに有用であるものと判断される分野であれば全て適用できる。

【符号の説明】

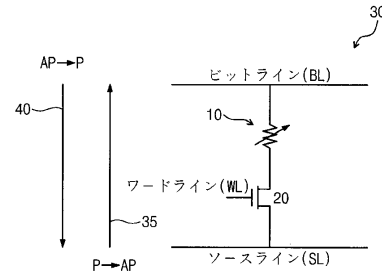
【0095】

12・・・固定層	10
14・・・トンネリング層	
16・・・自由層	
WL・・・ワードライン	
SL・・・ソースライン	
105・・・メモリ装置	
110・・・メモリセルアレイ	
115・・・DFT回路	
120・・・自動テスト装置	
125・・・VCPパッド又は外部VCPピン	
132・・・陽電圧提供器	20
134・・・負電圧又は接地電圧提供器	
135、235・・・定電流駆動器	
145・・・書き込みパルス幅コントロール回路	
150・・・感知増幅器/書き込み駆動器	
170・・・データ入出力回路、	
180・・・アドレスデコーダ	
190・・・コントロールロジック	
205・・・64Mbメモリブロック	
405・・・書き込みパルス幅コントロール回路	
420・・・テスト書き込みコントロール	30
425・・・アドレスバッファ	
430・・・n-ビットカウンタ	
435・・・レジスタ	
920・・・ユーザーインタフェース	
925・・・モデム	

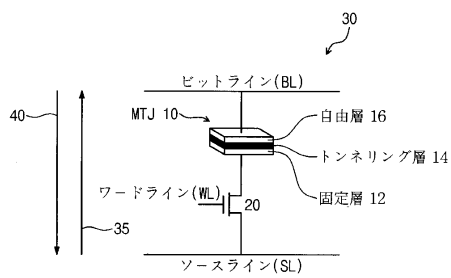
【図 1】



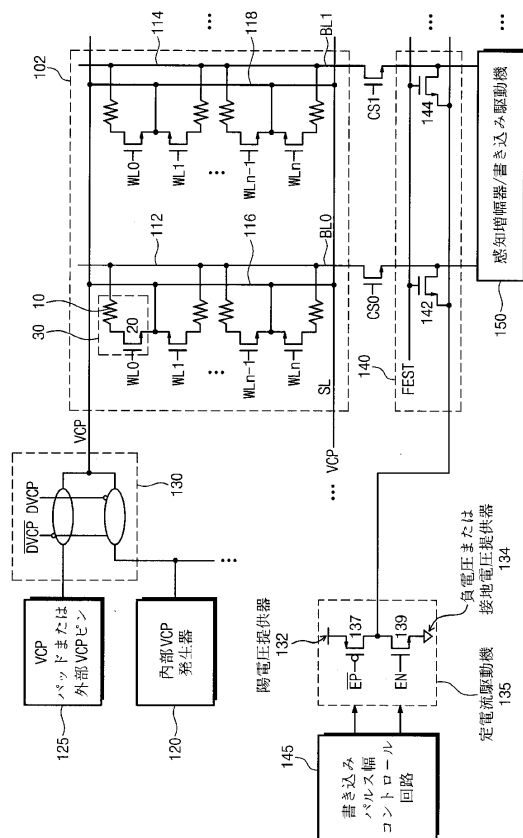
【図 2 B】



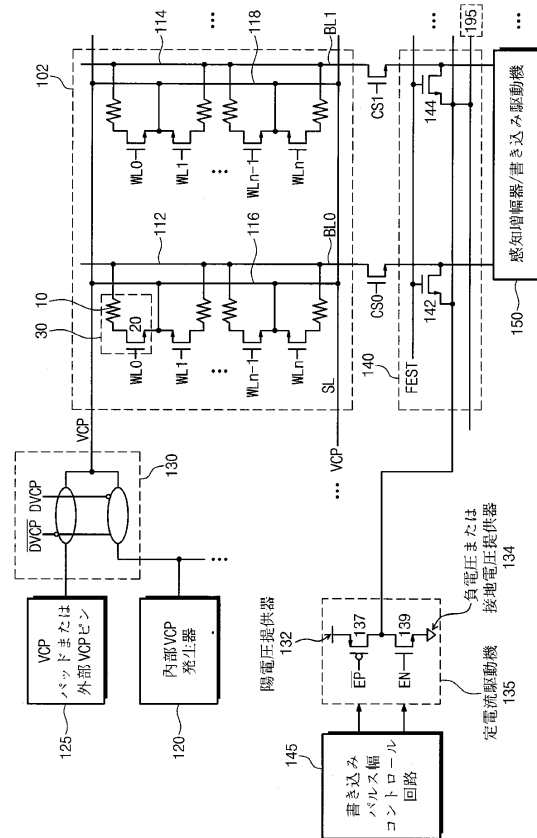
【図 2 A】



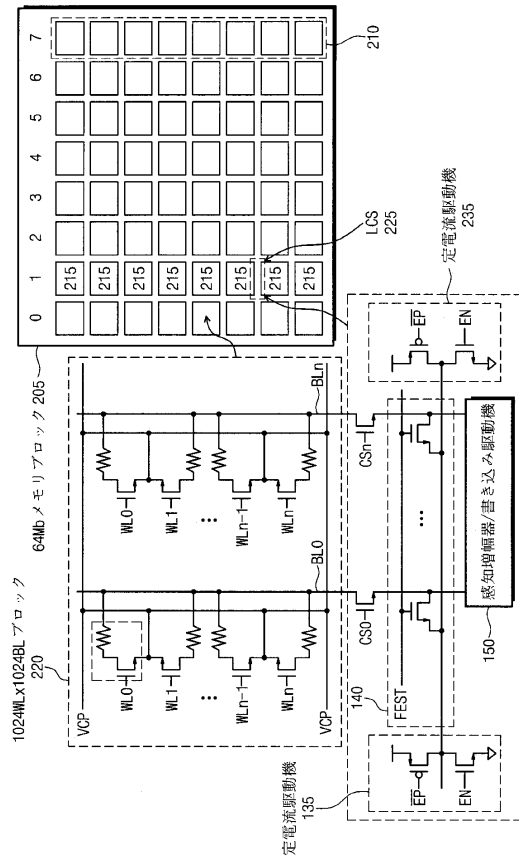
【図 3 A】



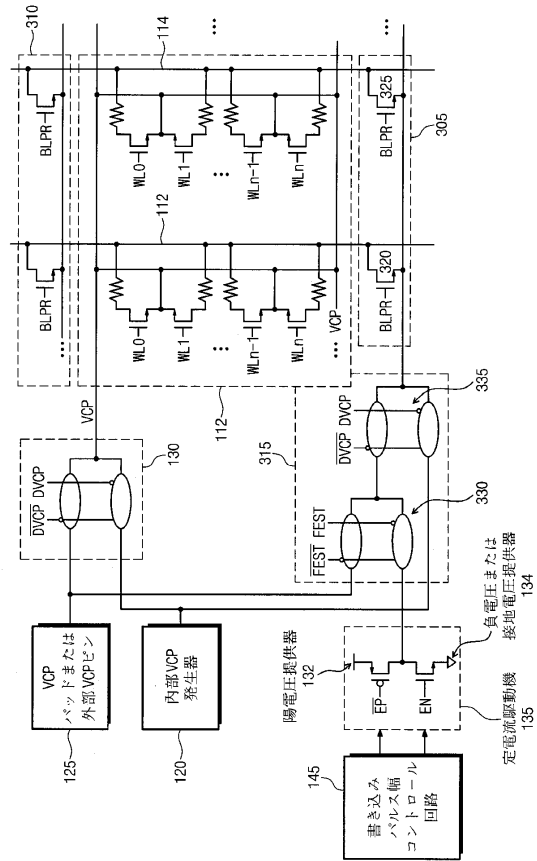
【図 3 B】



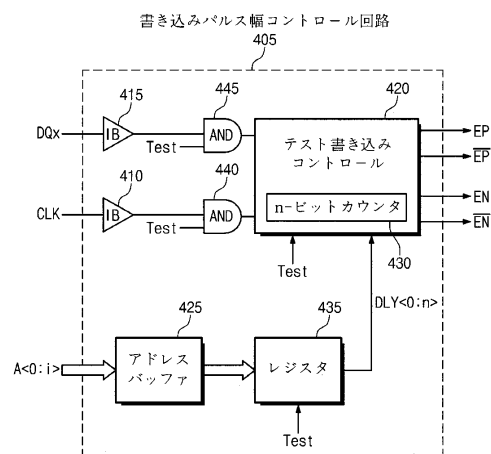
【 図 4 】



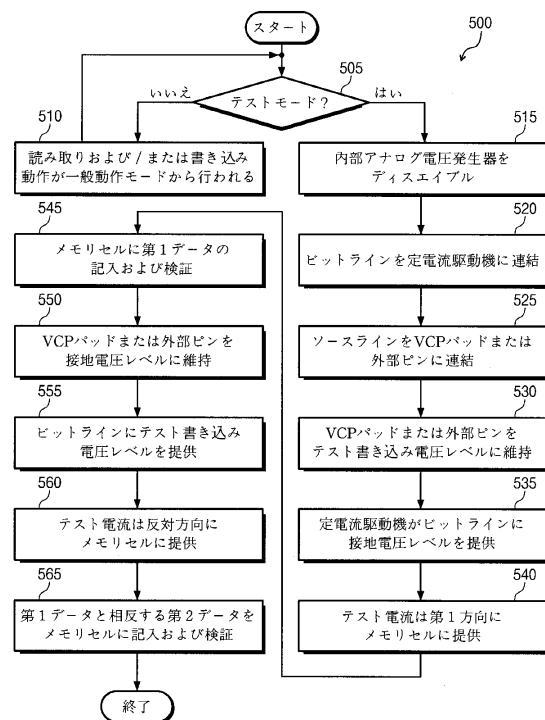
【 図 5 】



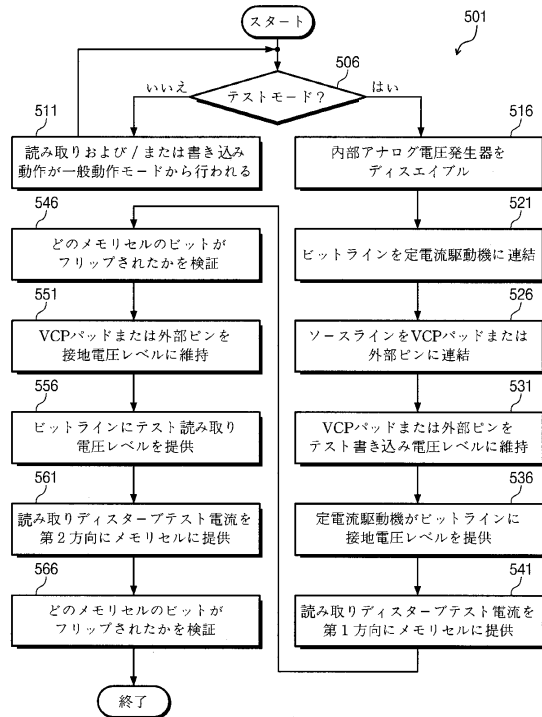
【 図 6 】



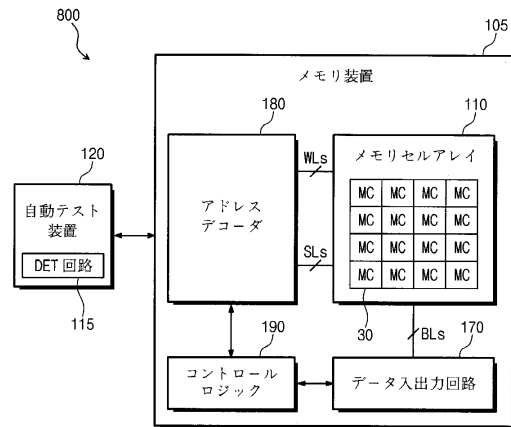
【 図 7 A 】



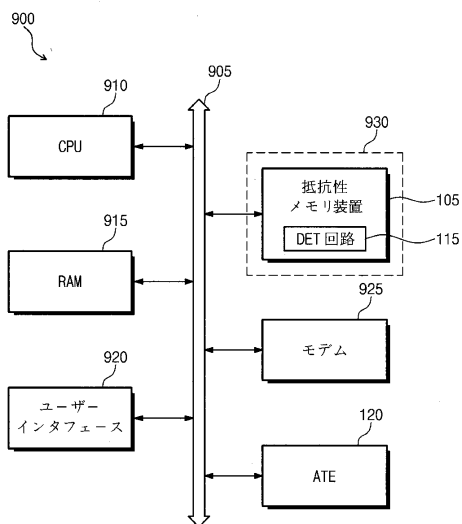
【図 7 B】



【図 8】



【図 9】



フロントページの続き

審査官 塚田 肇

- (56)参考文献 特開2008-052781(JP,A)
米国特許出願公開第2010/0302841(US,A1)
特開2010-080006(JP,A)
特開2011-187159(JP,A)
特開2004-310880(JP,A)
特開2005-092912(JP,A)
特開2009-170069(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 29/00
G11C 11/16