

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-67742

(P2010-67742A)

(43) 公開日 平成22年3月25日(2010.3.25)

(51) Int.Cl.		F I			テーマコード (参考)
H O 1 L 21/60	(2006.01)	H O 1 L 21/60	3 1 1 Q		5 E 3 1 9
H O 1 L 23/12	(2006.01)	H O 1 L 23/12	F		5 F O 4 4
H O 5 K 3/34	(2006.01)	H O 5 K 3/34	5 O 1 D		

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号	特願2008-231875 (P2008-231875)	(71) 出願人	000005223
(22) 出願日	平成20年9月10日 (2008.9.10)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100105337
			弁理士 眞鍋 潔
		(74) 代理人	100072833
			弁理士 柏谷 昭司
		(74) 代理人	100075890
			弁理士 渡邊 弘一
		(74) 代理人	100110238
			弁理士 伊藤 壽郎
		(72) 発明者	中西 輝
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 実装回路基板及び半導体装置

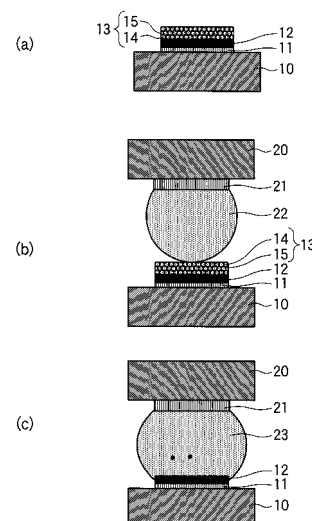
(57) 【要約】 (修正有)

【課題】フリップチップ接合界面におけるボイドの残留を抑制した実装回路基板及び半導体装置を提供する。

【解決手段】被実装部品20の電極21と接合する実装回路基板10に設けた電極11の上に繊維状導電性部材、多孔質金属箔、ポーラスメッキ、マトリックス状導電性ピラー、あるいはスリット部材など、はんだ接合可能で電極内部まではんだが侵入可能である低密度電極12となる空隙を有する導電性部材を設ける。

【選択図】 図1

本発明の実施の形態のフリップチップ接合方法の説明図



10: 実装回路基板 14: はんだ粉末 22: はんだバンプ
11: 基板電極 15: フラックス 23: はんだ接合部
12: 低密度電極 20: パッケージ
13: はんだペースト 21: 電極

【特許請求の範囲】**【請求項 1】**

被実装部品の電極と接合する電極の上に空隙を有する導電性部材を設けたことを特徴とする実装回路基板。

【請求項 2】

前記空隙を有する導電性部材の上にはんだペーストが設けられていることを特徴とする請求項 1 記載の実装回路基板。

【請求項 3】

前記空隙を有する導電性部材が、繊維状金属、発泡金属、或いは、多孔質金属のいずれかであることを特徴とする請求項 1 または 2 に記載の実装回路基板。

10

【請求項 4】

前記空隙を有する導電性部材が、多数の柱状導電性部材からなることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の実装回路基板。

【請求項 5】

前記空隙を有する導電性部材が、多数のスリットを形成した導電性部材であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の実装回路基板。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の実装回路基板に半導体部品をフリップチップ接合構造により実装したことを特徴とする半導体装置。

【発明の詳細な説明】

20

【技術分野】**【0001】**

本発明は、例えば、サーバ、パーソナルコンピュータ等に搭載する CPU 部品等の半導体部品を実装回路基板上にフリップチップ実装するための電極構造に関するものである。

【背景技術】**【0002】**

近年、サーバなどのコンピュータの高速・高性能化に向けて著しい発展を遂げている。コンピュータの心臓部でもある CPU 部品もその性能アップを図るため、半導体大規模集積回路チップの大型化が進んでいる。

【0003】

30

この大型の半導体大規模集積回路装置のベアチップを直接実装回路基板上にはんだバンプを介して接合するフリップチップ実装する方法や、半導体大規模集積回路装置のベアチップを一旦パッケージに搭載して電極上にはんだボールを載せる BGA (Ball Grid Array) を実装回路基板にフリップチップ実装する方法など実装技術も大型部品を搭載するため必要不可欠な技術となっている。

【0004】

ここで、図 10 を参照して従来の大型の BGA の実装方法を説明する。まず、図 10 (a) に示すように、実装回路基板 51 に設けた基板電極 52 上にはんだペースト 53 をスクリーンマスク (図示は省略) を介して印刷する。次いで、アレイ状に配置された電極 62 上にボールグリッドとなるはんだバンプ 63 を設けたパッケージ 61 をはんだバンプ 63 と基板電極 52 とが対向するように位置を合わせて搭載する。

40

【0005】

次いで、図 10 (b) に示すように、コンベア炉などを用いてはんだの融点以上の所定の温度条件で加熱することによりはんだペースト 53 とはんだバンプ 63 とを溶融させてはんだ接合部 64 を形成することによって実装回路基板 51 にはんだ付けしている。この場合のはんだ接合部 64 の形状は、はんだの表面張力と半導体集積回路装置 60 の自重のバランスで中央部が膨れた形状になる。

【0006】

このようなはんだを用いた接合においてはボイドの生成が問題になる。ボイドの生成は様々な態様があり、それに対応するためには各種の提案がなされている (例えば、特許文

50

献 1 或いは特許文献 2 参照)。例えば、特許文献 1 においては、本発明者等は基板電極の位置からずらして金属層を形成し、本来の基板電極の位置まで金属層を伝ってはんだを表面拡散させることによりボイドを抑える方法を提案している。

【特許文献 1】特開平 09 - 148333 号公報

【特許文献 2】特開 2007 - 194598 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、上述の提案は転写はんだパンプの形成に伴うボイドの生成抑制手段であり、既に形成しているはんだパンプとはんだペーストとの接合に伴うボイドの生成には適用できないという問題がある。

10

【0008】

本発明者が鋭意研究した結果、上記の図 10 に示したフリップチップ接合の場合、溶融工程において、はんだペースト 53 中のはんだ粉末同士が凝集する際に外部に放出しきれなかったフラックスまたは気泡がはんだ接合部中にボイドとして残るという問題があるので、その事情を図 11 及び図 12 を参照して説明する。

【0009】

図 11 (a) に示すように、はんだペースト 53 ははんだ粉末 54 とフラックス 55 とからなる。図 11 (b) に示すように、はんだパンプ 63 との接合のための加熱工程においてははんだ粉末 54 同士が凝集する。この時、はんだ粉末 54 同士が凝集する際に外部に放出しきれなかったフラックスまたは気泡がボイド 56 となる。

20

【0010】

次いで、図 11 (c) に示すように、はんだペースト 53 とはんだパンプ 63 とを溶融させてはんだ接合部 64 を形成して室温まで冷却した場合、外部に放出しきれなかったボイド 56 がはんだ接合部 64 中に残留することになる。

【0011】

即ち、はんだ接合部 64 の中央部付近に存在するボイド 56 は粉末同士の凝集によって形成されるものが多いが、その内の多くははんだが溶融している最中にその流動性に乗って外部に放出されるものが多い。一方、図 11 (d) に示すように、基板電極 52 近辺で電極面をボイド 56 の一部として形成されたものは、溶融中のはんだの中でも外部に放出されにくく界面付近に多くのボイド 56 が残留することが判明した。

30

【0012】

図 12 (a) に示すように、実際に実装半導体装置を動作させた場合、パッケージ 51 の発熱によりパッケージ 51 が熱膨張する。この時、パッケージ 51 と実装回路基板 61 の熱膨張係数の差によって、はんだ接合部 64 に応力が加わる。

【0013】

この応力は、図 12 (b) に示すように、はんだ接合部 64 でも接合界面（電極近傍）の最もくびれた部分に集中する。したがって、実装半導体装置の動作・停止が繰り返されると、はんだ接合 64 にも応力が繰り返し加わることになり、金属疲労によってはんだ接合部 64 にクラックが発生し破壊してしまうという問題がある。

40

【0014】

さらに、この応力が最も加わる箇所には前述したように多くのボイド 56 が存在しており、金属疲労によって発生するクラックの進行を促進させてしまうおそれがあった。

【0015】

したがって、本発明は、フリップチップ接合界面におけるボイドの残留を抑制することを目的とする。

【課題を解決するための手段】

【0016】

本発明の一観点からは、被実装部品の電極と接合する電極の上に空隙を有する導電性部材を設けたことを特徴とする実装回路基板が提供される。

50

【 0 0 1 7 】

また、本発明の別の観点からは、上述の実装回路基板に半導体部品をフリップチップ接合構造により実装したことを特徴とする半導体装置が提供される。

【 発明の効果 】

【 0 0 1 8 】

開示の実装回路基板及び半導体装置によれば、はんだ粉末の溶融にともなって発生するボイドを基板電極の接合界面からはなれた位置に押し込めることができ、それによって、接合界面に残留するボイドを低減することができる。

【 0 0 1 9 】

また、接合界面に残留するボイドを低減することにより、金属疲労によって発生するクラックの進行を抑制することができるので、信頼性の高い実装半導体装置を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 0 】

ここで、図 1 及び図 2 を参照して、本発明の実施の形態を説明するが、本発明は、接合界面付近におけるボイドの残留を抑制するために、基板電極上に空隙を有する導電性部材、即ち、低密度電極を設け、はんだ粉末同士が凝集する際に外部に放出しきれなかったフラックスまたは気泡を空隙内に逃がして、接合界面から遠ざけるものである。

【 0 0 2 1 】

まず、図 1 (a) に示すように、実装回路基板 1 0 上に設けた基板電極 1 1 上に空隙を有する低密度電極 1 2 を設ける。この低密度電極 1 2 は、繊維状導電性部材、多孔質金属箔、発泡金属箔、ポーラスメッキ、マトリクス状導電性ピラー、或いは、スリット部材などはんだ接合可能で電極内部まではんだが侵入できる金属であれば良い。次いで、低密度電極 1 2 上にはんだ粉末 1 4 とフラックス 1 5 とからなるはんだペースト 1 3 をスクリーンマスクを介して印刷する。

【 0 0 2 2 】

次いで、図 1 (b) に示すように、電極 2 1 上にボールグリッドとなるはんだバンプ 2 2 を設けたパッケージ 2 0 をはんだバンプ 2 2 と基板電極 1 1 とが対向するように位置を合わせて搭載する。

【 0 0 2 3 】

次いで、図 1 (c) に示すように、コンベア炉などを用いてはんだの融点以上の所定の温度条件で加熱することによりはんだペースト 1 3 とはんだバンプ 2 2 とを溶融させてはんだ接合部 2 3 を形成する。

【 0 0 2 4 】

図 2 は、溶融工程におけるボイドの状況の説明図であり、まず、図 2 (a) に示すように、はんだペースト 1 3 とはんだバンプ (図示は省略) とを当接させる。次いで、図 2 (b) に示すように加熱によりはんだペースト 1 3 を溶融させる。この溶融初期においては、はんだペースト 1 3 と低密度電極 1 2 との界面で従来と同様に、はんだ粉末同士が凝集する際に外部に放出しきれなかったフラックスまたは気泡がボイド 1 7 として生成されるとともに、溶融はんだ 1 6 中にもボイド 1 8 が発生する。

【 0 0 2 5 】

次いで、図 2 (c) に示すように、溶融が進むに連れてはんだペースト 1 3 と低密度電極 1 2 との界面近傍で生成されたボイド 1 7 は低密度電極 1 2 の空隙内に進入することによって、界面に残留するボイド 1 7 が大幅に低減することになる。

【 0 0 2 6 】

次いで、図 2 (d) に示すように、溶融が進んでフラックス 1 5 が飛散してはんだ接合部 2 3 が形成されるが、この時、はんだ接合部 2 3 と低密度電極 1 2 との界面にはボイド 1 7 がほとんど残留していない状態となる。また、はんだ接合部 2 3 中のボイド 1 8 は溶融している最中にその流動性に乗って外部に放出されることになる。

【 0 0 2 7 】

このように、本発明においては、接合界面で発生するボイドの逃げ場を予め基板電極側に設けているので、発生したボイドが接合界面に残留することが抑制され、それによって、金属疲労によって発生するクラックの進行を抑止することができる。

【実施例 1】

【0028】

以上を前提として、次に、図 3 乃至図 5 を参照して本発明の実施例 1 のフリップチップ接合方法を説明する。図 3 (a) は、半導体パッケージ 30 の概念的構成説明図であり、例えば、40 mm × 40 mm で厚さが 1.5 mm のパッケージ 31 の実装面にボール電極 32 を 26 × 26 のマトリクスの内の外周 5 列で配列している。このボール電極 32 は 1.27 mm のピッチで配列させた直径 0.6 mm の Cu 電極 (33) とその上に設けた直径 0.7 mm のはんだパンプ (34) からなる。なお、このはんだパンプ (34) は、例えば、融点が 220 の Sn - 3 Ag - 0.5 Cu からなる。

10

【0029】

図 3 (b) は実装回路基板 40 の加工前の概念的構成説明図であり、例えば、110 mm × 110 mm × 1.5 mm の基板本体 41 の実装面に直径が 0.6 mm の Cu 基板電極 42 を半導体パッケージ 30 に設けた Cu 電極 (33) と同じピッチで同じ配列状態で設けている。

【0030】

この Cu 基板電極 (42) 上に、厚さが、例えば、0.04 mm のレジスト膜を形成し、露光・現像により例えば、直径が 0.02 mm の穴を 0.04 mm のピッチで形成する。次いで、スパッタ法より銅メッキシード層を形成したのち、電解銅めっきによりレジスト膜に形成した穴の内部を Cu で埋める。この後、レジスト表面に付着した Cu を研磨で除去したのち、レジストを除去することにより、Cu 基板電極 (42) 上に多数の Cu ピラー (43) を形成する。

20

【0031】

図 4 は、このようにして形成した Cu ピラー 43 の概念的構成説明図であり、図 4 (a) は平面図であり、図 4 (b) は斜視図である。この Cu ピラー 43 が本発明で言うところの空隙を有する低密度電極であり、Cu ピラー 43 同士の間隙がボイドの逃げ場となる空隙を構成する。

【0032】

次いで、図 5 (a) に示すように、Cu ピラー 43 を形成した Cu 基板電極 42 上にはんだペースト 44 を例えば 0.15 mm の厚さに塗布した後、パッケージ 31 のはんだパンプ 34 との位置合わせを行う。

30

【0033】

次いで、図 5 (b) に示すように、パッケージ 31 を載せた実装回路基板 40 を接合部の最高温度が Sn - 3 Ag - 0.5 Cu の融点 (220) を超える例えば 240 になるように設定した N₂ 雰囲気のコンベア式リフローで接合する。この時、はんだペースト 44 とはんだパンプ 34 は溶融して一体になりはんだ接合部 35 を形成する。

【0034】

その後、透過型 X 線観察装置でボイドの状態を観察する。電極の密度を低くしてはんだ接合を行うとはんだ接合部 35 中にボイド 36 の存在は認められるが、0.1 mm を超えるような大きなボイドは抑制される。

40

【0035】

一方、電極を従来のように通常密度の基板電極を用いると 0.1 mm を超える大きなボイドが数多く観察される。以上のことからはんだペーストを用いたフリップチップ接合の場合、基板電極を一部として生成しようとするボイドに対して電極の密度を低くして接合を行うことで電極界面付近で生成される大きなボイドの残留を抑制することができる。

【実施例 2】

【0036】

次に、図 6 を参照して、本発明の実施例 2 のフリップチップ接合方法を説明するが、半

50

導体パッケージ及び実装回路基板の基本的構成は実施例 1 と全く同様であり、基板電極上に設ける低密度電極として繊維状導電性部材を設けたものである。

【0037】

図 6 (a) に示すように、Cu 基板電極 4 2 上に Cu で作製した繊維状金属 4 5 を置いて、その上に実施例 1 と同様のはんだペースト 4 4 を印刷する。この繊維状金属 4 5 が本発明で言うところの空隙を有する低密度電極であり、繊維状金属 4 5 の編み目がボイドの逃げ場となる空隙を構成する。この場合の繊維状金属 4 5 は繊維の太さ及び編み目の粗さは任意である。また、繊維状金属 4 5 は導電性接着剤等で Cu 基板電極 4 2 上に仮固定しておく。また、繊維状金属 4 5 の周囲をソルダーレジストで押さえるようにしても良い。

【0038】

次いで、図 6 (b) に示すように、最高温度が例えば 2 4 0 になるように設定した N₂ 雰囲気のコンベア式リフローで接合する。上述の実施例 1 と同様に透過型 X 線観察装置でボイドを調べたところ Cu 基板電極に直接はんだ付けしたものと、繊維状金属 4 5 にはんだ付けしたものとでは繊維状金属 4 5 にはんだ付けした方がはんだ接合部 3 5 におけるボイド 3 6 の量が少なくなっている。なお、この場合の透過型 X 線観察装置によるボイドの観察は、繊維状金属 4 5 上に設けたはんだペースト 4 4 のみを溶融させた状態で行った。

【実施例 3】

【0039】

次に、図 7 を参照して、本発明の実施例 3 のフリップチップ接合方法を説明するが、半導体パッケージ及び実装回路基板の基本的構成は実施例 1 と全く同様であり、基板電極上に設ける低密度電極として発泡金属箔を設けたものである。なお、発泡金属箔自体は既知である（必要ならば、特開 2 0 0 2 - 3 6 7 8 1 0 号公報参照）。

【0040】

図 7 (a) に示すように、Cu 基板電極 4 2 上に発泡金属箔 4 6 を置いて、その上に実施例 1 と同様のはんだペースト 4 4 を印刷する。この発泡金属箔 4 6 が本発明で言うところの空隙を有する低密度電極であり、発泡金属箔 4 6 中の孔がボイドの逃げ場となる空隙を構成する。また、発泡金属箔 4 6 は導電性接着剤等で Cu 基板電極 4 2 上に仮固定しておく。また、発泡金属箔 4 6 の周囲をソルダーレジストで押さえるようにしても良い。

【0041】

次いで、図 7 (b) に示すように、最高温度が例えば 2 4 0 になるように設定した N₂ 雰囲気のコンベア式リフローで接合する。上述の実施例 1 と同様に透過型 X 線観察装置でボイドを調べたところ Cu 基板電極に直接はんだ付けしたものと、発泡金属箔 4 6 にはんだ付けしたものとでは発泡金属箔 4 6 にはんだ付けした方がはんだ接合部 3 5 におけるボイド 3 6 の量が少なくなっている。なお、この場合の透過型 X 線観察装置によるボイドの観察も、発泡金属箔 4 6 上に設けたはんだペースト 4 4 のみを溶融させた状態で行った。

【実施例 4】

【0042】

次に、図 8 を参照して、本発明の実施例 4 のフリップチップ接合方法を説明するが、半導体パッケージ及び実装回路基板の基本的構成は実施例 1 と全く同様であり、基板電極上に設ける低密度電極として多孔質金属箔を設けたものである。なお、多孔質金属は電極材として粉末を焼き固めて作製するもので、多孔質金属箔自体は既知である（必要ならば、特開 2 0 0 7 - 1 6 9 7 6 6 号公報参照）。

【0043】

図 8 (a) に示すように、Cu 基板電極 4 2 上に多孔質金属箔 4 7 を置いて、その上に実施例 1 と同様のはんだペースト 4 4 を印刷する。この多孔質金属箔 4 7 が本発明で言うところの空隙を有する低密度電極であり、多孔質金属箔 4 7 の孔がボイドの逃げ場となる空隙を構成する。また、多孔質金属箔 4 7 は導電性接着剤等で Cu 基板電極 4 2 上に仮固定しておく。また、多孔質金属箔 4 7 の周囲をソルダーレジストで押さえるようにしても

10

20

30

40

50

良い。

【 0 0 4 4 】

次いで、図 8 (b) に示すように、最高温度が例えば 2 4 0 になるように設定した N₂ 雰囲気のコンペア式リフローで接合する。上述の実施例 1 と同様に透過型 X 線観察装置でボイドを調べたところ C u 基板電極に直接はんだ付けしたものと、多孔質金属箔 4 7 にはんだ付けしたものとでは多孔質金属箔 4 7 にはんだ付けした方がはんだ接合部 3 5 におけるボイド 3 6 の量が少なくなっている。なお、この場合の透過型 X 線観察装置によるボイドの観察も、多孔質金属箔 4 7 上に設けたはんだペースト 4 4 のみを溶融させた状態で行った。

【 実施例 5 】

【 0 0 4 5 】

次に、図 9 を参照して、本発明の実施例 5 のフリップチップ接合方法を説明するが、半導体パッケージ及び実装回路基板の基本的構成は実施例 1 と全く同様であり、基板電極上に設ける低密度電極として基板電極の表面にスリットを入れた部分を設けたものである。

【 0 0 4 6 】

図 9 (a) に示すように、C u 基板電極 4 2 の表面に例えば、0 . 1 mm 幅の刃を用い、0 . 2 mm ピッチ幅の寸法でダイシングソーでクロス状にスリット加工して深さが 0 . 1 ~ 0 . 2 mm のスリット 4 8 を形成し、その上に実施例 1 と同様のはんだペースト 4 4 を印刷する。このスリット 4 8 を形成した C u 基板電極 4 2 の表面部分が本発明で言うところの空隙を有する低密度電極であり、スリット 4 8 がボイドの逃げ場となる空隙を構成する。

【 0 0 4 7 】

次いで、図 9 (b) に示すように、最高温度が例えば 2 4 0 になるように設定した N₂ 雰囲気のコンペア式リフローで接合する。上述の実施例 1 と同様に透過型 X 線観察装置でボイドを調べたところスリット加工した方が単純な C u 基板電極にボイド 3 6 の量が少なくなっている。なお、この場合の透過型 X 線観察装置によるボイドの観察も、スリット 4 8 を形成した C u 基板電極 4 2 上に設けたはんだペースト 4 4 のみを溶融させた状態で行った。

【 0 0 4 8 】

以上、本発明の各実施例を説明してきたが、本発明は、各実施例に示した条件に限られるものではない。例えば、C u ピラーの形成方法は上記の実施例 1 で示した形成方法に限られるものではなく、蒸着やその他の方法でも構わない。また、レジスト膜の上に付着した C u の除去方法も研磨でもいいが、ウェットやドライなどの方法でも適用できる。

【 0 0 4 9 】

さらに、ピラー、繊維状金属、多孔質金属の構成材料は C u に限られるものではなく、A u , A g , P d , N i , P t , S n , B i , P b , I n などのはんだ接合が可能な材料であればどの材料でも適用でき、また、これらを組み合わせた合金や複数の層構成で電極を形成しても同様の効果が得られる。

【 0 0 5 0 】

また、上記の各実施例においては基板電極を C u からなる単層電極として構成しているが、単層電極に限られるものではなく、C u 層の上に、C r 或いは T i 等の密着層及び N i , P d , P t 等のバリア層を順次積層させ、バリア層上に上述の低密度電極を形成しても良い。

【 0 0 5 1 】

また、上記の実施例 5 においては、C u 基板電極の表面に直接スリットを設けているが、例えば、C u 基板電極上に金属膜を別個に設け、この金属膜にスリットを形成しても良い。

【 0 0 5 2 】

また、上記の各実施例においては、S n - 3 A g - 0 . 5 C u をはんだ材料として用いたが、他のはんだ材であっても融点以上で溶融して接合するはんだ材であれば同様の効果

10

20

30

40

50

が得られる。

【図面の簡単な説明】

【0053】

【図1】本発明の実施の形態のフリップチップ接合方法の説明図である。

【図2】溶融工程におけるボイドの状況の説明図である。

【図3】本発明の実施例1のパッケージ及び実装回路基板の構成説明図である。

【図4】本発明の実施例1のCuピラーの構成説明図である。

【図5】本発明の実施例1のフリップチップ接合方法の説明図である。

【図6】本発明の実施例2のフリップチップ接合方法の説明図である。

【図7】本発明の実施例3のフリップチップ接合方法の説明図である。

10

【図8】本発明の実施例4のフリップチップ接合方法の説明図である。

【図9】本発明の実施例5のフリップチップ接合方法の説明図である。

【図10】従来の大型のBGAの実装方法の説明図である。

【図11】ボイドの生成状況の説明図である。

【図12】実装半導体装置に印加される応力の説明図である。

【符号の説明】

【0054】

10 実装回路基板

11 基板電極

12 低密度電極

20

13 はんだペースト

14 はんだ粉末

15 フラックス

16 溶融はんだ

17, 18 ボイド

20 パッケージ

21 電極

22 はんだバンブ

23 はんだ接合部

30 半導体パッケージ

30

31 パッケージ

32 ボール電極

33 Cu電極

34 はんだバンブ

35 はんだ接合部

36 ボイド

40 実装回路基板

41 基板本体

42 Cu基板電極

43 Cuピラー

40

44 はんだペースト

45 繊維状金属

46 発泡金属箔

47 多孔質金属箔

48 スリット

51 実装回路基板

52 基板電極

53 はんだペースト

54 はんだ粉末

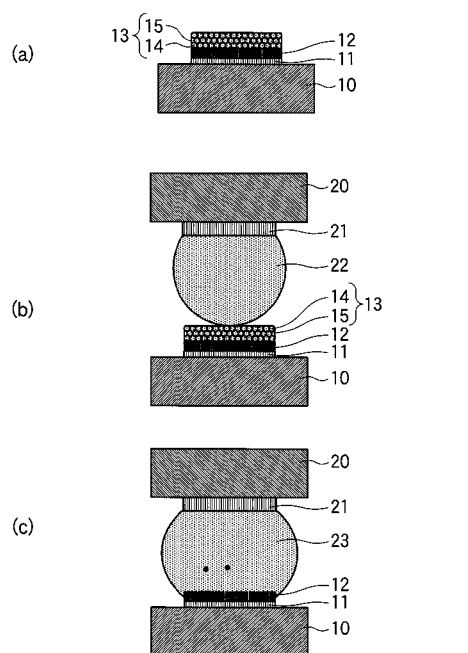
55 フラックス

50

- 5 6 ボイド
- 6 0 半導体集積回路装置
- 6 1 パッケージ
- 6 2 電極
- 6 3 はんだバンプ
- 6 4 はんだ接合部

【 図 1 】

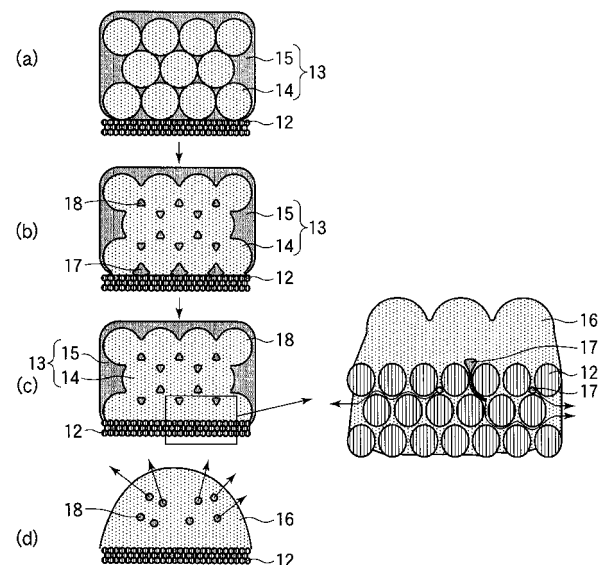
本発明の実施の形態のフリップチップ接合方法の説明図



- | | | |
|-------------|-----------|------------|
| 10: 実装回路基板 | 14: はんだ粉末 | 22: はんだバンプ |
| 11: 基板電極 | 15: フラックス | 23: はんだ接合部 |
| 12: 低密度電極 | 20: パッケージ | |
| 13: はんだペースト | 21: 電極 | |

【 図 2 】

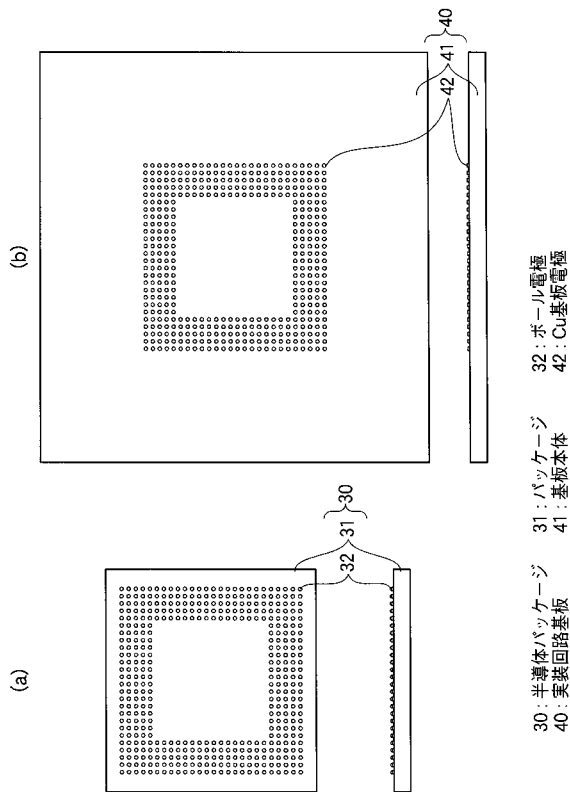
溶融工程におけるボイドの状況の説明図



- | | |
|-------------|-----------|
| 12: 低密度電極 | 16: 溶融はんだ |
| 13: はんだペースト | 17: ボイド |
| 14: はんだ粉末 | 18: ボイド |
| 15: フラックス | |

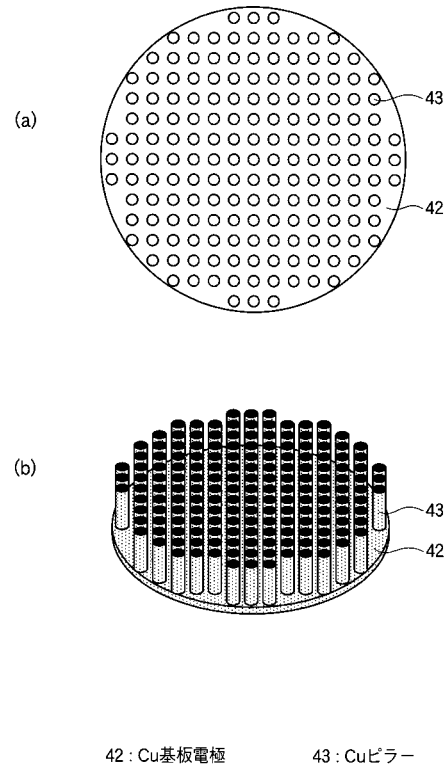
【 図 3 】

本発明の実施例1のパッケージ及び実装回路基板の構成説明図



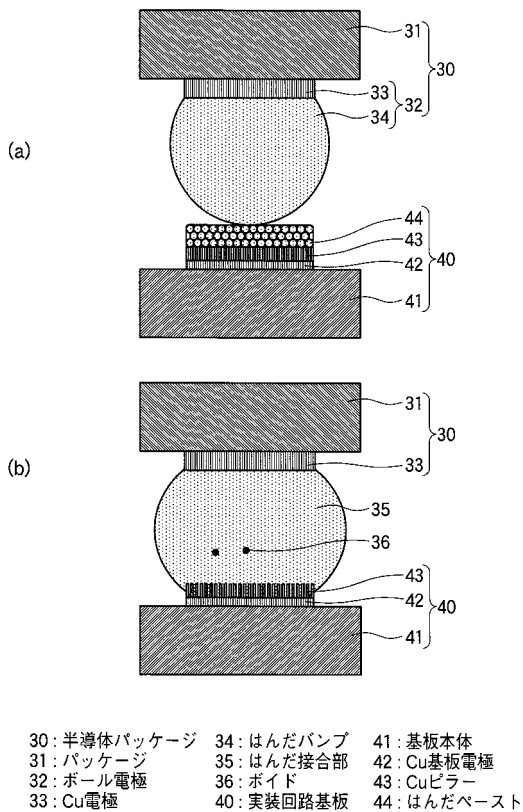
【 図 4 】

本発明の実施例1のCuピラーの構成説明図



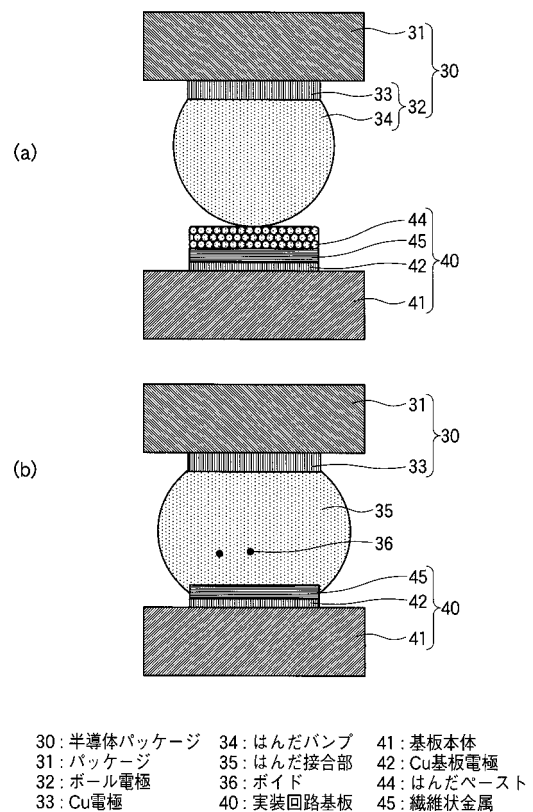
【 図 5 】

本発明の実施例1のフリップチップ接合方法の説明図



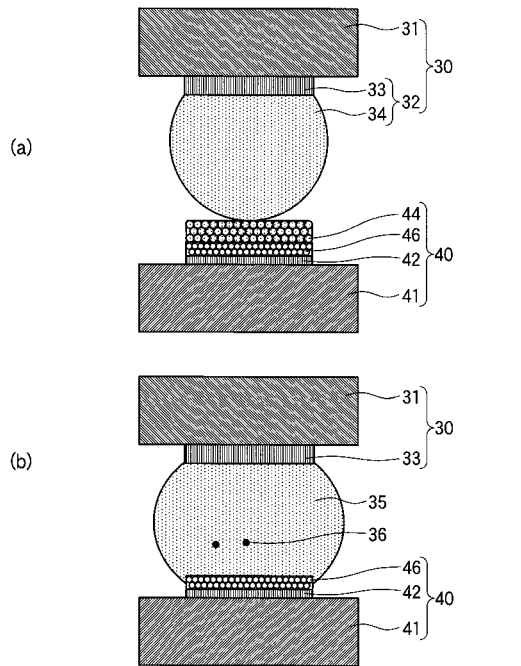
【 図 6 】

本発明の実施例2のフリップチップ接合方法の説明図



【 図 7 】

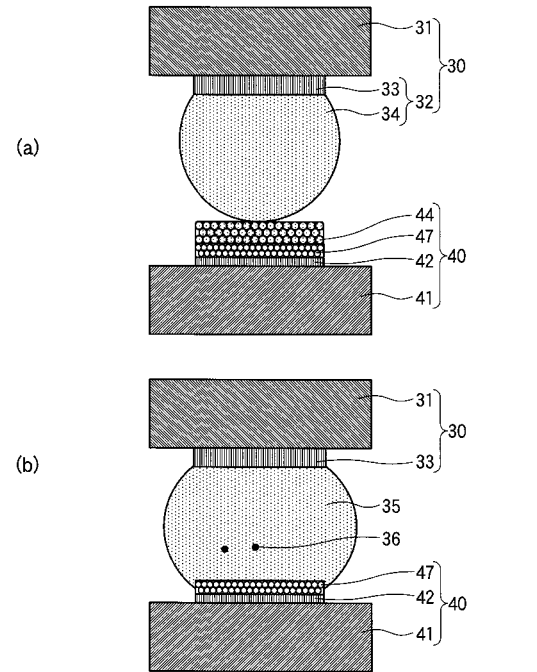
本発明の実施例3のフリップチップ接合方法の説明図



30: 半導体パッケージ 34: はんだバンプ 41: 基板本体
 31: パッケージ 35: はんだ接合部 42: Cu基板電極
 32: ボール電極 36: ボイド 44: はんだペースト
 33: Cu電極 40: 実装回路基板 46: 発泡金属箔

【 図 8 】

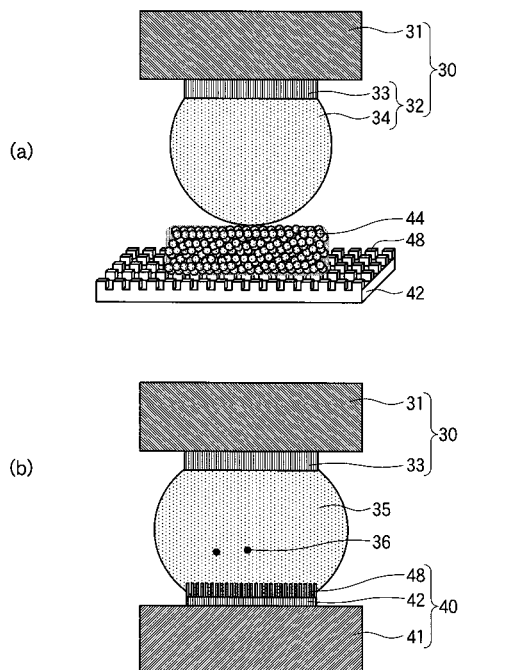
本発明の実施例4のフリップチップ接合方法の説明図



30: 半導体パッケージ 34: はんだバンプ 41: 基板本体
 31: パッケージ 35: はんだ接合部 42: Cu基板電極
 32: ボール電極 36: ボイド 44: はんだペースト
 33: Cu電極 40: 実装回路基板 47: 多孔質金属箔

【 図 9 】

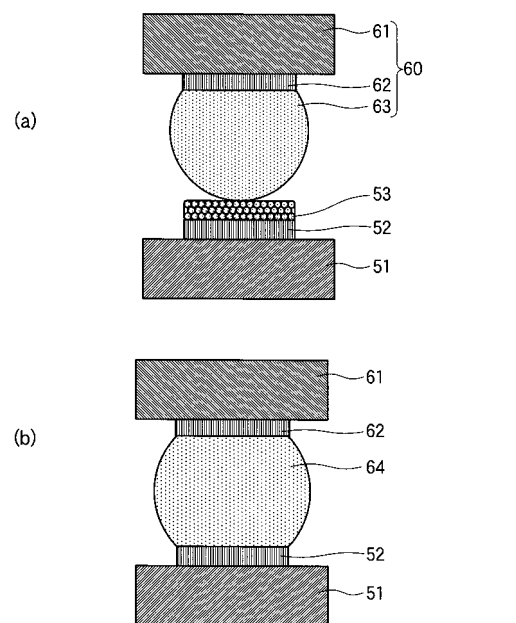
本発明の実施例5のフリップチップ接合方法の説明図



30: 半導体パッケージ 34: はんだバンプ 41: 基板本体
 31: パッケージ 35: はんだ接合部 42: Cu基板電極
 32: ボール電極 36: ボイド 44: はんだペースト
 33: Cu電極 40: 実装回路基板 48: スリット

【 図 10 】

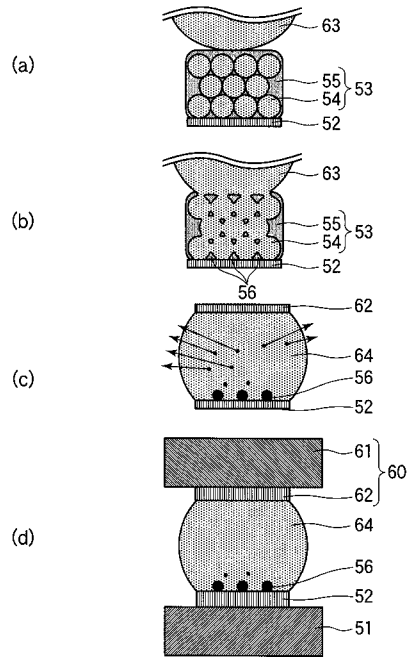
従来の大型のBGAの実装方法の説明図



51: 実装回路基板 60: 半導体集積回路装置 63: はんだバンプ
 52: 基板電極 61: パッケージ 64: はんだ接合部
 53: はんだペースト 62: 電極

【図 1 1】

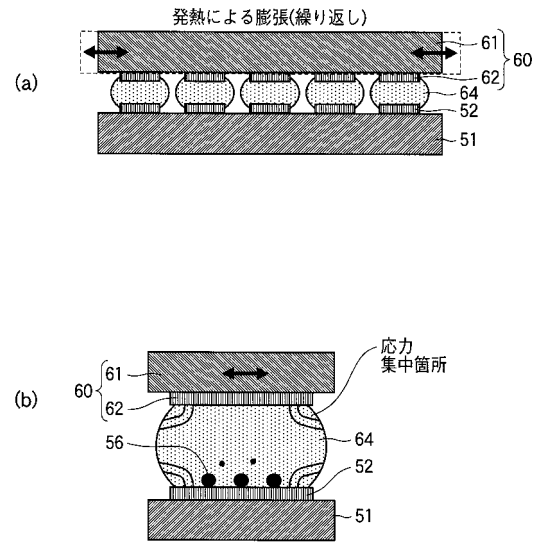
ボイドの生成状況の説明図



51: 実装回路基板 55: フラックス 62: 電極
 52: 基板電極 56: ボイド 63: はんだパンブ
 53: はんだペースト 60: 半導体集積回路装置 64: はんだ接合部
 54: はんだ粉末 61: パッケージ

【図 1 2】

実装半導体装置に印加される応力の説明図



51: 実装回路基板 60: 半導体集積回路装置
 52: 基板電極 61: パッケージ
 56: ボイド 62: 電極
 64: はんだ接合部

フロントページの続き

- (72)発明者 林 信幸
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 森田 将
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 米田 泰博
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- Fターム(参考) 5E319 AA03 AB05 BB04 BB05 CC33 CD26 GG01 GG03
5F044 KK01 KK11 LL01 QQ01