

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年9月3日(2009.9.3)

【公表番号】特表2009-500868(P2009-500868A)

【公表日】平成21年1月8日(2009.1.8)

【年通号数】公開・登録公報2009-001

【出願番号】特願2008-521544(P2008-521544)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 03 K	17/00	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)

【F I】

H 01 L	29/78	6 2 2
H 03 K	17/00	E
H 01 L	27/06	1 0 2 A
H 01 L	27/08	1 0 2 B
H 01 L	27/08	3 2 1 C
H 01 L	29/78	6 2 6 B
H 01 L	27/04	F

【手続補正書】

【提出日】平成21年7月9日(2009.7.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

蓄積電荷制御型のフローティングボディ型MOSFET(ACC型MOSFET)という、当該MOSFETが蓄積電荷レジームで動作しているときの当該MOSFETの非線形応答を制御するように適応されたACC型MOSFETであって：

a) フローティングのボディを有するMOSFETであり、選択的に前記蓄積電荷レジームで動作し、前記蓄積電荷レジームで動作するときに前記ボディ内に蓄積電荷が存在するMOSFET；及び

b) 前記MOSFETの前記ボディに動作可能に結合された蓄積電荷シンク(ACS)であり、前記ボディ内の前記蓄積電荷を制御する蓄積電荷シンク；
を有するACC型MOSFET。

【請求項2】

前記MOSFETはゲート、ドRAIN、ソース、及び前記ゲートと前記ボディとの間に配置されたゲート酸化物層を含み、且つ前記MOSFETは、オフ状態で動作させられ且つ前記ゲート酸化物層に近接する領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作する、請求項1に記載のACC型MOSFET。

【請求項 3】

前記MOSFETの前記ボディは、前記ソースと前記ドレインとの間に、ゲート変調される導電性チャネルを含むチャネル領域を有し、前記のソース、ドレイン及びチャネルは、前記MOSFETがオン状態で動作するとき同一極性のキャリアを有し、且つ前記MOSFETは、該MOSFETがオフ状態で動作するようにバイアスされ且つ前記蓄積電荷が前記のソース、ドレイン及びチャネルの前記キャリアの極性と反対の極性を有するとき、前記蓄積電荷レジームで動作する、請求項2に記載のACC型MOSFET。

【請求項 4】

前記蓄積電荷シンクは、前記MOSFETの前記ボディから前記蓄積電荷を除去することによって、前記MOSFETの前記ボディ内の前記蓄積電荷を制御する、請求項1に記載のACC型MOSFET。

【請求項 5】

前記MOSFETは、ベース絶縁基板上に単結晶シリコン膜を接合し且つ電気的に貼り付けることによる直接シリコン接合基板上に製造されている、請求項1に記載のACC型MOSFET。

【請求項 6】

前記蓄積電荷シンクは、およそ1MΩより高いインピーダンスを有する、請求項1乃至5の何れか一項に記載のACC型MOSFET。

【請求項 7】

蓄積電荷制御型のフローティングボディ型MOSFET(ACC型MOSFET)という、当該MOSFETが蓄積電荷レジームで動作しているときに当該MOSFETのボディ内に蓄積される蓄積電荷を制御するように適応されたACC型MOSFETであって：

a) ゲート、ドレイン、ソース、フローティングボディ、及び前記ゲートと前記フローティングボディとの間に配置されたゲート酸化物層を有し、当該ACC型MOSFETは、オフ状態で動作させられ且つ前記ゲート酸化物層の近傍且つ下の領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作し、且つ

b) 前記フローティングボディの第1の末端部に近接して配置された第1の蓄積電荷シンク(ACS)であり、前記フローティングボディと電気的に連通し、且つ当該ACC型MOSFETの前記ボディ内の前記蓄積電荷を制御する第1の蓄積電荷シンクを有する；ACC型MOSFET。

【請求項 8】

当該ACC型MOSFETは、NMOSFETであり、且つ前記第1の蓄積電荷シンクに近接して配置され且つそれと電気的に連通した電気コンタクト領域であり、前記第1の蓄積電荷シンクへの電気的な結合を容易にする電気コンタクト領域、を更に有し、前記ソース及び前記ドレインはN+型ドープト領域から成り、前記フローティングボディ及び前記第1の蓄積電荷シンクはP-型ドープト領域から成り、前記電気コンタクト領域は、前記第1の蓄積電荷シンクへのダイオード接続として作用するN+型ドープト領域から成り、それにより所定のバイアス電圧条件の下で前記第1の蓄積電荷シンク及び前記フローティングボディに正の電流が流入することを阻止する、請求項7に記載のACC型MOSFET。

【請求項 9】

前記蓄積電荷シンクは、前記MOSFETの前記ボディから前記蓄積電荷を除去することによって、前記MOSFETの前記ボディ内の前記蓄積電荷を制御する、請求項7に記載のACC型MOSFET。

【請求項 10】

前記蓄積電荷シンクは、およそ1MΩより高いインピーダンスを有する、請求項7又は8に記載のACC型MOSFET。

【請求項 11】

前記蓄積電荷は、当該ACC型MOSFETが前記蓄積電荷レジームで動作しているとき、前記ACS端子にACSバイアス電圧を印加することによって制御され、当該ACC

型MOSFETはディプレッションモード型のNMOSFETデバイスから成り、前記ACSバイアス電圧は、ソースバイアス電圧及びドレインバイアス電圧の小さい方に等しく、あるいはそれより負側になるように選択される、請求項7、8、又は10に記載のACC型MOSFET。

【請求項12】

前記ボディの前記チャネル領域及び前記ゲート酸化物層の上の前記ゲートの末端部に近接して配置されたコンタクト領域重なり領域を更に含み、該重なり領域は、前記ゲート酸化物層の全てが、前記電気コンタクト領域を形成するために使用されるドーパント材料と同一のドーパント材料で完全に覆われることを確実にする、請求項7、8、10、又は11に記載のACC型MOSFET。

【請求項13】

当該ACC型MOSFETはT型ゲート構成のACC型MOSFETから成り、前記フローティングボディが、このT型ゲート構成MOSFETの支持部材を形成し、且つ前記第1の蓄積電荷シンクが、このT型ゲート構成MOSFETの被支持部材を形成しており、前記第1の蓄積電荷シンクは、前記フローティングボディの前記第1の末端部に沿って配置され、且つ前記フローティングボディの少なくとも一部に接触している、請求項7に記載のACC型MOSFET。

【請求項14】

前記蓄積電荷シンクは、およそ1MΩより高いインピーダンスを有する、請求項7、8、10、11、12、又は13に記載のACC型MOSFET。

【請求項15】

当該ACC型MOSFETはH型ゲート構成のACC型MOSFETから成り、このH型ゲート構成MOSFETは、前記フローティングボディの前記第1の末端部に近接して配置された前記第1の蓄積電荷シンクと、前記フローティングボディの前記第1の末端部とは反対側の第2の末端部に近接して配置された第2の蓄積電荷シンクとを含み、前記第1の蓄積電荷シンクは、それに近接して配置され且つそれと電気的に連通した第1の電気コンタクト領域を有し、前記第2の蓄積電荷シンクは、それに近接して配置され且つそれと電気的に連通した第2の電気コンタクト領域を有し、且つ前記第1及び第2の蓄積電荷シンクは前記フローティングボディと電気的に連通しており、前記第1及び第2の蓄積電荷シンクは、相等しいインピーダンスを有し、前記第1及び第2の蓄積電荷シンクは、当該ACC型MOSFETの幅のほぼ全体に延在している、請求項7、8、10、11、12、13、又は14に記載のACC型MOSFET。

【請求項16】

四端子の蓄積電荷制御型のフローティングボディ型MOSFET(四端子ACC型MOSFET)という、当該MOSFETが蓄積電荷レジームで動作するときに当該MOSFETのボディ内に蓄積される蓄積電荷を制御するように適応された四端子ACC型MOSFETであって：

a) ゲート、ドレイン、ソース、フローティングボディ、及び前記ゲートと前記フローティングボディとの間に配置されたゲート酸化物層を有し、当該ACC型MOSFETは、オフ状態で動作させられ且つ前記ゲート酸化物層の近傍且つ下の領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作し、且つ

b) 前記フローティングボディの末端部に近接して配置され、且つ前記フローティングボディと電気的に連通した蓄積電荷シンク(ACS)を有し；

c) 前記ゲートに電気的に結合されたゲート端子、前記ドレインに電気的に結合されたドレイン端子、前記ソースに電気的に結合されたソース端子、及び前記蓄積電荷シンクに電気的に結合されたACS端子を有し；

前記ボディ内に蓄積される前記蓄積電荷は、当該MOSFETが前記蓄積電荷レジームで動作しているときに、前記ACS端子によって制御される；

四端子ACC型MOSFET。

【請求項17】

前記のゲート端子及びA C S端子は互いに電気的に結合される、請求項1_6に記載の四端子A C C型M O S F E T。

【請求項18】

前記蓄積電荷は、前記ボディから前記蓄積電荷を除去することによって制御される、請求項1_7に記載の四端子A C C型M O S F E T。

【請求項19】

前記ゲート端子と前記A C S端子との間にダイオードが結合され、該ダイオードは、当該A C C型M O S F E Tがオン状態で動作し且つ該ダイオードが逆バイアスされるとき、正の電流が当該A C C型M O S F E Tの前記ボディに流入するのを阻止する、請求項1_7に記載の四端子A C C型M O S F E T。

【請求項20】

前記A C S端子は蓄積電荷シンク機構に結合され、前記蓄積電荷シンク機構は、当該A C C型M O S F E Tが蓄積電荷レジームで動作しているときに、前記蓄積電荷を制御するように選択される選択可能な蓄積電荷シンク(A C S)バイアス電圧を生成する、請求項1_6に記載の四端子A C C型M O S F E T。

【請求項21】

前記A C Sバイアス電圧は、およそ1 M より高いインピーダンスを有するバイアス源によって供給される、請求項1_6又は2_0に記載の四端子A C C型M O S F E T。

【請求項22】

前記のゲート、ドレイン及びソースはそれぞれゲートバイアス電圧、ドレインバイアス電圧及びソースバイアス電圧を有し、前記A C Sバイアス電圧は、前記のソースバイアス電圧及びドレインバイアス電圧のうちの小さい方に等しく、あるいはそれより負側になるように選択される、請求項1_6、2_0、又は2_1に記載の四端子A C C型M O S F E T。

【請求項23】

前記のゲート端子及びA C S端子は、該ゲート端子と該A C S端子との間に直列に配置されるクランプ回路を介して、互いに電気的に結合される、請求項1_6、2_0、2_1、又は2_2に記載の四端子A C C型M O S F E T。

【請求項24】

前記クランプ回路は、ディプレッションモード型のM O S F E Tに直列に配置されたダイオードと、前記ダイオードに並列接続された交流短絡用キャパシタとを有し、該交流短絡用キャパシタは、前記ダイオードに交流信号が加えられるときに該ダイオードの非線形性が誘起されないことを確実にする、請求項2_3に記載の四端子A C C型M O S F E T。

【請求項25】

R F信号をスイッチングするR Fスイッチであって：

a) 第1のR F信号の出力又は受信が可能な第1のR Fポート；

b) 第2のR F信号の出力又は受信が可能な第2のR Fポート；

c) 前記第1のR Fポートに結合された第1のノードと前記第2のR Fポートに結合された第2のノードとを有するスイッチトランジスタ群であり、第1のスイッチ制御信号によって制御され、且つ積層化された構成に配置された複数のM O S F E Tを有するスイッチトランジスタ群；及び

d) 前記第1のR Fポートに結合された第1のノードと、グランドに結合された第2のノードとを有するシャントトランジスタ群であり、第2のスイッチ制御信号によって制御され、且つ前記スイッチトランジスタ群の前記M O S F E Tの数とは異なる数の請求項2記載のA C C型M O S F E Tを有するシャントトランジスタ群；

を有し、

前記第1のスイッチ制御信号が有効にされると、前記スイッチトランジスタ群が有効にされ且つ前記シャントトランジスタ群が無効にされ、それにより、前記第1のR Fポートが前記第2のR Fポートに電気的に結合され、前記第2のスイッチ制御信号が有効にされると、前記シャントトランジスタ群が有効にされ且つ前記スイッチトランジスタ群が無効にされ、それにより、前記第1のR Fポートがグランドに短絡される、

RFスイッチ。

【請求項26】

前記ACC型MOSFETは、前記ゲートに電気的に結合されたゲート端子、前記ドレインに電気的に結合されたドレイン端子、前記ソースに電気的に結合されたソース端子、及び前記蓄積電荷シンクに電気的に結合されたACS端子を有し、前記ACS端子は蓄積電荷シンク機構に電気的に結合され、該蓄積電荷シンク機構は、前記シャントトランジスタ群が前記蓄積電荷レジームで動作しているときに前記ボディ内の前記蓄積電荷を制御あるいは除去するように適応された制御回路を有する、請求項25に記載のRFスイッチ。

【請求項27】

前記シャントトランジスタ群の前記ACS端子は第3のスイッチ制御信号に結合され、前記シャントトランジスタ群は前記第2のスイッチ制御信号によって有効にされる一方で前記スイッチトランジスタ群は無効にされ、それにより、前記第1のRFポートがグランドに短絡され、前記蓄積電荷は、前記シャントトランジスタ群が無効にされているときに、前記ACC型MOSFETの前記ボディから除去される、請求項26に記載のRFスイッチ。

【請求項28】

フローティングボディ型MOSFETの線形性を制御する方法であって、前記フローティングボディ型MOSFETは、該MOSFETのボディに動作可能に結合された蓄積電荷シンクであって該MOSFETがオフ状態で動作しているときに該MOSFETの前記ボディに蓄積する蓄積電荷を制御するように適応された蓄積電荷シンクを含み、当該方法は：

a) 所定の回路内で動作するように前記フローティングボディ型MOSFETを構成する段階；

b) 蓄積電荷レジームで動作するように前記フローティングボディ型MOSFETをオフにバイアスする段階；及び

c) 前記蓄積電荷を制御する段階；

を有する、方法。

【請求項29】

前記のc)前記蓄積電荷を制御する段階は、前記蓄積電荷を除去することを有する、請求項28に記載の方法。

【請求項30】

前記ACC型MOSFETは更に、ドレイン-ソース間抵抗を含み、前記ドレイン-ソース間抵抗は、前記ACC型MOSFETがその他の高インピーダンス素子と直接に配置されるとき、前記ACC型MOSFETの前記ドレインと前記ソースとの間に、前記蓄積電荷を制御することに伴う電流を前記のソース及びドレインから離して導くためのパスを提供する、請求項25に記載のRFスイッチ。

【請求項31】

前記ACC型MOSFETの前記ゲートにゲート抵抗が結合されており、前記ドレイン-ソース間抵抗は前記ゲート抵抗のインピーダンスにほぼ等しいインピーダンスを有する、請求項30に記載のRFスイッチ。

【請求項32】

積層化された前記ACC型MOSFETそれぞれに一対一の関係で付随する複数のドレイン-ソース間抵抗を更に含み、各ドレイン-ソース間抵抗は、それが付随するACC型MOSFETの前記ドレインと前記ソースとの間に電気的に結合され、各ACC型MOSFETの前記ゲートにそれぞれのゲート抵抗が結合され、各ACC型MOSFETの前記ドレイン-ソース間抵抗は、該ACC型MOSFETの前記ゲート抵抗のインピーダンスを、積層化された前記ACC型MOSFETの数で割った値にほぼ等しいインピーダンスを有する、請求項25に記載のRFスイッチ。

【請求項33】

RF信号をスイッチングするRFスイッチであって：

- a) 第 1 の R F 信号の受信又は出力が可能な第 1 の R F ポート ;
- b) 第 2 の R F 信号の受信又は出力が可能な第 2 の R F ポート ;
- c) R F 共通ポート ;
- d) 前記第 1 の R F ポートに結合された第 1 のノードと前記 R F 共通ポートに結合された第 2 のノードとを有し、且つ第 1 のスイッチ制御信号によって制御される第 1 のスイッチトランジスタ群 ;
- e) 前記第 2 の R F ポートに結合された第 1 のノードと前記 R F 共通ポートに結合された第 2 のノードとを有し、且つ第 2 のスイッチ制御信号によって制御される第 2 のスイッチトランジスタ群 ;
- f) 前記第 2 の R F ポートに結合された第 1 のノードと、グランドに結合された第 2 のノードとを有し、前記第 1 のスイッチ制御信号によって制御される、第 1 のシャントトランジスタ群 ; 及び
- g) 前記第 1 の R F ポートに結合された第 1 のノードと、グランドに結合された第 2 のノードとを有し、前記第 2 のスイッチ制御信号によって制御される、第 2 のシャントトランジスタ群 ;

を有し、

前記第 1 のスイッチ制御信号が有効にされると、前記第 1 のスイッチトランジスタ群及び前記第 1 のシャントトランジスタ群が有効にされ、且つ第 2 のスイッチトランジスタ群及び前記第 2 のシャントトランジスタ群が無効にされ、それにより、前記第 1 の R F ポートが前記 R F 共通ポートに電気的に結合され、且つ前記第 2 の R F ポートがグランドに短絡され、また、前記第 1 のスイッチ制御信号が無効にされ且つ前記第 2 のスイッチ制御信号が有効にされると、前記第 2 のスイッチトランジスタ群及び前記第 2 のシャントトランジスタ群が有効にされ、且つ第 1 のスイッチトランジスタ群及び前記第 1 のシャントトランジスタ群が無効にされ、それにより、前記第 2 の R F ポートが前記 R F 共通ポートに電気的に結合され、且つ前記第 1 の R F ポートがグランドに短絡され、且つ

前記スイッチトランジスタ群及び前記シャントトランジスタ群は、1 つ以上の請求項 1 記載の A C C 型 M O S F E T を有する、

R F スイッチ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 8

【補正方法】変更

【補正の内容】

【0 0 1 8】

故に、蓄積電荷を除去あるいはその他の方法で制御し、それにより S O I 型 M O S F E T の性能を有意に改善するために、S O I (及び S O S) 型 M O S F E T 、及び S O I 型 M O S F E T を用いて実現される回路を適応させ且つ改善する技術を提供することが望まれる。そして、S O I 型 M O S F E T における線形性の特性を改善することに使用される方法及び装置を提供することが望まれる。改善された M O S F E T は、従来の M O S F E T と比較して改善された線形性、高調波歪み、相互変調歪み、及び B V D S S 特性を有し、それにより、M O S F E T を用いて実現される回路の性能を改善する。この教示はこのような新規な方法及び装置を提供するものである。

- 【特許文献 1】米国特許第 6 , 9 0 8 , 8 3 2 号明細書
- 【特許文献 2】米国特許第 6 , 6 3 2 , 7 2 4 号明細書
- 【特許文献 3】米国特許第 6 , 7 9 0 , 7 4 7 号明細書
- 【特許文献 4】米国特許第 6 , 6 9 3 , 3 2 6 号明細書
- 【特許文献 5】米国特許第 7 , 4 0 4 , 1 5 7 号明細書
- 【特許文献 6】米国特許第 7 , 0 5 8 , 9 2 2 号明細書
- 【特許文献 7】米国特許第 6 , 8 9 8 , 7 7 8 号明細書
- 【特許文献 8】米国特許第 5 , 0 1 2 , 1 2 3 号明細書

- 【特許文献 9】米国特許第 5 , 8 1 8 , 0 9 9 号明細書
- 【特許文献 10】米国特許第 6 , 2 4 9 , 0 2 7 号明細書
- 【特許文献 11】米国特許第 6 , 5 0 4 , 2 1 2 号明細書
- 【特許文献 12】米国特許出願 2 0 0 1 - 0 0 1 5 4 6 1 号明細書
- 【特許文献 13】米国特許出願 2 0 0 3 - 0 2 0 5 7 6 0 号明細書
- 【特許文献 14】欧州特許第 1 0 0 6 5 8 4 号明細書
- 【特許文献 15】米国特許第 4 , 0 5 3 , 9 1 6 号明細書
- 【特許文献 16】米国特許第 5 , 4 1 6 , 0 4 3 号明細書
- 【特許文献 17】米国特許第 5 , 4 9 2 , 8 5 7 号明細書
- 【特許文献 18】米国特許第 5 , 5 7 2 , 0 4 0 号明細書
- 【特許文献 19】米国特許第 5 , 5 9 6 , 2 0 5 号明細書
- 【特許文献 20】米国特許第 5 , 6 0 0 , 1 6 9 号明細書
- 【特許文献 21】米国特許第 5 , 6 6 3 , 5 7 0 号明細書
- 【特許文献 22】米国特許第 5 , 8 6 1 , 3 3 6 号明細書
- 【特許文献 23】米国特許第 5 , 8 6 3 , 8 2 3 号明細書
- 【特許文献 24】米国特許第 5 , 8 8 3 , 3 9 6 号明細書
- 【特許文献 25】米国特許第 5 , 8 9 5 , 9 5 7 号明細書
- 【特許文献 26】米国特許第 5 , 9 2 0 , 2 3 3 号明細書
- 【特許文献 27】米国特許第 5 , 9 3 0 , 6 3 8 号明細書
- 【特許文献 28】米国特許第 5 , 9 7 3 , 3 6 3 号明細書
- 【特許文献 29】米国特許第 5 , 9 7 3 , 3 8 2 号明細書
- 【特許文献 30】米国特許第 6 , 0 5 7 , 5 5 5 号明細書
- 【特許文献 31】米国特許第 6 , 8 0 4 , 5 0 2 号明細書
- 【特許文献 32】米国特許第 7 , 0 5 6 , 8 0 8 号明細書
- 【特許文献 33】米国特許第 6 , 9 6 9 , 6 6 8 号明細書