

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 9 月 3 日 (2009.9.3)

【公表番号】特表 2009-500868 (P2009-500868A)

【公表日】平成 21 年 1 月 8 日 (2009.1.8)

【年通号数】公開・登録公報 2009-001

【出願番号】特願 2008-521544 (P2008-521544)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 3 K 17/00 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 29/78 6 2 2

H 0 3 K 17/00 E

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/08 1 0 2 B

H 0 1 L 27/08 3 2 1 C

H 0 1 L 29/78 6 2 6 B

H 0 1 L 27/04 F

【手続補正書】

【提出日】平成 21 年 7 月 9 日 (2009.7.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

蓄積電荷制御型のフローティングボディ型 MOSFET (ACC 型 MOSFET) という、当該 MOSFET が蓄積電荷レジームで動作しているときの当該 MOSFET の非線形応答を制御するように適応された ACC 型 MOSFET であって：

a) フローティングのボディを有する MOSFET であり、選択的に前記蓄積電荷レジームで動作し、前記蓄積電荷レジームで動作するときに前記ボディ内に蓄積電荷が存在する MOSFET；及び

b) 前記 MOSFET の前記ボディに動作可能に結合された蓄積電荷シンク (ACS) であり、前記ボディ内の前記蓄積電荷を制御する蓄積電荷シンク；
を有する ACC 型 MOSFET。

【請求項 2】

前記 MOSFET はゲート、ドレイン、ソース、及び前記ゲートと前記ボディとの間に配置されたゲート酸化物層を含み、且つ前記 MOSFET は、オフ状態で動作させられ且つ前記ゲート酸化物層に近接する領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作する、請求項 1 に記載の ACC 型 MOSFET。

【請求項 3】

前記 MOSFET の前記ボディは、前記ソースと前記ドレインとの間に、ゲート変調される導電性チャネルを含むチャネル領域を有し、前記のソース、ドレイン及びチャネルは、前記 MOSFET がオン状態で動作するとき同一極性のキャリアを有し、且つ前記 MOSFET は、該 MOSFET がオフ状態で動作するようにバイアスされ且つ前記蓄積電荷が前記のソース、ドレイン及びチャネルの前記キャリアの極性と反対の極性を有するとき、前記蓄積電荷レジームで動作する、請求項 2 に記載の ACC 型 MOSFET。

【請求項 4】

前記蓄積電荷シンクは、前記 MOSFET の前記ボディから前記蓄積電荷を除去することによって、前記 MOSFET の前記ボディ内の前記蓄積電荷を制御する、請求項 1 に記載の ACC 型 MOSFET。

【請求項 5】

前記 MOSFET は、ベース絶縁基板上に単結晶シリコン膜を接合し且つ電氣的に貼り付けることによる直接シリコン接合基板上に製造されている、請求項 1 に記載の ACC 型 MOSFET。

【請求項 6】

前記蓄積電荷シンクは、およそ 1 M より高いインピーダンスを有する、請求項 1 乃至 5 の何れか一項 に記載の ACC 型 MOSFET。

【請求項 7】

蓄積電荷制御型のフローティングボディ型 MOSFET (ACC 型 MOSFET) という、当該 MOSFET が蓄積電荷レジームで動作しているときに当該 MOSFET のボディ内に蓄積される蓄積電荷を制御するように適応された ACC 型 MOSFET であって：

a) ゲート、ドレイン、ソース、フローティングボディ、及び前記ゲートと前記フローティングボディとの間に配置されたゲート酸化物層を有し、当該 ACC 型 MOSFET は、オフ状態で動作させられ且つ前記ゲート酸化物層の近傍且つ下の領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作し、且つ

b) 前記フローティングボディの第 1 の末端部に近接して配置された第 1 の蓄積電荷シンク (ACS) であり、前記フローティングボディと電氣的に連通し、且つ当該 ACC 型 MOSFET の前記ボディ内の前記蓄積電荷を制御する第 1 の蓄積電荷シンクを有する；
ACC 型 MOSFET。

【請求項 8】

当該 ACC 型 MOSFET は、NMOSFET であり、且つ前記第 1 の蓄積電荷シンクに近接して配置され且つそれと電氣的に連通した電気コンタクト領域であり、前記第 1 の蓄積電荷シンクへの電氣的な結合を容易にする電気コンタクト領域、を更に有し、前記ソース及び前記ドレインは N + 型ドーフト領域から成り、前記フローティングボディ及び前記第 1 の蓄積電荷シンクは P - 型ドーフト領域から成り、前記電気コンタクト領域は、前記第 1 の蓄積電荷シンクへのダイオード接続として作用する N + 型ドーフト領域から成り、それにより所定のバイアス電圧条件の下で前記第 1 の蓄積電荷シンク及び前記フローティングボディに正の電流が流入することを阻止する、請求項 7 に記載の ACC 型 MOSFET。

【請求項 9】

前記蓄積電荷シンクは、前記 MOSFET の前記ボディから前記蓄積電荷を除去することによって、前記 MOSFET の前記ボディ内の前記蓄積電荷を制御する、請求項 7 に記載の ACC 型 MOSFET。

【請求項 10】

前記蓄積電荷シンクは、およそ 1 M より高いインピーダンスを有する、請求項 7 又は 8 に記載の ACC 型 MOSFET。

【請求項 11】

前記蓄積電荷は、当該 ACC 型 MOSFET が前記蓄積電荷レジームで動作しているとき、前記 ACS 端子に ACS バイアス電圧を印加することによって制御され、当該 ACC

型 MOSFET はディプレッションモード型の NMOSFET デバイスから成り、前記 ACS バイアス電圧は、ソースバイアス電圧及びドレインバイアス電圧の小さい方に等しく、あるいはそれより負側になるように選択される、請求項 7、8、又は 10 に記載の ACC 型 MOSFET。

【請求項 12】

前記ボディの前記チャネル領域及び前記ゲート酸化物層の上の前記ゲートの末端部に近接して配置されたコンタクト領域重なり領域を更に含み、該重なり領域は、前記ゲート酸化物層の全てが、前記電気コンタクト領域を形成するために使用されるドーパント材料と同一のドーパント材料で完全に覆われることを確実にする、請求項 7、8、10、又は 11 に記載の ACC 型 MOSFET。

【請求項 13】

当該 ACC 型 MOSFET は T 型ゲート構成の ACC 型 MOSFET から成り、前記フローティングボディが、この T 型ゲート構成 MOSFET の支持部材を形成し、且つ前記第 1 の蓄積電荷シンクが、この T 型ゲート構成 MOSFET の被支持部材を形成しており、前記第 1 の蓄積電荷シンクは、前記フローティングボディの前記第 1 の末端部に沿って配置され、且つ前記フローティングボディの少なくとも一部に接触している、請求項 7 に記載の ACC 型 MOSFET。

【請求項 14】

前記蓄積電荷シンクは、およそ 1 M より高いインピーダンスを有する、請求項 7、8、10、11、12、又は 13 に記載の ACC 型 MOSFET。

【請求項 15】

当該 ACC 型 MOSFET は H 型ゲート構成の ACC 型 MOSFET から成り、この H 型ゲート構成 MOSFET は、前記フローティングボディの前記第 1 の末端部に近接して配置された前記第 1 の蓄積電荷シンクと、前記フローティングボディの前記第 1 の末端部とは反対側の第 2 の末端部に近接して配置された第 2 の蓄積電荷シンクとを含み、前記第 1 の蓄積電荷シンクは、それに近接して配置され且つそれと電氣的に連通した第 1 の電気コンタクト領域を有し、前記第 2 の蓄積電荷シンクは、それに近接して配置され且つそれと電氣的に連通した第 2 の電気コンタクト領域を有し、且つ前記第 1 及び第 2 の蓄積電荷シンクは前記フローティングボディと電氣的に連通しており、前記第 1 及び第 2 の蓄積電荷シンクは、相等しいインピーダンスを有し、前記第 1 及び第 2 の蓄積電荷シンクは、当該 ACC 型 MOSFET の幅のほぼ全体に延在している、請求項 7、8、10、11、12、13、又は 14 に記載の ACC 型 MOSFET。

【請求項 16】

四端子の蓄積電荷制御型のフローティングボディ型 MOSFET (四端子 ACC 型 MOSFET) という、当該 MOSFET が蓄積電荷レジームで動作するときに当該 MOSFET のボディ内に蓄積される蓄積電荷を制御するように適応された四端子 ACC 型 MOSFET であって：

a) ゲート、ドレイン、ソース、フローティングボディ、及び前記ゲートと前記フローティングボディとの間に配置されたゲート酸化物層を有し、当該 ACC 型 MOSFET は、オフ状態で動作させられ且つ前記ゲート酸化物層の近傍且つ下の領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作し、且つ

b) 前記フローティングボディの末端部に近接して配置され、且つ前記フローティングボディと電氣的に連通した蓄積電荷シンク (ACS) を有し；

c) 前記ゲートに電氣的に結合されたゲート端子、前記ドレインに電氣的に結合されたドレイン端子、前記ソースに電氣的に結合されたソース端子、及び前記蓄積電荷シンクに電氣的に結合された ACS 端子を有し；

前記ボディ内に蓄積される前記蓄積電荷は、当該 MOSFET が前記蓄積電荷レジームで動作しているときに、前記 ACS 端子によって制御される；

四端子 ACC 型 MOSFET。

【請求項 17】

前記のゲート端子及びＡＣＳ端子は互いに電氣的に結合される、請求項１６に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項１８】

前記蓄積電荷は、前記ボディから前記蓄積電荷を除去することによって制御される、請求項１７に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項１９】

前記ゲート端子と前記ＡＣＳ端子との間にダイオードが結合され、該ダイオードは、当該ＡＣＣ型ＭＯＳＦＥＴがオン状態で動作し且つ該ダイオードが逆バイアスされるとき、正の電流が当該ＡＣＣ型ＭＯＳＦＥＴの前記ボディに流入するのを阻止する、請求項１７に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項２０】

前記ＡＣＳ端子は蓄積電荷シンク機構に結合され、前記蓄積電荷シンク機構は、当該ＡＣＣ型ＭＯＳＦＥＴが蓄積電荷レジームで動作しているときに、前記蓄積電荷を制御するように選択される選択可能な蓄積電荷シンク（ＡＣＳ）バイアス電圧を生成する、請求項１６に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項２１】

前記ＡＣＳバイアス電圧は、およそ１Ｍより高いインピーダンスを有するバイアス源によって供給される、請求項１６又は２０に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項２２】

前記のゲート、ドレイン及びソースはそれぞれゲートバイアス電圧、ドレインバイアス電圧及びソースバイアス電圧を有し、前記ＡＣＳバイアス電圧は、前記のソースバイアス電圧及びドレインバイアス電圧のうちの小さい方に等しく、あるいはそれより負側になるように選択される、請求項１６、２０、又は２１に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項２３】

前記のゲート端子及びＡＣＳ端子は、該ゲート端子と該ＡＣＳ端子との間に直列に配置されるクランプ回路を介して、互いに電氣的に結合される、請求項１６、２０、２１、又は２２に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項２４】

前記クランプ回路は、ディプレッションモード型のＭＯＳＦＥＴに直列に配置されたダイオードと、前記ダイオードに並列接続された交流短絡用キャパシタとを有し、該交流短絡用キャパシタは、前記ダイオードに交流信号が加えられるときに該ダイオードの非線形性が誘起されないことを確実にする、請求項２３に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項２５】

ＲＦ信号をスイッチングするＲＦスイッチであって：

- a) 第１のＲＦ信号の出力又は受信が可能な第１のＲＦポート；
- b) 第２のＲＦ信号の出力又は受信が可能な第２のＲＦポート；
- c) 前記第１のＲＦポートに結合された第１のノードと前記第２のＲＦポートに結合された第２のノードとを有するスイッチトランジスタ群であり、第１のスイッチ制御信号によって制御され、且つ積層化された構成に配置された複数のＭＯＳＦＥＴを有するスイッチトランジスタ群；及び
- d) 前記第１のＲＦポートに結合された第１のノードと、グラウンドに結合された第２のノードとを有するシャントトランジスタ群であり、第２のスイッチ制御信号によって制御され、且つ前記スイッチトランジスタ群の前記ＭＯＳＦＥＴの数とは異なる数の請求項２記載のＡＣＣ型ＭＯＳＦＥＴを有するシャントトランジスタ群；

を有し、

前記第１のスイッチ制御信号が有効にされると、前記スイッチトランジスタ群が有効にされ且つ前記シャントトランジスタ群が無効にされ、それにより、前記第１のＲＦポートが前記第２のＲＦポートに電氣的に結合され、前記第２のスイッチ制御信号が有効にされると、前記シャントトランジスタ群が有効にされ且つ前記スイッチトランジスタ群が無効にされ、それにより、前記第１のＲＦポートがグラウンドに短絡される、

R F スイッチ。

【請求項 2 6】

前記 A C C 型 M O S F E T は、前記ゲートに電氣的に結合されたゲート端子、前記ドレインに電氣的に結合されたドレイン端子、前記ソースに電氣的に結合されたソース端子、及び前記蓄積電荷シンクに電氣的に結合された A C S 端子を有し、前記 A C S 端子は蓄積電荷シンク機構に電氣的に結合され、該蓄積電荷シンク機構は、前記シャントトランジスタ群が前記蓄積電荷レジームで動作しているときに前記ボディ内の前記蓄積電荷を制御あるいは除去するように適応された制御回路を有する、請求項 2 5 に記載の R F スイッチ。

【請求項 2 7】

前記シャントトランジスタ群の前記 A C S 端子は第 3 のスイッチ制御信号に結合され、前記シャントトランジスタ群は前記第 2 のスイッチ制御信号によって有効にされる一方で前記スイッチトランジスタ群は無効にされ、それにより、前記第 1 の R F ポートがグラウンドに短絡され、前記蓄積電荷は、前記シャントトランジスタ群が無効にされているときに、前記 A C C 型 M O S F E T の前記ボディから除去される、請求項 2 6 に記載の R F スイッチ。

【請求項 2 8】

フローティングボディ型 M O S F E T の線形性を制御する方法であって、前記フローティングボディ型 M O S F E T は、該 M O S F E T のボディに動作可能に結合された蓄積電荷シンクであって該 M O S F E T がオフ状態で動作しているときに該 M O S F E T の前記ボディに蓄積する蓄積電荷を制御するように適応された蓄積電荷シンクを含み、当該方法は：

- a) 所定の回路内で動作するように前記フローティングボディ型 M O S F E T を構成する段階；
 - b) 蓄積電荷レジームで動作するように前記フローティングボディ型 M O S F E T をオフにバイアスする段階；及び
 - c) 前記蓄積電荷を制御する段階；
- を有する、方法。

【請求項 2 9】

前記の c) 前記蓄積電荷を制御する段階は、前記蓄積電荷を除去することを有する、請求項 2 8 に記載の方法。

【請求項 3 0】

前記 A C C 型 M O S F E T は更に、ドレイン - ソース間抵抗を含み、前記ドレイン - ソース間抵抗は、前記 A C C 型 M O S F E T がその他の高インピーダンス素子と直接に配置されるとき、前記 A C C 型 M O S F E T の前記ドレインと前記ソースとの間に、前記蓄積電荷を制御することに伴う電流を前記のソース及びドレインから離して導くためのパスを提供する、請求項 2 5 に記載の R F スイッチ。

【請求項 3 1】

前記 A C C 型 M O S F E T の前記ゲートにゲート抵抗が結合されており、前記ドレイン - ソース間抵抗は前記ゲート抵抗のインピーダンスにほぼ等しいインピーダンスを有する、請求項 3 0 に記載の R F スイッチ。

【請求項 3 2】

積層化された前記 A C C 型 M O S F E T それぞれに一对一の関係で付随する複数のドレイン - ソース間抵抗を更に含み、各ドレイン - ソース間抵抗は、それが付随する A C C 型 M O S F E T の前記ドレインと前記ソースとの間に電氣的に結合され、各 A C C 型 M O S F E T の前記ゲートにそれぞれのゲート抵抗が結合され、各 A C C 型 M O S F E T の前記ドレイン - ソース間抵抗は、該 A C C 型 M O S F E T の前記ゲート抵抗のインピーダンスを、積層化された前記 A C C 型 M O S F E T の数で割った値にほぼ等しいインピーダンスを有する、請求項 2 5 に記載の R F スイッチ。

【請求項 3 3】

R F 信号をスイッチングする R F スイッチであって：

- a) 第1のRF信号の受信又は出力が可能な第1のRFポート；
 - b) 第2のRF信号の受信又は出力が可能な第2のRFポート；
 - c) RF共通ポート；
 - d) 前記第1のRFポートに結合された第1のノードと前記RF共通ポートに結合された第2のノードとを有し、且つ第1のスイッチ制御信号によって制御される第1のスイッチトランジスタ群；
 - e) 前記第2のRFポートに結合された第1のノードと前記RF共通ポートに結合された第2のノードとを有し、且つ第2のスイッチ制御信号によって制御される第2のスイッチトランジスタ群；
 - f) 前記第2のRFポートに結合された第1のノードと、グラウンドに結合された第2のノードとを有し、前記第1のスイッチ制御信号によって制御される、第1のシャントトランジスタ群；及び
 - g) 前記第1のRFポートに結合された第1のノードと、グラウンドに結合された第2のノードとを有し、前記第2のスイッチ制御信号によって制御される、第2のシャントトランジスタ群；
- を有し、

前記第1のスイッチ制御信号が有効にされると、前記第1のスイッチトランジスタ群及び前記第1のシャントトランジスタ群が有効にされ、且つ第2のスイッチトランジスタ群及び前記第2のシャントトランジスタ群が無効にされ、それにより、前記第1のRFポートが前記RF共通ポートに電氣的に結合され、且つ前記第2のRFポートがグラウンドに短絡され、また、前記第1のスイッチ制御信号が無効にされ且つ前記第2のスイッチ制御信号が有効にされると、前記第2のスイッチトランジスタ群及び前記第2のシャントトランジスタ群が有効にされ、且つ第1のスイッチトランジスタ群及び前記第1のシャントトランジスタ群が無効にされ、それにより、前記第2のRFポートが前記RF共通ポートに電氣的に結合され、且つ前記第1のRFポートがグラウンドに短絡され、且つ

前記スイッチトランジスタ群及び前記シャントトランジスタ群は、1つ以上の請求項1記載のACC型MOSFETを有する、

RFスイッチ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

故に、蓄積電荷を除去あるいはその他の方法で制御し、それによりSOI型MOSFETの性能を有意に改善するために、SOI（及びSOS）型MOSFET、及びSOI型MOSFETを用いて実現される回路を適応させ且つ改善する技術を提供することが望まれる。そして、SOI型MOSFETにおける線形性の特性を改善することに使用される方法及び装置を提供することが望まれる。改善されたMOSFETは、従来のMOSFETと比較して改善された線形性、高調波歪み、相互変調歪み、及びBVDS特性を有し、それにより、MOSFETを用いて実現される回路の性能を改善する。この教示はこのような新規な方法及び装置を提供するものである。

【特許文献1】米国特許第6,908,832号明細書

【特許文献2】米国特許第6,632,724号明細書

【特許文献3】米国特許第6,790,747号明細書

【特許文献4】米国特許第6,693,326号明細書

【特許文献5】米国特許第7,404,157号明細書

【特許文献6】米国特許第7,058,922号明細書

【特許文献7】米国特許第6,898,778号明細書

【特許文献8】米国特許第5,012,123号明細書

- 【特許文献 9】米国特許第 5, 8 1 8, 0 9 9 号明細書
- 【特許文献 10】米国特許第 6, 2 4 9, 0 2 7 号明細書
- 【特許文献 11】米国特許第 6, 5 0 4, 2 1 2 号明細書
- 【特許文献 12】米国特許出願 2 0 0 1 - 0 0 1 5 4 6 1 号明細書
- 【特許文献 13】米国特許出願 2 0 0 3 - 0 2 0 5 7 6 0 号明細書
- 【特許文献 14】欧州特許第 1 0 0 6 5 8 4 号明細書
- 【特許文献 15】米国特許第 4, 0 5 3, 9 1 6 号明細書
- 【特許文献 16】米国特許第 5, 4 1 6, 0 4 3 号明細書
- 【特許文献 17】米国特許第 5, 4 9 2, 8 5 7 号明細書
- 【特許文献 18】米国特許第 5, 5 7 2, 0 4 0 号明細書
- 【特許文献 19】米国特許第 5, 5 9 6, 2 0 5 号明細書
- 【特許文献 20】米国特許第 5, 6 0 0, 1 6 9 号明細書
- 【特許文献 21】米国特許第 5, 6 6 3, 5 7 0 号明細書
- 【特許文献 22】米国特許第 5, 8 6 1, 3 3 6 号明細書
- 【特許文献 23】米国特許第 5, 8 6 3, 8 2 3 号明細書
- 【特許文献 24】米国特許第 5, 8 8 3, 3 9 6 号明細書
- 【特許文献 25】米国特許第 5, 8 9 5, 9 5 7 号明細書
- 【特許文献 26】米国特許第 5, 9 2 0, 2 3 3 号明細書
- 【特許文献 27】米国特許第 5, 9 3 0, 6 3 8 号明細書
- 【特許文献 28】米国特許第 5, 9 7 3, 3 6 3 号明細書
- 【特許文献 29】米国特許第 5, 9 7 3, 3 8 2 号明細書
- 【特許文献 30】米国特許第 6, 0 5 7, 5 5 5 号明細書
- 【特許文献 31】米国特許第 6, 8 0 4, 5 0 2 号明細書
- 【特許文献 32】米国特許第 7, 0 5 6, 8 0 8 号明細書
- 【特許文献 33】米国特許第 6, 9 6 9, 6 6 8 号明細書