(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/204126 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
H01L 21/265 (2006.01) *H01L 29/739* (2006.01)

(21) 国際出願番号: PCT/JP2016/067597

(22) 国際出願日: 2016 年 6 月 13 日(13.06.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-122037 2015 年 6 月 17 日(17.06.2015) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 今川　鉄太郎(IMAGAWA Tetsutaro); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿１－６－１　新宿エルタワー２２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

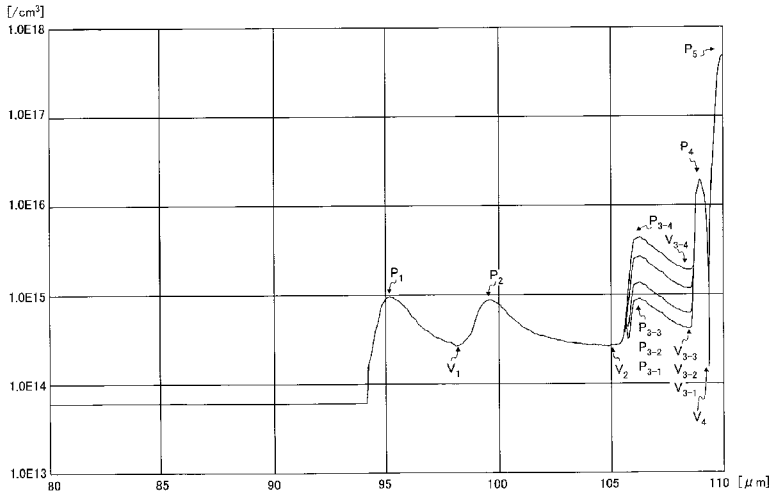
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置



(57) **Abstract**: Achieving both suppression of oscillation in switching and improvement in resistance to a large current short-circuit is difficult. Provided is a semiconductor device comprising: a first conduction-type semiconductor layer having a first surface and a second surface positioned at the opposite side to the first surface; and a second conduction-type semiconductor layer provided so as to be in contact with the first surface of the first conduction-type semiconductor layer, wherein the first conduction-type semiconductor layer has a plurality of impurity concentration peaks at different positions in a first direction from the first surface to the second surface, and an integrated concentration from the first surface, which is a joint boundary surface between the first conduction-type semiconductor layer and the second conduction-type semiconductor layer in the first direction, to a boundary between a first impurity concentration peak and a second impurity concentration peak is equal to or less than a critical integrated concentration, in which the first impurity concentration peak is the closest to the first surface and the second impurity concentration peak is the second closest to the first surface, of the plurality of impurity concentration peaks.

(57) 要約:

[続葉有]

WO 2016/204126 A1

スイッチング時の発振の抑制と、大電流短絡耐量の向上とを両立させることは難しい。第１の面と第１の面の反対側に位置する第２の面とを有する第１導電型の半導体層と、第１導電型の半導体層の第１の面に接して設けられた第２導電型の半導体層とを備え、第１導電型の半導体層は、第１の面から第２の面への第１方向の異なる位置において、複数の不純物濃度ピークを有し、第１方向における第１導電型の半導体層と第２導電型の半導体層との接合界面である第１の面から、複数の不純物濃度ピークのうち第１の面に１番目に近い第１番目の不純物濃度ピークと、第１の面に２番目に近い第２番目の不純物濃度ピークとの境界までにおける積分濃度が、臨界積分濃度以下である、半導体装置を提供する。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

[0002] 従来、ＩＧＢＴ（絶縁ゲート型バイポーラトランジスタ）装置に、フィールドストップ層（ＦＳ層）として機能する水素イオン等をドープした領域を設けていた（例えば、特許文献１および２参照）。

［先行技術文献］

［特許文献］

［特許文献１］ 特表２０１０－５４１２６６号公報

［特許文献２］ 特開２０１４－９９６４３号公報

発明の概要

発明が解決しようとする課題

[0003] 通常、ＦＳ層は、ＩＧＢＴのコレクタ電極近傍に設けられる。ただし、ＦＳ層を通常よりもエミッタ電極寄りの位置に設けると、スイッチング時の発振およびゲート電圧ゼロ時のコレクタ・エミッタ間の漏れ電流を抑制でき、かつ、ＲＢＳＯＡ（逆バイアス安全動作エリア）を改良することができる。特に、スイッチング時の発振等を抑制するためには、ＦＳ層の濃度が大きいほど効果的である。これに対して、ＦＳ層をコレクタ電極寄りの位置に設けると、エミッタ電極寄りの位置に設ける場合と比較して、ドリフト層が厚くなるので、大電流短絡耐量および耐圧が向上する。特に、大電流短絡耐量等を向上させるためには、ＦＳ層の濃度が小さいほど効果的である。このように、スイッチング時の発振等の抑制と大電流短絡耐量等の向上とは、ＦＳ層に対する要件が逆であるので両立させることが難しい。

[0004] ここで、大電流短絡耐量とは、ゲート電圧を次第に上昇させて、ＩＧＢＴが破壊されるときの通電電流量により規定される耐量である。大電流短絡耐量を測定するには、スイッチングオン時間の時間幅を固定して、ＩＧＢＴを

複数回オンオフして、スイッチングオンの回数を追うにつれて次第に入力するゲート電圧を上げることによりＩＧＢＴに大電流を流す。ＦＳ層が通常よりもエミッタ電極寄りの位置に設けられ、かつ、ＦＳ層の濃度が通常よりも大きい場合には、コレクタ側から移動するホールが抑えられる。これにより、ＩＧＢＴの電流成分において電子の比率がホールよりも多くなり、コレクタ側の電界が上昇する。コレクタ側の電界が上昇しすぎると、ＩＧＢＴが破壊に至る。

課題を解決するための手段

[0005] 本発明の第１の態様においては、半導体装置を提供する。半導体装置は、第１導電型の半導体層と、第２導電型の半導体層とを備えてよい。第１導電型の半導体層は、第１の面と第２の面とを有してよい。第２の面は、第１の面の反対側に位置してよい。第２導電型の半導体層は、第１導電型の半導体層の第１の面に接して設けられてよい。第１導電型の半導体層は、第１方向の異なる位置において、複数の不純物濃度ピークを有してよい。第１方向は、第１の面から第２の面への方向であってよい。第１の面から、複数の不純物濃度ピークのうち第１の面に１番目に近い第１番目の不純物濃度ピークと、第１の面に２番目に近い第２番目の不純物濃度ピークとの境界までにおける積分濃度が、臨界積分濃度以下であってよい。第１の面は、第１方向における第１導電型の半導体層と第２導電型の半導体層との接合界面であってよい。

[0006] 第１方向における第１の面から、第２番目の不純物濃度ピークと、複数の不純物濃度ピークのうち第１の面に３番目に近い第３番目の不純物濃度ピークとの境界までの積分濃度が、臨界積分濃度以下であってよい。

[0007] 第１導電型の半導体層は、複数の不純物濃度ピークのうち第３番目の不純物濃度ピークよりも第２の面側に、プロトン以外の不純物濃度ピークを有してよい。

[0008] 第１方向における第１の面から、第３番目の不純物濃度ピークと、プロトン以外の不純物濃度ピークとの境界までの積分濃度が、臨界積分濃度以下で

あってよい。

[0009] 第１方向における第１の面から、第３番目の不純物濃度ピークまでの積分濃度が、臨界積分濃度以下であってよい。

[0010] 第１導電型の半導体層は、第２の面と、プロトン以外の不純物の濃度ピークとの間に、プロトン以外の不純物の濃度ピークよりも高い不純物濃度の第２導電型の不純物濃度ピークを有してよい。

[0011] 第１導電型の半導体層および第２導電型の半導体層の第１方向における長さに対する第２導電型の半導体層の接合界面とは反対側に位置するおもて面から、第１番目の不純物濃度ピークの位置までの割合は、８５％より大きく、８９％より小さい範囲であってよい。第１導電型の半導体層および第２導電型の半導体層の前記第１方向における長さに対するおもて面から、第２番目の不純物濃度ピークの位置までの割合は、８９％より大きく、９１％より小さい範囲であってよい。第１導電型の半導体層および第２導電型の半導体層の第１方向における長さに対するおもて面から、第３番目の不純物濃度ピークの位置までの割合は、９６％より大きく、９８％より小さい範囲であってよい。第１導電型の半導体層および第２導電型の半導体層の第１方向における長さに対するおもて面から、プロトン以外の不純物濃度ピークの位置までの割合は、９８％より大きく、１００％より小さい範囲であってよい。

[0012] 第１番目の不純物濃度ピークの位置は、第２導電型の半導体層の接合界面とは反対側に位置するおもて面から９４μｍより大きく、９７μｍより小さい範囲にあってよい。第２番目の不純物濃度ピークの位置は、おもて面から９７μｍより大きく、１００μｍより小さい範囲にあってよい。第３番目の不純物濃度ピークの位置は、おもて面から１０５μｍより大きく、１０８μｍより小さい範囲にあってよい。プロトン以外の不純物濃度ピークの位置は、おもて面から１０８μｍより大きく、１１０μｍより小さい範囲にあってよい。

[0013] 第１導電型の半導体層および第２導電型の半導体層の第１方向における長さに対する第２導電型の半導体層の接合界面とは反対側に位置するおもて面

から、第１番目の不純物濃度ピークの位置までの割合は、７７％より大きく、８１％より小さい範囲であってよい。第１導電型の半導体層および第２導電型の半導体層の第１方向における長さに対するおもて面から第２番目の不純物濃度ピークの位置までの割合は、８１％より大きく、８６％より小さい範囲であってよい。第１導電型の半導体層および第２導電型の半導体層の第１方向における長さに対するおもて面から第３番目の不純物濃度ピークの位置までの割合は、９３％より大きく、９７％より小さい範囲であってよい。第１導電型の半導体層および第２導電型の半導体層の第１方向における長さに対するおもて面からプロトン以外の不純物濃度ピークの位置までの割合は、９７％より大きく、１００％より小さい範囲であってよい。

[0014] 第１番目の不純物濃度ピークの位置は、第２導電型の半導体層の接合界面とは反対側に位置するおもて面から５４μｍより大きく、５７μｍより小さい範囲にあってよい。

第２番目の不純物濃度ピークの位置は、おもて面から５７μｍより大きく、６０μｍより小さい範囲にあってよい。

第３番目の不純物濃度ピークの位置は、おもて面から６５μｍより大きく、６８μｍより小さい範囲にあってよい。

プロトン以外の不純物濃度ピークの位置は、おもて面から６８μｍより大きく、７０μｍより小さい範囲にあってよい。

[0015] 半導体装置は、ゲート絶縁膜と、ゲート電極とをさらに有してよい。ゲート絶縁膜は、少なくとも第２導電型の半導体層の一部において、トレンチ状に設けられてよい。ゲート電極は、ゲート絶縁膜に接して設けられてよい。

[0016] 第１番目から第３番目の不純物濃度ピークは、水素、空孔及び酸素による複合ドナーを含んでよい。

[0017] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0018] [図1]本発明の実施形態におけるＩＧＢＴ１００の断面を示す図である。

[図2]（ａ）～（ｄ）は、ＩＧＢＴ１００の製造工程を示す図である。

[図3]第１実施形態におけるＡ１－Ａ２間の不純物濃度ピーク（P_x）と不純物濃度ピーク間の境界（V_y）とを示す図である。

[図4]は、図３の位置８０［μｍ］から位置１１０［μｍ］までを示す拡大図である。

[図5]第１実施形態におけるＡ１－Ａ２間の不純物濃度ピーク（P_x）と臨界積分濃度との関係を示す図である。

[図6]は、図５の位置８０［μｍ］から位置１１０［μｍ］までを示す拡大図である。

[図7]第２実施形態におけるＡ１－Ａ２間の不純物濃度ピーク（P_x）と不純物濃度ピーク間の境界（V_y）とを示す図である。

[図8]は、図６の位置４０［μｍ］から位置７０［μｍ］までを示す拡大図である。

[図9]第２実施形態におけるＡ１－Ａ２間の不純物濃度ピーク（P_x）と臨界積分濃度との関係を示す図である。

[図10]ドナー濃度に対する臨界電界強度E_cおよび臨界積分濃度n_cの関係を示す図である。

発明を実施するための形態

[0019] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0020] 本明細書において、ｎまたはｐは、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎまたはｐの右肩に記載した＋または－について、＋はそれが記載されていないものよりもキャリア濃度が高く、－はそれが記載されていないものよりもキャリア濃度が低いことを意味する。また、本明細書に記載した例では、第１導電型はｎ型を意味し第２導電型はｐ

型を意味するが、他の例においては、第１導電型がｐ型を意味し第２導電型がｎ型を意味してもよい。

[0021] 図１は、本発明の実施形態におけるＩＧＢＴ１００の断面を示す図である。半導体装置としてのＩＧＢＴ１００は、半導体基板１０と、半導体基板１０のおもて１９に接して設けられたエミッタ電極５２および層間絶縁膜３６と、半導体基板１０の裏面に接して設けられたコレクタ電極５４とを備える。

[0022] 半導体基板１０は、第１導電型の半導体層としてのｎ⁻型のドリフト層１２と、第２導電型の半導体層としてのｐ型のベース層１８とを有する。ドリフト層１２は、第１の面１４と第２の面１６とを有する。第１の面１４は、ドリフト層１２とベース層１８との接合界面でもある。なお、第２の面１６は、第１の面１４の反対側に位置し、上述の半導体基板１０における裏面に一致する。ベース層１８は、第１の面１４に接して設けられる。ベース層１８は、第１の面１４（接合界面）とは反対側に位置するおもて面１９を有する。なお、図１において、ベース層１８のおもて面１９には、コンタクト領域４２およびエミッタ領域４４が位置する。おもて面１９は半導体基板１０のおもて面でもある。

[0023] ドリフト層１２は、第２の面１６の側に半導体層２０を有する。半導体層２０は、ドリフト層１２の第２の面１６から不純物をドープすることにより形成される。半導体層２０は、第１方向の異なる位置において、複数の不純物濃度ピークを有する。本明細書においてピークとは、第１導電型または第２導電型の不純物濃度のピークを意味する。半導体層２０は、第１導電型のＦＳ層２２と、第１導電型のバッファ層２４と、第２導電型のコレクタ層２６とを有する。ＦＳ層２２、バッファ層２４およびコレクタ層２６は、この順で第１方向に並んで設けられる。第１方向とは、第１の面１４から第２の面１６へ向かう方向である。第１方向は、エミッタ電極５２からコレクタ電極５４へ向かう、半導体基板１０の厚み方向と読み替えてもよい。

[0024] 第１導電型のＦＳ層２２は、第１方向の異なる位置において３つの不純物

濃度ピークを有する。本例のＦＳ層２２は、空乏層の広がりを止める機能を有する。つまり、ＦＳ層２２は、第１の面１４近傍から伸長する空乏層を第２の面１６まで伸長させないという機能を有する。本例のＦＳ層２２は、プロトン（H^+）をドープした領域であり、第１方向の異なる位置においてプロトン（H^+）のドープに起因する３つの不純物濃度のピークを有する領域である。プロトンのドープに起因する不純物濃度のピークを構成するドナーは、プロトンの注入により導入された水素（Ｈ）、同じく注入時に結晶欠陥として形成された空孔（Ｖ）、半導体基板１０内に存在する酸素（Ｏ）との複合欠陥、すなわちＶＯＨ欠陥による複合ドナーである。このＶＯＨ欠陥による複合ドナーを、水素関連ドナーとも言う。

[0025] 第１導電型のバッファ層２４は、ＦＳ層２２よりも高い第１導電型の不純物濃度を有する層である。つまり、本例において、ＦＳ層２２はｎ型であり、バッファ層２４はｎ$^+$型である。バッファ層２４もＦＳ層２２と同様に空乏層の広がりを止める機能を有してよい。本例のバッファ層２４は、プロトン以外の第１導電型の不純物濃度ピークを有する。本例のバッファ層２４は、リン（Ｐ）をドープした領域である。しかし、バッファ層２４は、リン（Ｐ）に代えて、ＦＳ層２２よりも高い不純物濃度を有するようにプロトン（H^+）がドープされた層であってもよい。

[0026] 第２導電型のコレクタ層２６は、半導体基板１０からホールを供給する機能を有する。コレクタ層２６は、バッファ層２４の不純物濃度ピークよりも高い不純物濃度ピークを有する層である。本例のコレクタ層２６は、ボロン（Ｂ）をドープした領域である。

[0027] 半導体基板１０は、トレンチ型のゲート電極３２と、ゲート絶縁膜３４と、第１導電型のエミッタ領域４４と、第２導電型のコンタクト領域４２とをさらに有する。ゲート絶縁膜３４は、少なくともベース層１８の一部において、トレンチ状に設けられる。ゲート電極３２は、ゲート絶縁膜３４に接して設けられる。

[0028] なお、他の例において、ＩＧＢＴ１００はプレーナー型のゲート電極およ

びゲート絶縁膜を有してもよい。プレーナー型よりもトレンチ型の方が、エミッタ電極５２からコレクタ電極５４へ入る電子の量が多い。それゆえ、コレクタ層２６からホールを供給して、コレクタ電極５４側の電界集中を緩和する本例の半導体層２０の構成は、プレーナー型よりもトレンチ型において、効果的である。

[0029] ゲート電極３２は、おもて面１９に接して設けられた層間絶縁膜３６によってエミッタ電極５２とは電気的に分離される。複数のゲート電極３２には、ゲート端子５０を介して電圧が印加される。エミッタ電極５２にはエミッタ端子５１が電気的に接続され、コレクタ電極５４にはコレクタ端子５３が電気的に接続される。

[0030] ゲート電極３２がオン状態となると、ゲート電極３２の近傍のベース層１８にチャネル領域が形成される。このとき、エミッタ電極５２およびコレクタ電極５４間に適切な電位差が形成されるとコレクタ電極５４からエミッタ電極５２に電流が流れる。エミッタ領域４４は、チャネル形成領域に接続した電流経路を提供する領域である。

[0031] コンタクト領域４２は、エミッタ電極５２と半導体基板１０との低接触抵抗を提供する領域である。ＩＧＢＴ１００が通電する場合、コレクタ電極５４からエミッタ領域４４およびコンタクト領域４２を経てエミッタ電極５２に電流が流れる。

[0032] 図２の（ａ）～（ｄ）は、ＩＧＢＴ１００の製造工程を示す図である。（ａ）は、ドリフト層１２を有する半導体基板１０のおもて面１９にベース層１８を形成する工程を示す。半導体基板１０は、ｎ型のフロートゾーン（ＦＺ）法による単結晶基板、チョクラルスキー（ＣＺ）法による単結晶基板、磁場印加型チョクラルスキー（ＭＣＺ）法による単結晶基板であってもよい。また、半導体基板１０は、厚さ１００［μｍ］以上、かつ、比抵抗５０［Ωｃｍ］以上であってよい。本例の半導体基板１０は、厚さ１１０［μｍ］、かつ、比抵抗７０［Ωｃｍ］以上である。

[0033] （ｂ）は、ゲート電極３２、ゲート絶縁膜３４、コンタクト領域４２およ

びエミッタ領域４４を形成し、その後、半導体基板１０のおもて面１９に層間絶縁膜３６およびエミッタ電極５２を形成する工程を示す。ゲート電極３２はポリシリコンであってよく、ゲート絶縁膜３４は酸化シリコンであってよい。また、コンタクト領域４２は、第２導電型の不純物としてのボロン（Ｂ）がドープされた領域であってよい。エミッタ領域４４は、第１導電型の不純物としての砒素（Ａｓ）またはリン（Ｐ）がドープされた領域であってよい。層間絶縁膜３６は酸化シリコンであってよく、エミッタ電極５２はアルミニウムとシリコンとの合金（Ａｌ－Ｓｉ）であってよい。

[0034] （ｃ）は、ドリフト層１２の第２の面１６から不純物をドープすることにより、ＦＳ層２２、バッファ層２４およびコレクタ層２６を形成する工程を示す。本例の（ｃ）に示す工程では、まず、プロトン（H^+）をドープすることにより第１方向の異なる位置に３つのピークを有するＦＳ層２２を形成する。プロトンの加速電圧を調整することにより、不純物濃度のピーク位置を調整することができる。

[0035] 本例では、第２の面１６から１５μｍ離れた位置に第１ピークを形成するべく、ドーズ量１．０Ｅ１３ｃｍ$^{-2}$および加速電圧１．００ＭｅＶでプロトン（H^+）をドープする。また、第２の面１６から１０μｍ離れた位置に第２ピークを形成するべく、ドーズ量７．０Ｅ１２ｃｍ$^{-2}$および加速電圧０．８０ＭｅＶでプロトン（H^+）をドープする。さらに、第２の面１６から４．２μｍ離れた位置に第３ピークを形成するべく、ドーズ量１．０Ｅ１３ｃｍ$^{-2}$および加速電圧０．４０ＭｅＶでプロトン（H^+）をドープする。ただし、活性化アニールを経て後にピークが形成される位置は、上述の設定位置から多少ずれる。なお、Ｅは１０の冪を意味し、例えば１．０Ｅ１３とは、１．０×10^{13}の意味である。

[0036] ＦＳ層２２を形成した後、リン（Ｐ）をドープすることによりバッファ層２４を形成する。本例では、第２の面１６から０．７μｍ離れた位置にピークを形成するべく、ドーズ量１．７Ｅ１２ｃｍ$^{-2}$および加速電圧６４０ｋｅＶでリン（Ｐ）をドープする。バッファ層２４を形成した後、ボロン（Ｂ）

を２．０Ｅ１３ｃｍ$^{-2}$でドープすることによりコレクタ層２６を形成する。

[0037] （ｄ）は、第２の面１６に接してコレクタ電極５４を形成する工程を示す。コレクタ電極５４は、チタン（Ｔｉ）、ニッケル（Ｎｉ）および金（Ａｕ）をこの順で積層して形成してよい。その後、ゲート端子５０、エミッタ端子５１およびコレクタ端子５３を設ける。これにより、ＩＧＢＴ１００を完成する。

[0038] 図３は、第１実施形態におけるＡ１－Ａ２間の不純物濃度ピーク（P_x）と不純物濃度ピーク間の境界（V_y）とを示す図である。本明細書において、P_x（ｘ＝１～５）は不純物濃度のピークを示す。ピークP_xは、不純物濃度の極大値である。ピークP_xの位置および不純物濃度の高さは、ドープする不純物の加速電圧および不純物濃度によって、設定することができる。V_y（ｙ＝１～４）は２つのＰ間における境界を示す。境界V_yは２つのピークP_x間における不純物濃度の最小値である。

[0039] 図３において、縦軸は不純物濃度［／ｃｍ^3］を示し、第１導電型および第２導電型を合わせた正味の不純物濃度（ネットドーピング）を示す。図３は、図１のＡ１－Ａ２における不純物濃度に対応する。横軸は、半導体基板１０の第１方向における位置を示す。おもて面１９を位置０［μｍ］とし、第２の面１６を位置１１０［μｍ］とする。位置０［μｍ］と位置１０［μｍ］との間には、ドリフト層１２における第１の面１４が位置する。

[0040] 本例は、耐圧１，２００ＶのＩＧＢＴ１００における不純物濃度のドープパターンである。本例では、Ａ１－Ａ２は、おもて面１９から第２の面１６までに至る第１方向に沿った領域である。

[0041] 本明細書では、複数の不純物濃度ピークのうち第１の面１４に１番目に近い第１番目の不純物濃度ピークを第１のピークP_1と称する。同様に、第１の面１４に２番目に近いものを第２のピークP_2、３番目に近いものを第３のピークP_3、４番目に近いものを第４のピークP_4とそれぞれ称する。さらに、最も第２の面１６に近いピークを第５のピークP_5とする。本例では、ピークＰ１～Ｐ３は、プロトン（H^+）のピークである。第３のピークP_3よりも第

２の面１６側における第４のピークＰ$_4$は、プロトン以外のピークである。また、第５のピークＰ$_5$は第２の面１６と第４のピークＰ$_4$との間に位置し、第４のピークＰ$_4$よりも高い不純物濃度ピークＰ$_5$を有する。

[0042] また、ピークＰ$_1$とＰ$_2$との間に境界Ｖ$_1$を有する。同様に、ピークＰ$_2$とＰ$_3$との間に境界Ｖ$_2$を有し、ピークＰ$_3$とＰ$_4$との間に境界Ｖ$_3$を有し、ピークＰ$_4$とＰ$_5$との間に境界Ｖ$_4$を有する。

[0043] 本例では、ピークＰ$_3$において不純物濃度が低い順に、第１～第４のドープパターンと称する。なお、後述する積分濃度は、第１～第４のドープパターンの順に低い。ピークＰ$_3$の不純物濃度は第１～第４のドープパターンにおいて異なるが、ピークＰ$_3$の位置は第１～第４のドープパターンにおいて同じである。

[0044] 図３は、４種類の異なるドープパターンを１つのグラフに示した図である。異なる種類のドープパターンは、異なるＩＧＢＴ１００に対応する。完成物としての１つのＩＧＢＴ１００は、１種類のドープパターンを有する。第１のドープパターンのトータルのドーズ量を１とした場合に、第２のドープパターンのトータルのドーズ量は１．４であり、第３のドープパターンのトータルのドーズ量は２．６であり、第４のドープパターンのトータルのドーズ量は４．５である。トータルのドーズ量の違いは、第３のピークおよび第３の境界近傍において特に顕著となる。

[0045] ４種類の異なる第１～第４のドープパターンは、第３のピークＰ$_{3-1}$、Ｐ$_{3-2}$、Ｐ$_{3-3}$およびＰ$_{3-4}$、ならびに、第３の境界Ｖ$_{3-1}$、Ｖ$_{3-2}$、Ｖ$_{3-3}$およびＶ$_{3-4}$近傍において異なる不純物濃度を有する。しかし、その他の領域における４種類の異なるドープパターンは、一致する。たとえば、位置０［μｍ］から位置１００［μｍ］までの領域では、４種類の異なるドープパターンは一致している。例えば、Ｐ$_4$、Ｖ$_4$およびＰ$_5$においても、第１～第４のドープパターンは一致している。なお、第３のピークはＰ$_{3-1}$、Ｐ$_{3-2}$、Ｐ$_{3-3}$およびＰ$_{3-4}$の順に不純物濃度が高くなり、第３の境界はＶ$_{3-1}$、Ｖ$_{3-2}$、Ｖ$_{3-3}$およびＶ$_{3-4}$の順に不純物濃度が高くなる。

[0046] 図４は、図３の位置８０［μｍ］から位置１１０［μｍ］までを示す拡大図である。図４からわかるように、４種類の異なるドープパターンは、第２の境界$Ｖ_2$から第４のピーク$Ｐ_4$以外の範囲では完全に一致している。

[0047] なお、第２の境界$Ｖ_2$と第１のドープパターンにおける第３のピーク$Ｐ_{3-1}$との間には、第３のピーク$Ｐ_{3-1}$よりも小さい不純物濃度の極大値と不純物濃度の最小値とが観察される。しかしながら、第２の境界$Ｖ_2$と第３のピーク$Ｐ_{3-1}$との間における不純物濃度の極小値および極大値は、ドープする不純物の加速電圧および不純物濃度によって意図的に形成したものではない。それゆえ、これらは本明細書において、ピークＰおよび境界Ｖではないものとする。

[0048] 本例において、ピーク$Ｐ_1$の位置は、９４［μｍ］より大きく９７［μｍ］より小さい範囲にある。また、ピーク$Ｐ_2$の位置は、９７［μｍ］より大きく１００［μｍ］より小さい範囲にある。さらに、ピーク$Ｐ_3$の位置は、１０５［μｍ］より大きく１０８［μｍ］より小さい範囲にある。加えて、ピーク$Ｐ_4$の位置は、１０８［μｍ］より大きく１１０［μｍ］より小さい範囲にある。

[0049] 本例において、ドリフト層１２およびベース層１８の第１方向における長さを基板長さＬと称すると、上述の範囲は次のように言い換えることができる。基板長さＬに対する０［μｍ］の位置からピーク$Ｐ_1$の位置までの割合は、８５％より大きく８９％より小さい範囲である。また、基板長さＬに対する０［μｍ］の位置から、ピーク$Ｐ_2$の位置までの割合は、８９％より大きく９１％より小さい範囲である。さらに、基板長さＬに対する０［μｍ］の位置から、ピーク$Ｐ_3$の位置までの割合は、９６％より大きく９８％より小さい範囲であり。加えて、基板長さＬに対する０［μｍ］の位置から、ピーク$Ｐ_4$の位置までの割合は、９８％より大きく１００％より小さい範囲である。

[0050] 図５は、第１実施形態におけるＡ１－Ａ２間の不純物濃度ピーク（$Ｐ_x$）と臨界積分濃度との関係を示す図である。縦軸は積分濃度［／ｃｍ^2］を示し、横軸は図３および図４と同じく、半導体基板１０の第１方向における位置を

示す。本例では、スケールの関係上、１１０［μｍ］近傍のグラフは省略している。

[0051] 本明細書では、ドリフト層１２とベース層１８との接合界面である第１の面１４からドリフト層１２の特定の位置まで、第１方向に沿って不純物濃度を積分した値を、積分濃度と称する。さらに、本明細書では、コレクタ電極５４およびエミッタ電極５２間に順バイアスが印加され、電界強度の最大値が臨界電界強度に達してアバランシェ降伏が発生した場合であって、第１の面１４から第１方向におけるドリフト層１２の特定位置までが空乏化する場合に、当該特定位置における不純物濃度の積分した値が臨界積分濃度に達すると称する。なお、ＩＧＢＴ１００において、コレクタ電極５４およびエミッタ電極５２の間に順バイアスが印加されるとは、コレクタ電極５４の電位がエミッタ電極５２の電位よりも高いことを意味する。

[0052] 順バイアス印加時に、臨界積分濃度に達する特定位置までのドリフト層１２は空乏化するが、当該特定位置よりも第１方向の先の領域は空乏化しない。本例では、４つのドープパターンにおけるＦＳ層２２のピーク位置（ピークP_1～ピークP_3）を調節することにより、ドリフト層１２における臨界積分濃度の位置を調節することができる。臨界積分濃度は、１．２Ｅ１２［／ｃｍ^2］と２．０Ｅ１２［／ｃｍ^2］との間に位置してよい。本例の臨界積分濃度は、約１．４Ｅ１２［／ｃｍ^2］である。

[0053] 本例では、第１～第４のドープパターンにおいて、第１方向における第１の面１４から、境界V_1までにおける積分濃度が、臨界積分濃度以下である。また、第１～第４のドープパターンにおいて、第１方向における第１の面１４から、境界V_2までの積分濃度が、臨界積分濃度以下である。

[0054] さらに本例では、第１のドープパターンにおいて、第１方向における第１の面１４から境界V_{3-1}までの積分濃度が、臨界積分濃度以下である。また、第２のドープパターンにおいても、第１方向における第１の面１４から境界V_{3-2}までの積分濃度が、臨界積分濃度以下である。しかし、第３～第４のドープパターンにおいては、第１方向における第１の面１４から、境界V_3まで

の積分濃度は臨界積分濃度を超える。なお、第２のドープパターンにおいては、第１方向における第１の面１４から、ピークP_{3-2}までの積分濃度が、臨界積分濃度以下である。

[0055] 図６は、図５の位置８０［μｍ］から位置１１０［μｍ］までを示す拡大図である。本例では、ピークP_1、P_2およびP_3の３つのピークによりＦＳ層２２を形成する。ＦＳ層２２の第１のピークP_1においては臨界積分濃度に達しないので、ＦＳ層２２を比較的エミッタ電極５２寄りに比較的高い濃度で設けることができる。これによりスイッチング時の発振を抑制することができる。また本例では、ＦＳ層２２またはバッファ層２４において臨界積分濃度に達するので、ＦＳ層２２またはバッファ層２４において空乏層の伸びを抑えることができる。

[0056] 本例では、さらに、ＦＳ層２２よりも高濃度のバッファ層２４（ピークP_4）と、バッファ層２４よりも高濃度のコレクタ層２６（ピークP_5）を有する。ＦＳ層２２の不純物濃度が１．０Ｅ１４～１．０Ｅ１６であるのに対して、ピークP_4の不純物濃度は１．０Ｅ１６～１．０Ｅ１７であり、ピークP_5の不純物濃度は１．０Ｅ１７～１．０Ｅ１８である。それゆえ、ピークP_4およびピークP_5は、図６に図示されていない。本例ではバッファ層２４およびコレクタ層２６により、キャリアの注入特性を制御することができる。例えば、コレクタ層２６によりドリフト層１２へのホールの注入特性を向上させることができる。これにより、ターンオフ時にキャリアを空乏層に供給できるので、コレクタ側における電界の上昇を緩和することができる。よって、大電流短絡耐量を向上させることができる。このように、本例の構造を採用することにより、スイッチング時の発振の抑制等と大電流短絡耐量の向上等とを両立することができる。

[0057] 本例では、コレクタ電圧Ｖｃｃ＝６８０［Ｖ］、ゲートオン抵抗Ｒｇｏｎ＝４．１［Ω］、ゲートオフ抵抗Ｒｇｏｆｆ＝２０［Ω］、ゲート入力パルス時間＝２［μｓ］、チップ接合温度Ｔｊ＝２５［℃］とし、ゲート・エミッタ間電位Ｖｇｅを１５［Ｖ］から次第に上昇させて大電流短絡耐量試験を

行った。本例のＩＧＢＴ１００は、コレクタ・エミッタ間電流Ｉｃ＝４，３００［Ａ／ｃｍ^2］でも破壊されなかった。なお、装置限界により、Ｉｃ＝４，３００［Ａ／ｃｍ^2］で通電をストップした。コレクタ電圧Ｖｃｃは、コレクタ端子５３に印加する電圧である。ゲート・エミッタ間電位Ｖｇｅは、ゲート端子５０とエミッタ端子５１との電位差である。コレクタ・エミッタ間電流Ｉｃは、コレクタ端子５３とエミッタ端子５１との間に流れる電流である。

[0058] また、本例では、コレクタ電圧Ｖｃｃ＝８７０［Ｖ］、コレクタ・エミッタ間電流Ｉｃｅ＝３００［Ａ／ｃｍ^2］、ゲートオン抵抗Ｒｇｏｎ＝１［Ω］、ゲートオフ抵抗Ｒｇｏｆｆ＝１［Ω］、浮遊インダクタンスＬｓ＝７０［ｎＨ］、チップ接合温度Ｔｊ＝２５［℃］とし、ゲート・エミッタ間電位Ｖｇｅを１５［Ｖ］から０［Ｖ］へターンオフして、ターンオフサージ試験を行った。本例のＩＧＢＴ１００はターンオフ時のコレクタ・エミッタ間電圧Ｖｃｅのピークが１，１２５［Ｖ］となった。これは、ターンオフ時のサージ電圧が従来よりも抑えられたことを意味する。加えて、ターンオフ振動もまた従来よりも抑えられた。

[0059] 図７は、第２実施形態におけるＡ１－Ａ２間の不純物濃度ピーク（P_x）と不純物濃度ピーク間の境界（V_y）とを示す図である。縦軸および横軸は図３と同じである。本例では、第２の面１６が位置７０［μｍ］に対応する。本例のＩＧＢＴ１００は、ドリフト層１２の厚みが第１実施形態よりも薄く、耐圧６００Ｖを有する。本例では、ピークP_xの位置が第１実施形態と異なる。他の点は、第１実施形態と同じであってよい。なお、本例は、１種類のドープパターンを示す。

[0060] 図８は、図６の位置４０［μｍ］から位置７０［μｍ］までを示す拡大図である。本例において、ピークP_1の位置は、５４［μｍ］より大きく５７［μｍ］より小さい範囲にある。また、ピークP_2の位置は、５７［μｍ］より大きく６０［μｍ］より小さい範囲にある。さらに、ピークP_3の位置は、６５［μｍ］より大きく６８［μｍ］より小さい範囲にある。加えて、ピーク

P_4の位置は、６８［μｍ］より大きく７０［μｍ］より小さい範囲にある。

[0061] 本例において、ドリフト層１２およびベース層１８の第１方向における長さを基板長さＬと称すると、上述の範囲は次のように言い換えることができる。基板長さＬに対する０［μｍ］の位置からピークP_1の位置までの割合は、７７％より大きく８１％より小さい範囲である。また、基板長さＬに対する０［μｍ］の位置からピークP_2の位置までの割合は、８１％より大きく８６％より小さい範囲である。さらに、基板長さＬに対する０［μｍ］の位置からピークP_3の位置までの割合は、９３％より大きく９７％より小さい範囲である。加えて、基板長さＬに対する０［μｍ］の位置からピークP_4の位置までの割合は、９７％より大きく１００％より小さい範囲である。

[0062] 図９は、第２実施形態におけるＡ１－Ａ２間の不純物濃度ピーク（P_x）と臨界積分濃度との関係を示す図である。本例では、第１方向における第１の面１４から境界V_1までにおける積分濃度は、臨界積分濃度以下である。また、第１方向における第１の面１４からピークP_2までの積分濃度は、臨界積分濃度以下である。加えて、第１方向における第１の面１４から境界V_2までの積分濃度も臨界積分濃度以下である。しかし、第１方向における第１の面１４からピークP_3までの積分濃度は臨界積分濃度を超える。

[0063] 第２実施形態におけるＩＧＢＴ１００の製造工程は、第１実施形態と基本的に同じである。相違点を下記に列挙する。第２実施形態における半導体基板１０は、厚さ１００［μｍ］未満、かつ、比抵抗５０［Ωｃｍ］未満であってよい。本例の半導体基板１０は、厚さ７０［μｍ］、かつ、比抵抗３０［Ωｃｍ］である。ＦＳ層２２の製造工程では、第２の面１６から４．２μｍ離れた位置に第３ピークを形成するべく、ドーズ量１．０Ｅ１４ｃｍ$^{-2}$および加速電圧０．４０ＭｅＶでプロトンをドープする。他の点は、第１実施形態と同じである。本例においても、第１実施形態と同じ効果を得ることができる。

[0064] 本例では、コレクタ電圧Ｖｃｃ＝３６０［Ｖ］、ゲートオン抵抗Ｒｇｏｎ＝１［Ω］、ゲートオフ抵抗Ｒｇｏｆｆ＝９０［Ω］、ゲート入力パルス時

間＝２［μｓ］、チップ接合温度Ｔｊ＝－４０［℃］とし、ゲート・エミッタ間電位Ｖｇｅを１５［Ｖ］から次第に上昇させて大電流短絡耐量試験を行った。本例のＩＧＢＴ１００は、コレクタ・エミッタ間電流Ｉｃ＝４，３００［Ａ／ｃｍ^2］でも破壊されなかった。なお、装置限界により、Ｉｃ＝４，３００［Ａ／ｃｍ^2］で通電をストップした。

[0065] また、本例では、コレクタ電圧Ｖｃｃ＝４１０［Ｖ］、コレクタ・エミッタ間電流Ｉｃｅ＝３１０［Ａ／ｃｍ^2］、ゲートオン抵抗Ｒｇｏｎ＝３．９［Ω］、ゲートオフ抵抗Ｒｇｏｆｆ＝３．９［Ω］、浮遊インダクタンスＬｓ＝７０［ｎＨ］、チップ接合温度Ｔｊ＝１７５［℃］とし、ゲート・エミッタ間電位Ｖｇｅを１５［Ｖ］から０［Ｖ］へターンオフして、ターンオフサージ試験を行った。本例のＩＧＢＴ１００はターンオフ時のコレクタ・エミッタ間電圧Ｖｃｅのピークが約７００［Ｖ］となった。ターンオフ時のサージ電圧が従来よりも抑えられた。加えて、ターンオフ振動もまた従来よりも抑えられた。

[0066] さらに、本例では、コレクタ電圧Ｖｃｃ＝３５０［Ｖ］、コレクタ・エミッタ間電流Ｉｃｅ＝４９０［Ａ／ｃｍ^2］とし、他の条件は上述のターンオフサージ試験と同じにして、ターンオフサージ試験を行った。本例のＩＧＢＴ１００はターンオフ時のコレクタ・エミッタ間電圧Ｖｃｅのピークが約７５０［Ｖ］となった。ターンオフ時のサージ電圧が従来よりも抑えられた。加えて、ターンオフ振動もまた従来よりも抑えられた。

[0067] 図１０は、ドナー濃度に対する臨界電界強度Ｅ$_c$および臨界積分濃度ｎ$_c$の関係を示す図である。横軸は、ドナー濃度（ｎ型の不純物濃度）［／ｃｍ^3］であり、縦軸左側は臨界電界強度Ｅ$_c$［Ｖ／ｃｍ］であり、縦軸右側は臨界積分濃度ｎ$_c$［／ｃｍ^2］である。以降では、ドナー濃度に対する臨界電界強度Ｅ$_c$と臨界積分濃度ｎ$_c$とが対応関係にあることを説明する。

[0068] 平面ｐｎ接合において、ｐ型層の濃度がｎ型層の濃度よりも数桁高い片側階段接合を考える。片側階段接合の場合、ｐｎ接合に逆バイアス電圧を印加すると、空乏層はｎ型層にのみ広がると見なすことができる。逆バイアス電

圧の印加により空乏層が広がるとともに、ｐｎ接合近傍で電界強度は最大値となる。この電界強度の最大値が所定値に達すると、インパクトイオン化によりアバランシェ降伏が発生する。

[0069] なお、第１および第２実施形態においては、当該ｎ型層がドリフト層１２に対応し、当該ｐ型層がベース層１８に対応する。また、ｐｎ接合に逆バイアス電圧を印加することは、コレクタ電極５４の電位がエミッタ電極５２の電位よりも高い、順バイアスをＩＧＢＴ１００に印加することに対応する。

[0070] アバランシェ降伏が発生する電界強度の値は、臨界電界強度（Ｃｒｉｔｉｃａｌ Ｅｌｅｃｔｒｉｃ Ｆｉｅｌｄ Ｓｔｒｅｎｇｔｈ）と呼ばれる。アバランシェ降伏は、半導体の構成元素と、半導体にドーピングされた不純物と、不純物の濃度とに依存する。ドナー濃度をN_D、臨界電界強度をE_Cとすると、シリコン（Ｓｉ）におけるインパクトイオン化係数を用いてイオン化積分をすると、臨界電界強度E_Cは数式１で表される。

[0071] [数1]

$$Ec = 4010 \cdot (ND)^{1/8}$$

[0072] 数式１からわかるように、ドナー濃度N_Dが決まれば、臨界電界強度E_Cは定まる。また、ポアソンの式は、１次元方向（ｘ方向とする）のみを考慮した場合、数式２で表される。

[0073] [数2]

$$dE/dx = (q/\varepsilon_r \varepsilon_0)(p-n+N_D-N_A)$$

[0074] ここで、ｑは電荷素量（１．０６２×１０^{15}［Ｃ］）、ε_0は真空の誘電率（８．８５４×１０$^{-14}$［Ｆ／ｃｍ］）、ε_rは物質の比誘電率である。シリコンの場合は、ε_r＝１１．９である。ｐは正孔濃度、ｎは電子濃度、N_Aはアクセプタ濃度である。片側階段接合でｎ型層のみを考慮するのでアクセプタが存在しない（N_A＝０）とする。さらに、正孔および電子が存在しない完全空乏化された（ｎ＝ｐ＝０）空乏層を仮定すると、数式２を深さｘで積分

すれば、数式３が得られる。

[0075] [数3]

$$E = (q/\varepsilon_r \varepsilon_0)\int N_D dx$$

[0076] ｐｎ接合の位置を原点０、ｎ型層においてｐｎ接合とは反対側の位置における空乏層の端部の位置をx_0とする。そして、空乏層全体を０からx_0で積分すると、数式３のＥは、電界強度分布の最大値となる。これをE_mとすると、E_mは数式４で表される。

[0077] [数4]

$$E_m = (q/\varepsilon_r \varepsilon_0)\int_0^{x_0} N_D dx$$

[0078] 電界強度分布の最大値E_mが、臨界電界強度E_cに達したとすると、数式４は数式５で表される。

[0079] [数5]

$$E_c (\varepsilon_r \varepsilon_0/q) = \int_0^{x_0} N_D dx$$

[0080] 数式５は、両辺とも定数である。数式５の右辺は、ｎ型層において完全空乏化した範囲であるので、本明細書において記載した定義より、臨界積分濃度n_cと表す。これにより次の数式６を得る。数式６は、臨界積分濃度n_cと臨界電界強度E_cとの対応を示す。このように、臨界積分濃度n_cは、臨界電界強度E_cに対応する定数となす。

[0081] [数6]

$$E_c (\varepsilon_r \varepsilon_0/q) = n_c$$

[0082] なお、図１０においては、ドナー濃度N_Dはｎ型層のｘ方向の濃度分布が一様であると仮定している。臨界電界強度E_cはｎ型層のドナー濃度N_Dに依存するので（数式５参照）、臨界積分濃度n_cもｎ型層のドナー濃度にN_Dに依存する。ドナー濃度N_Dが1×10^{13}～1×10^{15}（／ｃｍ^3）の範囲では、

臨界積分濃度n_cは１．１×10^{12}～２．０×10^{12}（／ｃｍ^2）となる。ドナー濃度が数桁に亘る濃度範囲であることを踏まえると、臨界積分濃度n_cはほぼ定数であると見なすことができる。

[0083] 例えば、第１実施形態の１，２００Ｖの例では、ドリフト層１２のドナー濃度N_Dを６．１×10^{13}（／ｃｍ^3）とすると（図３および図４参照）、数式６から臨界積分濃度n_cは約１．４×10^{12}（／ｃｍ^2）と評価できる。また、第２実施形態の６００Ｖの例では、ドリフト層１２のドナー濃度N_Dを１．４×10^{14}（／ｃｍ^3）とすると（図７および図８参照）、数式６から臨界積分濃度n_cは約１．５５×10^{12}（／ｃｍ^2）と評価できる。

[0084] 第１および第２実施形態では、ピークP_xの位置を調節することにより、臨界積分濃度n_cの位置を調節する。ＦＳ層２２において臨界積分濃度n_cに達するので、ＦＳ層２２を比較的エミッタ電極５２寄りに比較的高い濃度で設けることができる。これによりスイッチング時の発振を抑制することができる。また、漏れ電流も抑制でき、ＲＢＳＯＡも改良できる。さらに、ＦＳ層２２よりも不純物濃度が高いコレクタ層２６によりホール注入特性を制御することで、臨界積分濃度n_cの位置における臨界電界強度E_cを抑えることができる。これにより、ＦＳ層２２を従来よりもコレクタ電極５４に寄せることなく、かつ、ＦＳ層２２の濃度を従来よりも低くすることなく、大電流短絡耐量を向上させることができる。また、耐圧も向上させることができる。このように、大電流短絡耐量の向上とスイッチング時の発振等の抑制とを両立することができる。

[0085] なお、本願のように、複数の不純物濃度のピークを有するＦＳ層２２を備える場合、ドリフト層１２のドナー濃度N_DはＦＳ層２２内では一様とはならない。ただし、臨界積分濃度n_cは、空乏層が広がる第１方向における積分量であるので、ＦＳ層２２における不純物濃度の増減は積分量に吸収される。

[0086] また、上述の臨界総不純物量の議論は、シリコンに限らず、炭化シリコン（ＳｉＣ）、窒化ガリウム（ＧａＮ）、ダイアモンド、酸化ガリウム（Ga_2O_3）等のワイドバンドギャップ半導体にも適用可能である。すなわち、数式

１を導出するためにはインパクトイオン化係数に、数式２においては比誘電率に、各物質の値を用いれば良い。

[0087] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0088] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順序で実施することが必須であることを意味するものではない。

符号の説明

[0089] １０・・半導体基板、１２・・ドリフト層、１４・・第１の面、１６・・第２の面、１８・・ベース層、１９・・おもて面、２０・・半導体層、２２・・ＦＳ層、２４・・バッファ層、２６・・コレクタ層、３２・・ゲート電極、３４・・ゲート絶縁膜、３６・・層間絶縁膜、４２・・コンタクト領域、４４・・エミッタ領域、５０・・ゲート端子、５１・・エミッタ端子、５２・・エミッタ電極、５３・・コレクタ端子、５４・・コレクタ電極、１００・・ＩＧＢＴ

請求の範囲

[請求項1] 第１の面と前記第１の面の反対側に位置する第２の面とを有する第１導電型の半導体層と、

前記第１導電型の半導体層の前記第１の面に接して設けられた第２導電型の半導体層と

を備え、

前記第１導電型の半導体層は、前記第１の面から前記第２の面への第１方向の異なる位置において、複数の不純物濃度ピークを有し、

前記第１方向における前記第１導電型の半導体層と前記第２導電型の半導体層との接合界面である前記第１の面から、前記複数の不純物濃度ピークのうち前記第１の面に１番目に近い第１番目の不純物濃度ピークと、前記第１の面に２番目に近い第２番目の不純物濃度ピークとの境界までにおける積分濃度が、臨界積分濃度以下である、半導体装置。

[請求項2] 前記第１方向における前記第１の面から、前記第２番目の不純物濃度ピークと、前記複数の不純物濃度ピークのうち前記第１の面に３番目に近い第３番目の不純物濃度ピークとの境界までの積分濃度が、前記臨界積分濃度以下である、

請求項１に記載の半導体装置。

[請求項3] 前記第１導電型の半導体層は、前記複数の不純物濃度ピークのうち前記第３番目の不純物濃度ピークよりも前記第２の面側に、プロトン以外の不純物濃度ピークを有する

請求項２に記載の半導体装置。

[請求項4] 前記第１方向における前記第１の面から、前記第３番目の不純物濃度ピークと、前記プロトン以外の不純物濃度ピークとの境界までの積分濃度が、前記臨界積分濃度以下である

請求項３に記載の半導体装置。

[請求項5] 前記第１方向における前記第１の面から、前記第３番目の不純物濃

度ピークまでの積分濃度が、前記臨界積分濃度以下である

請求項３に記載の半導体装置。

[請求項6] 前記第１導電型の半導体層は、前記第２の面と、前記プロトン以外の不純物の濃度ピークとの間に、前記プロトン以外の不純物の濃度ピークよりも高い不純物濃度の第２導電型の不純物濃度ピークを有する

請求項３に記載の半導体装置。

[請求項7] 前記第１導電型の半導体層および前記第２導電型の半導体層の前記第１方向における長さに対する前記第２導電型の半導体層の前記接合界面とは反対側に位置するおもて面から、前記第１番目の不純物濃度ピークの位置までの割合は、８５％より大きく、８９％より小さい範囲であり、

前記第１導電型の半導体層および前記第２導電型の半導体層の前記第１方向における長さに対する前記おもて面から、前記第２番目の不純物濃度ピークの位置までの割合は、８９％より大きく、９１％より小さい範囲であり、

前記第１導電型の半導体層および前記第２導電型の半導体層の前記第１方向における長さに対する前記おもて面から、前記第３番目の不純物濃度ピークの位置までの割合は、９６％より大きく、９８％より小さい範囲であり、

前記第１導電型の半導体層および前記第２導電型の半導体層の前記第１方向における長さに対する前記おもて面から、前記プロトン以外の不純物濃度ピークの位置までの割合は、９８％より大きく、１００％より小さい範囲である

請求項３に記載の半導体装置。

[請求項8] 前記第１番目の不純物濃度ピークの位置は、前記第２導電型の半導体層の前記接合界面とは反対側に位置するおもて面から９４μｍより大きく、９７μｍより小さい範囲にあり、

前記第２番目の不純物濃度ピークの位置は、前記おもて面から９７

μｍより大きく、１００μｍより小さい範囲にあり、

前記第３番目の不純物濃度ピークの位置は、前記おもて面から１０５μｍより大きく、１０８μｍより小さい範囲にあり、

前記プロトン以外の不純物濃度ピークの位置は、前記おもて面から１０８μｍより大きく、１１０μｍより小さい範囲にある

請求項３に記載の半導体装置。

[請求項9] 前記第１導電型の半導体層および前記第２導電型の半導体層の前記第１方向における長さに対する前記第２導電型の半導体層の前記接合界面とは反対側に位置するおもて面から、前記第１番目の不純物濃度ピークの位置までの割合は、７７％より大きく、８１％より小さい範囲であり、

前記第１導電型の半導体層および前記第２導電型の半導体層の前記第１方向における長さに対する前記おもて面から前記第２番目の不純物濃度ピークの位置までの割合は、８１％より大きく、８６％より小さい範囲であり、

前記第１導電型の半導体層および前記第２導電型の半導体層の前記第１方向における長さに対する前記おもて面から前記第３番目の不純物濃度ピークの位置までの割合は、９３％より大きく、９７％より小さい範囲であり、

前記第１導電型の半導体層および前記第２導電型の半導体層の前記第１方向における長さに対する前記おもて面から前記プロトン以外の不純物濃度ピークの位置までの割合は、９７％より大きく、１００％より小さい範囲である、

請求項３に記載の半導体装置。

[請求項10] 前記第１番目の不純物濃度ピークの位置は、前記第２導電型の半導体層の前記接合界面とは反対側に位置するおもて面から５４μｍより大きく、５７μｍより小さい範囲にあり、

前記第２番目の不純物濃度ピークの位置は、前記おもて面から５７

μｍより大きく、６０μｍより小さい範囲にあり、

前記第３番目の不純物濃度ピークの位置は、前記おもて面から６５μｍより大きく、６８μｍより小さい範囲にあり、

前記プロトン以外の不純物濃度ピークの位置は、前記おもて面から６８μｍより大きく、７０μｍより小さい範囲にある、

請求項３に記載の半導体装置。

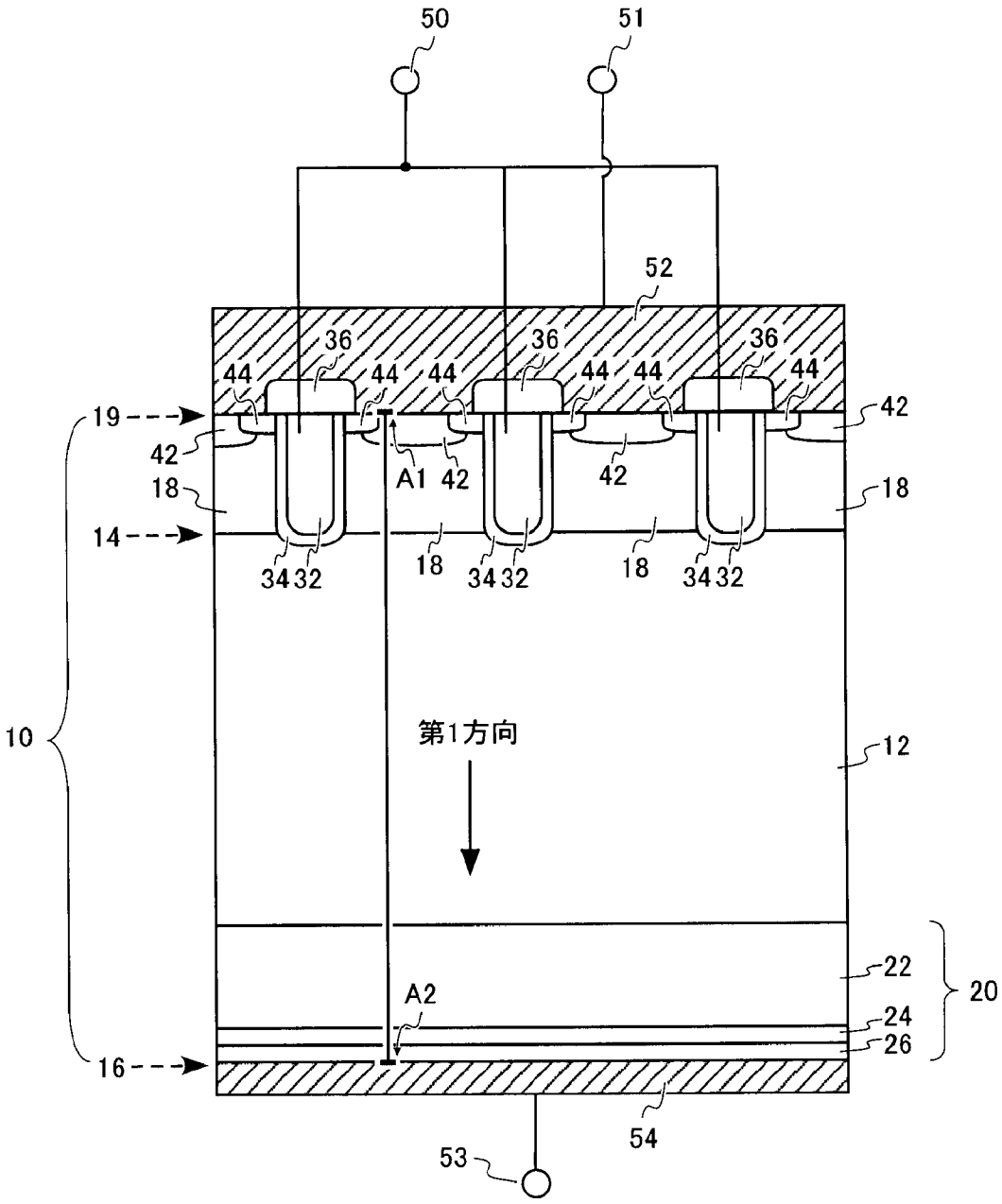
[請求項11] 少なくとも前記第２導電型の半導体層の一部において、トレンチ状に設けられたゲート絶縁膜と、

前記ゲート絶縁膜に接して設けられたゲート電極と

をさらに有する、請求項１に記載の半導体装置。

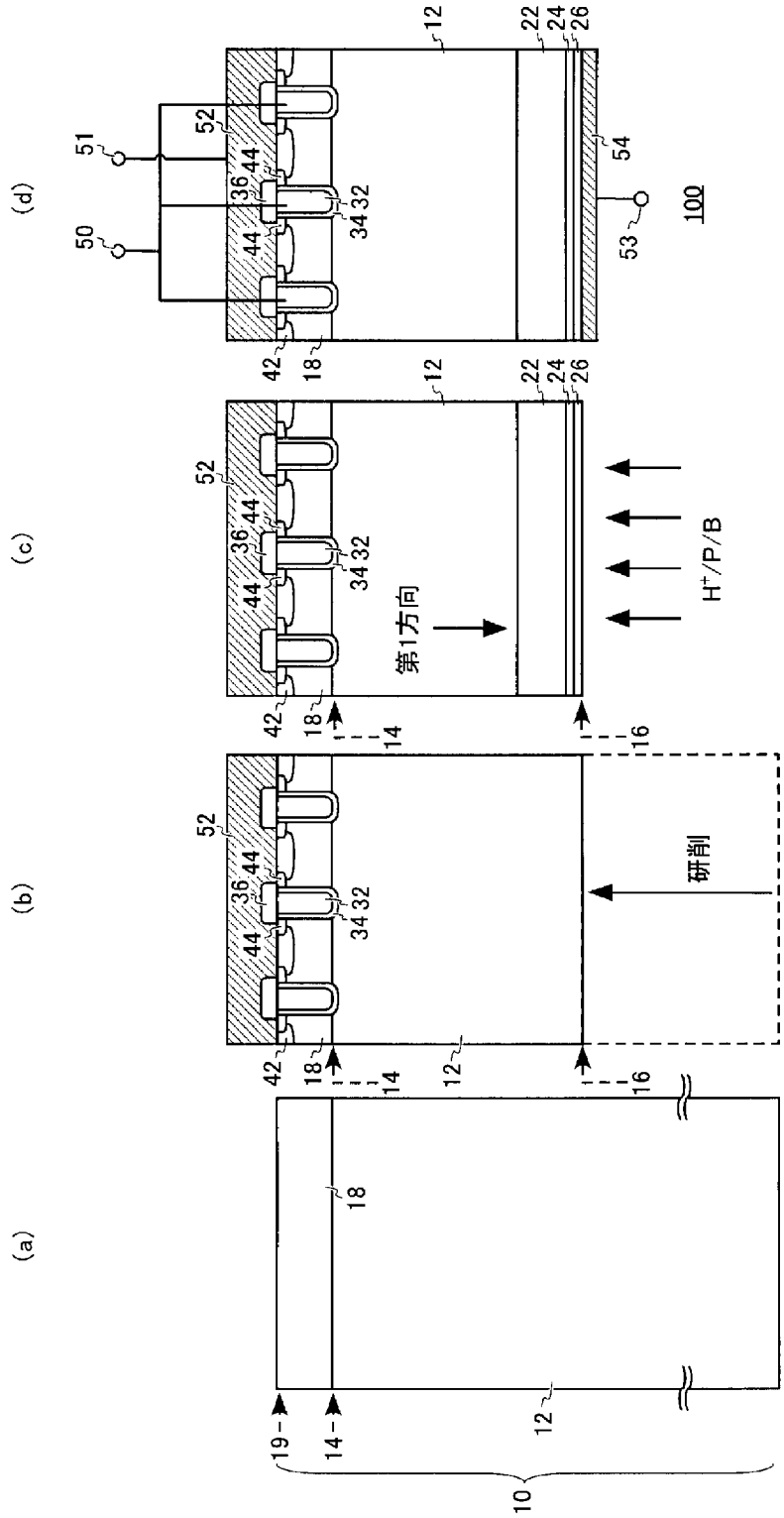
[請求項12] 前記第１番目から第３番目の不純物濃度ピークは、水素、空孔及び酸素による複合ドナーを含むことを特徴とする請求項１に記載の半導体装置。

[図1]

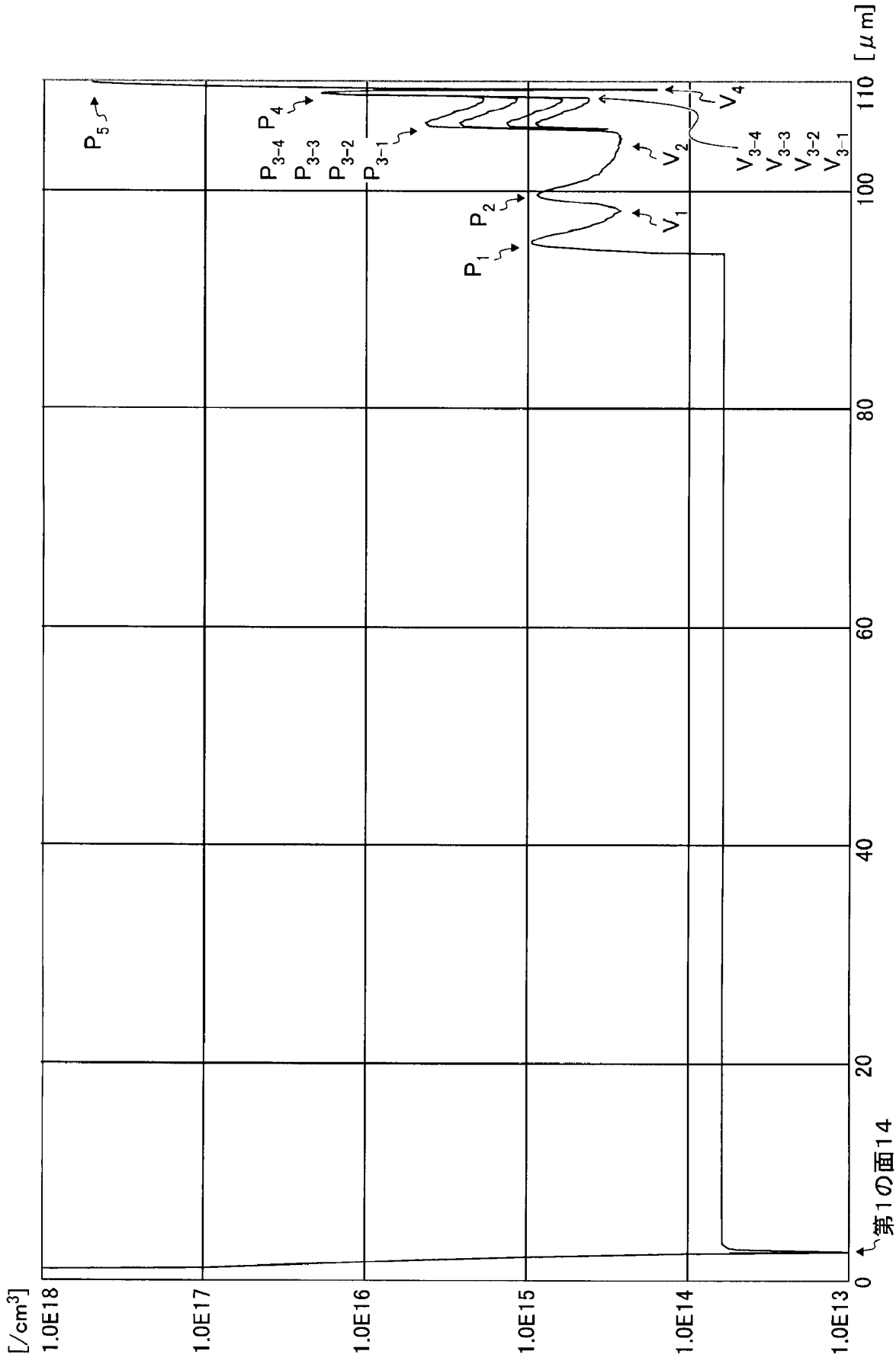


100

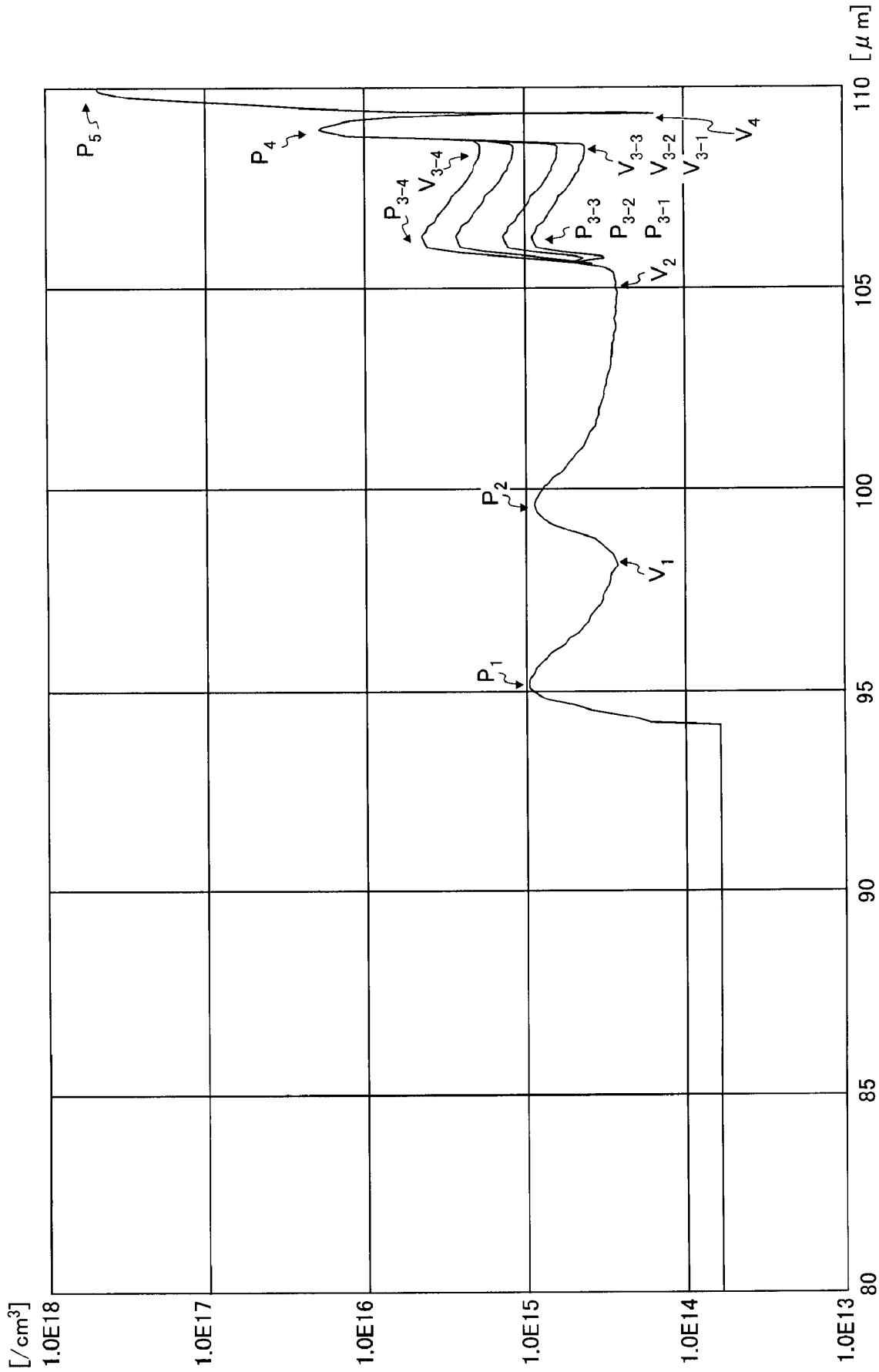
[図2]



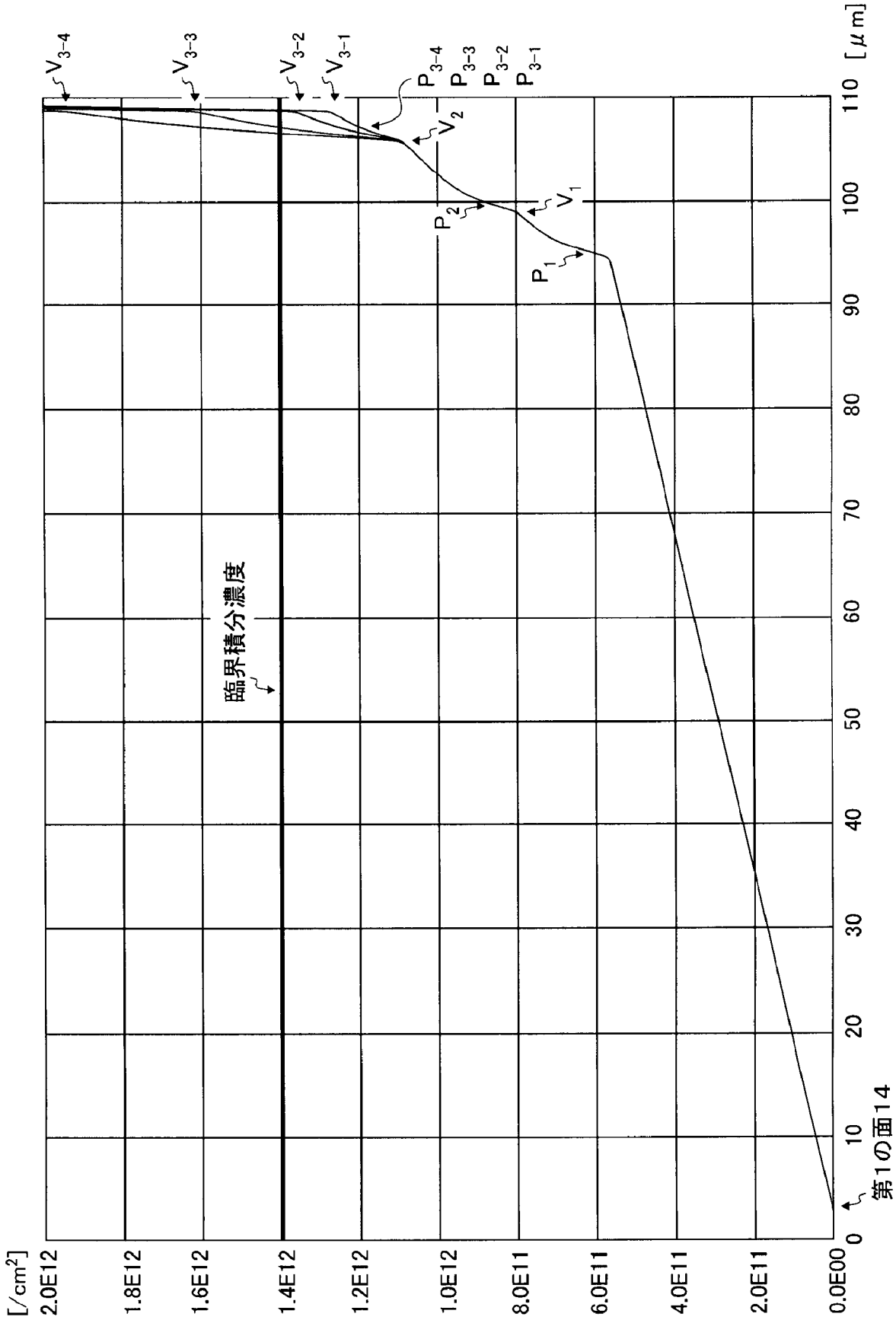
[図3]


[/cm3]
1.0E18
1.0E17
1.0E16
1.0E15
1.0E14
1.0E13
0
20
40
60
80
100
110
[μm]
第1の面14
P5
P4
P3-4
P3-3
P3-2
P3-1
P2
P1
V4
V2
V1
V3-4
V3-3
V3-2
V3-1

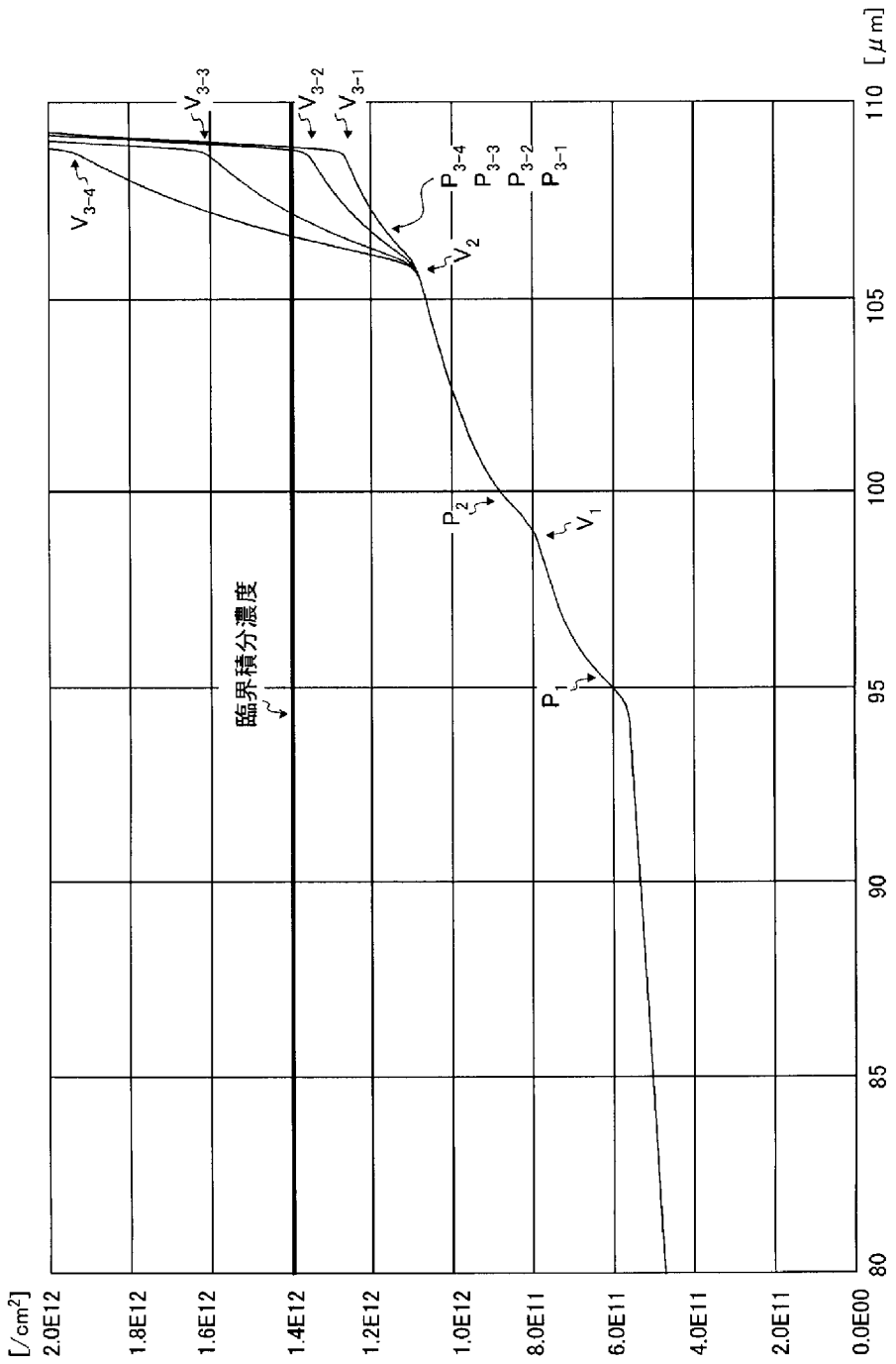
[図4]


[/cm3]
1.0E18
1.0E17
1.0E16
1.0E15
1.0E14
1.0E13
80
85
90
95
100
105
110 [μm]
P5
P4
P3-4
V3-4
P3-3
P3-2
P3-1
V3-3
V3-2
V3-1
V4
V2
P2
V1
P1

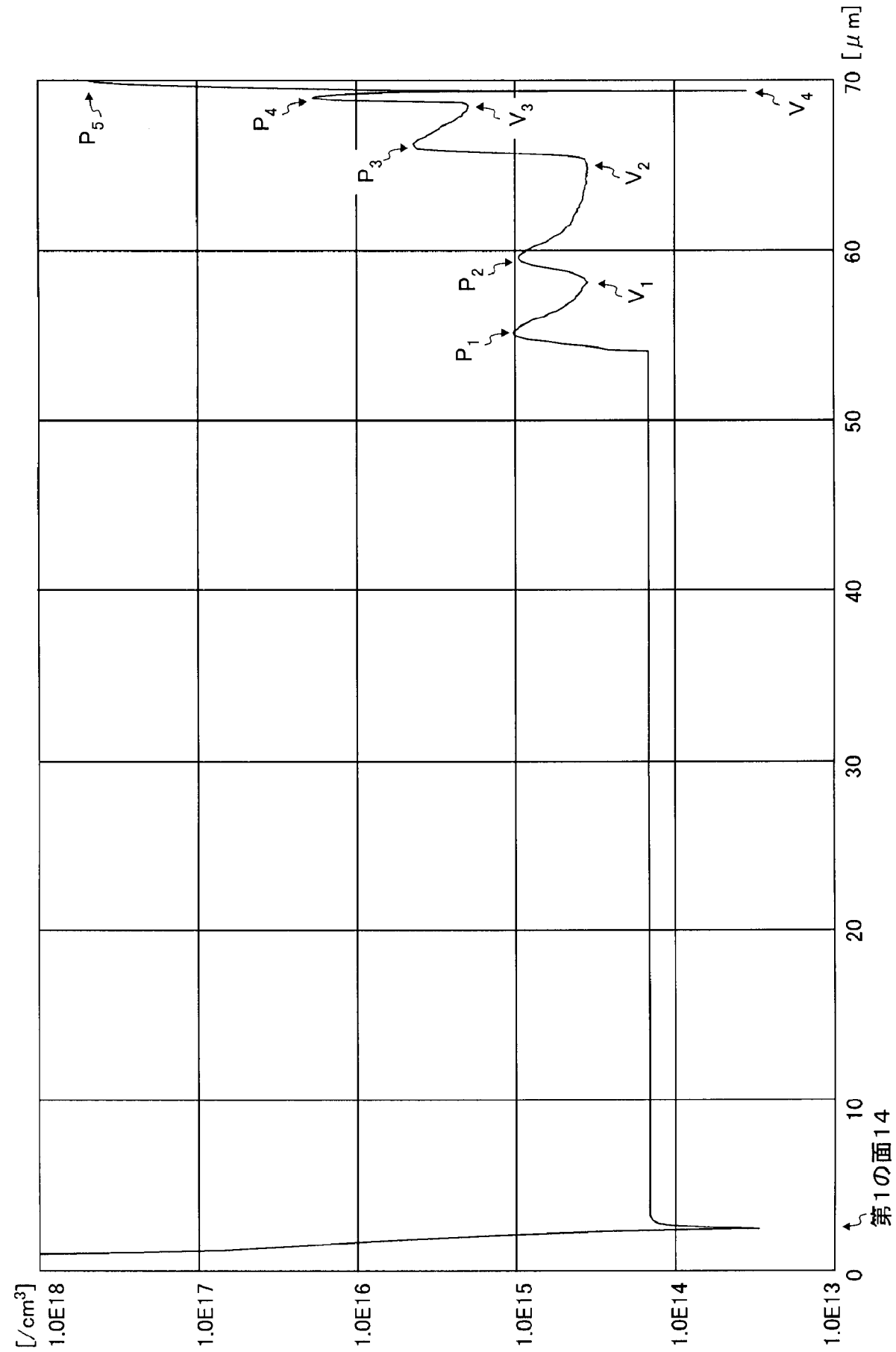
[図5]


V3-4
V3-3
V3-2
V3-1
P3-4
P3-3
P3-2
P3-1
V2
V1
P2
P1
臨界積分濃度
[/cm2]
2.0E12
1.8E12
1.6E12
1.4E12
1.2E12
1.0E12
8.0E11
6.0E11
4.0E11
2.0E11
0.0E00
0
10
20
30
40
50
60
70
80
90
100
110
[μm]
第1の面14

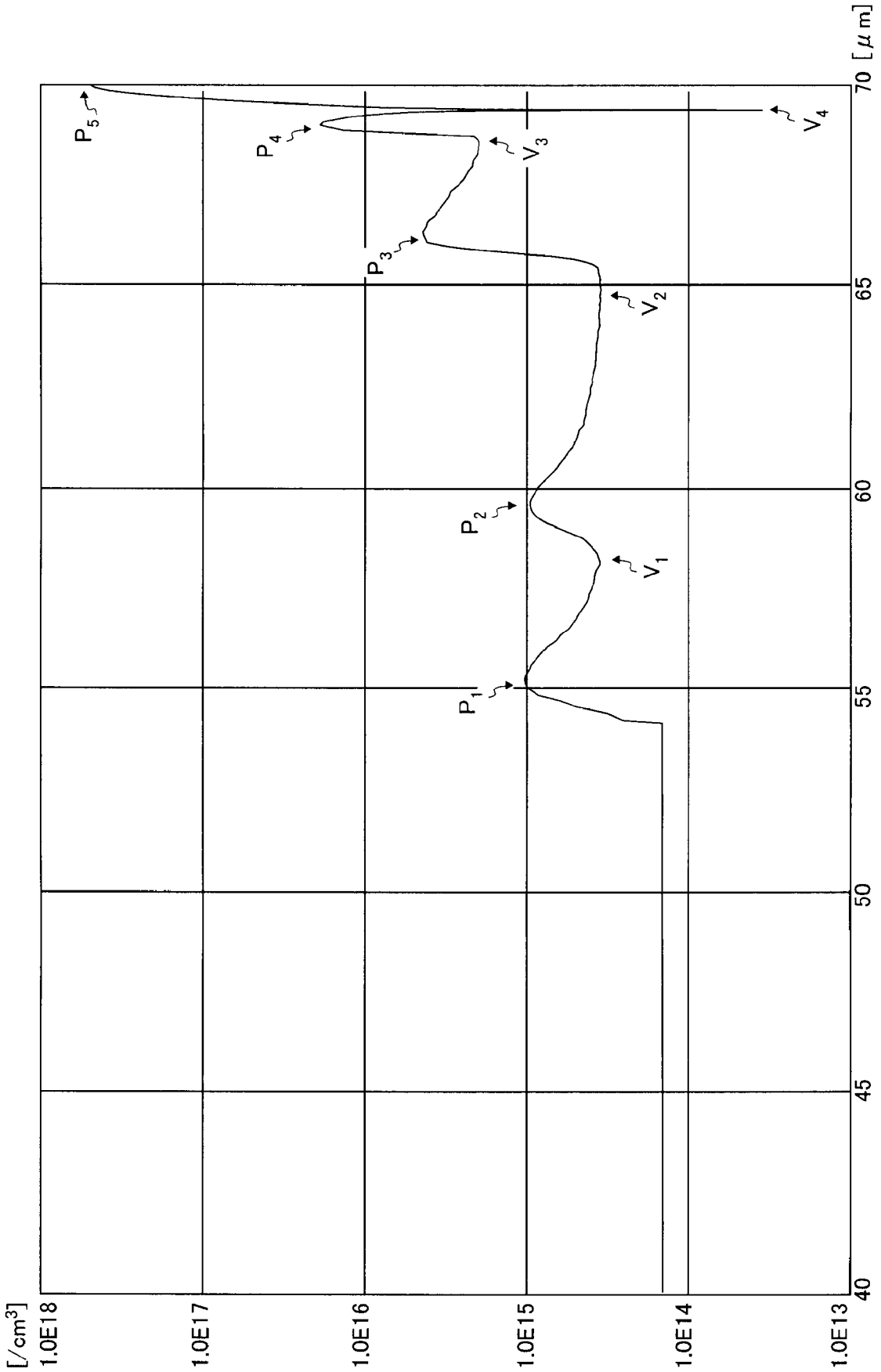
[図6]


[/cm²]
2.0E12
1.8E12
1.6E12
1.4E12
1.2E12
1.0E12
8.0E11
6.0E11
4.0E11
2.0E11
0.0E00
80
85
90
95
100
105
110 [μm]
臨界積分濃度
V3-4
V3-3
V3-2
V3-1
V2
V1
P3-4
P3-3
P3-2
P3-1
P2
P1

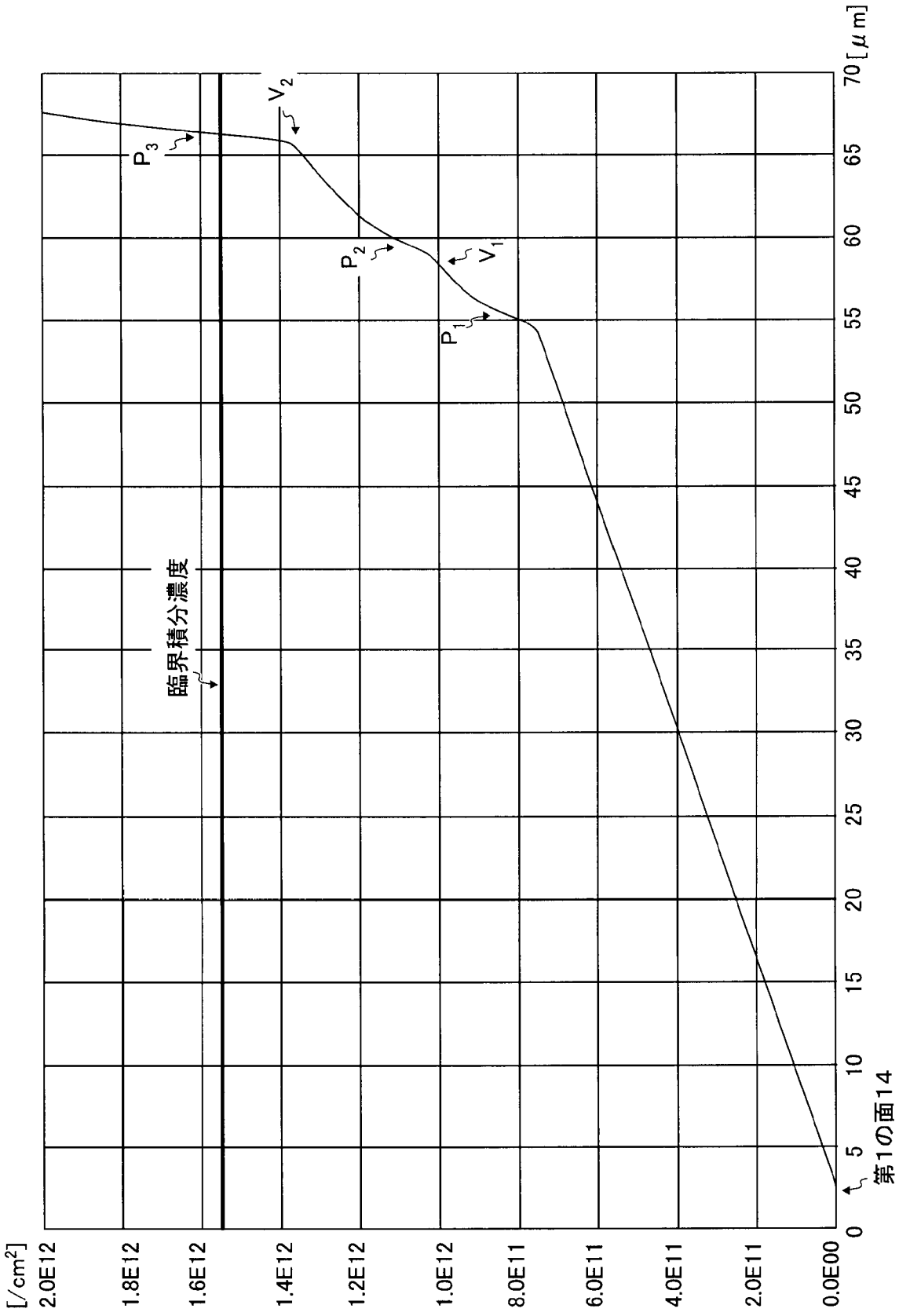
[図7]


[/cm3]
1.0E18
1.0E17
1.0E16
1.0E15
1.0E14
1.0E13
0
10
20
30
40
50
60
70 [μm]
第1の面14
P1
P2
P3
P4
P5
V1
V2
V3
V4

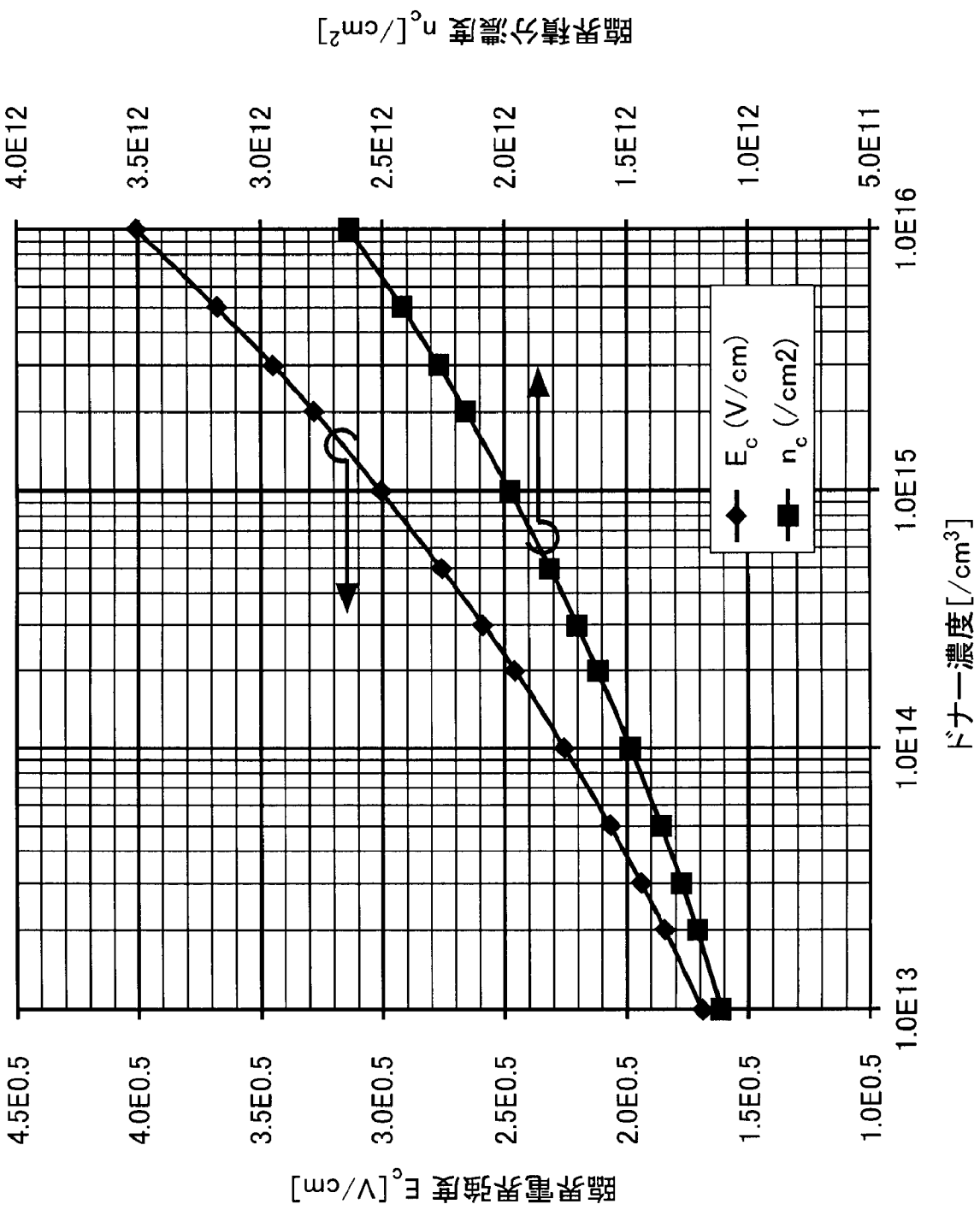
[図8]


[/cm3]
1.0E18
1.0E17
1.0E16
1.0E15
1.0E14
1.0E13
40
45
50
55
60
65
70 [μm]
P1
P2
P3
P4
P5
V1
V2
V3
V4

[図9]


[/cm²]
2.0E12
1.8E12
1.6E12
1.4E12
1.2E12
1.0E12
8.0E11
6.0E11
4.0E11
2.0E11
0.0E00
0
5
10
15
20
25
30
35
40
45
50
55
60
65
70 [μm]
第1の面14
臨界積分濃度
P3
V2
P2
V1
P1

[図10]


臨界電界強度 E_c[V/cm]
臨界積分濃度 n_c[/cm^2]
ドナー濃度[/cm^3]
E_c (V/cm)
n_c (/cm2)
4.5E0.5
4.0E0.5
3.5E0.5
3.0E0.5
2.5E0.5
2.0E0.5
1.5E0.5
1.0E0.5
4.0E12
3.5E12
3.0E12
2.5E12
2.0E12
1.5E12
1.0E12
5.0E11
1.0E13
1.0E14
1.0E15
1.0E16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/067597

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/265*(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/739*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/265, H01L21/336, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2011/052787 A1 (Fuji Electric Systems Co., Ltd.), 05 May 2011 (05.05.2011), paragraphs [0053], [0059], [0098], [0121] to [0129]; fig. 13 & JP 2014-99643 A & US 2012/0267681 A1 paragraphs [0067], [0073], [0110], [0133] to [0141]; fig. 13 & DE 112010004241 T5 & CN 102687277 A & KR 10-2012-0104537 A	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 July 2016 (07.07.16)	19 July 2016 (19.07.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６７５９７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/265(2006.01)i, H01L21/336(2006.01)i, H01L29/739(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/265, H01L21/336, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2011/052787 A1（富士電機システムズ株式会社）2011.05.05, 段落 0053, 0059, 0098, 0121-0129, 図 13 & JP 2014-99643 A & US 2012/0267681 A1, 段落 0067, 0073, 0110, 0133-0141, 図 13 & DE 112010004241 T5 & CN 102687277 A & KR 10-2012-0104537 A	1-12

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０７．０７．２０１６	１９．０７．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　２９３４
綿引　隆
電話番号　０３－３５８１－１１０１　内線　３５１６