(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 107659294 B
(45)授权公告日 2023.06.02

(21)申请号 201710569256.8

(22)申请日 2017.07.13

(65)同一申请的已公布的文献号
申请公布号 CN 107659294 A

(43)申请公布日 2018.02.02

(30)优先权数据
2016-145093 2016.07.25 JP

(73)专利权人 精工爱普生株式会社
地址 日本东京都

(72)发明人 羽田秀生

(74)专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 李辉 邓毅

(51)Int.Cl.
H03K 5/24(2006.01)
H03M 1/50(2006.01)

(56)对比文件
US 2012176158 A1,2012.07.12
JP 2000068797 A,2000.03.03
CN 104702269 A,2015.06.10

审查员 张慧敏

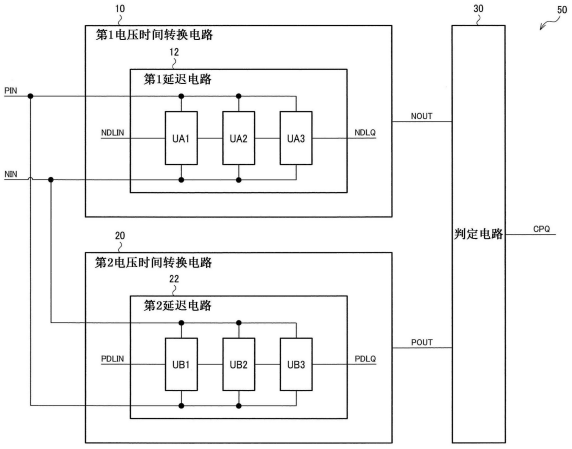
权利要求书3页 说明书18页 附图18页

(54)发明名称

比较器、电路装置、物理量传感器、电子设备以及移动体

(57)摘要

本发明提供比较器、电路装置、物理量传感器、电子设备以及移动体，确保延迟时间并且能够减少布局面积。比较器(50)包括第1电压时间转换电路(10)、第2电压时间转换电路(20)以及判定电路(30)。第1延迟单元(UA1)具有根据第1输入信号(PIN)使下降沿延迟的第1下降沿延迟电路、根据第2输入信号(NIN)使上升沿延迟的第1上升沿延迟电路、以及第1输出电路。第2延迟单元(UB1)具有根据第2输入信号(NIN)使下降沿延迟的第2下降沿延迟电路、根据第1输入信号(PIN)使上升沿延迟的第2上升沿延迟电路、以及第2输出电路。



CN 107659294 B

1.一种比较器,其特征在于,该比较器包括:

第1电压时间转换电路,其具有第1延迟电路,输入第1输入信号和第2输入信号;

第2电压时间转换电路,其具有第2延迟电路,输入所述第1输入信号和所述第2输入信号;以及

判定电路,其根据所述第1电压时间转换电路的输出信号和所述第2电压时间转换电路的输出信号,判定所述第1输入信号和所述第2输入信号的大小,

所述第1延迟电路具有的第1延迟单元具有:

第1下降沿延迟电路,其根据所述第1输入信号使所述第1延迟单元的输入信号的下降沿延迟;

第1上升沿延迟电路,其根据所述第2输入信号使所述第1延迟单元的输入信号的上升沿延迟;以及

第1输出电路,其根据所述第1下降沿延迟电路的输出信号和所述第1上升沿延迟电路的输出信号生成第1延迟输出信号,

所述第2延迟电路具有的第2延迟单元具有:

第2下降沿延迟电路,其根据所述第2输入信号使所述第2延迟单元的输入信号的下降沿延迟;

第2上升沿延迟电路,其根据所述第1输入信号使所述第2延迟单元的输入信号的上升沿延迟;以及

第2输出电路,其根据所述第2下降沿延迟电路的输出信号和所述第2上升沿延迟电路的输出信号生成第2延迟输出信号,

所述第1下降沿延迟电路具有:

第1延迟缓冲器,其输入所述第1延迟单元的输入信号;以及

第1第一导电类型晶体管,其设置在第1电源电压的节点与所述第1延迟缓冲器之间,其电流根据所述第1输入信号而受到控制,

所述第1上升沿延迟电路具有:

第2延迟缓冲器,其输入所述第1延迟单元的输入信号;以及

第1第二导电类型晶体管,其设置在第2电源电压的节点与所述第2延迟缓冲器之间,其电流根据所述第2输入信号而受到控制,

所述第2下降沿延迟电路具有:

第3延迟缓冲器,其输入所述第2延迟单元的输入信号;以及

第2第一导电类型晶体管,其设置在所述第1电源电压的节点与所述第3延迟缓冲器之间,其电流根据所述第2输入信号而受到控制,

所述第2上升沿延迟电路具有:

第4延迟缓冲器,其输入所述第2延迟单元的输入信号;以及

第2第二导电类型晶体管,其设置在所述第2电源电压的节点与所述第4延迟缓冲器之间,其电流根据所述第1输入信号而受到控制。

2.根据权利要求1所述的比较器,其特征在于,

所述第1输出电路具有:

第3第二导电类型晶体管,其设置在所述第1延迟单元的输出节点与所述第2电源电压

的节点之间，该第3第二导电类型晶体管的栅极输入所述第1延迟缓冲器的输出信号；以及

第3第一导电类型晶体管，其设置在所述第1电源电压的节点与所述第1延迟单元的输出节点之间，该第3第一导电类型晶体管的栅极输入所述第2延迟缓冲器的输出信号，

所述第2输出电路具有：

第4第二导电类型晶体管，其设置在所述第2延迟单元的输出节点与所述第2电源电压的节点之间，该第4第二导电类型晶体管的栅极输入所述第3延迟缓冲器的输出信号；以及

第4第一导电类型晶体管，其设置在所述第1电源电压的节点与所述第2延迟单元的输出节点之间，该第4第一导电类型晶体管的栅极输入所述第4延迟缓冲器的输出信号。

3.根据权利要求1或2所述的比较器，其特征在于，

所述第1延迟缓冲器的延迟时间是根据流过所述第1第一导电类型晶体管的电流进行控制的，

所述第2延迟缓冲器的延迟时间是根据流过所述第1第二导电类型晶体管的电流进行控制的，

所述第3延迟缓冲器的延迟时间是根据流过所述第2第一导电类型晶体管的电流进行控制的，

所述第4延迟缓冲器的延迟时间是根据流过所述第2第二导电类型晶体管的电流进行控制的。

4.根据权利要求1或2所述的比较器，其特征在于，

所述第1延迟电路和所述第2延迟电路中的各延迟电路具有串联连接的多个延迟单元。

5.根据权利要求1或2所述的比较器，其特征在于，

所述第1电压时间转换电路还包括：

第1输入信号生成电路，其生成所述第1延迟电路的输入信号；以及

第1锁存电路，其根据所述第1延迟电路的输出信号进行动作，

所述第2电压时间转换电路还包括：

第2输入信号生成电路，其生成所述第2延迟电路的输入信号；以及

第2锁存电路，其根据所述第2延迟电路的输出信号进行动作。

6.根据权利要求5所述的比较器，其特征在于，

所述第1输入信号生成电路使所述第1延迟电路的输入信号从第1逻辑电平变成第2逻辑电平，

在所述第1延迟电路的输出信号从所述第1逻辑电平变成所述第2逻辑电平的情况下，所述第1输入信号生成电路使所述第1延迟电路的输入信号从所述第2逻辑电平变成所述第1逻辑电平，

在所述第1延迟电路的输出信号从所述第2逻辑电平变成所述第1逻辑电平的情况下，所述第1锁存电路的输出信号从所述第2逻辑电平变成所述第1逻辑电平，

所述第2输入信号生成电路使所述第2延迟电路的输入信号从所述第1逻辑电平变成所述第2逻辑电平，

在所述第2延迟电路的输出信号从所述第1逻辑电平变成所述第2逻辑电平的情况下，所述第2输入信号生成电路使所述第2延迟电路的输入信号从所述第2逻辑电平变成所述第1逻辑电平，

在所述第2延迟电路的输出信号从所述第2逻辑电平变成所述第1逻辑电平的情况下，所述第2锁存电路的输出信号从所述第2逻辑电平变成所述第1逻辑电平。

7.根据权利要求1或2所述的比较器，其特征在于，

所述第1电压时间转换电路具有第1计测电路，该第1计测电路对来自所述第1延迟电路的输出信号的脉冲数进行计测，

所述第1电压时间转换电路的输出信号是根据所述第1计测电路的计测结果生成的，

所述第2电压时间转换电路具有第2计测电路，该第2计测电路对来自所述第2延迟电路的输出信号的脉冲数进行计测，

所述第2电压时间转换电路的输出信号是根据所述第2计测电路的计测结果生成的。

8.根据权利要求7所述的比较器，其特征在于，

所述第1电压时间转换电路包括第1环形振荡器，该第1环形振荡器具有所述第1延迟电路，该第1环形振荡器将所述第1延迟电路的输出信号反馈到输入信号中，

所述第2电压时间转换电路包括第2环形振荡器，该第2环形振荡器具有所述第2延迟电路，该第2环形振荡器将所述第2延迟电路的输出信号反馈到输入信号中。

9.根据权利要求8所述的比较器，其特征在于，

所述第1电压时间转换电路具有第3输入信号生成电路，该第3输入信号生成电路输入使能信号和基于所述第1延迟电路的输出信号的信号，生成所述第1延迟电路的输入信号，

所述第2电压时间转换电路具有第4输入信号生成电路，该第4输入信号生成电路输入所述使能信号和基于所述第2延迟电路的输出信号的信号，生成所述第2延迟电路的输入信号。

10.一种电路装置，其特征在于，该电路装置包括权利要求1～9中的任意一项所述的比较器。

11.一种物理量传感器，其特征在于，该物理量传感器包括权利要求10所述的电路装置。

12.一种电子设备，其特征在于，该电子设备包括权利要求10所述的电路装置。

13.一种移动体，其特征在于，该移动体包括权利要求10所述的电路装置。

比较器、电路装置、物理量传感器、电子设备以及移动体

技术领域

[0001] 本发明涉及比较器、电路装置、物理量传感器、电子设备以及移动体等。

背景技术

[0002] 如下这样的时域(Time-Domain)型比较器已被众所周知，该比较器将输入电压电平转换为时间(例如，信号沿的延迟时间、脉冲信号的脉宽、时钟信号的周期等)，对该时间进行比较，由此，进行输入电压电平的比较。

[0003] 例如，在专利文献1中公开了时域型比较器以及使用该时域型比较器的逐次比较型A/D转换器。专利文献1的时域型比较器包括输入第1、第2输入电压以及时钟信号的第1、第2电压时间转换电路，通过对第1、第2电压时间转换电路中的时钟信号的延迟时间(第1、第2延迟时间)进行比较来比较第1、第2输入电压。第1电压时间转换电路包括多个延迟级，各延迟级包括双级的反相器。在第1级的反相器与“地”之间设置有N型晶体管，在第2级的反相器与电源之间设置有P型晶体管。并且，N型晶体管输入第1输入电压，P型晶体管输入第2输入电压。第2电压时间转换电路是相同的结构，但是，N型晶体管输入第2输入电压，P型晶体管输入第1输入电压。通过这样的结构，根据第1、第2输入电压的大小确定第1、第2延迟时间的大小，能够进行电压比较。

[0004] 专利文献1:美国专利第8373444号说明书

[0005] 在上述这样的时域型比较器中，延迟时间(将电压转换成时间的增益)是根据延迟级的级数确定的，存在需要与该延迟级的级数对应的布局面积的课题。例如，为了增加延迟时间，需要增加延迟级的级数，从而布局面积增大。

[0006] 例如，在上述的专利文献1中，由于构成为仅使时钟信号的一个沿延迟，因此，为了增加延迟时间，必须增加级数。即，在多个延迟级内输入一个沿(上升沿)、并使该沿延迟的情况下，下一个输入沿必然成为另一个沿(下降沿)。因此，即使要将多个延迟级的输出反馈到输入侧而重复延迟，也无法使第二次循环的下降沿延迟。即，由于不能将多个延迟级的输出反馈到输入侧而重复延迟，因此，为了增加延迟时间，需要增加级数。

发明内容

[0007] 根据本发明的几种方式，能够提供确保延迟时间并且减少布局面积的比较器、电路装置、物理量传感器、电子设备以及移动体等。

[0008] 本发明是为了解决上述课题的至少一部分而完成的，能够作为如下的形态或方式来实现。

[0009] 本发明的一个方式涉及比较器，该比较器包括:第1电压时间转换电路，其具有第1延迟电路，输入第1输入信号和第2输入信号;第2电压时间转换电路，其具有第2延迟电路，输入所述第1输入信号和所述第2输入信号;以及判定电路，其根据所述第1电压时间转换电路的输出信号和所述第2电压时间转换电路的输出信号，判定所述第1输入信号和所述第2输入信号的大小，所述第1延迟电路具有的第1延迟单元具有:第1下降沿延迟电路，其根据

所述第1输入信号使所述第1延迟单元的输入信号的下降沿延迟;第1上升沿延迟电路,其根据所述第2输入信号使所述第1延迟单元的输入信号的上升沿延迟;以及第1输出电路,其根据所述第1下降沿延迟电路的输出信号和所述第1上升沿延迟电路的输出信号生成第1延迟输出信号,所述第2延迟电路具有的第2延迟单元具有:第2下降沿延迟电路,其根据所述第2输入信号使所述第2延迟单元的输入信号的下降沿延迟;第2上升沿延迟电路,其根据所述第1输入信号使所述第2延迟单元的输入信号的上升沿延迟;以及第2输出电路,其根据所述第2下降沿延迟电路的输出信号和所述第2上升沿延迟电路的输出信号生成第2延迟输出信号。

[0010] 根据本发明的一个方式,第1延迟单元具有第1下降沿延迟电路和第1上升沿延迟电路,第2延迟单元具有第2下降沿延迟电路和第2上升沿延迟电路。由此,第1延迟电路和第2延迟电路的各延迟电路能够使上升沿和下降沿双方延迟。由于延迟电路能够使两个沿延迟,因此,在使一个沿延迟后,将其输出反馈到输入侧,从而能够使另一个沿延迟。由此,延迟电路能够多次使沿延迟,能够确保延迟时间,并且减少布局面积。

[0011] 另外,在本发明的一个方式中,也可以是,所述第1下降沿延迟电路具有:第1延迟缓冲器,其输入所述第1延迟单元的输入信号;以及第1第一导电类型晶体管,其设置在第1电源电压的节点与所述第1延迟缓冲器之间,其电流根据所述第1输入信号而受到控制,所述第1上升沿延迟电路具有:第2延迟缓冲器,其输入所述第1延迟单元的输入信号;以及第1第二导电类型晶体管,其设置在第2电源电压的节点与所述第2延迟缓冲器之间,其电流根据所述第2输入信号而受到控制,所述第2下降沿延迟电路具有:第3延迟缓冲器,其输入所述第2延迟单元的输入信号;以及第2第一导电类型晶体管,其设置在所述第1电源电压的节点与所述第3延迟缓冲器之间,其电流根据所述第2输入信号而受到控制,所述第2上升沿延迟电路具有:第4延迟缓冲器,其输入所述第2延迟单元的输入信号;以及第2第二导电类型晶体管,其设置在所述第2电源电压的节点与所述第4延迟缓冲器之间,其电流根据所述第1输入信号而受到控制。

[0012] 根据本发明的一个方式,通过电流根据第1输入信号而受到控制的第1第一导电类型晶体管,第1延迟缓冲器能够使第1延迟单元的输入信号的下降沿延迟。另外,通过电流根据第2输入信号而受到控制的第1第二导电类型晶体管,第2延迟缓冲器能够使第1延迟单元的输入信号的上升沿延迟。另外,通过电流根据第2输入信号而受到控制的第2第一导电类型晶体管,第3延迟缓冲器能够使第2延迟单元的输入信号的下降沿延迟。另外,通过电流根据第1输入信号而受到控制的第2第二导电类型晶体管,第4延迟缓冲器能够使第2延迟单元的输入信号的上升沿延迟。

[0013] 另外,在本发明的一个方式中,也可以是,所述第1输出电路具有:第3第二导电类型晶体管,其设置在所述第1延迟单元的输出节点与所述第2电源电压的节点之间,该第3第二导电类型晶体管的栅极输入所述第1延迟缓冲器的输出信号;以及第3第一导电类型晶体管,其设置在所述第1电源电压的节点与所述第1延迟单元的输出节点之间,该第3第一导电类型晶体管的栅极输入所述第2延迟缓冲器的输出信号,所述第2输出电路具有:第4第二导电类型晶体管,其设置在所述第2延迟单元的输出节点与所述第2电源电压的节点之间,该第4第二导电类型晶体管的栅极输入所述第3延迟缓冲器的输出信号;以及第4第一导电类型晶体管,其设置在所述第1电源电压的节点与所述第2延迟单元的输出节点之间,该第4第

一导电类型晶体管的栅极输入所述第4延迟缓冲器的输出信号。

[0014] 根据本发明的一个方式，在第1延迟缓冲器的输出信号上升的情况下，第3第二导电类型晶体管导通，第1延迟输出信号下降。另外，在第2延迟缓冲器的输出信号下降的情况下，第3第一导电类型晶体管导通，第1延迟输出信号上升。这样，第1输出电路能够根据第1下降沿延迟电路的输出信号和第1上升沿延迟电路的输出信号生成第1延迟输出信号。另外，在第3延迟缓冲器的输出信号上升的情况下，第4第二导电类型晶体管导通，第2延迟输出信号下降。另外，在第4延迟缓冲器的输出信号下降的情况下，第4第一导电类型晶体管导通，第2延迟输出信号上升。这样，第2输出电路能够根据第2下降沿延迟电路的输出信号和第2上升沿延迟电路的输出信号生成第2延迟输出信号。

[0015] 另外，在本发明的一个方式中，也可以是，所述第1延迟缓冲器的延迟时间是根据流过所述第1第一导电类型晶体管的电流进行控制的，所述第2延迟缓冲器的延迟时间是根据流过所述第1第二导电类型晶体管的电流进行控制的，所述第3延迟缓冲器的延迟时间是根据流过所述第2第一导电类型晶体管的电流进行控制的，所述第4延迟缓冲器的延迟时间是根据流过所述第2第二导电类型晶体管的电流进行控制的。

[0016] 根据本发明的一个方式，在各沿处能够根据流过第一导电类型晶体管或第二导电类型晶体管的电流对延迟时间进行控制。并且，通过设置有第一导电类型晶体管的延迟缓冲器和设置有第二导电类型晶体管的延迟缓冲器双方的设置，能够在两个沿处对延迟时间进行控制。

[0017] 另外，在本发明的一个方式中，也可以是，所述第1延迟电路和所述第2延迟电路中的各延迟电路具有串联连接的多个延迟单元。

[0018] 这样，各延迟电路具有多个延迟单元，能够使将电压转换为时间的增益增加。

[0019] 另外，在本发明的一个方式中，也可以是，所述第1电压时间转换电路还包括：第1输入信号生成电路，其生成所述第1延迟电路的输入信号；以及第1锁存电路，其根据所述第1延迟电路的输出信号进行动作，所述第2电压时间转换电路还包括：第2输入信号生成电路，其生成所述第2延迟电路的输入信号；以及第2锁存电路，其根据所述第2延迟电路的输出信号进行动作。

[0020] 根据本发明的一个方式，在延迟电路中传播的第1沿通过输入信号生成电路作为第2沿被反馈到延迟电路的输入。并且，在延迟电路中进行两次循环的沿被锁存电路锁存。这样，由于沿在延迟电路中进行两次循环，因此，能够在维持延迟时间的状态下使延迟单元的级数成为大约一半。

[0021] 另外，在本发明的一个方式中，也可以是，所述第1输入信号生成电路使所述第1延迟电路的输入信号从第1逻辑电平变成第2逻辑电平，在所述第1延迟电路的输出信号从所述第1逻辑电平变成所述第2逻辑电平的情况下，所述第1输入信号生成电路使所述第1延迟电路的输入信号从所述第2逻辑电平变成所述第1逻辑电平，在所述第1延迟电路的输出信号从所述第2逻辑电平变成所述第1逻辑电平的情况下，所述第1锁存电路的输出信号从所述第2逻辑电平变成所述第1逻辑电平，所述第2输入信号生成电路使所述第2延迟电路的输入信号从所述第1逻辑电平变成所述第2逻辑电平，在所述第2延迟电路的输出信号从所述第1逻辑电平变成所述第2逻辑电平的情况下，所述第2输入信号生成电路使所述第2延迟电路的输入信号从所述第2逻辑电平变成所述第1逻辑电平，在所述第2延迟电路的输出信号

从所述第2逻辑电平变成所述第1逻辑电平的情况下，所述第2锁存电路的输出信号从所述第2逻辑电平变成所述第1逻辑电平。

[0022] 根据本发明的一个方式，在输入信号生成电路使延迟电路的输入信号从第1逻辑电平变成第2逻辑电平后，沿在延迟电路中进行两次循环，在与该两次循环相应的延迟时间之后，锁存电路的输出信号的逻辑电平发生变化，延迟电路的输出信号的逻辑电平发生变化。这样，能够使沿在延迟电路中进行两次循环。

[0023] 另外，在本发明的一个方式中，也可以是，所述第1电压时间转换电路具有第1计测电路，该第1计测电路对来自所述第1延迟电路的输出信号的脉冲数进行计测，所述第1电压时间转换电路的输出信号是根据所述第1计测电路的计测结果生成的，所述第2电压时间转换电路具有第2计测电路，该第2计测电路对来自所述第2延迟电路的输出信号的脉冲数进行计测，所述第2电压时间转换电路的输出信号是根据所述第2计测电路的计测结果生成的。

[0024] 根据本发明的一个方式，来自延迟电路的输出信号的频率(每单位时间的脉冲数)根据与第1输入信号以及第2输入信号对应的延迟时间而变化。因此，能够根据来自延迟电路的输出信号的脉冲数判定第1输入信号和第2输入信号的大小。

[0025] 另外，在本发明的一个方式中，也可以是，所述第1电压时间转换电路包括第1环形振荡器，该第1环形振荡器具有所述第1延迟电路，该第1环形振荡器将所述第1延迟电路的输出信号反馈到输入信号中，所述第2电压时间转换电路包括第2环形振荡器，该第2环形振荡器具有所述第2延迟电路，该第2环形振荡器将所述第2延迟电路的输出信号反馈到输入信号中。

[0026] 这样，通过构成包括延迟电路的环形振荡器，该环形振荡器的振荡频率根据第1输入信号和第2输入信号而变化。由此，能够根据来自延迟电路的输出信号的脉冲数判定第1输入信号和第2输入信号的大小。

[0027] 另外，在本发明的一个方式中，也可以是，所述第1电压时间转换电路具有第3输入信号生成电路，该第3输入信号生成电路输入使能信号和基于所述第1延迟电路的输出信号的信号，生成所述第1延迟电路的输入信号，所述第2电压时间转换电路具有第4输入信号生成电路，该第4输入信号生成电路输入所述使能信号和基于所述第2延迟电路的输出信号的信号，生成所述第2延迟电路的输入信号。

[0028] 这样，能够构成将第1延迟电路的输出信号反馈到输入信号中的第1环形振荡器和将第2延迟电路的输出信号反馈到输入信号中的第2环形振荡器。

[0029] 另外，本发明的另一个方式涉及电路装置，该电路装置包括上述任意一个方式中记载的比较器。

[0030] 另外，本发明的又一个方式涉及物理量传感器，该物理量传感器包括上述记载的电路装置。

[0031] 另外，本发明的又一个方式涉及电子设备，该电子设备包括上述记载的电路装置。

[0032] 另外，本发明的又一个方式涉及移动体，该移动体包括上述记载的电路装置。

附图说明

[0033] 图1是本实施方式的比较器的结构例。

[0034] 图2是第1延迟单元的结构例。

[0035] 图3是第2延迟单元的结构例。

[0036] 图4是说明第1延迟单元和第2延迟单元的动作的时序图。

[0037] 图5是本实施方式的比较器的第1详细结构例。

[0038] 图6是说明PIN>NIN的情况下的第1详细结构例的比较器的动作的时序图。

[0039] 图7是说明PIN<NIN的情况下的第1详细结构例的比较器的动作的时序图。

[0040] 图8是判定电路的详细结构例。

[0041] 图9是说明PIN>NIN的情况下的判定电路的动作的时序图。

[0042] 图10是说明PIN<NIN的情况下的判定电路的动作的时序图。

[0043] 图11是本实施方式的比较器的第2详细结构例。

[0044] 图12是说明比较器的第2详细结构例的动作的时序图。

[0045] 图13是比较例的延迟单元的结构例。

[0046] 图14是示意性地说明比较例的延迟单元的动作的时序图。

[0047] 图15是比较例的环形振荡器的结构例。

[0048] 图16是示意性地说明比较例的环形振荡器的动作的时序图。

[0049] 图17是说明比较器的死区的图。

[0050] 图18是电路装置的结构例。

[0051] 图19是物理量传感器的结构例。

[0052] 图20是电子设备的结构例。

[0053] 图21是概略地示出作为移动体的具体例的汽车的图。

[0054] 标号说明

[0055] 10:第1电压时间转换电路;11:第3输入信号生成电路;12:第1延迟电路;14:第1输入信号生成电路;15:第1计测电路;16:第1锁存电路;17:第1下降沿延迟电路;18:第1上升沿延迟电路;19:第1输出电路;20:第2电压时间转换电路;21:第4输入信号生成电路;22:第2延迟电路;24:第2输入信号生成电路;25:第2计测电路;26:第2锁存电路;27:第2下降沿延迟电路;28:第2上升沿延迟电路;29:第2输出电路;30:判定电路;50:比较器;100:电路装置;120:控制部;121:比较寄存器;130:采样保持电路;140:D/A转换电路;204:陀螺传感器;206:汽车(移动体);207:车体;208:车体姿势控制装置;209:车轮;300:电子设备;310:处理部;320:存储部;330:操作部;340:接口部;350:显示部;400:物理量传感器;410:振子;420:驱动电路;430:检测电路;432:模拟前端电路;434:A/D转换电路;436:处理电路;DEA:第1延迟缓冲器;DEB:第2延迟缓冲器;DEC:第3延迟缓冲器;DED:第4延迟缓冲器;EN:使能信号;NDLIN:第1延迟电路的输入信号;NDLQ:第1延迟电路的输出信号;NIN:第2输入信号;NOUT:第1电压时间转换电路的输出信号;PDLIN:第2延迟电路的输入信号;PDLQ:第2延迟电路的输出信号;PIN:第1输入信号;POUT:第2电压时间转换电路的输出信号;SQA:第1延迟输出信号;SQB:第2延迟输出信号;TDN:延迟时间;TDP:延迟时间;TNA:第1第二导电类型晶体管;TNB:第2第二导电类型晶体管;TNC:第3第二导电类型晶体管;TND:第4第二导电类型晶体管;TPA:第1第一导电类型晶体管;TPB:第2第一导电类型晶体管;TPC:第3第一导电类型晶体管;PD:第4第一导电类型晶体管;UA1:第1延迟单元;UB1:第2延迟单元。

具体实施方式

[0056] 以下,对本发明的优选实施方式进行详细说明。另外,以下说明的本实施方式并非不适当地限定权利要求中记载的本发明的内容,本实施方式中说明的所有结构作为本发明的解决手段并不是必须的。

[0057] 1.结构

[0058] 以往的比较器一般是对电压直接进行比较(不将电压转换成时间等其他的量)的比较器(例如锁存比较器等)。在通过这样的比较器对微小信号进行判定的情况下,在比较器的前级设置前置放大器,对输入信号进行放大,通过比较器对该放大后的信号进行比较。由于前置放大器和比较器需要流过偏置电流,因此,功耗较大。

[0059] 例如,在将上述的比较器应用在使用图18后述的逐次比较A/D转换电路中的情况下,比较器占用功耗的大部分。在逐次比较中,例如比较器通过接近LSB的位的比较等来对微小的电压差进行比较。由于在比较器中存在死区(高电平、低电平随机确定的输入电压的范围),因此,通过前置放大器进行放大而进行比较,使得与该死区相比电压差变大。因此,前置放大器中的功耗具有增大的趋势。在逐次比较的比较器比较的电压差较大的情况下,比较器超出规格,必须根据最小的电压差设计前置放大器。

[0060] 在本实施方式中,为了解决上述这样的课题,采用电压时间转换方式的比较器。即,将输入电压转换为时间(沿的时间差),并且在其时域内进行比较。由于在该方式中能够通过数字式动作实现比较器,因此,不再需要偏置电流,能够实现低功耗。以下,对本实施方式的比较器进行说明。

[0061] 图1是本实施方式的比较器50的结构例。另外,图2是延迟单元UA1的结构例,图3是延迟单元UB1的结构例。比较器50包括第1电压时间转换电路10、第2电压时间转换电路20、以及判定电路30。

[0062] 第1电压时间转换电路10具有第1延迟电路12,输入第1输入信号PIN和第2输入信号NIN。第2电压时间转换电路20具有第2延迟电路22,输入第1输入信号PIN和第2输入信号NIN。判定电路30根据第1电压时间转换电路10的输出信号NOUT和第2电压时间转换电路20的输出信号POUT,判定第1输入信号PIN和第2的输入信号NIN的大小。

[0063] 并且,第1延迟电路12具有延迟单元UA1(第1延迟单元)。延迟单元UA1具有第1下降沿延迟电路17、第1上升沿延迟电路18、以及第1输出电路19。第1下降沿延迟电路17根据第1输入信号PIN,使延迟单元UA1的输入信号NDLIN的下降沿延迟。第1上升沿延迟电路18根据第2输入信号NIN,使延迟单元UA1的输入信号NDLIN的上升沿延迟。第1输出电路19根据第1下降沿延迟电路17的输出信号XNCLKA和第1上升沿延迟电路18的输出信号XPCLKA,生成第1延迟输出信号SQA。

[0064] 第2延迟电路22具有延迟单元UB1(第2延迟单元)。延迟单元UB1具有第2下降沿延迟电路27、第2上升沿延迟电路28、以及第2输出电路29。第2下降沿延迟电路27根据第2输入信号NIN,使延迟单元UB1的输入信号PDLIN的下降沿延迟。第2上升沿延迟电路28根据第1输入信号PIN,使延迟单元UB1的输入信号PDLIN的上升沿延迟。第2输出电路29根据第2下降沿延迟电路27的输出信号XNCLKB和第2上升沿延迟电路28的输出信号XPCLKB,生成第2延迟输出信号SQB。

[0065] 另外,在图1中示出了延迟电路12、22分别包括多个延迟单元UA1～UA3、UB1～UB3

的情况，但并不限于此，延迟电路12、22分别包括1个或多个延迟单元即可。另外，多个延迟单元的数量不限于3个，是任意的。另外，在图2、图3中示出了延迟单元UA1、UB1，但延迟单元UA2、UA3可以构成为与延迟单元UA1相同，延迟单元UB2、UB3可以构成为与延迟单元UB1相同。

[0066] 这里，第1输入信号PIN和第2输入信号NIN是由比较器50比较的电压(输入电压、比较电压)。

[0067] 另外，第1延迟电路12的输入信号NDLIN和第2延迟电路22的输入信号PDLIN是具有至少1个沿(逻辑电平的变化)的信号。信号NDLIN、PDLIN可以是从电压时间转换电路10、20的外部提供的，也可以是在电压时间转换电路10、20的内部生成的。例如，也可以是，从电压时间转换电路10、20的外部输入时钟信号等数字信号作为信号NDLIN、PDLIN。或者，也可以是，通过电压时间转换电路10、20的内部的逻辑电路对延迟电路12、22的输出信号NDLQ、PDLQ进行处理而使其作为信号NDLIN、PDLIN进行反馈。

[0068] 另外，第1电压时间转换电路10的输出信号NOUT是基于第1延迟电路12的输出信号NDLQ的信号，第2电压时间转换电路20的输出信号POUT是基于第2延迟电路22的输出信号PDLQ的信号。例如，信号NDLQ、PDLQ可以直接作为信号NOUT、POUT输出。或者，也可以是，向锁存电路或计数器等逻辑电路输入信号NDLQ、PDLQ，将由逻辑电路处理后的信号作为信号NOUT、POUT输出。

[0069] 根据本实施方式，各延迟单元UA1、UB1具有下降沿延迟电路17、27和上升沿延迟电路18、28。由此，延迟电路12、22能够使上升沿和下降沿双方延迟。关于这一点，将通过图4详细地在后文叙述。

[0070] 另外，根据本实施方式，下降沿延迟电路17、27和上升沿延迟电路18、28是分别构成的，输出电路19、29根据下降沿延迟电路17、27和上升沿延迟电路18、28的输出信号输出输出信号SQA、SQB。由于不进行延迟的沿(例如在下降沿延迟电路17、27中是上升沿)急剧发生变化，由此能够减少输出电路19、29中的直通电流(through current)。另外，不进行延迟的沿急剧发生变化，由此进行延迟的沿处的电压电平的变化必然从电源电平开始，从而能够准确地产生延迟时间。关于这几点，将通过图13～图16以及图4详细地在后文叙述。

[0071] 另外，在本实施方式中，第1下降沿延迟电路17具有：第1延迟缓冲器DEA，其输入延迟单元UA1的输入信号NDLIN；以及第1第一导电类型晶体管TPA，其设置在第1电源电压的节点(高电位侧电源VDD的节点)与第1延迟缓冲器DEA之间，其电流根据第1输入信号PIN而受到控制。第1上升沿延迟电路18具有：第2延迟缓冲器DEB，其输入延迟单元UA1的输入信号NDLIN；以及第1第二导电类型晶体管TNA，其设置在第2电源电压的节点(低电位侧电源VSS的节点，例如“地”的节点)与第2延迟缓冲器DEB之间，其电流根据第2输入信号NIN而受到控制。第2下降沿延迟电路27具有：第3延迟缓冲器DEC，其输入延迟单元UB1的输入信号PDLIN；以及第2第一导电类型晶体管TPB，其设置在第1电源电压的节点与第3延迟缓冲器DEC之间，其电流根据第2输入信号NIN而受到控制。第2上升沿延迟电路28具有：第4延迟缓冲器DED，其输入延迟单元UB1的输入信号PDLIN；以及第2第二导电类型晶体管TNB，其设置在第2电源电压的节点与第4延迟缓冲器DED之间，其电流根据第1输入信号PIN而受到控制。

[0072] 这里，根据输入信号PIN、NIN对电流进行控制是指晶体管的栅极输入基于输入信号PIN、NIN的信号，通过该栅极输入的信号的电压电平，对流过该晶体管的电流(漏极电流)

进行控制。即，晶体管TPA、TPB根据输入信号PIN、NIN对从电源VDD向延迟缓冲器DEA、DEC的高电位侧电源节点流过的电流进行控制。晶体管TNA、TNB根据输入信号PIN、NIN对从延迟缓冲器DEB、DED的低电位侧电源节点向电源VSS流过的电流进行控制。另外，可以是，输入信号PIN、NIN直接输入晶体管的栅极，或者，也可以是，输入信号PIN、NIN输入到缓冲器等电路，该电路的输出信号输入到晶体管的栅极。

[0073] 另外，第一导电类型是正导电类型和负导电类型中的一个，第二导电类型是正导电类型和负导电类型中的另一个。例如，第一导电类型晶体管是P型MOS晶体管，第二导电类型晶体管是N型MOS晶体管。

[0074] 另外，延迟缓冲器DEA、DEB、DEC、DED是以反相的方式对输入的逻辑电平进行输出的电路(例如，逻辑元件、逻辑电路)。例如，延迟缓冲器DEA、DEB、DEC、DED是反相器(逻辑反转元件)。

[0075] 根据本实施方式，在延迟缓冲器DEA、DEC的电源VDD侧插入晶体管。并且，这些晶体管的栅极输入比较器50的输入信号PIN、NIN，流过晶体管的电流(晶体管的导通电阻)是根据输入信号PIN、NIN进行控制的。由此，延迟缓冲器DEA、DEC能够使下降沿(在延迟缓冲器的输出信号处为上升沿)延迟。另外，在延迟缓冲器DEB、DED的电源VSS侧插入晶体管。并且，这些晶体管的栅极输入比较器50的输入信号NIN、PIN，流过晶体管的电流(晶体管的导通电阻)是根据输入信号NIN、PIN进行控制的。由此，延迟缓冲器DEB、DED能够使上升沿(在延迟缓冲器的输出信号处为下降沿)延迟。这样，延迟单元UA1、UB1能够使上升沿和下降沿双方延迟。

[0076] 另外，在本实施方式中，第1输出电路19具有：第3第二导电类型晶体管TNC，其设置在延迟单元UA1的输出节点与第2电源电压的节点(电源VSS的节点)之间，该第3第二导电类型晶体管TNC的栅极输入第1延迟缓冲器DEA的输出信号XNCLKA；以及第3第一导电类型晶体管TPC，其设置在第1电源电压的节点(电源VDD的节点)与延迟单元UA1的输出节点之间，该第3第一导电类型晶体管TPC的栅极输入第2延迟缓冲器DEB的输出信号XPCLKA。第2输出电路29具有：第4第二导电类型晶体管TND，其设置在延迟单元UB1的输出节点与第2电源电压的节点之间，该第4第二导电类型晶体管TND的栅极输入第3延迟缓冲器DEC的输出信号XNCLKB；以及第4第一导电类型晶体管TPD，其设置在第1电源电压的节点与延迟单元UB1的输出节点之间，该第4第一导电类型晶体管TPD的栅极输入第4延迟缓冲器DED的输出信号XPCLKB。

[0077] 根据本实施方式，在延迟单元UA1、UB1的输入信号NDLIN、PDLIN下降的情况下，延迟缓冲器DEA、DEC的输出信号XNCLKA、XNCLKB上升，晶体管TNC、TND导通，延迟输出信号SQA、SQB下降。另外，在延迟单元UA1、UB1的输入信号NDLIN、PDLIN上升的情况下，延迟缓冲器DEB、DED的输出信号XPCLKA、XPCLKB上升，晶体管TPC、TPD导通，延迟输出信号SQA、SQB上升。这样，输出电路19、29能够根据下降沿延迟电路17、27的输出信号XNCLKA、XNCLKB和上升沿延迟电路18、28的输出信号XPCLKA、XPCLKB，生成延迟输出信号SQA、SQB。

[0078] 图4是说明延迟单元UA1、UB1的动作的时序图。这里，以PIN>NIN的情况为例进行说明。另外，延迟单元的输入信号不限于图4。例如，也可以在下降沿之后输入上升沿，也可以输入重复矩形波的时钟信号这样的信号。

[0079] 如图4的E1、E2所示，在延迟单元UA1、UB1的输入信号NDLIN、PDLIN从低电平变为高

电平的情况下，如E3、E4所示，延迟缓冲器DEB、DED的输出信号XPCLKA、XPCLKB从高电平变为低电平。此时，由于PIN>NIN，因此在图2的延迟单元UA1中流过晶体管TNA的电流比在图3的延迟单元UB1中流过晶体管TNB的电流小。因此，延迟缓冲器DEB的输出信号XPCLKA从高电平变成低电平的时间比延迟缓冲器DED的输出信号XPCLKB从高电平变成低电平的时间长。由此，如E5、E6所示，晶体管TPC导通后延迟输出信号SQA从低电平变为高电平的时刻比晶体管TPD导通后延迟输出信号SQB从低电平变为高电平的时刻晚。

[0080] 同样地，如E7、E8所示，在延迟单元UA1、UB1的输入信号NDLIN、PDLIN从高电平变为低电平的情况下，如E9、E10所示，延迟冲器DEA、DEC的输出信号XNCLKA、XNCLKB从低电平变成高电平。此时，由于PIN>NIN，因此在图2的延迟单元UA1中流过晶体管TPA的电流比在图3的延迟单元UB1中流过晶体管TPB的电流小。因此，延迟缓冲器DEA的输出信号XNCLKA从低电平变成高电平的时间比延迟缓冲器DEC的输出信号XNCLKB从低电平变成高电平的时间长。由此，如E11、E12所示，晶体管TNC导通后延迟输出信号SQA从高电平变为低电平的时刻比晶体管TND导通后延迟输出信号SQB从高电平变为低电平的时刻晚。

[0081] 另外，在PIN<NIN的情况下，延迟输出信号SQA从低电平变为高电平的时刻比延迟输出信号SQB从低电平变为高电平的时刻早。另外，延迟输出信号SQA从高电平变为低电平的时刻比延迟输出信号SQB从高电平变为低电平的时刻早。

[0082] 这样，在本实施方式中，延迟单元UA1、UB1能够使两个沿延迟，因此，能够减少延迟单元的级数，减少比较器50的布局面积。例如，如使用图5～图7后述的那样，设置输入信号生成电路14、24而使沿在延迟电路12、22中进行两次循环，由此，能够将延迟时间变为大约2倍。此时，虽然按照下降沿、上升沿的顺序在延迟电路12、22中传播并延迟，但这是通过能够对两个沿进行延迟而实现的。另外，如使用图11、图12后述的那样，也可以在环形振荡器中嵌入延迟电路12、22。在这种情况下，环形振荡器的振荡信号(时钟信号)在延迟电路12、22中传播，振荡频率根据其延迟而不同。这也是通过能够对两个沿进行延迟而实现的。这样，通过能够对两个沿进行延迟，能够多次通过延迟电路12、22产生延迟，能够减少级数并且使延迟时间增加。

[0083] 另外，在本实施方式中，第1延迟缓冲器DEA的延迟时间根据流过第1第一导电类型晶体管TPA的电流而受到控制。第2延迟缓冲器DEB的延迟时间根据流过第1第二导电类型晶体管TNA的电流而受到控制。第3延迟缓冲器DEC的延迟时间根据流过第2第一导电类型晶体管TPB的电流而受到控制。第4延迟缓冲器DED的延迟时间根据流过第2第二导电类型晶体管TNB的电流而受到控制。

[0084] 即，在延迟缓冲器DEA、DEC的输入从高电平下降到低电平的情况下，通过流过第一导电类型晶体管TPA、TPB的电流，输出从低电平上升到高电平。在这种情况下，根据与信号PIN、NIN对应的第一导电类型晶体管TPA、TPB中流过的电流，确定输出的上升沿的延迟时间。另一方面，在延迟缓冲器DEB、DED的输入从低电平上升到高电平的情况下，通过流过第二导电类型晶体管TNA、TNB的电流，输出从高电平下降到低电平。在这种情况下，根据与信号NIN、PIN对应的第二导电类型晶体管TNA、TNB中流过的电流，确定输出的下降沿的延迟时间。另外，也可以是，将流过晶体管的电流直接提供给延迟缓冲器的电源节点，由此，对延迟时间进行控制，或者，也可以是，经由某个电路或元件将流过晶体管的电流提供给延迟缓冲器的电源节点，由此，对延迟时间进行控制。

[0085] 这样，在各沿处根据流过第一导电类型晶体管或第二导电类型晶体管的电流对延迟时间进行控制。并且，通过设置有第一导电类型晶体管的延迟缓冲器和设置有第二导电类型晶体管的延迟缓冲器双方的设置，能够在两个沿处对延迟时间进行控制。

[0086] 2.第1详细结构

[0087] 图5是本实施方式的比较器50的第1详细结构例。在图5中，第1电压时间转换电路10包括第1延迟电路12、第1输入信号生成电路14、以及第1锁存电路16，第2电压时间转换电路20包括第2延迟电路22、第2输入信号生成电路24、以及第2锁存电路26。

[0088] 第1延迟电路12和第2延迟电路22的各延迟电路具有串联连接的多个延迟单元。各延迟单元是使用图2、图3说明的延迟单元。这里，串联连接是指延迟单元的输出信号成为下一个延迟单元的输入信号。另外，在图5中示出了延迟电路12、22分别具有3个延迟单元的情况，但不限于此。

[0089] 这样，各延迟电路具有多个延迟单元，由此，能够增大将电压转换为时间的增益。在本实施方式中，延迟电路12、22使沿延迟两次，因此，与只延迟一次的情况相比，能够利用大约一半的级数的延迟单元实现相同的增益。

[0090] 第1输入信号生成电路14生成第1延迟电路12的输入信号NDLIN，将输入信号NDLIN输出到第1延迟电路12。第1锁存电路16是根据第1延迟电路12的输出信号NDLQ进行动作的锁存电路。第2输入信号生成电路24生成第2延迟电路22的输入信号PDLIN，将输入信号PDLIN输出到第2延迟电路22。第2锁存电路26是根据第2延迟电路22的输出信号PDLQ进行动作的锁存电路。

[0091] 具体地，第1输入信号生成电路14具有RS锁存器RSA和NAND电路NAA(“与非”电路)，该RS锁存器RSA的置位端子输入使能信号EN，复位端子输入延迟电路12的输出信号NDLQ，该NAND电路NAA输入使能信号EN和RS锁存器RSA的输出信号RSAQ。NAND电路NAA的输出信号成为延迟电路12的输入信号NDLIN。另外，第2输入信号生成电路24具有RS锁存器RSB和NAND电路NAB，该RS锁存器RSB的置位端子输入使能信号EN，复位端子输入延迟电路22的输出信号PDLQ，该NAND电路NAB输入使能信号EN和RS锁存器RSB的输出信号RSBQ。NAND电路NAB的输出信号成为延迟电路22的输入信号PDLIN。使能信号EN例如是从包括比较器的电路装置中所包含的控制电路或处理电路输入的。或者，也可以从设置在包括比较器的电路装置的外部的CPU等输入。

[0092] 锁存电路16、26例如是触发器电路。锁存电路16的复位端子(低有效)输入使能信号EN，数据端子输入第1逻辑电平(例如高电平)，时钟端子输入延迟电路12的输出信号NDLQ。锁存电路16的输出信号成为电压时间转换电路10的输出信号NOUT。锁存电路26的复位端子(低有效)输入使能信号EN，数据端子输入第1逻辑电平(例如高电平)，时钟端子输入延迟电路22的输出信号PDLQ。锁存电路26的输出信号成为电压时间转换电路20的输出信号POUT。另外，锁存电路16、26不限于触发器电路，只要是进行输入信号的采集和采集的信号的输出的电路即可。

[0093] 通过这样的结构，在延迟电路12、22中传播的第1沿通过输入信号生成电路14、24作为第2沿被反馈到延迟电路12、22的输入。并且，在延迟电路12、22中进行两次循环的沿被锁存电路16、26锁存。这样，沿在延迟电路12、22中进行两次循环，因此，能够在维持延迟时间的状态下使延迟单元的级数成为大约一半。

[0094] 图6是说明PIN>NIN的情况下的图5的比较器50的动作的时序图。

[0095] 如图6的A1所示，第1输入信号生成电路14使第1延迟电路12的输入信号NDLIN从高电平(第1逻辑电平)变成低电平(第2逻辑电平)。即，如A2所示，使能信号EN从低电平变为高电平，由此，NAND电路NAA的输出信号(输入信号NDLIN)从高电平变为低电平。

[0096] 如A3所示，输入信号NDLIN的下降沿在延迟电路12中传播，延迟电路12的输出信号NDLQ从高电平变成低电平。在这种情况下，如A4所示，输入信号生成电路14使延迟电路12的输入信号NDLIN从低电平变成高电平。即，如A5所示，输出信号NDLQ变为低电平，由此，RS锁存器RSA进行复位，RS锁存器RSA的输出信号RSAQ从高电平变成低电平。并且，RS锁存器RSA的输出信号RSAQ变为低电平，由此，NAND电路NAA的输出信号(输入信号NDLIN)从低电平变为高电平。

[0097] 如A6所示，输入信号NDLIN的上升沿在延迟电路12中传播，延迟电路12的输出信号NDLQ从低电平变成高电平。在这种情况下，第1锁存电路16的输出信号NOUT从低电平变成高电平。即，使能信号EN变为高电平，由此，锁存电路16进行复位解除。并且，时钟端子的输入信号(输出信号NDLQ)上升，由此，采集数据端子的输入信号(高电平)，输出信号NOUT从低电平变成高电平。

[0098] 这样，在使能信号EN变为高电平之后，沿在延迟电路12中进行两次循环，在延迟时间TDN后，输出信号NOUT变为高电平。

[0099] 另外，第2电压时间转换电路20的动作也相同。即，第2输入信号生成电路24使第2延迟电路22的输入信号PDLIN从高电平变成低电平。在延迟电路22的输出信号PDLQ从高电平变成低电平的情况下，输入信号生成电路24使延迟电路22的输入信号PDLIN从低电平变成高电平。在延迟电路22的输出信号PDLQ从低电平变成高电平的情况下，第2锁存电路26的输出信号POUT从低电平变成高电平。这样，在使能信号EN变为高电平之后，沿在延迟电路22中进行两次循环，在延迟时间TDP后，输出信号POUT变为高电平。

[0100] 在PIN>NIN的情况下，TDP<TDN，输出信号POUT比输出信号NOUT先上升。判定电路30在检测出输出信号POUT先上升的情况下，判定为PIN>NIN，输出其判定结果(例如，高电平的判定信号CPQ)。

[0101] 图7是说明PIN<NIN的情况下的图5的比较器50的动作的时序图。另外，由于动作与图6相同，因此，省略说明。

[0102] 在PIN<NIN的情况下，TDP>TDN，输出信号NOUT比输出信号POUT先上升。判定电路30在检测出输出信号NOUT先上升的情况下，判定为PIN<NIN，并且输出该判定结果(例如低电平的判定信号CPQ)。

[0103] 3.判定电路

[0104] 图8是判定电路30的详细结构例。另外，判定电路30的结构不限于图8，只要是能够判定沿比信号NOUT、POUT中的哪一个信号先输出的电路即可。

[0105] 图8的判定电路30包括：使信号NOUT、POUT延迟的缓冲器BFE1、BFE2、输入缓冲器BFE1、BFE2的输出信号的RS锁存器RSE1、输出信号NOUT、POUT的逻辑积的AND电路ANE(与电路)、输出缓冲器BFE1、BFE2的输出信号的逻辑和的OR电路ORE(或电路)、以及输入AND电路ANE和OR电路ORE的输出信号的RS锁存器RSE2。

[0106] RS锁存器RSE1的输出信号是判定信号CPQ。在PIN>NIN的情况下，判定信号CPQ是高

电平,在PIN<NIN的情况下,判定信号CPQ是低电平。

[0107] OR电路ORE的输出信号LATCH在信号NOUT、POUT中的任意一个变为高电平的情况下(即,判定已确定的情况下)变为高电平(有效)。

[0108] RS锁存器RSE2的输出信号是表示信号PIN、NIN的电压差(信号POUT、NOUT的时间差)是否微小的微小判定标志信号SFLAG。在电压差微小的情况下,信号SFLAG是高电平(有效),在电压差不是微小的情况下,信号SFLAG是低电平。在信号PIN、NIN的电压差较小的情况下,在比较器50上存在大小比较的死区(如下文所述,判定结果随机确定的范围)。例如,预先将判定为微小的电压差设定成死区的程度。接着,在信号SFLAG是高电平的情况下,对相同的信号PIN、NIN进行多次大小比较。由此,能够实质性地缩小死区。

[0109] 图9是说明PIN>NIN的情况下的判定电路30的动作的时序图。PIN>>NIN表示信号PIN是远远大于信号NIN的电压(不是微小信号)。

[0110] 首先,对信号PIN、NIN的大小判定进行说明。如图9的B1所示,信号POUT比信号NOUT先从低电平变为高电平。这样,如B2所示,在缓冲器BFE2的延迟时间之后,RS锁存器RSE1对高电平进行锁存,判定信号CPQ确定为高电平。与是否是微小信号无关,该判定动作是相同的。

[0111] 接着,对微小判定标志信号SFLAG进行说明。首先,对不是微小信号的情况进行说明。如B3所示,在信号POUT变为高电平之后,在缓冲器BFE2的延迟时间DLB后,信号LATCH从低电平变为高电平。在PIN>>NIN的情况下,在信号LATCH变为高电平时,如B4所示,信号NOUT是低电平(由于时间差较大,因此,没有变为高电平)。因此,AND电路ANE的输出信号是低电平,如B5所示,RS锁存器RSE2对低电平进行锁存,信号SFLAG确定为低电平。

[0112] 接着,对微小信号的情况进行说明。如B10所示,信号POUT、NOUT的下降沿的时间差设定得比缓冲器BFE2的延迟时间DLB小。在这种情况下,在信号LATCH变为高电平时,如B11所示,信号NOUT是高电平。因此,AND电路ANE的输出信号是高电平,如B12所示,RS锁存器RSE2对高电平进行锁存,信号SFLAG确定为高电平。

[0113] 图10是说明PIN<NIN的情况下的判定电路30的动作的时序图。PIN<<NIN表示信号NIN是远远大于信号PIN的电压(不是微小信号)。

[0114] 由于动作与PIN>NIN的情况相同,因此,对概况进行说明。在PIN<NIN的情况下,信号NOUT比信号POUT先从低电平变为高电平,因此,在缓冲器BFE1的延迟时间之后,RS锁存器RSE1对低电平进行锁存,判定信号CPQ确定为低电平。

[0115] 在不是微小信号的情况下,在信号NOUT变为高电平之后,在缓冲器BFE1的延迟时间DLC之后,信号LATCH从低电平变为高电平,RS锁存器RSE2对低电平进行锁存,信号SFLAG确定为低电平。

[0116] 在微小信号的情况下,信号POUT、NOUT的下降沿的时间差比缓冲器BFE1的延迟时间DLC小。在这种情况下,在信号LATCH变为高电平时,RS锁存器RSE2对高电平进行锁存,信号SFLAG确定为高电平。

[0117] 4.第2详细结构

[0118] 图11是本实施方式的比较器50的第2详细结构例。在图11中,第1电压时间转换电路10包括第1延迟电路12、第3输入信号生成电路11、以及第1计测电路15,第2电压时间转换电路20包括第2延迟电路22、第4输入信号生成电路21、以及第2计测电路25。

[0119] 第1计测电路15对来自第1延迟电路12的输出信号NDLQ的脉冲数进行计测。第1电压时间转换电路10的输出信号NOUT是根据第1计测电路15的计测结果生成的。第2计测电路25对来自第2延迟电路22的输出信号PDLQ的脉冲数进行计测。第2电压时间转换电路20的输出信号POUT是根据第2计测电路25的计测结果而生成的。并且，判定电路30根据来自第1计测电路15和第2计测电路25的计测结果(基于计测结果的信号NOUT、POUT)，判定第1输入信号PIN和第2输入信号NIN的大小。

[0120] 例如，计测电路15、25是对信号NDLQ、PDLQ的脉冲数进行计数的计数器，在计数值达到规定值的情况下，将信号NOUT、POUT设为高电平。另外，计测电路15、25不限于计数器，只要是能够将信号NDLQ、PDLQ的脉冲数转换为信号NOUT、POUT的电路即可。例如，也可以是，根据信号NDLQ、PDLQ的脉冲进行移位的移位寄存器。

[0121] 第1延迟电路12和第2延迟电路22的各延迟电路例如包括单级的延迟单元。或者，各延迟电路也可以是串联连接的多级的延迟单元。

[0122] 根据本实施方式，来自延迟电路12、22的输出信号NDLQ、PDLQ的频率(每单位时间的脉冲数)根据与信号PIN、NIN对应的延迟时间而变化。因此，能够根据信号NDLQ、PDLQ的脉冲数判定信号PIN、NIN的大小。

[0123] 另外，在本实施方式中，第1电压时间转换电路10包括将第1延迟电路12的输出信号NDLQ反馈到输入信号NDLIN中的第1环形振荡器。第2电压时间转换电路20包括将第2延迟电路22的输出信号PDLQ反馈到输入信号PDLIN中的第2环形振荡器。

[0124] 第1环形振荡器对应于由第3输入信号生成电路11、第1延迟电路12构成的回路。第2环形振荡器对应于由第4输入信号生成电路21、第2延迟电路22构成的回路。

[0125] 这样，通过构成包括延迟电路12、22的环形振荡器，该环形振荡器的振荡频率根据信号PIN、NIN而发生变化。由此，能够根据信号NDLQ、PDLQ的脉冲数判定信号PIN、NIN的大小。

[0126] 另外，在本实施方式中，第3输入信号生成电路11输入使能信号EN和基于第1延迟电路12的输出信号NDLQ的信号，生成第1延迟电路12的输入信号NDLIN。第4输入信号生成电路21输入使能信号EN和基于第2延迟电路22的输出信号PDLQ的信号，生成第2延迟电路22的输入信号PDLIN。

[0127] 例如，输入信号生成电路11、21是NAND电路(“与非”电路)。在这种情况下，当使能信号EN变为高电平时，NAND电路相对于信号NDLQ、PDLQ发挥与反相器相同的作用。即，构成基于奇数级的反转逻辑电路的环形振荡器(延迟单元UA1、UA2不进行逻辑反转)。

[0128] 通过这样的结构，能够构成将第1延迟电路12的输出信号NDLQ反馈到输入信号NDLIN中的第1环形振荡器和将第2延迟电路22的输出信号PDLQ反馈到输入信号PDLIN中的第2环形振荡器。

[0129] 另外，在图11中，基于延迟电路12、22的输出信号NDLQ、PDLQ的信号是延迟电路12、22的输出信号NDLQ、PDLQ本身。但不限于此，基于信号NDLQ、PDLQ的信号也可以是通过某种元件或电路对信号NDLQ、PDLQ进行处理后的信号。

[0130] 图12是说明比较器50的第2详细结构例的动作的时序图。另外，在图12中示出了计数值的规定值为“4”的情况，但规定值不限于“4”。

[0131] 如图12的F1所示，在使能信号EN从低电平变为高电平时，环形振荡器开始进行振

荡。在PIN＞NIN的情况下，第1延迟电路12的延迟时间比第2延迟电路22大，因此，第1环形振荡器的振荡频率比第2环形振荡器小(每单位时间的信号NDLQ的脉冲数小)。因此，如F2所示，第2计测电路25的计数器值比第1计测电路15的计数值先达到规定值“4”，信号POUT比信号NOUT先从低电平变为高电平。

[0132] 另外，在PIN＜NIN的情况下，第2环形振荡器的振荡频率比第1环形振荡器小，因此，第1计测电路15的计数值比第2计测电路25的计数值先达到规定值，信号NOUT比信号POUT先从低电平变为高电平。

[0133] 5.关于延迟单元的直通电流和延迟时间

[0134] 以下，对本实施方式的延迟单元能够减少直通电流、和能够实现准确的延迟时间进行说明。

[0135] 图13是比较例的延迟单元的结构例。在该比较例中，由晶体管TPH1、TPH2、TNH1、TNH2构成的延迟单元和由晶体管TPH3、TPH4、TNH3、TNH4构成的延迟单元串联连接。晶体管TPH2、TNH2、TPH4、TNH4构成反相器，通过晶体管TPH1、TNH1、TPH3、TNH3对该反相器的延迟进行设定。

[0136] 图14是示意性地说明图13的比较例的动作的时序图。输入信号CLK示意性地示出在图5或图11的比较器50内、在延迟电路12中传播的信号。信号OUT(缓冲器后)是假设在图13的延迟单元的下一级设置有缓冲器的情况下的缓冲器的输出信号。

[0137] 在如图14的D1所示那样信号CLK下降时，如D2所示，通过晶体管TPH1，使信号XOUT从低电平向高电平平缓地发生变化，如D3所示，通过晶体管TNH3，使信号OUT从高电平向低电平平缓地发生变化。并且，信号OUT(缓冲器后)的下降沿比信号CLK的下降沿延迟。在如D5所示那样信号CLK上升时，如D6所示，通过晶体管TNH1，使信号XOUT从高电平向低电平平缓地发生变化，如D7所示，通过晶体管TPH3，使信号OUT从低电平向高电平平缓地发生变化。并且，信号OUT(缓冲器后)的上升沿比信号CLK的上升沿延迟。

[0138] 这样，在图13的比较例中，能够使下降沿和上升沿延迟。然而，由于在各反相器的高电位侧电源和低电位侧电源双方插入有晶体管，因此，其输出信号(XOUT、OUT)的下降沿和上升沿都平缓地变化。这样，如果电压电平的转变期间变长，则输入该信号的逻辑电路(例如，延迟单元、反相器、缓冲器等)在转变期间内流过的直通电流可能增大。

[0139] 关于这一点，在本实施方式中，如图2所示，仅在反相器(延迟缓冲器DEA、DEB)的高电位侧电源或低电位侧电源的一方插入晶体管。因此，在电压电平的转变期间内，输出电路19的晶体管TPC、TNC双方都截止，能够减少直通电流。

[0140] 具体来讲，在如图4的E20所示那样延迟单元的输入信号NDLIN上升时，信号XNCLKA立即下降。这是因为在延迟缓冲器DEA的低电位侧电源中没有插入晶体管。此时，输出电路19的晶体管TPC、TNC都截止，之后，信号XPCLKA变为低电平，晶体管TPC导通，信号SQA上升。同样，在如E21所示那样延迟单元的输入信号NDLIN下降时，信号XPCLKA立即上升。这是因为在延迟缓冲器DEB的高电位侧电源中没有插入晶体管。此时，输出电路19的晶体管TPC、TNC都截止，之后，信号XNCLKA变为高电平，晶体管TNC导通，信号SQA下降。这样，由于存在晶体管TPC、TNC双方都截止的期间，因此，不会产生晶体管TPC、TNC的同时导通导致的直通电流。

[0141] 图15是比较例的环形振荡器的结构例。该比较例的环形振荡器包括图13的1级的延迟单元，延迟单元的延迟时间根据信号PIN、NIN发生变化，由此，环形振荡器的振荡频率

发生变化。

[0142] 图16是示意性地说明图15的比较例的动作的时序图。输入信号CLK对应于图11的比较器50的使能信号EN。

[0143] 在如图16的G1所示那样信号CLK从低电平变为高电平时，环形振荡器开始振荡。如G2所示，延迟缓冲器的输出信号XCLK从低电平向高电平平缓地变化。此时，如G3所示，在信号XCLK达到反相器的逻辑阈值电压的时刻，信号OUT下降，因此，信号XCLK在达到高电平(电源VDD的电压电平)之前开始向低电平平缓地变化。同样，在信号XCLK达到低电平(电源VSS的电压电平)之前，信号OUT下降，信号XCLK开始向高电平平缓地变化。

[0144] 通过重复这样的信号XCLK的变化，如G4所示，信号XCLK在反相器的逻辑阈值电压附近往返。因此，与信号XCLK的变化从电源电平开始的情况相比，在短时间内达到逻辑阈值电压，延迟单元的延迟时间比预期短。这样，第1电压时间转换电路10和第2电压时间转换电路20的振荡频率之差比预期小，将信号PIN、NIN的电压差转换成振荡频率的差的增益变小。这样，在增益变小时，微小信号(信号PIN、NIN的电压差微小的情况)无法充分放大，比较器50的死区看上去被实质性放大。因此，对微小信号的判定精度降低。

[0145] 关于这一点，在本实施方式中，只在反相器(延迟缓冲器DEA、DEB)的高电位侧电源或低电位侧电源的一方插入晶体管。因此，能够较快地达到没有插入晶体管的一侧的电源电平，在下一次发生延迟时，使信号的变化从电源电平开始。

[0146] 具体来讲，如图4的E7所示，信号NDLIN的下降沿通过E9所示的延迟缓冲器DEA的输出信号XNCLKA而延迟。如E1所示，在之前的信号NDLIN的上升沿处，如E20所示那样信号XNCLKA急剧变为低电平。这是因为在延迟缓冲器DEA的低电位侧电源中没有插入晶体管。由此，如E9所示，必然能够从低电平(电源VSS的电压电平)开始信号XNCLKA的变化。同样，如E22所示，信号NDLIN的上升沿通过E23所示的延迟缓冲器DEB的输出信号XPCLKA而延迟。如E7所示，在之前的信号NDLIN的下降沿处，如E21所示，信号XPCLKA急剧地变为高电平。这是因为在延迟缓冲器DEB的高电位侧电源中没有插入晶体管。由此，如E23所示，必然能够从高电平(电源VDD的电压电平)开始信号XPCLKA的变化。

[0147] 这样，在本实施方式中，准确地实现了延迟单元的延迟时间。并且，在将该延迟单元应用到环形振荡器的情况下，能够准确地实现将信号PIN、NIN的电压差转换成振荡频率的差的增益。

[0148] 6.关于比较器的死区

[0149] 图17是说明比较器的死区的图。设比较器的正极端子输入的电压为VP、负极端子输入的电压为VN。在图17中，横轴是电压Vin＝VP-VN，纵轴是比较器的输出变为高电平的概率。

[0150] 这里，考虑对比较器进行建模。即，考虑以下这样的模型：向没有死区的比较器的正极端子输入电压VP+Vn，向负极端子输入电压VN。没有死区是指在VP＞VN的情况下输出100％确定为高电平，在VP＜VN的情况下输出100％确定为低电平。电压Vn是遵循平均值为零且方差为σ的平方的正态分布的噪声。在这种情况下，比较器的输出变为高电平的概率f(Vin)是下式(1)那样的累积分布函数。这里，erf()是误差函数。

[0151] $$f(Vin)=\frac{1}{2}\left(1+erf\left(\frac{Vin}{\sqrt{2\sigma^2}}\right)\right) \quad \cdots (1)$$

[0152] 上式(1)的右边为Vin/σ的函数,因此,如果Vin/σ相同,则是相同的概率f(Vin)。

[0153] 如图17所示,例如将-σ≤Vin≤+σ(所谓1西格玛)的电压范围定义为死区。在该电压范围内,是比较器的输出变为高电平的概率为15.9%以上、84.1%以下的范围。

[0154] 在图16中,对在比较例的环形振荡器中、延迟单元的延迟时间变短而比较器的死区扩大的情况进行说明。使用上述模型对此进行说明。即,延迟时间变短的意思是指电压时间转换的增益变小,这相当于在比较器的输入侧观察时,输入电压的差(Vin)实质性变小。这样,噪声电压Vn的σ相对增大。即,在图17中,横轴的+σ向正侧移动,-σ向负侧移动,死区扩大。

[0155] 在本实施方式的延迟单元中,由于不会发生上述的延迟时间缩短,因此,比较器的死区不会增大。在死区增大时,微小信号的判定精度降低,但是,通过使用本实施方式的延迟单元,能够使判定精度成为高精度。

[0156] 另外,在图8中,对微小判定标识信号SFLAG进行了说明。在电压Vin处于死区的范围内的情况下,对缓冲器BFE1、BFE2的延迟时间进行设定,使得信号SFLAG变为有效,由此,能够得知输入电压处于死区的范围内,能够进行与之对应的各种措施。

[0157] 7.电路装置

[0158] 图18是包括本实施方式的比较器50的电路装置100的结构例。这里,作为电路装置100的一例,示出逐次比较型A/D转换电路的结构例。另外,电路装置100不限于该结构,只要包括比较器50即可。

[0159] 电路装置100包括:比较器50、控制部120(控制电路)、采样保持电路130(S/H电路)、以及D/A转换电路140(DAC)。

[0160] 采样保持电路130对输入电压VIN进行采样和保持,输出保持的电压SIN。控制部120将在逐次比较寄存器121中存储的逐次比较数据RDA输出到D/A转换电路140。D/A转换电路140对逐次比较数据RDA进行D/A转换,输出该转换后的电压DQ。比较器50对电压SIN和电压DQ的大小进行比较,输出其判定信号CPQ。即,在图18中,电压SIN、DQ与图1等的信号PIN、NIN对应。控制部120根据判定信号CPQ,对在逐次比较寄存器121中存储的逐次比较数据RDA进行更新。控制部120重复这样的逐次比较数据RDA的更新,将最终获得的逐次比较数据RDA作为A/D转换数据DOUT输出。

[0161] 8.物理量传感器

[0162] 图19是包括本实施方式的电路装置100的物理量传感器400的结构例。这里,作为物理量传感器400的一例,示出了振动陀螺传感器(角速度传感器)的结构例。另外,物理量传感器400不限于该结构,本实施方式的电路装置100能够应用于静电电容型(硅MEMS型)陀螺传感器、加速度传感器、压力传感器、以及温度传感器等各种物理量传感器。

[0163] 物理量传感器400包括检测与角速度对应的科氏力的检测元件即振子410(例如,石英振子)和进行振子410的驱动和角速度的检测处理的电路装置100。

[0164] 电路装置100包括驱动电路420、检测电路430。驱动电路420将正弦波或矩形波的驱动信号施加到振子410的驱动用振动部,根据来自驱动用振动部的反馈信号将驱动信号

的振幅自动调整成固定。检测电路430包括模拟前端电路432(AFE)、A/D转换电路434、以及处理电路436。模拟前端电路432对来自振子410的检测信号进行电荷电压转换(Q/V转换)，对其电压进行同步检波，提取角速度信号。A/D转换电路434将角速度信号A/D转换成角速度数据。该A/D转换电路434包括本实施方式的比较器50，相当于在图18中说明的逐次比较型A/D转换电路。处理电路436对角速度数据进行各种数字信号处理，输出处理后的角速度数据。例如，作为数字信号处理，进行温度补偿处理、零点校正处理、数字滤波处理等。

[0165] 9.电子设备

[0166] 图20、图21是包括本实施方式的电路装置100的电子设备、移动体的例子。例如，本实施方式的电路装置100能够组装到车、飞机、摩托车、自行车、或船舶等各种移动体中。移动体例如是具有发动机和电机等驱动机构、方向盘或舵等转向机构、以及各种电子设备并在地面、空中以及海上进行移动的设备/装置。

[0167] 图20是电子设备300的结构例。作为电子设备300的具体例，可以想到数码相机、生物体信息检测装置(可穿戴式健康设备。例如脉搏计、计步器、活动量计等)、机器人(行驶机器人、步行机器人)。另外，这里，以电子设备300包括物理量传感器400的情况为例进行说明，但不限于此。即，电子设备300只要包括电路装置100即可，除了上述之外，也能够应用到各种电子设备中。

[0168] 电子设备300包括处理部310(例如CPU等处理器或者门阵列)、存储部320(例如存储器、硬盘等)、操作部330(操作装置)、接口部340(接口电路、接口装置)、显示部350(显示器)、以及物理量传感器400。

[0169] 显示部350例如是液晶显示装置或者使用了自发光元件的EL(Electro-Luminescence)显示装置。操作部330是受理来自用户的各种操作的用户接口。例如是按钮、鼠标、键盘、以及在显示部350上安装的触摸面板等。接口部340是进行图像数据和控制数据的输入输出的数据接口。例如是USB等的有线通信接口或者无线LAN等的无线通信接口。存储部320对从接口部340输入的数据进行存储。或者，存储部320作为处理部310的工作存储器发挥作用。物理量传感器400例如检测角速度和加速度等物理量，输出其物理量数据。处理部310根据来自物理量传感器400的物理量数据，进行电子设备的各部分的控制处理和各种数据处理。

[0170] 图21是概略地示出作为移动体的具体例的汽车206的图。在汽车206中组装有陀螺传感器204(物理量传感器)。陀螺传感器204能够检测车体207的姿势。陀螺传感器204的检测信号被提供给车体姿势控制装置208。车体姿势控制装置208例如能够根据车体207的姿势对悬架的软硬进行控制，或者对每个车轮209的制动进行控制。另外，这样的姿势控制能够应用到双足步行机器人、飞机、直升机等各种移动体中。在实现姿势控制时，能够组装陀螺传感器204。

[0171] 另外，如上所述，对本实施方式详细地进行了说明，本领域技术人员应该可以容易理解能够进行实体上不脱离本发明的新事项和效果的多种变形。因此，这样的变形例都包括在本发明的范围内。例如，在说明书或附图中，与更加广义或同义的不同用语一同记述至少一次的用语，在说明书或附图的任意位置都能够替换成该不同的用语。另外，本实施方式和变形例的所有组合也都包括在本发明的范围内。另外，比较器、电路装置、物理量传感器、电子设备、移动体的结构和动作等也不限于在本实施方式中说明的内容，能够进行各种变

形实施。

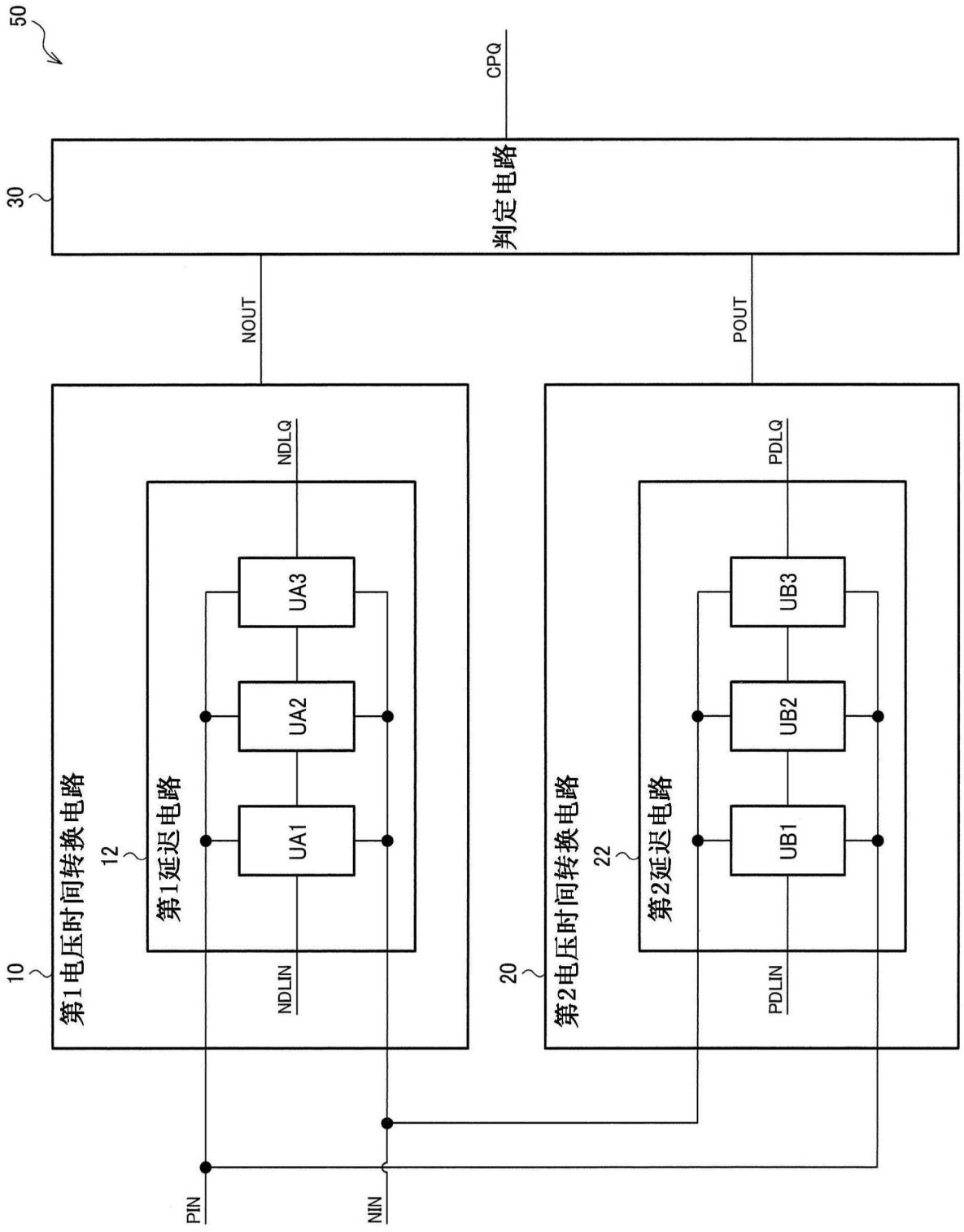

50
CPQ
30
判定电路
NOUT
POUT
第1电压时间转换电路
10
第1延迟电路
12
NDLQ
UA3
UA2
UA1
NDLIN
第2电压时间转换电路
20
第2延迟电路
22
PDLQ
UB3
UB2
UB1
PDLIN
PIN
NIN

图1

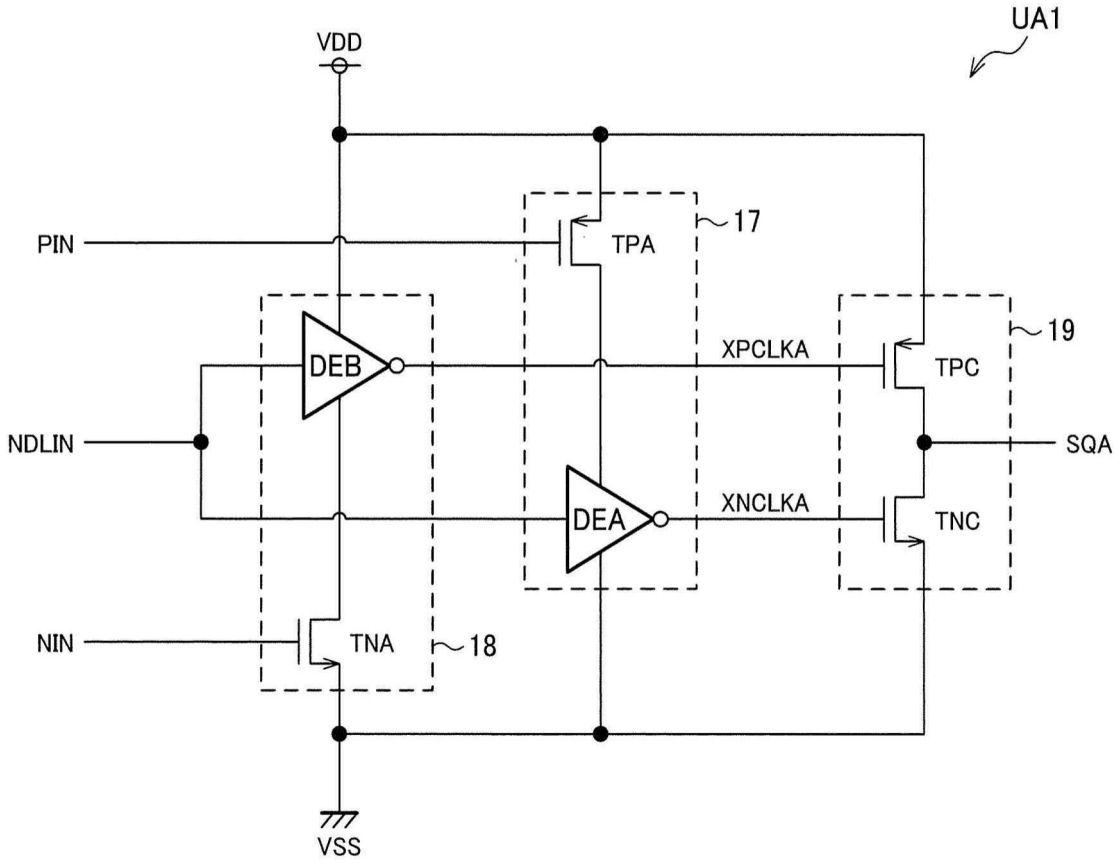

UA1
VDD
PIN
TPA
17
DEB
XPCLKA
TPC
19
NDLIN
SQA
DEA
XNCLKA
TNC
NIN
TNA
18
VSS

图2

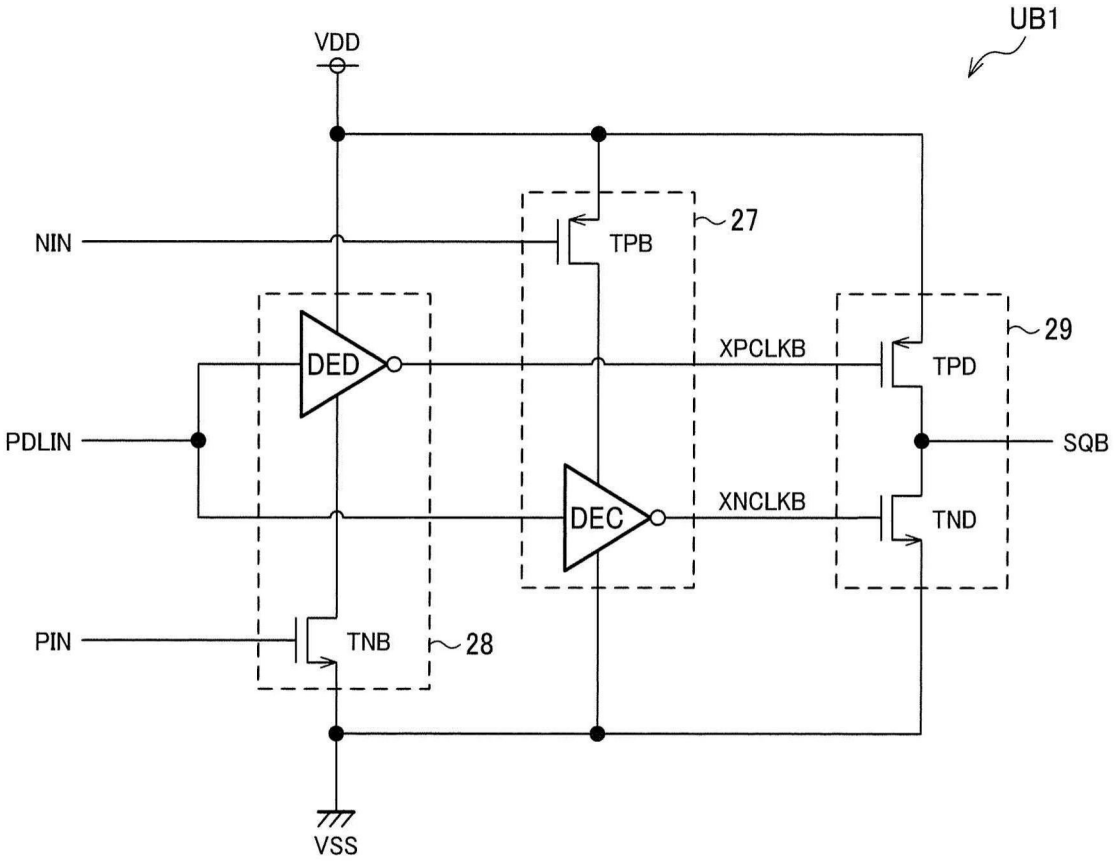

UB1
VDD
NIN
TPB
27
DED
XPCLKB
TPD
29
PDLIN
SQB
DEC
XNCLKB
TND
PIN
TNB
28
VSS

图3

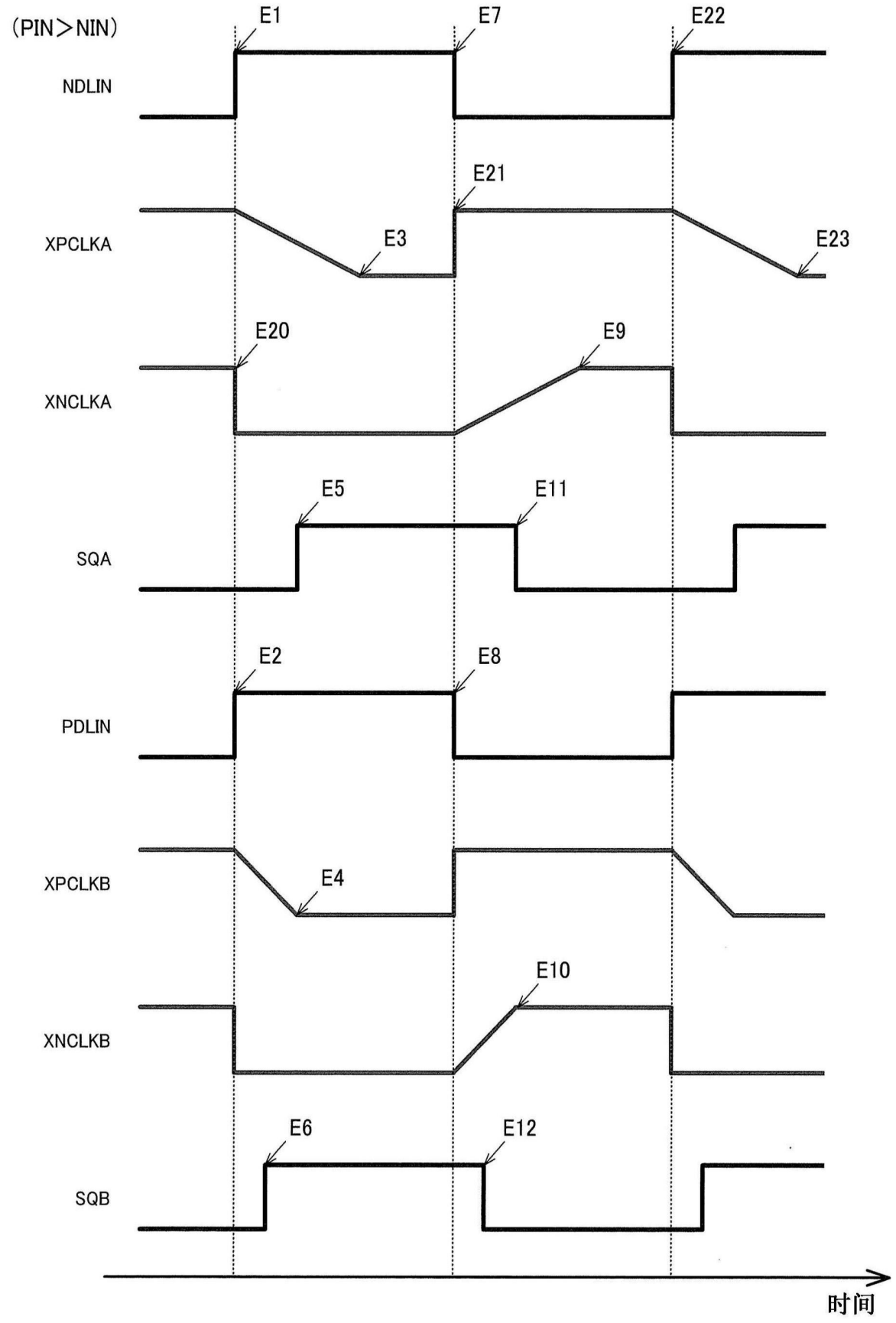

(PIN>NIN)
NDLIN
XPCLKA
XNCLKA
SQA
PDLIN
XPCLKB
XNCLKB
SQB
E1
E7
E22
E21
E3
E23
E20
E9
E5
E11
E2
E8
E4
E10
E6
E12
时间

图4

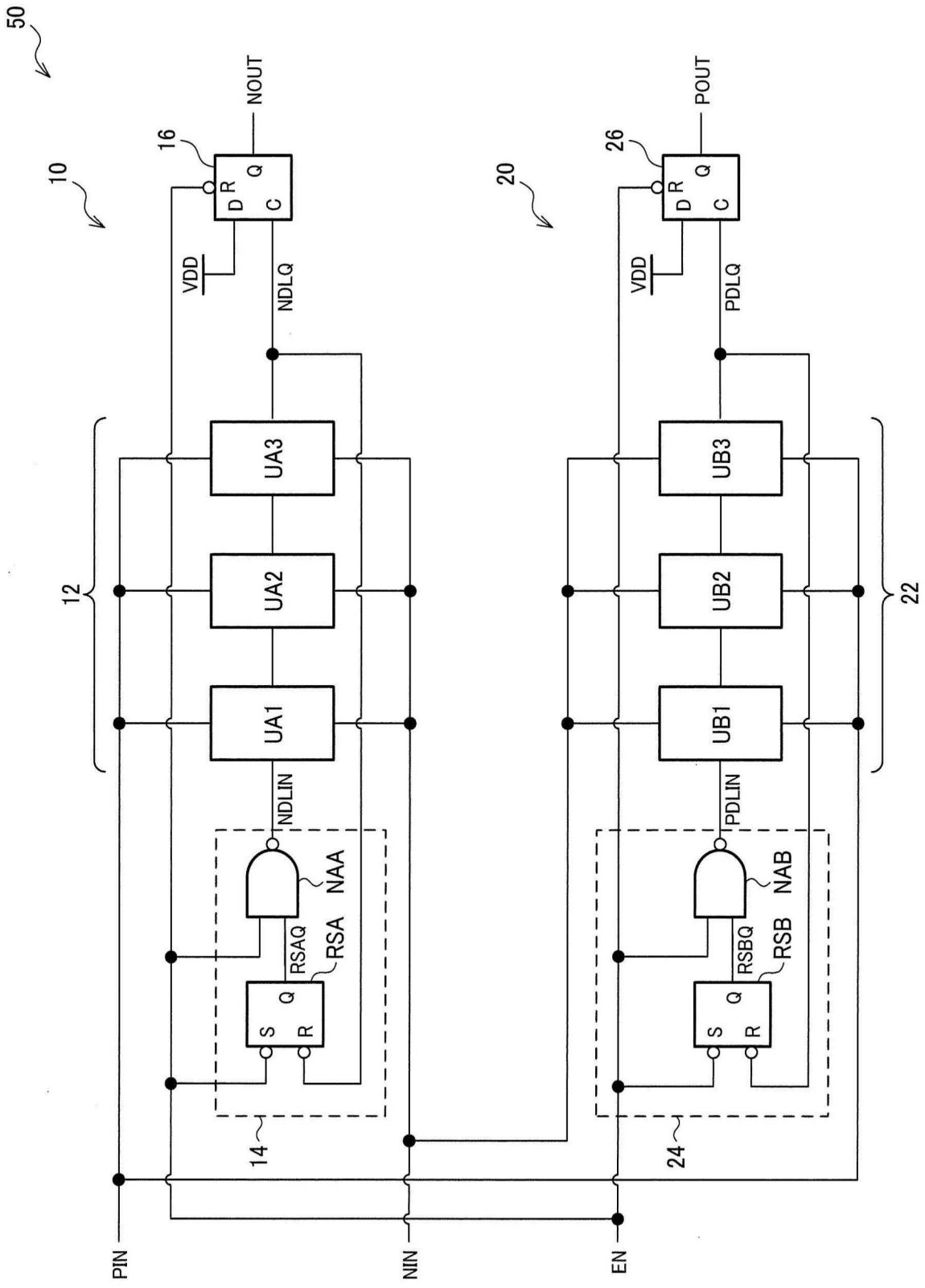

50
10
16
NOUT
D
R
Q
C
VDD
NDLQ
12
UA3
UA2
UA1
NDLIN
NAA
RSAQ
RSA
S
Q
R
14
20
26
POUT
PDLQ
UB3
UB2
UB1
PDLIN
NAB
RSBQ
RSB
22
24
PIN
NIN
EN

图5

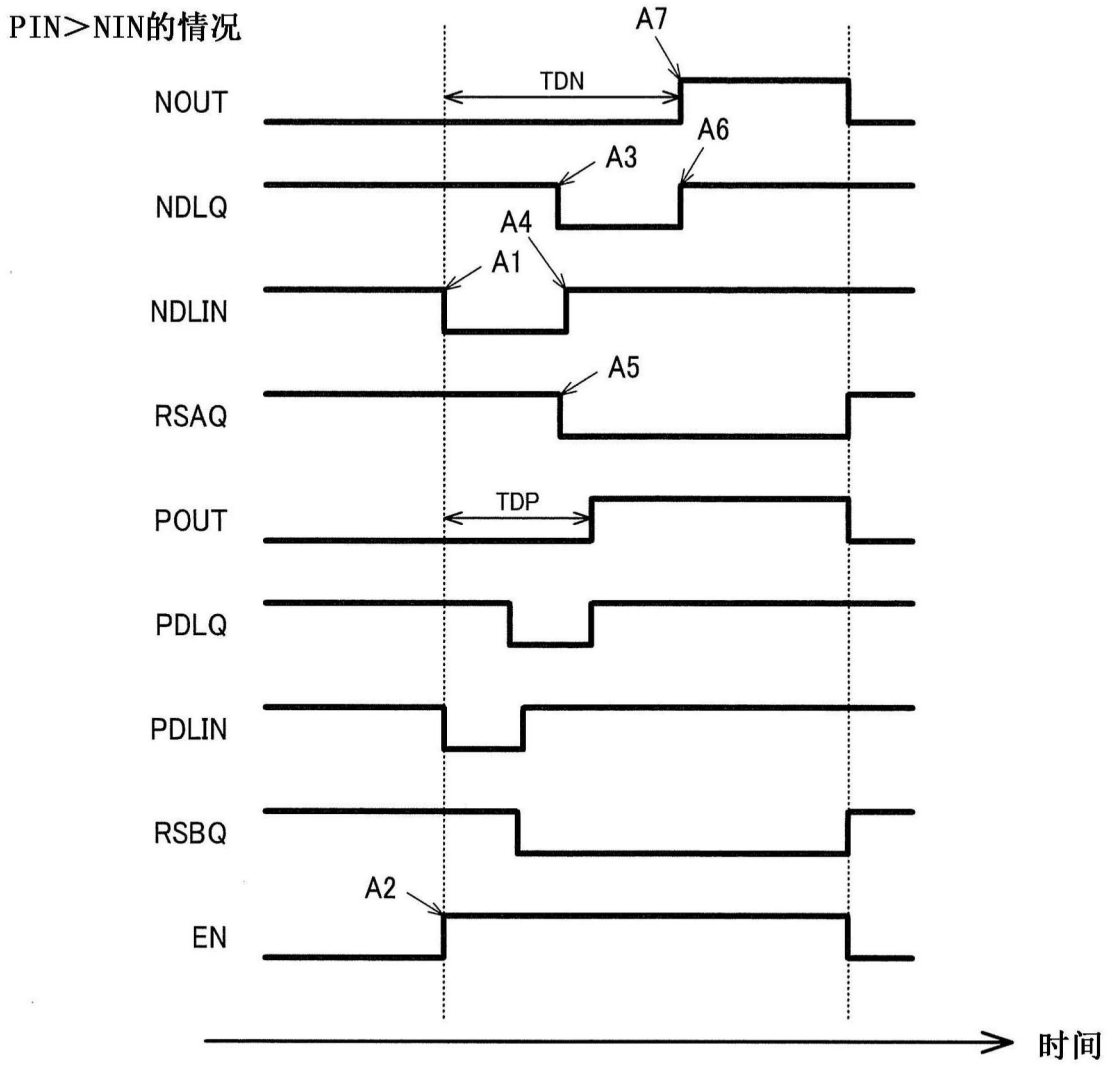

PIN>NIN的情况
A7
TDN
NOUT
A6
A3
NDLQ
A4
A1
NDLIN
A5
RSAQ
TDP
POUT
PDLQ
PDLIN
RSBQ
A2
EN
时间

图6

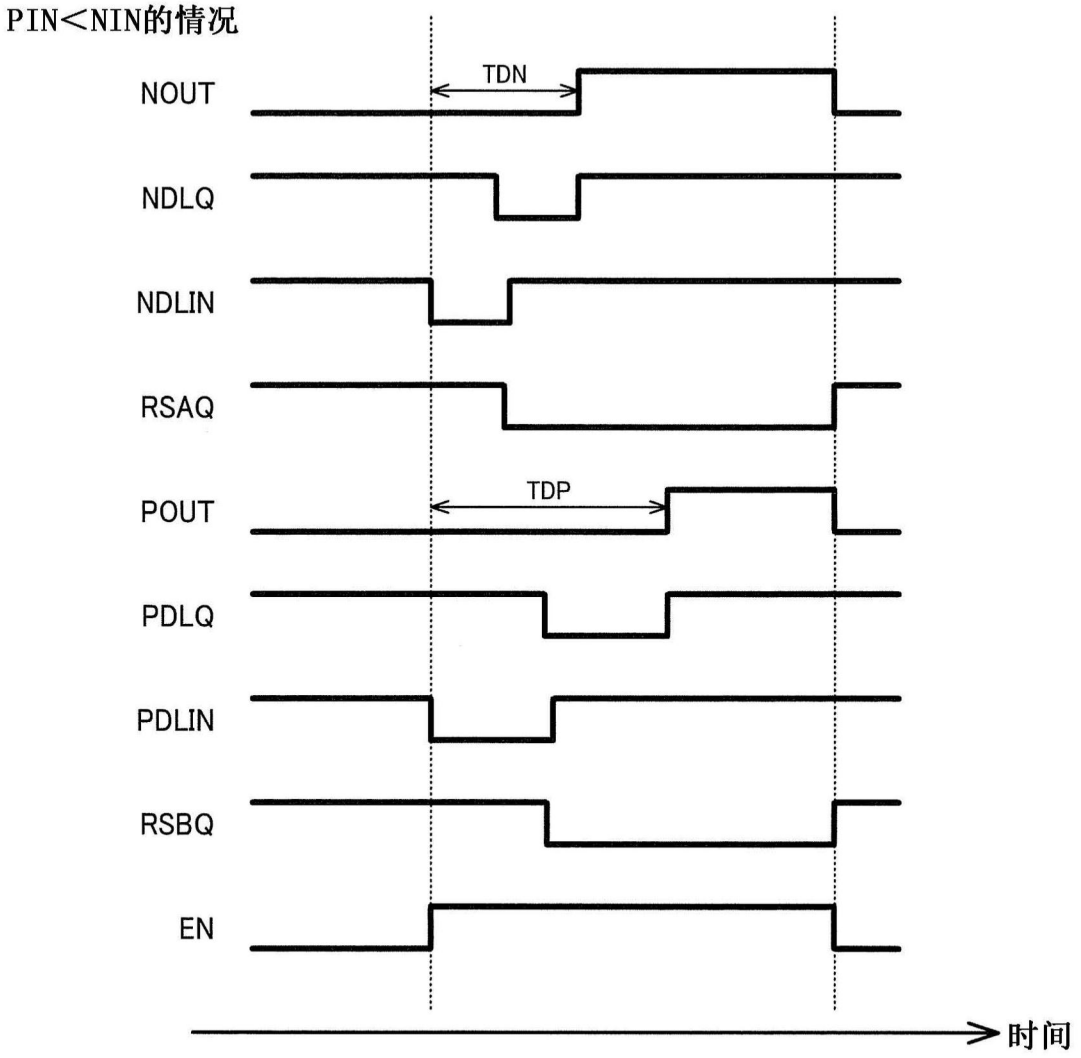

PIN<NIN的情况
NOUT
TDN
NDLQ
NDLIN
RSAQ
POUT
TDP
PDLQ
PDLIN
RSBQ
EN
时间

图7

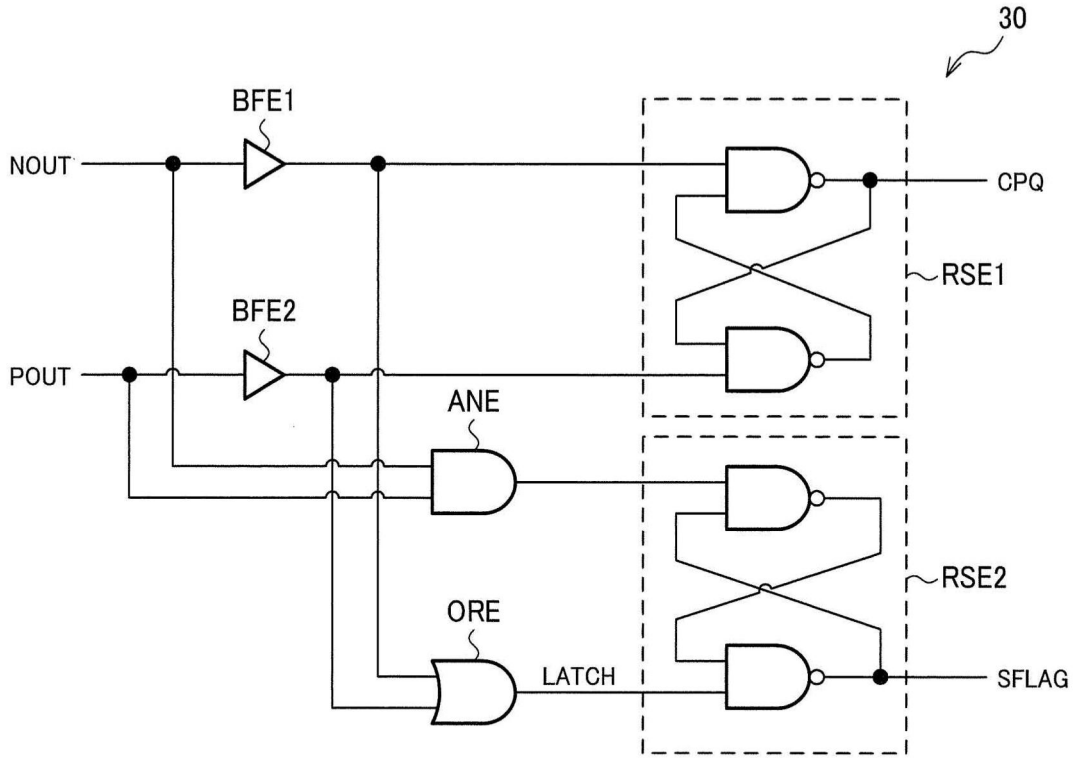


图8

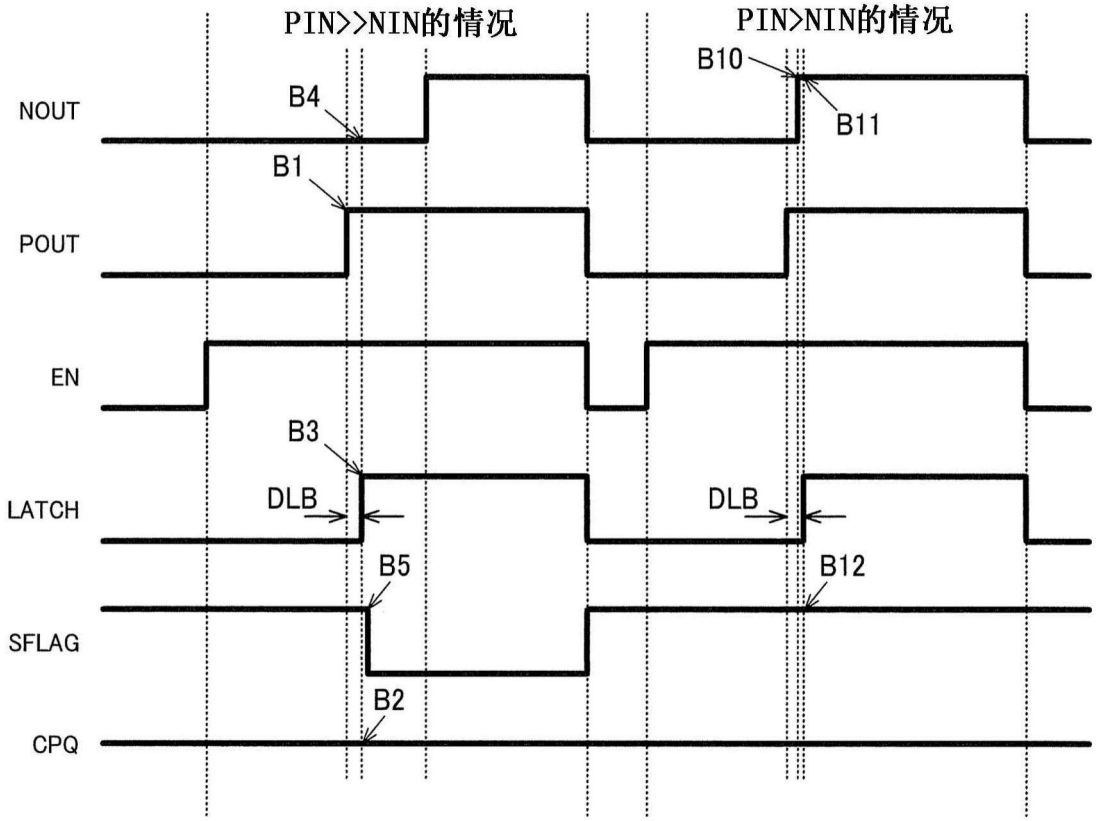

PIN>>NIN的情况
PIN>NIN的情况
NOUT
POUT
EN
LATCH
SFLAG
CPQ
B1
B2
B3
B4
B5
B10
B11
B12
DLB
DLB

图9

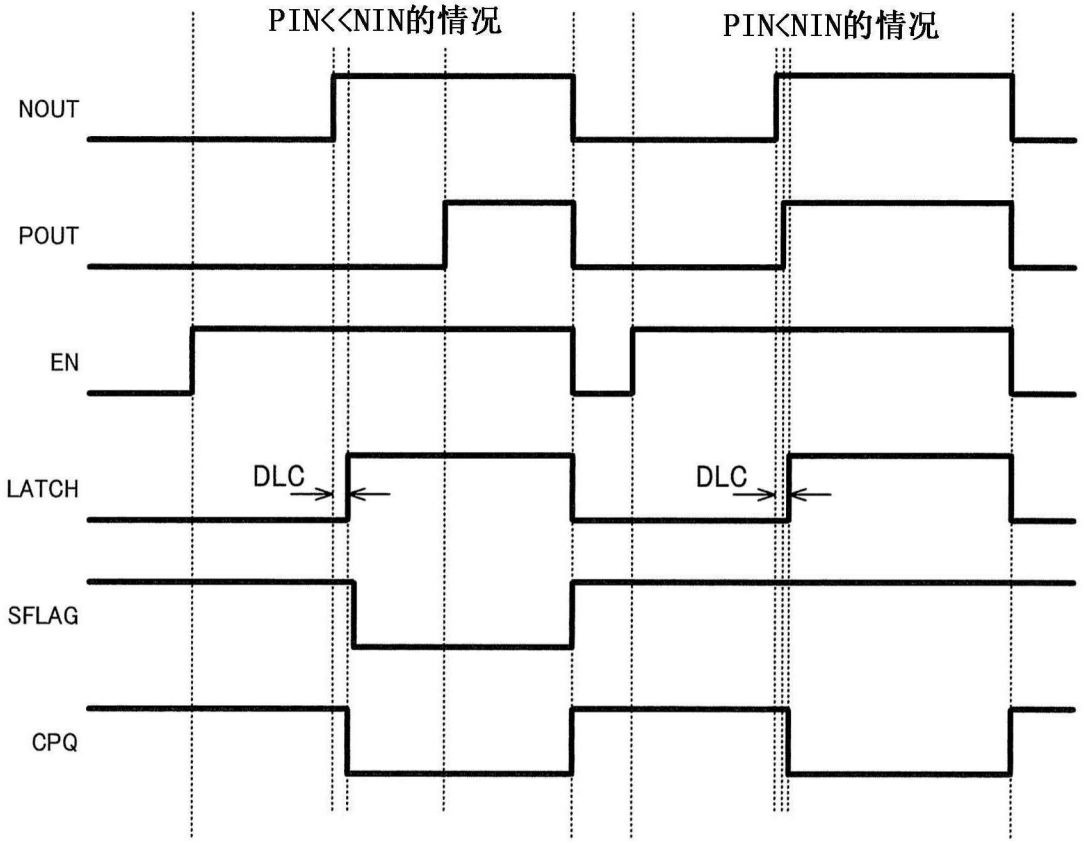


图10

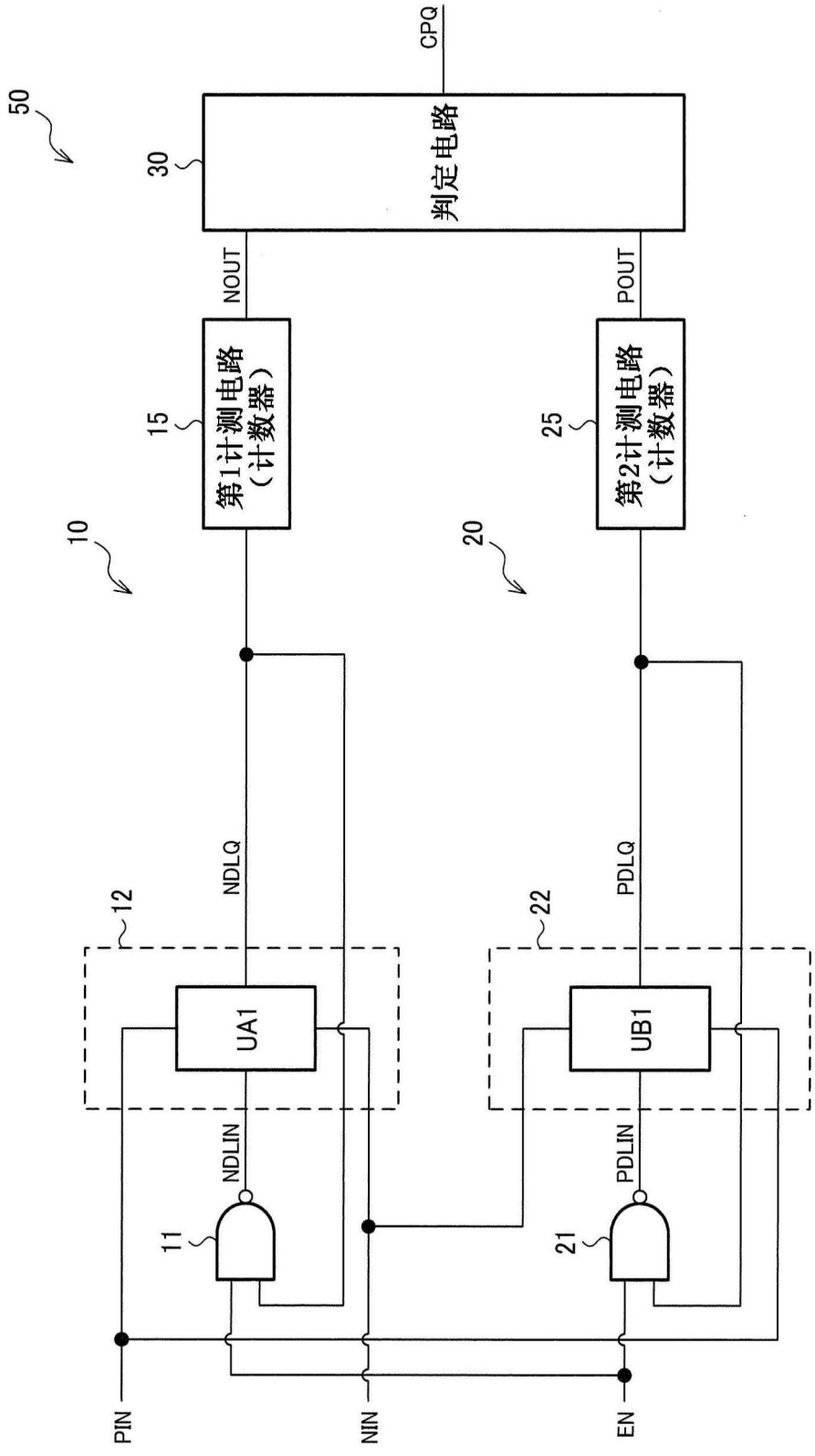

CPQ
50
30
判定电路
NOUT
POUT
15
第1计测电路
（计数器）
25
第2计测电路
（计数器）
10
20
NDLQ
PDLQ
12
22
UA1
UB1
NDLIN
PDLIN
11
21
PIN
NIN
EN

图11

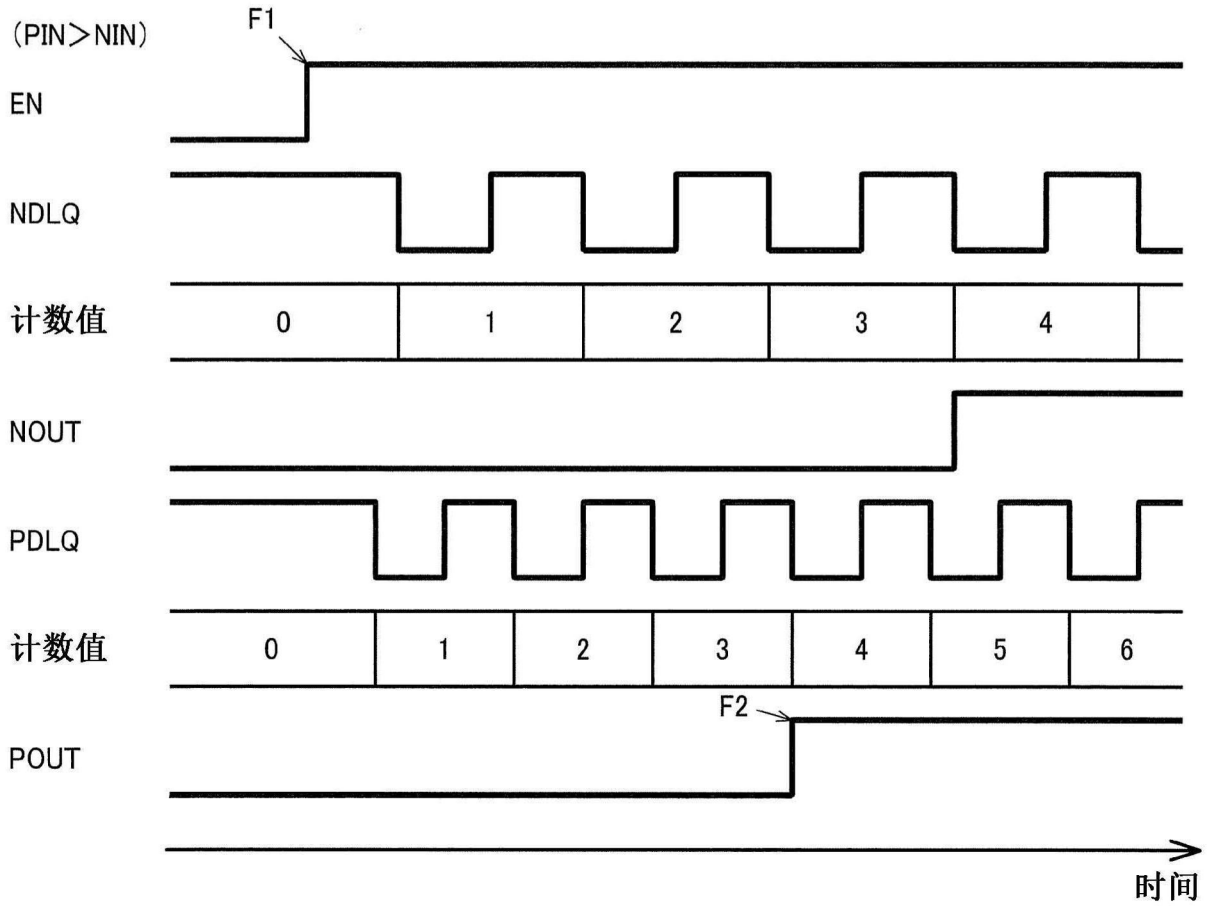

(PIN>NIN)
F1
EN
NDLQ
计数值
0
1
2
3
4
NOUT
PDLQ
计数值
0
1
2
3
4
5
6
F2
POUT
时间

图12

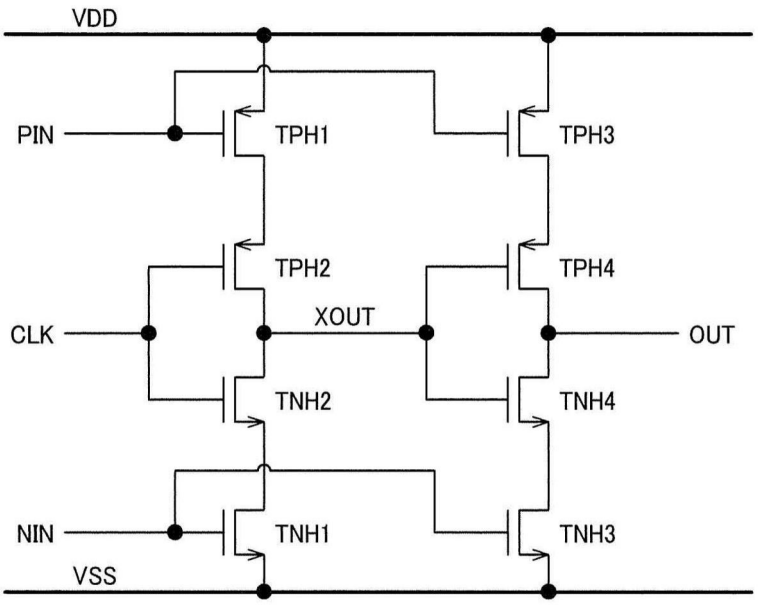

VDD
PIN
TPH1
TPH3
TPH2
TPH4
CLK
XOUT
OUT
TNH2
TNH4
NIN
TNH1
TNH3
VSS

图13

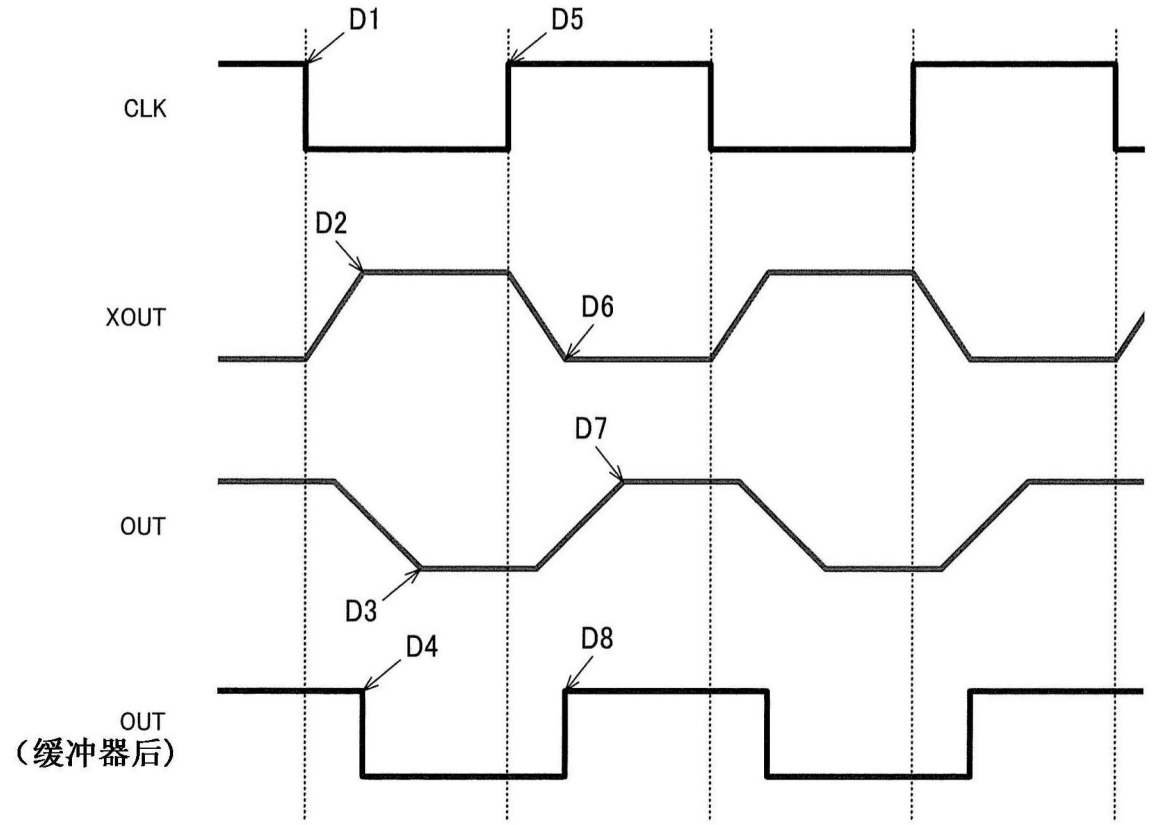

D1
D5
CLK
D2
XOUT
D6
D7
OUT
D3
D4
D8
OUT
（缓冲器后）

图14

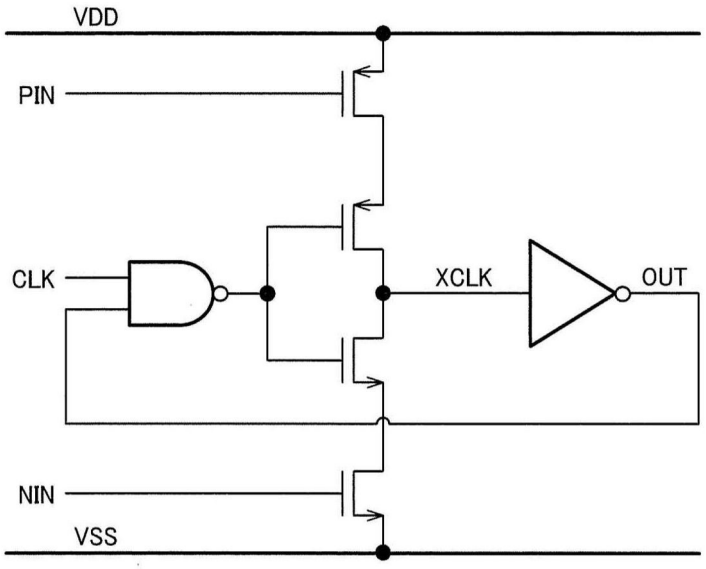

VDD
PIN
CLK
XCLK
OUT
NIN
VSS

图15

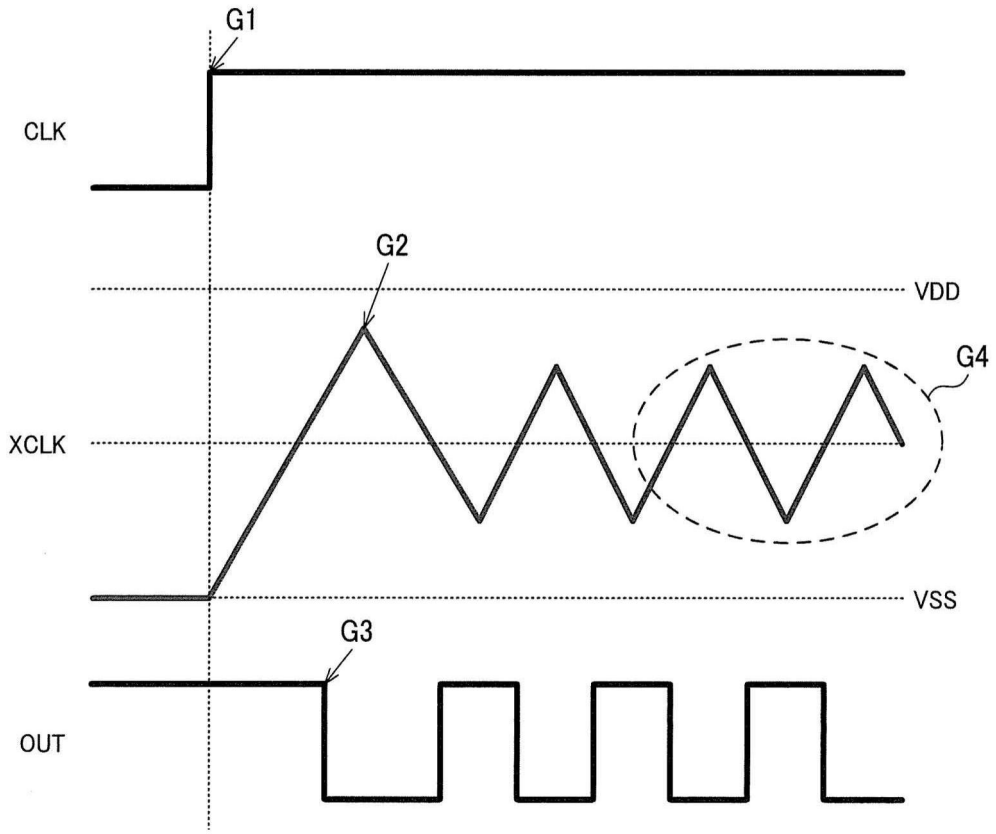

G1
CLK
G2
VDD
G4
XCLK
VSS
G3
OUT

图16

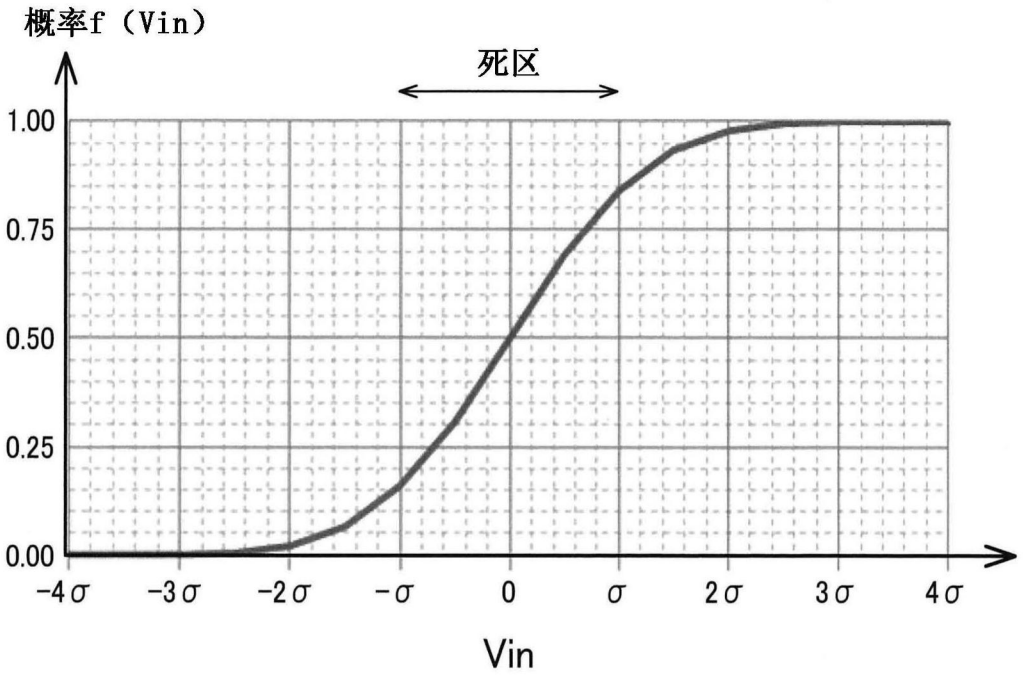

概率f（Vin）
死区
1.00
0.75
0.50
0.25
0.00
-4σ
-3σ
-2σ
-σ
0
σ
2σ
3σ
4σ
Vin

图17

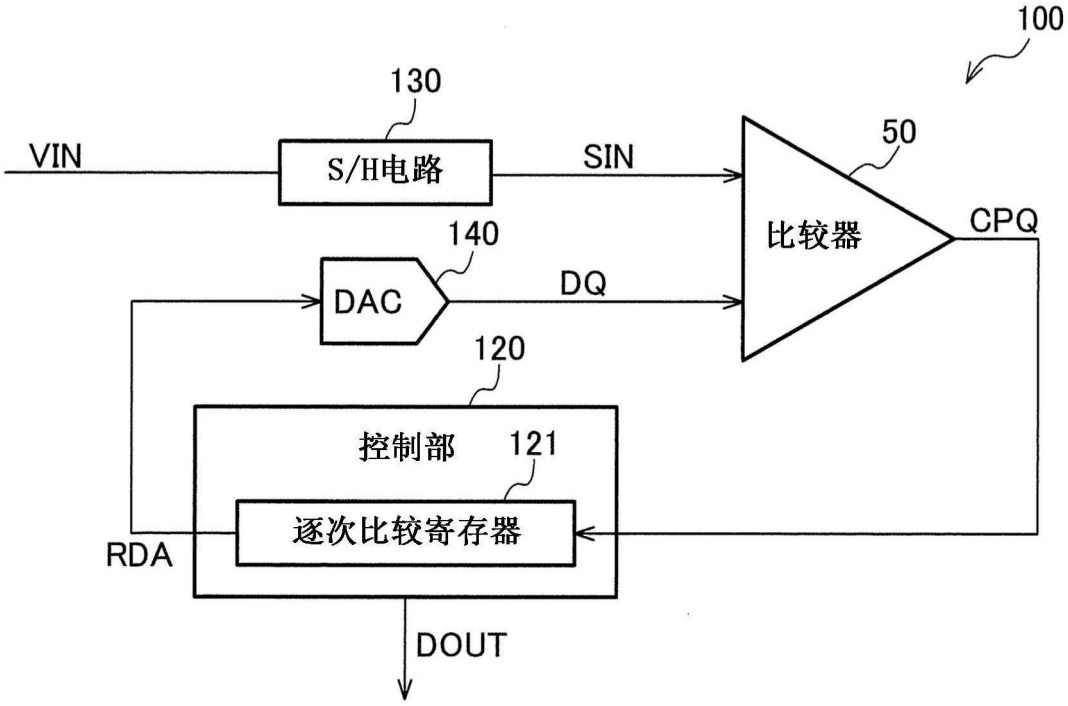

100
130
VIN
S/H电路
SIN
50
比较器
CPQ
140
DAC
DQ
120
控制部
121
逐次比较寄存器
RDA
DOUT

图18

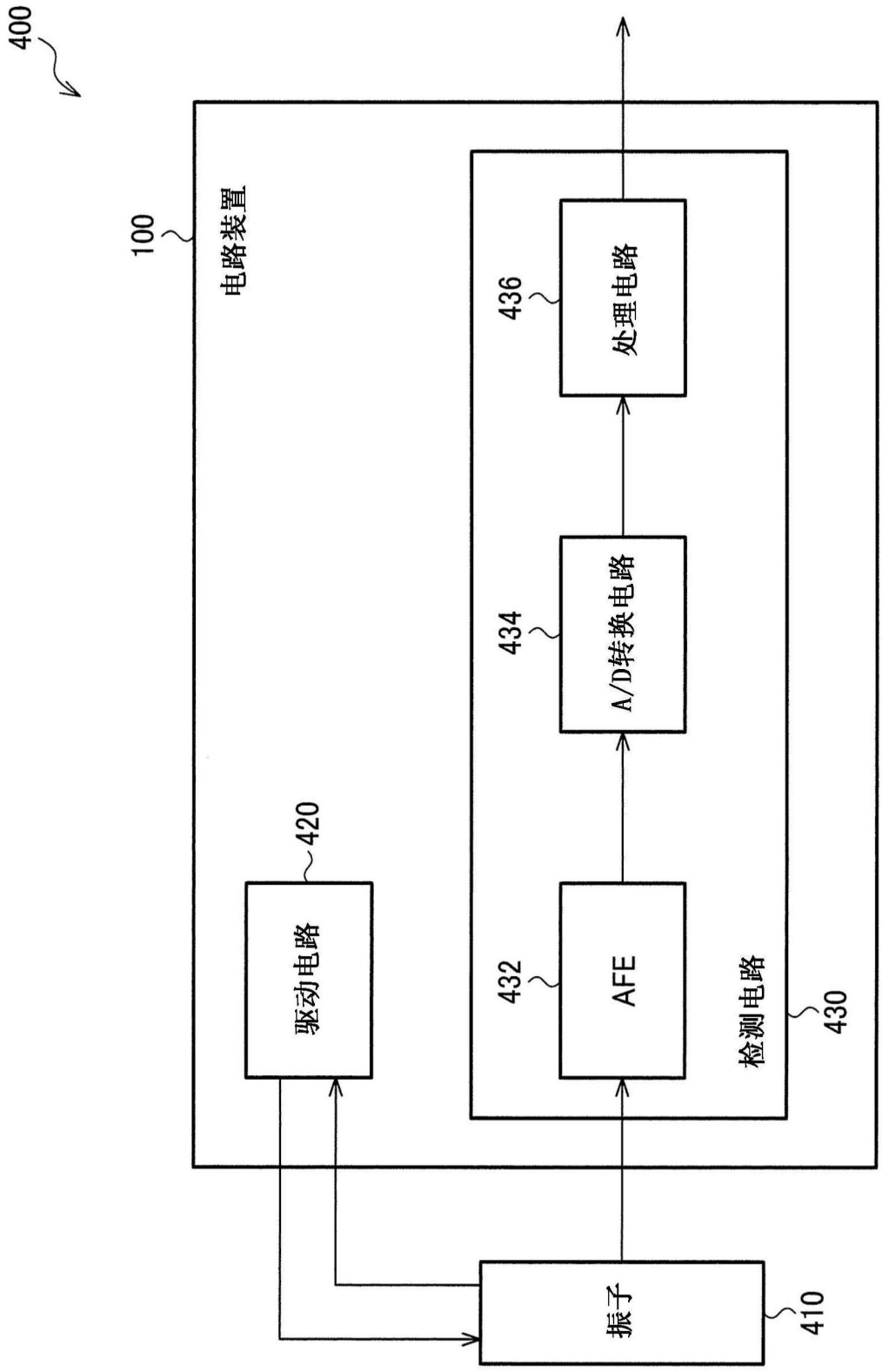

400
100
电路装置
436
处理电路
434
A/D转换电路
420
驱动电路
432
AFE
检测电路
430
振子
410

图19

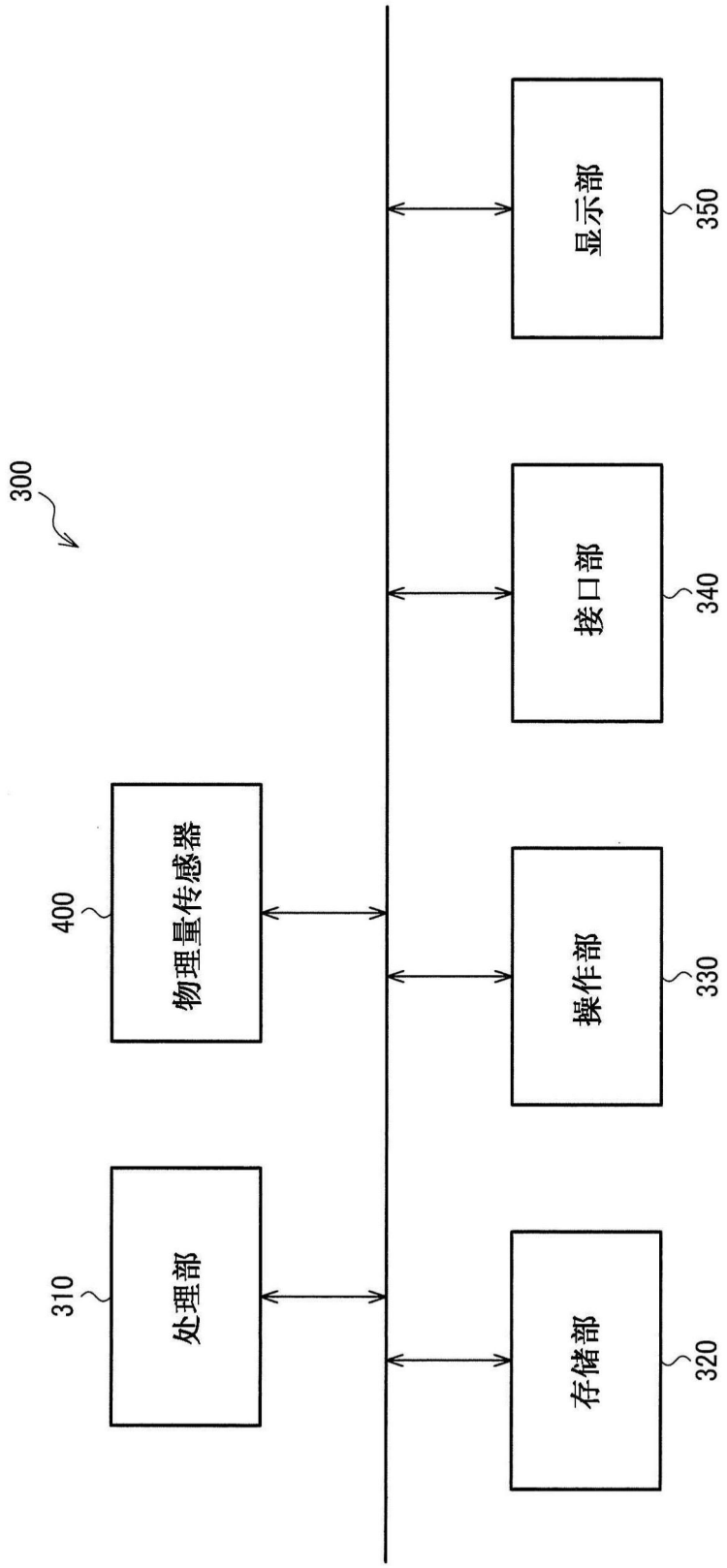


图20

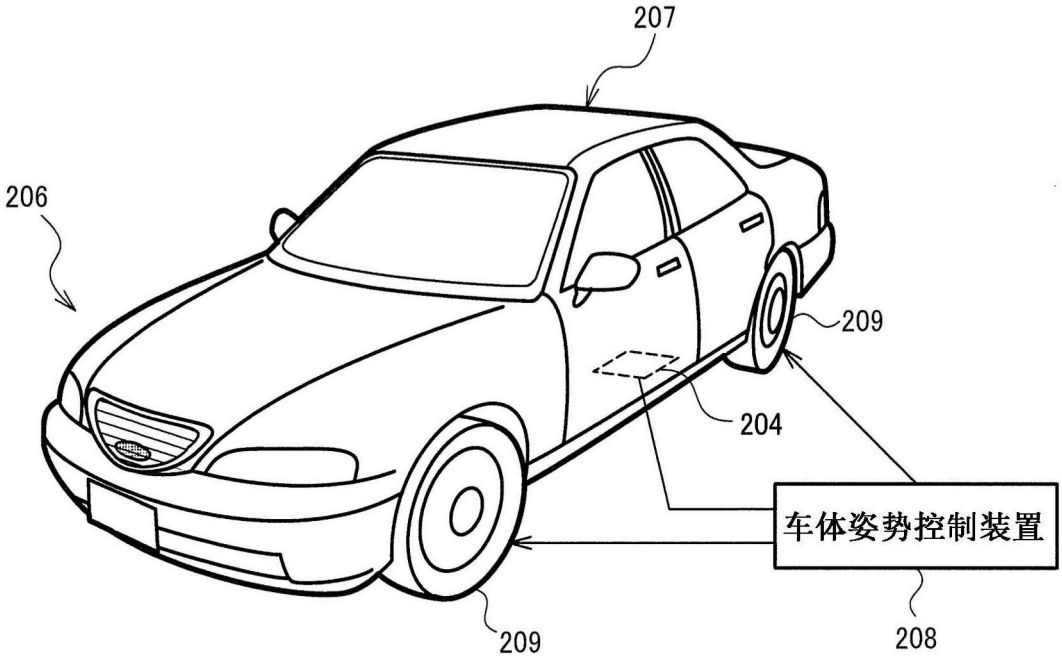


图21