

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3689757号
(P3689757)

(45) 発行日 平成17年8月31日(2005.8.31)

(24) 登録日 平成17年6月24日(2005.6.24)

(51) Int.Cl.⁷

F I

H O 1 L 29/78

H O 1 L 29/78

3 O 1 G

H O 1 L 21/28

H O 1 L 21/28

3 O 1 Z

請求項の数 4 (全 6 頁)

(21) 出願番号 特願平11-352700
 (22) 出願日 平成11年12月13日(1999.12.13)
 (65) 公開番号 特開2000-196083(P2000-196083A)
 (43) 公開日 平成12年7月14日(2000.7.14)
 審査請求日 平成14年10月18日(2002.10.18)
 (31) 優先権主張番号 1998/P58595
 (32) 優先日 平成10年12月24日(1998.12.24)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 591024111
 株式会社ハイニックスセミコンダクター
 大韓民国京畿道利川市夫鉢邑牙美里山13
 6-1
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 呂 寅 碩
 大韓民国 京畿道 城南市 盆唐區 書▲
 ヒョン▼洞 ハンシン アパート 124
 -202
 (72) 発明者 張 世 億
 大韓民国 京畿道 利川市 夫鉢邑 新河
 里 481-1 サムイク アパート 1
 04-1210

最終頁に続く

(54) 【発明の名称】 半導体素子のゲート電極形成方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上にゲート絶縁膜を形成し、前記ゲート絶縁膜の上にポリシリコン膜を形成する段階と、

前記ポリシリコン膜の上に拡散防止膜を形成する段階と、

前記拡散防止膜の上に、酸化時に導電性金属酸化膜を形成できる金属からなる金属膜を形成する段階と、

前記金属膜、前記拡散防止膜及び前記ポリシリコン膜を選択エッチングしてゲート電極パターンを形成する段階と、

前記半導体基板の全体構造に対してゲート再酸化工程を行う段階とを含み、

前記金属膜は、イリジウム(Ir)、オスミウム(Os)のいずれか一つにより形成され、

前記ゲート再酸化を行う段階の際、前記ゲート電極パターンの金属層側壁に均一な導電性金属酸化膜が形成されることを特徴とする半導体素子のゲート電極形成方法。

【請求項2】

前記金属膜は、300～1000 の厚さで形成されることを特徴とする請求項1記載の半導体素子のゲート電極形成方法。

【請求項3】

前記拡散防止膜は、TiN膜またはWN膜であることを特徴とする請求項1記載の半導体素子のゲート電極形成方法。

10

20

【請求項４】

前記ゲート再酸化工程は、７００～９００の酸化雰囲気下で行われることを特徴とする請求項１記載の半導体素子のゲート電極形成方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体製造技術に関し、特に半導体素子のゲート電極形成方法に関する。

【０００２】

【従来の技術】

一般に、ＭＯＳトランジスタのゲート電極は、ポリシリコン膜を用いて形成してきた。ポリシリコンゲート電極は、その形成工程が安定しているという利点がある。しかし、半導体素子の高集積化により、ゲート電極を始めとして各種パターンが微細化しており、最近

10

は０．１５μｍ線幅以下まで微細化が進行している。これに伴い、通常のゲート電極材料として用いるドーブしたポリシリコン（doped polysilicon）は、高い比抵抗特性のため、遅延時間が長くて高速動作が要求される素子に適用し難いという問題点があった。

【０００３】

かかる問題点は、半導体装置が高集積化するにつれて深刻な問題となっている。これを改善する為に、タングステン、チタンなどの高融点金属元素を用いたポリサイド（polycide、ポリシリコン／シリサイド（silicide））構造のゲート電極技術が提示された。しかし、こうしたポリサイド構造のゲート電極も超高集積化した半導体素子の動作速度の向上に

20

は限界があり、最近タングステン（Ｗ）の様な高融点金属（refractory metal）をゲート電極として用いる技術が盛んに研究・開発されている。

【０００４】

図１は、従来技術により形成されたタングステングート電極の断面図であって、これを参照して以下に従来の工程を説明する。

【０００５】

従来工程では、まず、シリコン基板１０の上にゲート酸化膜１１を成長させ、その上にドーブしたポリシリコン膜（doped polysilicon）１２を蒸着する。次に、ポリシリコン膜１２の上に拡散防止膜としてＷＮ膜１３及びタングステン膜１４を蒸着し、その上にマスク酸化膜１５を蒸着する。

30

【０００６】

続いて、マスク酸化膜１５及びタングステン膜１４、ＷＮ膜１３及びポリシリコン膜１２を順次選択エッチングしてゲート電極をパターンニングする。

【０００７】

以後、ゲート電極パターンニングのためのドライエッチングの際に、ゲート電極及びゲート酸化膜１１のエッチング損傷の回復のために、ゲート再酸化（gate re-oxidation）工程を行う。

【０００８】

【発明が解決しようとする課題】

このとき、タングステン膜１４が高温の酸化雰囲気に出露することで、タングステン膜１４の側壁に、揮発性絶縁物質のタングステンオクサイド（ WO_3 ）１６が形成されて、ゲート電極の形態（morphology）が壊れることになる。このように変形されたゲート電極は、イオン注入工程及び側壁スペーサ形成工程などの後続工程に影響を与えることになり、所望の素子特性を得にくくなる。また、タングステン膜１４の酸化がひどい場合、タングステン（Ｗ）の量が低減して、ゲート電極の抵抗が増加するという問題点があった。

40

【０００９】

図１の符号１７は、ゲート再酸化工程によりポリシリコン膜１２側壁に形成された熱酸化膜である。

【００１０】

上記の問題点を解決するために、山本（N.Yamamoto）等によりウェット水素酸化（Wet Hy

50

drogen Oxidation) (Journal of Electrochemical Society, Vol.133, p.401 (1986) 参照) 工程が提案されたが、この工程は必要な厚さの熱酸化膜を得る為に、高温(1000)で、長時間の酸化工程を行わなければならない。これにより、金属ゲート電極の使用が予想される4 G D R A M以上の半導体素子では、莫大な熱量(thermal budget)が要求される。

【0011】

また、かかる問題を避けるために、窒素雰囲気下で熱処理を行う場合、ゲート酸化膜の特性は酸素雰囲気下で熱処理を行う場合に比べて劣化するという問題点があった。

【0012】

従って、本発明の目的は、ゲート再酸化工程の際、所要熱量及びゲート絶縁膜の劣化を増加させることなく、金属の異常酸化現象を防止できる半導体素子のゲート電極形成方法を提供することにある。

【0013】

【課題を解決するための手段】

上記の問題点を解決するために、本発明による半導体素子のゲート電極形成方法は、半導体基板の上にゲート絶縁膜を形成し、前記ゲート絶縁膜の上にポリシリコン膜を形成する段階と、前記ポリシリコン膜の上に拡散防止膜を形成する段階と、前記拡散防止膜の上に、酸化時に導電性金属酸化膜を形成できる金属からなる金属膜を形成する段階と、前記金属膜、前記拡散防止膜及び前記ポリシリコン膜を選択エッチングしてゲート電極パターンを形成する段階と、前記半導体基板の全体構造に対してゲート再酸化工程を行う段階とを含み、前記金属膜は、イリジウム(Ir)、オスミウム(Os)のいずれか一つにより形成され、前記ゲート再酸化を行う段階の際、前記ゲート電極パターンの金属層側壁に均一な導電性金属酸化膜が形成されることを特徴とする。

【0014】

つまり、本発明は、従来のタングステンの様な高融点金属の代わりに、イリジウム(Ir)、オスミウム(Os)などの様に酸化されて非揮発性の導電性金属酸化膜を形成する金属をゲート電極材料として用いる。これにより、通常のゲート再酸化工程を行っても、金属膜の異常酸化現象なしに均一な酸化膜を得ることができ、かつその酸化膜は電導性のため、ゲート電極の抵抗特性を改善することができる。

【0015】

【発明の実施の形態】

次に、本発明にかかる、半導体素子のゲート電極形成方法の実施の形態の具体例を図面を参照しながら説明する。

図2乃至図4は、本発明の一実施例によるイリジウムゲート電極形成工程図であって、これを参照して以下に説明する。

【0016】

まず、図2に示すように、シリコン基板20の上にゲート酸化膜21を成長させ、その上にドーブしたポリシリコン膜22を500~1500 厚さで蒸着する。続いて、その上に拡散防止膜として50~300 厚さのWN膜23(またはTiN膜)及び300~1000 厚さのイリジウム膜(Ir)24を蒸着し、イリジウム膜24の上にマスク酸化膜25を蒸着する。

【0017】

次に、図3に示すように、マスク酸化膜25、イリジウム膜24、WN膜23及びポリシリコン膜22を選択的にドライエッチングしてゲート電極をパターンニングする。このとき、ゲート酸化膜21も僅かにエッチングされる。

【0018】

続いて、図4に示すように、700~900 温度のウェットまたはドライ雰囲気下で、通常のゲート再酸化工程を行い、ゲート酸化膜21のエッチング損傷を回復させ、ポリシリコン膜22側壁には熱酸化膜26aを、イリジウム膜24側壁には導電性酸化イリジウム膜(IrO₂)26bをそれぞれ30~150 の均一な厚さで形成する。前記導電性

10

20

30

40

50

酸化イリジウム膜 (IrO_2) 26 b は、 $200 \mu\Omega \cdot \text{cm}$ 以下の比抵抗を持つことにより非常に良好な導電性を持つ。

【0019】

以後、LDD (Lightly Doped Drain) イオン注入及び側壁スペーサ形成工程を行い、ソース/ドレインのイオン注入を行うことになる。

【0020】

前記の様な工程を行うことにより、ゲート再酸化工程の際、ゲート金属側壁に均一な導電性金属酸化膜が形成されるので、異常酸化現象を防止できる。

【0021】

尚、本発明は本実施例に限られるものではない。例えば、前記実施例では、ゲート金属としてイリジウムを用いる場合を一例にして説明したが、その代わりに、ルテニウム (Ru)、オスmium (Os) の様に酸化されて導電性金属酸化膜を形成する金属であれば用いても良い。また、その他本発明の趣旨から逸脱しない範囲内で、多様に変形・実施することが可能である。

【0022】

【発明の効果】

以上のように、本発明は、既存のポリシリコンゲートまたはポリサイドゲートの為に、セットアップされたゲート再酸化工程をそのまま使用しても金属膜の異常酸化現象を抑制でき、別の追加工程なしにゲート電極の電気的特性及び工程の安全性を確保することができる。

【図面の簡単な説明】

【図1】従来技術により形成されたタングステンゲート電極の断面図である。

【図2】本発明の一実施例によるイリジウムゲート電極形成工程図である。

【図3】本発明の一実施例によるイリジウムゲート電極形成工程図である。

【図4】本発明の一実施例によるイリジウムゲート電極形成工程図である。

【符号の説明】

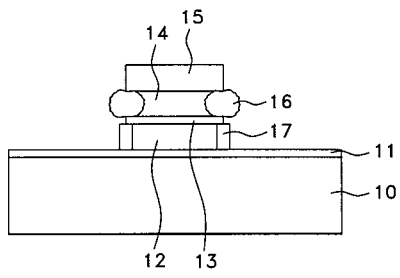
- 20 シリコン基板
- 21 ゲート酸化膜
- 22 ドープしたポリシリコン膜
- 23 WN膜
- 24 イリジウム膜
- 25 マスク酸化膜
- 26 a 熱酸化膜
- 26 b 酸化イリジウム膜

10

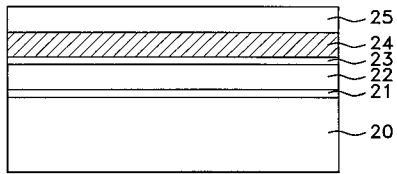
20

30

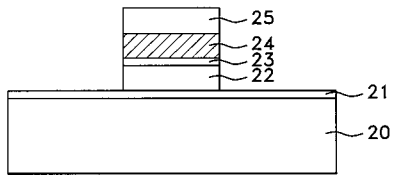
【図 1】



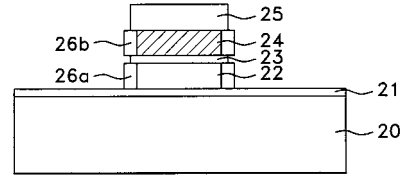
【図 2】



【図 3】



【図 4】



フロントページの続き

審査官 河口 雅英

(56)参考文献 特開平07-094716(JP,A)

(58)調査した分野(Int.Cl.⁷,DB名)

H01L 29/78

H01L 21/336

H01L 21/28 301