

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5963449号
(P5963449)

(45) 発行日 平成28年8月3日(2016.8.3)

(24) 登録日 平成28年7月8日(2016.7.8)

(51) Int.Cl.

F 1

HO1L 27/146	(2006.01)	HO1L 27/14	A
HO4N 5/374	(2011.01)	HO4N 5/335	740
HO4N 5/369	(2011.01)	HO4N 5/335	690
HO1L 21/8234	(2006.01)	HO1L 27/08	102D
HO1L 27/088	(2006.01)	HO1L 29/78	301P

請求項の数 9 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2012-6554 (P2012-6554)
(22) 出願日	平成24年1月16日 (2012.1.16)
(65) 公開番号	特開2013-145853 (P2013-145853A)
(43) 公開日	平成25年7月25日 (2013.7.25)
審査請求日	平成27年1月15日 (2015.1.15)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100076428 弁理士 大塚 康徳
(74) 代理人	100112508 弁理士 高柳 司郎
(74) 代理人	100115071 弁理士 大塚 康弘
(74) 代理人	100116894 弁理士 木村 秀二
(74) 代理人	100130409 弁理士 下山 治
(74) 代理人	100134175 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】光電変換装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

光電変換装置の製造方法であって、
半導体基板に設けられた光電変換部と、前記光電変換部で発生した電荷が転送される浮遊拡散領域と、前記半導体基板の上に設けられたトランジスタのゲート電極と、を覆うシリコン酸化膜を形成する第1工程と、

前記シリコン酸化膜から、前記光電変換部及び前記浮遊拡散領域を覆うとともに、前記トランジスタの半導体領域及び前記ゲート電極の上面を露出する第1層を形成する第2工程と、

前記第1層の上と、前記トランジスタの前記半導体領域及び前記ゲート電極の前記上面の上とに金属膜を形成する第3工程と、

前記金属膜に熱処理を施して前記トランジスタの前記半導体領域及び前記ゲート電極の前記上面に金属半導体化合物からなる第2層を形成する第4工程と、

前記金属膜のうち、前記第1層を介して前記光電変換部及び前記浮遊拡散領域の上に位置する部分を除去する第5工程と、

前記第5工程の後に、前記第1層のうち、前記光電変換部を覆う領域において前記半導体基板側の部分を残しつつ前記金属膜に接触していた部分を除去し、前記浮遊拡散領域を覆う領域において前記半導体基板側の部分を残しつつ前記金属膜に接触していた部分を除去する第6工程と

を有することを特徴とする製造方法。

10

20

【請求項 2】

前記第6工程において、前記第1層の全面をエッティングすることを特徴とする請求項1に記載の製造方法。

【請求項 3】

前記第6工程において、前記第1層と前記光電変換部との間に、前記半導体基板の上のシリコン窒化膜から形成された絶縁層が配されていることを特徴とする請求項1又は2に記載の製造方法。

【請求項 4】

前記第1工程の前に、前記半導体基板の上の前記シリコン窒化膜から、少なくとも前記光電変換部を覆う前記絶縁層と、前記ゲート電極の側面を覆うサイドスペーサとを形成する形成工程を有し、

前記第1工程では、前記シリコン酸化膜が前記絶縁層および前記サイドスペーサを覆うように形成されることを特徴とする請求項3に記載の製造方法。

【請求項 5】

前記絶縁層は、前記浮遊拡散領域に保持された電荷を増幅して出力するためのMOSトランジスタのゲート電極を覆うことを特徴とする請求項3又は4に記載の製造方法。

【請求項 6】

前記半導体基板は前記光電変換部に隣接する素子分離領域を更に有し、

前記第2工程において、前記素子分離領域の少なくとも一部を覆うように前記第1層を形成し、

前記第6工程において、前記第1層のうち前記素子分離領域を覆う領域において前記半導体基板側の部分を残しつつ前記金属膜に接触していた部分を除去することを特徴とする請求項1乃至5の何れか1項に記載の製造方法。

【請求項 7】

前記第2工程では、前記浮遊拡散領域に保持された電荷を増幅して出力するためのMOSトランジスタのゲート電極を覆うように前記第1層を形成し、

前記第6工程において、前記第1層のうち、前記MOSトランジスタの前記ゲート電極を覆う領域において前記半導体基板側の部分を残しつつ前記金属膜に接触していた部分を除去することを特徴とする請求項1乃至6の何れか1項に記載の製造方法。

【請求項 8】

前記第6工程において、前記第5工程の後に形成されたレジストパターンが前記半導体基板上に位置した状態で、前記第1層のうち前記金属膜に接触していた部分を除去することを特徴とする請求項1乃至7の何れか1項に記載の製造方法。

【請求項 9】

前記第6工程の後に、前記第4工程で行われる前記熱処理よりも高い温度で熱処理を更に行うことを行なうことを特徴とする請求項1乃至8の何れか1項に記載の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は光電変換装置の製造方法に関する。

【背景技術】**【0002】**

光電変換装置において、MOSトランジスタのソース・ドレイン及びゲート電極との接触抵抗を低減させるために、これらの領域に高融点金属と半導体との化合物を含む金属半導体化合物層（シリサイド層）を形成する技術が知られている。光電変換部にシリサイド層を形成してしまうと、光電変換部のリーク電流が増加してしまい、光電変換特性が劣化する。そこで、特許文献1では、保護層として機能するシリコン窒化膜で光電変換部を覆った後にシリサイド層を形成する処理を行うことによって、光電変換部にシリサイド層が形成されるのを抑制する。特許文献1では更に、シリコン窒化膜のうち、光電変換部を覆

10

20

30

40

50

う部分の上側をエッティングにより除去することによって、光電変換部の反射防止膜としても機能する上述のシリコン窒化膜の膜厚を調整する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-026848号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

発明者らは、シリサイド層を形成した後に、光電変換部にシリサイド層が形成されるのを抑制する保護層に比較的高濃度 ($1.0 \times 10^{12} \sim 1.0 \times 10^{13} [\text{cm}^{-2}]$ 程度) の高融点金属が含有されていることを見出した。保護層に残存した高融点金属は光電変換部へ拡散する可能性があり、画素領域のリーク電流が増大し、光電変換特性の劣化に繋がってしまう。特許文献1では、保護層のうち、反射防止膜を形成するためにフォトダイオードを覆う部分の上側を除去している。この処理によって、その部分に残存する高融点金属は除去されるものと考えられる。しかし、段落0088に記載されるように、入射光の透過を抑制するために、フォトダイオードを覆う領域以外の領域では保護層を除去しない。保護層のうちフォトダイオードを覆う領域以外の領域においても高融点金属は残存するため、光電変換部に高融点金属が拡散する可能性は依然として残る。そこで、本発明は、光電変換装置において、光電変換部へ拡散される金属の量を低減するための技術を提供することを目的とする。

10

【課題を解決するための手段】

【0005】

上記課題に鑑みて、光電変換装置の製造方法であって、半導体基板に設けられた光電変換部と、前記光電変換部で発生した電荷が転送される浮遊拡散領域と、前記半導体基板の上に設けられたトランジスタのゲート電極と、を覆うシリコン酸化膜を形成する第1工程と、前記シリコン酸化膜から、前記光電変換部及び前記浮遊拡散領域を覆うとともに、前記トランジスタの半導体領域及び前記ゲート電極の上面を露出する第1層を形成する第2工程と、前記第1層の上と、前記トランジスタの前記半導体領域及び前記ゲート電極の前記上面の上とに金属膜を形成する第3工程と、前記金属膜に熱処理を施して前記トランジスタの前記半導体領域及び前記ゲート電極の前記上面に金属半導体化合物からなる第2層を形成する第4工程と、前記金属膜のうち、前記第1層を介して前記光電変換部及び前記浮遊拡散領域の上に位置する部分を除去する第5工程と、前記第5工程の後に、前記第1層のうち、前記光電変換部を覆う領域において前記半導体基板側の部分を残しつつ前記金属膜に接触していた部分を除去し、前記浮遊拡散領域を覆う領域において前記半導体基板側の部分を残しつつ前記金属膜に接触していた部分を除去する第6工程とを有することを特徴とする製造方法が提供される。

20

30

【発明の効果】

【0006】

上記手段により、光電変換装置において、光電変換部へ拡散される金属の量を低減するための技術が提供される。

40

【図面の簡単な説明】

【0007】

【図1】本発明の第1実施形態の光電変換装置の製造方法を説明する図。

【図2】本発明の第1実施形態の光電変換装置の製造方法を説明する図。

【図3】本発明の第2実施形態の光電変換装置の製造方法を説明する図。

【図4】本発明の第3実施形態の光電変換装置の製造方法を説明する図。

【図5】本発明の第4実施形態の光電変換装置の製造方法を説明する図。

【発明を実施するための形態】

【0008】

50

添付の図面を参照しつつ本発明の実施形態について以下に説明する。様々な実施形態を通じて同様の要素には同一の参照符号を付して重複する説明を省略する。以下の各実施形態では C M O S 型の光電変換装置の製造方法の観点で説明する。しかし、本発明は光電変換部と、この光電変換部に隣接する素子分離領域と、金属半導体化合物層（シリサイド層）を有するトランジスタとが形成された半導体基板を有する光電変換装置であれば適用できる。このような光電変換装置には例えば C C D 型の光電変換装置が含まれる。また、以下の各実施形態では信号電荷として電子を用いる場合について説明するが、信号電荷として正孔を用いる構成に対しても本発明を適用できる。また、各実施形態は適宜変更、組み合わせが可能である。

【 0 0 0 9 】

10

図 1 及び図 2 に説明される断面図を参照しつつ、本発明の第 1 実施形態における光電変換装置の製造方法を説明する。本実施形態に係る C M O S 型の光電変換装置は、画素アレイが形成される画素領域 1 0 1 と、周辺回路が形成される周辺回路領域 1 0 2 とを含む半導体基板 1 0 0 を有しうる。画素領域 1 0 1 には、光電変換部として機能するフォトダイオードの蓄積領域や、光電変換部で生じた電荷を転送するための M O S トランジスタ等を有する画素が複数形成される。周辺回路領域 1 0 2 には、画素アレイから信号を読み出すための駆動を行うための回路や画素アレイからの出力信号を処理するための回路が形成される。以降の説明では、画素領域 1 0 1 については 1 つの画素の一部に着目し、周辺回路領域 1 0 2 については周辺回路の一例である 1 つの M O S トランジスタに着目して説明する。

20

【 0 0 1 0 】

まず、図 1 (a) に示されるような半導体基板 1 0 0 を準備する。このような半導体基板 1 0 0 は既存の方法を用いて準備すればよく、以下ではその構造を簡単に説明する。半導体基板 1 0 0 は例えば n 型のシリコン単結晶基板でありうる。半導体基板 1 0 0 は、他の種類の基板や基板上に配されたエピタキシャル層であってもよい。画素領域 1 0 1 と周辺回路領域 1 0 2 は、同一の半導体基板上に共通の C M O S 製造プロセスで製造できる。半導体基板 1 0 0 は画素領域 1 0 1 において p 型のウェル領域 1 0 3 (半導体領域) を有しうる。ウェル領域 1 0 3 は、フォトダイオードの特性により最適化され、接合深さや不純物濃度などが任意に設定されている。

【 0 0 1 1 】

30

ウェル領域 1 0 3 には、 n 型半導体領域であるフォトダイオードの蓄積領域 1 0 4 が形成されている。フォトダイオードは更に、半導体基板 1 0 0 の表面に p 型の半導体層 1 0 5 を有しうる。フォトダイオードの蓄積領域 1 0 4 及び半導体層 1 0 5 に隣接してシリコン酸化膜で形成された素子分離領域 1 0 6 が配される。ウェル領域 1 0 3 は更に、蓄積領域 1 0 4 から転送された電子を保持する浮遊拡散領域 1 0 7 (フローティングディフュージョン領域) として機能する n 型半導体領域を有しうる。蓄積領域 1 0 4 と浮遊拡散領域 1 0 7 との間の領域を覆う位置に、ゲート絶縁膜を介してゲート電極 1 0 8 が形成されている。ゲート電極 1 0 8 、蓄積領域 1 0 4 及び浮遊拡散領域 1 0 7 により転送用の M O S トランジスタが構成され、ゲート電極 1 0 8 の電圧を制御することによって、フォトダイオードで発生し蓄積領域 1 0 4 に蓄積された電子が浮遊拡散領域 1 0 7 へ転送される。画素領域 1 0 1 には更に、ゲート電極 1 0 9 とソース領域又はドレイン領域として機能する半導体領域 1 1 0 とで構成される n 型 M O S トランジスタが形成されうる。この M O S トランジスタは例えば蓄積領域 1 0 4 をリセットするための M O S トランジスタであってもよいし、浮遊拡散領域 1 0 7 に保持された電荷を増幅して出力するための M O S トランジスタであってもよい。

40

【 0 0 1 2 】

半導体基板 1 0 0 は周辺回路領域 1 0 2 において p 型のウェル領域 1 2 0 (半導体領域) を有しうる。周辺回路領域 1 0 2 には更に、ゲート電極 1 1 1 とソース領域又はドレイン領域として機能する半導体領域 1 1 2 とで構成される n 型 M O S トランジスタが形成されうる。図示していないが、半導体基板 1 0 0 は周辺回路領域 1 0 2 において n 型のウェ

50

ル領域を有し、そのウェル領域にp型MOSトランジスタが形成されてもよい。周辺回路領域102に形成されるMOSトランジスタは、例えば画素アレイ内のMOSトランジスタを駆動するための駆動回路や画素アレイからの信号を処理するための信号処理回路の一部として機能しうる。

【0013】

次に、図1(b)に示されるように、絶縁層113、サイドスペーサ114及び高濃度の半導体領域115を形成する。まず、図1(a)に示されるように準備された半導体基板100の上に、例えばシリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜又はこれらのうちの少なくとも何れかによる積層膜からなる絶縁膜を形成する。続いて、この絶縁膜に対してフォトリソグラフィー及びエッチングを行うことによって、図1(b)に示されるようにフォトダイオードの蓄積領域104を覆う絶縁層113を形成する。絶縁層113は更に、ゲート電極108の一部と、フォトダイオードに隣接する素子分離領域106の一部とを覆う。また、絶縁層113を形成するための絶縁層はゲート電極108、109、111の側面にも残り、サイドスペーサ114として機能する。それ以外の位置、すなわち浮遊拡散領域107、半導体領域110、ゲート電極109及び周辺回路領域102を覆う位置からは絶縁膜が除去される。その後、半導体領域110、112に高濃度のn型半導体領域115(拡散層)が形成され、LDD構造のMOSトランジスタが形成される。本実施形態において、浮遊拡散領域107には高濃度のn型半導体領域115が形成されないため、n型半導体領域115を形成した場合に比べて、浮遊拡散領域107の容量を低減できる。なお、浮遊拡散領域107にも高濃度のn型半導体領域115を形成してもよい。

【0014】

次に、図1(c)に示されるように、保護層116を形成する。そのために、まずCVD法やPVD法などによって、図1(b)に示される半導体領域115及び絶縁層113等を覆うシリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜のような絶縁膜を形成する。このように形成された絶縁膜の一部を除去して保護層116を形成する。保護層116は絶縁層113を覆い、更に絶縁層113の周囲の領域も覆う位置に形成される。具体的には、保護層116は、絶縁層113を介してフォトダイオードの蓄積領域104及び半導体層105と、素子分離領域106の一部と、ゲート電極108の一部とを覆う。保護層116は更に、絶縁層113を介さずに、素子分離領域106の別の一部と、ゲート電極108の別の一部と、浮遊拡散領域107と、浮遊拡散領域107に隣接する素子分離領域の一部とを覆う。一方、保護層116は、画素領域101のゲート電極109、半導体領域115及び周辺回路領域102を覆う位置には形成されない。

【0015】

保護層116は高い抵抗値を有する抵抗素子が形成される領域を覆う位置に形成されてもよい。後述するように、保護層116で覆われた領域にはシリサイド層が形成されないので、シリサイド層により抵抗値が低下することを防止できる。

【0016】

次に、図1(d)に示されるように、CVDやスパッタなどによって、半導体基板100全体を覆うように、高融点金属膜と、この高融点金属の酸化防止膜との積層膜117を堆積させて形成する。酸化防止膜は高融点金属膜の上に設けられる。高融点金属として例えばコバルトを用い、酸化防止膜として例えば窒化チタンを用いる。高融点金属として、例えばチタン、ニッケル、タングステン、モリブデン、タンタル、クロム、パラジウム、プラチナを用いてもよい。また、酸化防止膜として、例えば窒化ニッケルを用いてもよい。

【0017】

次に、図2(a)に示されるように、積層膜117に対して熱処理を施し、積層膜117に含まれる高融点金属と半導体基板100に含まれる半導体とを反応させてシリサイド化させ、シリサイド層118(金属半導体化合物層)を形成する(第3形成工程)。本実施形態では、シリサイド層118は、ゲート電極109、111、半導体領域115の上

10

20

30

40

50

側（表面部分）に形成される。高融点金属としてコバルトを用い、半導体領域がシリコンで形成される場合に、500程度の温度で熱処理を行うことで、コバルトモノシリサイド（CoSi）が形成される。高融点金属として他の材料を用いることによって、様々な材料からなるシリサイド層118を形成してもよい。これらの材料は、チタンシリサイド、ニッケルシリサイド、コバルトシリサイド、タングステンシリサイド、モリブデンシリサイド、タンタルシリサイド、クロムシリサイド、パラジウムシリサイド、プラチナシリサイドなどを含む。続いて、未反応の高融点金属膜を含む積層膜117を硫酸過水に浸して、酸化防止膜及び未反応の高融点金属を半導体基板100の上から除去する。この硫酸過水処理を行ったとしても保護層116はほとんど溶解しない。

【0018】

10

シリサイド層118を形成するための熱処理を行ったとしても、保護層116に覆われる領域にはシリサイド層は形成されない。すなわち、保護層116はシリサイド層の形成を抑制する機能を有する。しかしながら、高融点金属膜を含む積層膜117と直接に接触していた保護層116の上側（表面部分）には熱処理によって高融点金属が拡散してしまう。この保護層116の上側に拡散した高融点金属は硫酸過水処理を行ったとしても、 $1.0 \times 10^{12} \sim 1.0 \times 10^{13} [\text{cm}^{-2}]$ 程度の濃度で残存してしまう。そこで、本実施形態では保護層116の上側のうち、フォトダイオードの蓄積領域104と素子分離領域106の一部とを覆う部分を除去する（第2除去工程）。上側とは、保護膜の表面から半分よりも表面側の部分である。上側の全てを除去してもよく、一部でもよい。また、全ての保護膜を除去してもよい。

【0019】

20

そのため、図2（b）に示されるように、半導体基板100の上にレジストを塗布してパターニングすることによってレジストパターン119を形成する。レジストパターン119は保護層116のうち、フォトダイオードの蓄積領域104と素子分離領域106の一部とを覆う部分を露出し、それ以外の部分を覆う。続いて、レジストパターン119から露出した保護層116をフッ酸やアンモニア過水などの酸性溶液、又はアルカリ性溶液に浸す。これにより、保護層116に残存した高融点金属の大部分を除去できる。

【0020】

上述の例ではウェットエッティングにより保護層116の上側を除去したが、代わりにドライエッティングを用いてもよい。また、保護層116のうちゲート電極108の一部を覆う部分がレジストパターン119により覆われたが、ゲート電極108を覆う保護層116の部分の全体がレジストパターン119から露出するようにレジストパターン119を形成してもよい。これにより、保護層116に残存した高融点金属を更に除去できる。その後、レジストパターン119を除去することによって、図2（c）に示されるような構造体が形成される。この構造体では保護層116の上側が除去されているが、少なくとも上側が除去されればよく、保護層116のレジストパターン119から露出する部分の全てを除去してもよい。

30

【0021】

その後、シリサイド層118に更に熱処理を施す。シリサイド層118を形成するコバルトモノシリサイドよりも低抵抗なコバルトダイシリサイド（CoSi₂）を形成するために、先程よりも高温の800程度の温度で熱処理を行う。このような処理でシリサイド層118が形成される。なお、コバルトダイシリサイドを形成した後に更に保護層116から高融点金属を除去することによって、それ以降の熱処理の際にフォトダイオードの蓄積領域104に拡散される高融点金属の量を低下させることができる。本実施形態の製造方法では、コバルトダイシリサイドの形成方法の一例を示して説明を行ったが、製造方法は適宜変更可能である。

40

【0022】

以降、既存の方法で光電変換素子を完成させてもよい。例えば、シリコン酸化膜や、ボロン、リンを含んだシリコン酸化膜などを含む絶縁層を半導体基板100の上に形成する。次に、フォトリソグラフィー技術およびエッティング技術を用いて、この絶縁層にコンタ

50

クトホールを形成する。その後、CVD法などにより単層又は多層の金属膜を堆積し、CMP法などにより余分な金属膜を除去することで、コンタクトプラグを形成する。シリサイド層118が形成された部分を露出させるコンタクトホールと、シリサイド層118が形成されていない部分を露出させるコンタクトホールとは、別々に形成してもよい。シリサイド層118が形成されていないゲート電極や、ソース・ドレイン領域に対してコンタクトを形成する場合には、コンタクトプラグの形成前に所望のコンタクトホールを介してウェル領域103、120に不純物を注入して不純物領域を形成してもよい。これにより、コンタクト抵抗を安定化できる。不純物を活性化させるために熱処理を行ったとしても、保護層116から大部分の高融点金属が除去されているため、フォトダイオードの蓄積領域104に拡散される高融点金属の量は少なくなる。また、シリサイド層118が形成されていないゲート電極や、ソース・ドレイン領域に対するコンタクトホールを開口した後、コンタクトプラグを形成する前に、フッ酸やアンモニア過水などの酸性溶液、又はアルカリ性溶液でコンタクトホール内の洗浄を行ってもよい。

【0023】

また、コンタクトプラグを形成するためにメタルCVD工程を用いる場合に、比較的高温で成膜を行う場合もある。しかし、このような高温での成膜に対しても、上述と同様に、フォトダイオードの蓄積領域104に拡散される高融点金属の量は少なくなる。その後、アルミや銅などの金属による配線層を画素領域101及び周辺回路領域102に形成する。この後、更に絶縁層、ビアプラグ、配線層を形成してもよく、カラーフィルタやマイクロレンズを形成することで光電変換装置が完成する。

【0024】

本実施形態によれば、シリサイド層を有する光電変換装置において、光電変換部に拡散される高融点金属の量を低減でき、それによって光電変換部におけるリーク電流を低減できる。上述の例では高融点金属が光電変換部に拡散されることを抑制したが、高融点金属の拡散を抑制したい他の部材に対しても本実施形態を同様に適用可能である。

【0025】

続いて、図3を用いて本発明の第2実施形態に係る光電変換装置の製造方法を説明する。第1実施形態と同様の構成については同じ参照符号を付して重複する説明を省略する。図2(a)に示される保護層116を形成するまでは第1実施形態と同様であるが、本実施形態ではレジストパターン119を形成せずに、保護層116の全体に対してエッティングを行い、保護層116の全体の上側を除去する。それにより、図3に示される構造体が得られる。この保護層116のエッティングは第1実施形態と同様にウェットエッティングとドライエッティングとのどちらを用いてもよい。なお、この場合に、保護層116の除去される部分は薄くても十分であるため、他のシリサイド層などには大きな影響を与えない。

【0026】

本実施形態では、保護層116の全体にエッティングを行うことによって、第1実施形態よりも広範にわたって保護層116から高融点金属を除去できる。また、レジストパターン119を形成せずにエッティングを行うことによって、画素領域101内の素子分離領域のうち、高融点金属膜を含む積層膜117と直接接触していた部分を除去することができる。素子分離領域のこの部分にも高融点金属が残存する可能性があるため、この部分に対してエッティングを行い除去することによって、不要に残存した高融点金属を更に除去できる。

【0027】

続いて、図4を用いて本発明の第3実施形態に係る光電変換装置の製造方法を説明する。前述までの各実施形態と同様の構成については同じ参照符号を付して重複する説明を省略する。図1(b)に示される絶縁層113を形成するまでは第1実施形態と同様であるが、本実施形態では図4(a)に示されるように、画素領域101の全面を覆うように保護層116を形成する。周辺回路領域102においては、保護層116はシリサイド層を形成したい領域を覆わないように形成される。保護層116は周辺回路領域102を全く覆わなくてもよい。

【0028】

次に、第1実施形態と同様に、保護層116の上から、半導体基板100全体を覆うように積層膜117を形成し、熱処理を行う。これによって、本実施形態では図4(c)に示されるように周回路領域102にはシリサイド層118が形成されるが、画素領域101にはシリサイド層118は形成されない。その後、第1実施形態と同様にレジストパターン119を形成してから保護層116の一部の上部を除去してもよいし、第2実施形態と同様にレジストパターン119を形成せずに保護層116全面の上部を除去してもよい。本実施形態では画素領域101にシリサイド層118を形成しないことによって、フォトダイオードの蓄積領域104に高融点金属が拡散する可能性を更に低減できる。

【0029】

10

続いて、図5を用いて本発明の第4実施形態に係る光電変換装置の製造方法を説明する。前述までの各実施形態と同様の構成については同じ参照符号を付して重複する説明を省略する。本実施形態では、絶縁層113が画素領域101の全面を覆うように形成される点で第3実施形態と異なる。第3実施形態で説明された様々な変更は本実施形態についても適用できる。つまり、画素領域101には、LDD構造を有するトランジスタが設けられていない。

【0030】

本実施形態の絶縁層113を形成するために、図1(a)で説明された半導体基板100の上に、シリコン窒化膜を含み、シリコン酸化膜及びシリコン酸窒化膜のうちの少なくとも一方が積層された積層膜を形成する。次に、この積層膜のフォトリソグラフィー及びエッティングを施してその一部を除去して絶縁層113を形成する。前述の通り、画素領域101を覆う部分からは積層膜を除去しない。また、周回路領域102を覆う部分において、サイドスペーサ114が形成される領域には残し、半導体領域115及びゲート電極111を覆う部分からは除去する。その後、保護層116を形成し、シリサイド層118を形成する。

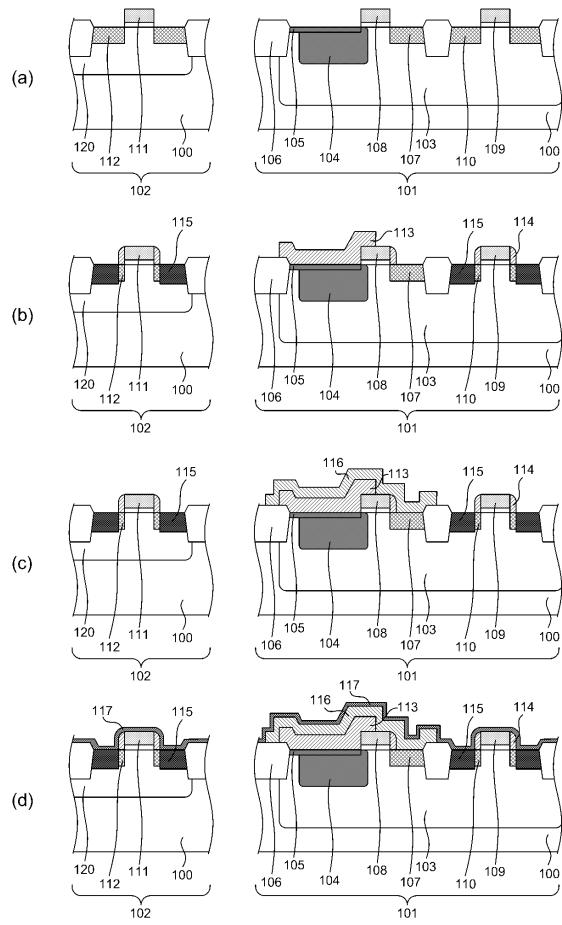
20

【0031】

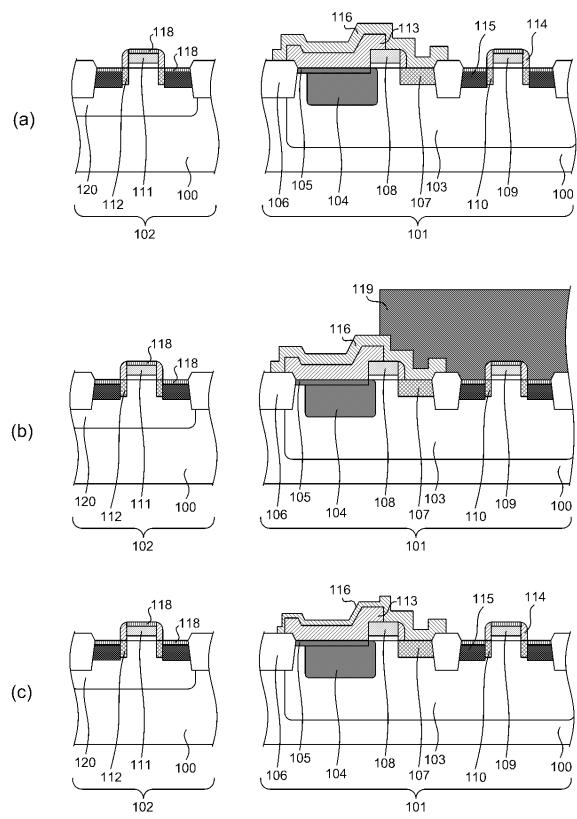
本実施形態においても、保護層116の上部は除去され、保護層116に残存した高融点金属の大部分は除去される。更に、高融点金属の拡散防止能力の高いシリコン窒化膜を含む絶縁層113が画素領域101の全面を覆う位置に形成されている。そのため、保護層116に高融点金属が残存したとしても、その高融点金属が保護層116を介してフォトダイオードまで拡散する可能性は低い。特に、素子分離領域106がシリコン酸化膜で形成される場合に本実施形態は有利である。シリコン酸化膜は高融点金属の拡散防止能力が低いので、素子分離領域106と保護層116との間に絶縁層113が存在しない場合には、素子分離領域106を介してフォトダイオードに高融点金属が拡散する可能性がある。本実施形態では、素子分離領域106と保護層116との間にシリコン窒化膜を含む絶縁層113を設けることで、フォトダイオードに高融点金属が拡散する可能性を低減できる。

30

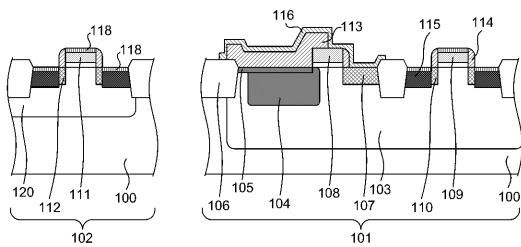
【図1】



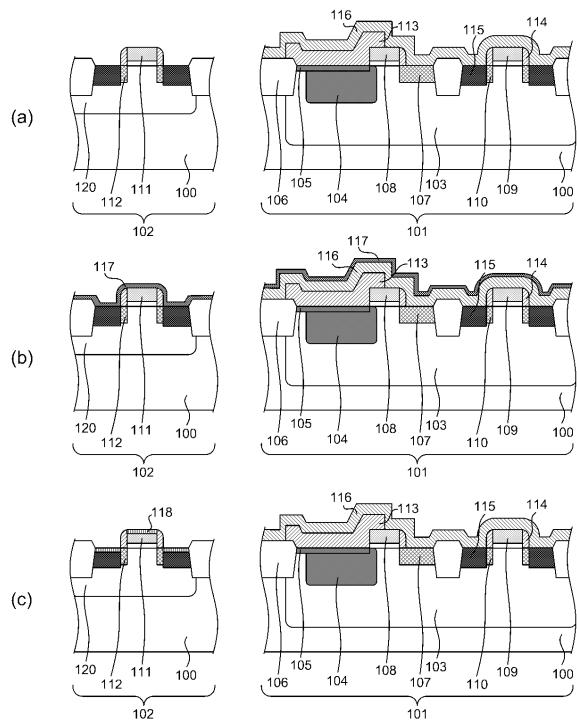
【図2】



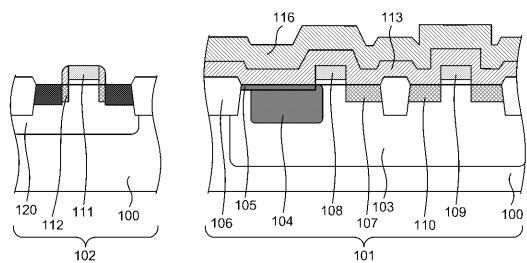
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl. F I
H 01 L 21/336 (2006.01) H 01 L 21/28 301S
H 01 L 29/78 (2006.01)
H 01 L 21/28 (2006.01)

(72)発明者 板橋 政次
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(72)発明者 都甲 憲二
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 安田 雅彦

(56)参考文献 特開2001-345439 (JP, A)
特開2009-026848 (JP, A)
米国特許出願公開第2005/0205955 (US, A1)
特開2011-029604 (JP, A)
米国特許出願公開第2008/0258188 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 27/14-148
H 01 L 21/28-288
H 01 L 29/78
H 01 L 21/336
H 01 L 27/088-092
H 01 L 21/8234-8238