



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201220484 A1

(43) 公開日：中華民國 101 (2012) 年 05 月 16 日

(21) 申請案號：100125523

(22) 申請日：中華民國 100 (2011) 年 07 月 19 日

(51) Int. Cl. : **H01L27/146 (2006.01)**

(30) 優先權：2010/09/03 日本 2010-197734

(71) 申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
日本

(72) 發明人：大池祐輔 OIKE, YUSUKE (JP)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：18 項 圖式數：23 共 68 頁

(54) 名稱

固態成像元件及照相機系統

SOLID-STATE IMAGING ELEMENT AND CAMERA SYSTEM

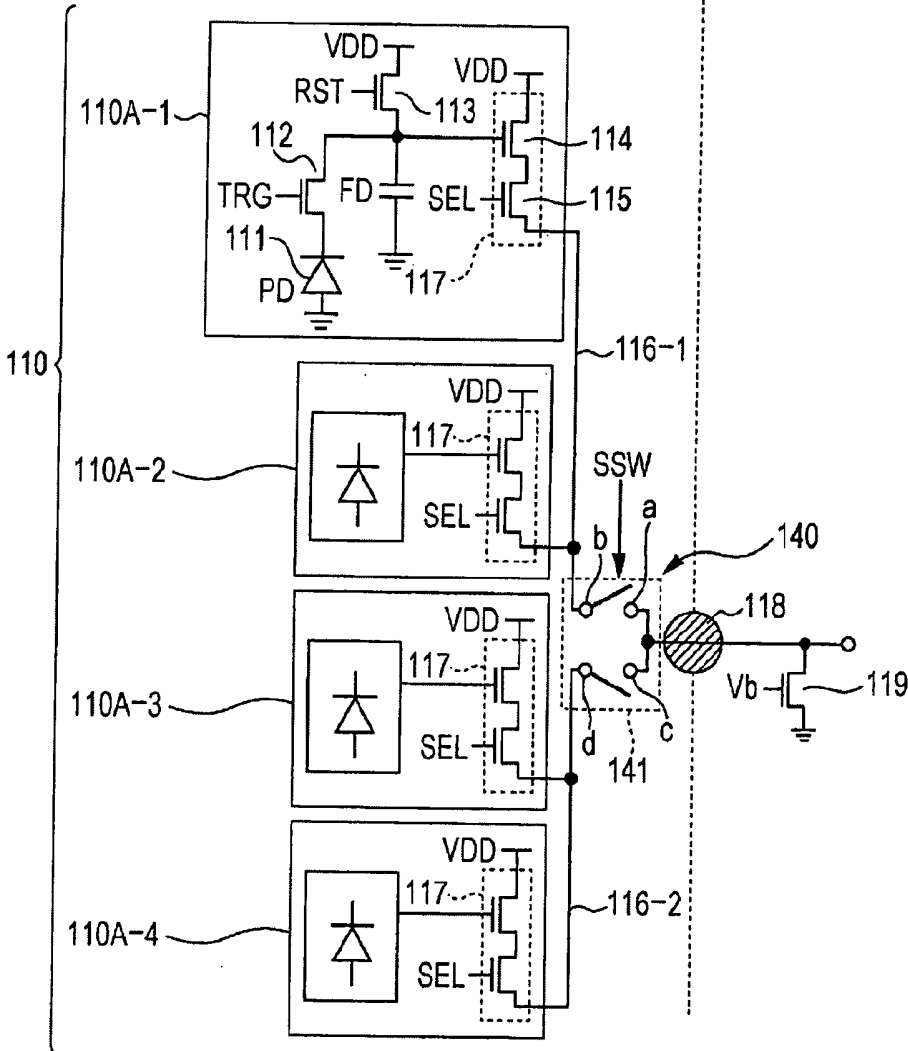
(57) 摘要

一種固態成像元件包括：複數個堆疊之半導體層；用於電連接該複數個半導體層之複數個堆疊連接部分；一像素陣列部分，其中包括一光電轉換部分及一信號輸出部分之像素單元係以二維形狀排列；及一輸出信號線，來自像素單元之信號輸出部分的信號係經由該輸出信號線而傳播，其中該複數個半導體層包括至少一第一半導體層及一第二半導體層，且在該第一半導體層中，該複數個像素單元係以二維形狀排列，一以該複數個像素單元形成之像素群組的信號輸出部分共用一自堆疊連接部分佈線之輸出信號線，且該輸出信號線具有一可分離每一輸出信號線之分離部分。

100A

第一半導體層 (光感測部分) 200

第二半導體層 210



- 100A：成像元件
- 110：像素陣列部分
- 110A-1：像素單元
- 110A-2：像素單元
- 110A-3：像素單元
- 110A-4：像素單元
- 111：光電轉換單元 (PD)
- 112：轉移電晶體
- 113：重設電晶體
- 114：放大電晶體
- 115：選擇電晶體
- 116-1：輸出信號線
- 116-2：輸出信號線
- 117：放大電路
- 118：堆疊連接端子
- 119：偏壓電晶體
- 140：分離部分
- 141：開關
- 200：第一半導體層
- 210：第二半導體層
- a：端子
- b：端子
- c：端子
- d：端子
- FD：浮動擴散區
- PD：光電轉換單元
- RST：重設信號
- SEL：選擇信號
- SSW：切換信號
- TRG：轉移信號
- Vb：偏壓電壓



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201220484 A1

(43)公開日：中華民國 101 (2012) 年 05 月 16 日

(21)申請案號：100125523

(22)申請日：中華民國 100 (2011) 年 07 月 19 日

(51)Int. Cl. : **H01L27/146 (2006.01)**

(30)優先權：2010/09/03 日本 2010-197734

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
日本

(72)發明人：大池祐輔 OIKE, YUSUKE (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：18 項 圖式數：23 共 68 頁

(54)名稱

固態成像元件及照相機系統

SOLID-STATE IMAGING ELEMENT AND CAMERA SYSTEM

(57)摘要

一種固態成像元件包括：複數個堆疊之半導體層；用於電連接該複數個半導體層之複數個堆疊連接部分；一像素陣列部分，其中包括一光電轉換部分及一信號輸出部分之像素單元係以二維形狀排列；及一輸出信號線，來自像素單元之信號輸出部分的信號係經由該輸出信號線而傳播，其中該複數個半導體層包括至少一第一半導體層及一第二半導體層，且在該第一半導體層中，該複數個像素單元係以二維形狀排列，一以該複數個像素單元形成之像素群組的信號輸出部分共用一自堆疊連接部分佈線之輸出信號線，且該輸出信號線具有一可分離每一輸出信號線之分離部分。

六、發明說明：

【發明所屬之技術領域】

本技術係關於一種以CMOS影像感測器為代表之固態成像元件及一種照相機系統。

【先前技術】

一固態成像元件經組態以具有：一光電轉換單元；一電荷電壓轉換單元，其將積聚之電荷轉換為電壓；及一單位像素，其具有一用於讀取電荷電壓轉換單元之電壓的放大電路。

已存在關於此固態成像元件之所提議技術，在該固態成像元件中，配置有電晶體的一面的相反側(=背面)被設定為光照射面，且複數個半導體層經堆疊以讀取像素之輸出信號，藉此改良整合程度及平行性。

該技術揭示於(例如)日本未審查專利申請公開案第2006-049361號中。

圖1為展示日本未審查專利申請公開案第2006-049361號中所揭示之固態成像元件之基本組態的圖。

在圖1中，像素單元2以陣列形狀配置於在光感測部分側中的第一半導體層1-1上，列掃描電路3-1及3-2配置於陣列部分之兩側中，且像素驅動電路4-1及4-2經配置成對應於像素單元2之列。

圖2為展示包括四個電晶體之CMOS影像感測器之像素之實例的圖。

像素單元2包括一由(例如)光電二極體(PD)組成之光電轉

換單元(光電轉換元件)21。

另外，像素單元2包括四個電晶體，該四個電晶體包括作為主動元件之用於該一個光電轉換單元21的轉移電晶體22、重設電晶體23、放大電晶體24及選擇電晶體25。

光電轉換單元21執行以對應於光之量的量將入射光光電轉換為電荷(本文中為電子)。

轉移電晶體22連接於光電轉換單元21與作為輸出節點之浮動擴散區FD之間，且其閘極(轉移閘極)經由轉移控制線LTRG而被給予一轉移信號TRG(其為控制信號)。

相應地，轉移電晶體22將在光電轉換單元21中經光電轉換之電子轉移至浮動擴散區FD。

重設電晶體23連接於電源線LVDD與浮動擴散區FD之間，且其閘極經由重設控制線LRST而被給予一重設信號RST(其為控制信號)。

相應地，重設電晶體23將浮動擴散區FD之電位重設為電源線LVDD之電位。

放大電晶體24之閘極連接至浮動擴散區FD。放大電晶體24經由選擇電晶體25而連接至輸出信號線6，且構成一作為在像素部分外部之恆定電流源的源極隨耦器。

放大電晶體24及選擇電晶體25形成放大電路7。

另外，根據一位址信號將選擇信號SEL(其為控制信號)經由選擇控制線LSEL給予選擇電晶體25之閘極以接通選擇電晶體25。

若選擇電晶體25被接通，則放大電晶體24放大浮動擴散

區FD之電位且將根據該電位之電壓輸出至輸出信號線6。

圖3為展示CMOS影像感測器之像素共用之實例的圖。

在此組態中，四個像素單元2-1至2-4(具有光電轉換元件21-1至21-4及轉移電晶體22-1至22-4中之每一者)共用浮動擴散區FD、重設電晶體23及放大電路7。

在固態成像元件中，如圖1中所示來應用圖2之像素單元(其具有用於形成於第一半導體層1-1上之一個光電轉換單元21的一個放大電路7)、圖3之像素單元(其具有用於複數個光電轉換單元21之一個放大電路7)或其類似者。

另外，日本未審查專利申請公開案第2006-049361號中之固態成像元件具有一結構，在該結構中，將信號傳播至一不同經堆疊之第二半導體層1-2的堆疊連接端子(微凸塊或通孔VIA)8經連接於像素單元2中。

換言之，該等堆疊連接端子8中之每一者連接至讀取信號之放大電路7。

在圖2及圖3之實例中，充當源極隨耦器之恆定電流源的偏壓電晶體(負載MOS)9形成於第二半導體層1-2上。

【發明內容】

當一單位像素之大小小於堆疊連接端子8之大小時，無論如何難以在上文所描述之相關技術中配置用於單位像素中之每一者的堆疊連接端子8。

為此，考慮複數個像素單元之放大電路之輸出共用一連接至堆疊連接端子之輸出信號線，如圖4中所示。

圖5為展示圖4之固態成像元件之主要電路之實例的圖。

在此實例中，讀取複數個像素單元之放大電路7之輸出端子連接至相同之輸出信號線6，且其連接節點經由堆疊連接端子8而連接至第二半導體層1-2。

像素單元2包括如圖2中所示之複數個光電轉換單元(PD)，且共用放大電路7係無關緊要的。

如上文所描述，放大電路7除放大電晶體24外還包括選擇電晶體25，且放大電路7經由該選擇電晶體25而連接至輸出信號線6。

然而，有可能藉由使用重設電晶體23而將未選定像素中之FD之電壓設定為低及藉由將放大電晶體24驅動至處於OFF狀態來省略選擇電晶體25。

在圖4及圖5之組態中，當藉由列掃描電路3來選擇像素且經由堆疊連接端子8來輸出信號時，有必要驅動連接至相同之堆疊連接端子8的其他像素之放大電路7之輸出端子的寄生電容。

換言之，將放大電晶體24之源極端子之寄生電容、選擇電晶體25之源極端子之寄生電容或佈線之寄生電容添加作為負載容量。

隨著包括堆疊連接端子8之輸出信號線6之寄生電容的增加，將在選擇像素之後的輸出信號收斂於一目標值所必需的時間被延長，藉此阻礙加速。

當有必要執行更快速之讀取操作時，考慮藉由改變(例如)施加至偏壓電晶體9之閘極的偏壓電壓 V_b 來提高流入至放大電路7中之電流，但產生與電流之遞增成比例的電力

消耗之增加。

需要該技術提供一固態成像元件及一照相機系統，該固態成像元件及該照相機系統使得能夠實現在驅動像素之輸出信號線方面的速度增加及堆疊結構中之低電力消耗。

根據本技術之一實施例，提供一固態成像元件，其包括：複數個堆疊之半導體層；用於電連接該複數個半導體層之複數個堆疊連接部分；一像素陣列部分，其中包括一光電轉換部分及一信號輸出部分之像素單元係以二維形狀排列；及一輸出信號線，來自像素單元之信號輸出部分之信號係經由該輸出信號線而傳播，且其中該複數個半導體層包括至少一第一半導體層及一第二半導體層，且在該第一半導體層中，該複數個像素單元係以二維形狀排列，一以該複數個像素單元形成之像素群組的信號輸出部分共用一自堆疊連接部分佈線之輸出信號線，且該輸出信號線具有一可分離每一輸出信號線之分離部分，該每一輸出信號線在自堆疊連接部分分支的所有或一些位置處被任意地分支。

根據本技術之另一實施例，提供一照相機系統，其包括：一固態成像元件；一光學系統，其在該成像元件上形成一物體之影像；及一信號處理電路，其處理成像元件之輸出影像信號，且其中該固態成像元件包括：複數個堆疊之半導體層；用於電連接該複數個半導體層之複數個堆疊連接部分；一像素陣列部分，其中具有一光電轉換部分及一信號輸出部分之像素單元係以二維形狀排列；及一輸出

信號線，由像素單元之信號輸出部分產生的信號係經由該輸出信號線而傳播，該複數個半導體層包括至少一第一半導體層及一第二半導體層，且在該第一半導體層中，該複數個像素單元係以二維形狀排列，一以該複數個像素單元形成之像素群組的信號輸出部分共用自該等堆疊連接部分佈線之輸出信號線，且該輸出信號線具有一可分離每一輸出信號線之分離部分，該每一輸出信號線在自堆疊連接部分分支的所有或一些位置處被任意地分支。

根據本技術，有可能實現驅動一堆疊結構中之像素中之輸出信號線方面的加速及低電力消耗。

【實施方式】

下文中，將關於圖式來描述本技術之實施例。

將按以下次序提供描述。

1. 固態成像元件之整體組態之實例
2. 用於採用堆疊結構之特性組態的基本概念
3. 第一實施例
4. 第二實施例
5. 第三實施例
6. 第四實施例
7. 第五實施例
8. 第六實施例
9. 第七實施例
10. 第八實施例
11. 第九實施例

12. 第十實施例(照相機系統之組態實例)

<1. 固態成像元件之整體組態之實例>

圖6為展示根據本技術之實施例之CMOS影像感測器(固態成像元件)之組態實例的圖。

CMOS影像感測器100包括像素陣列部分110、作為像素驅動單元之列選擇電路(Vdec)120及讀出電路(AFE)130。

在本實施例中，作為一實例，將其上配置有電晶體的一面之相反側(=後面)設定為光照射面，且複數個半導體層經堆疊及形成以便讀取像素之輸出信號。

稍後將描述對應於半導體層之堆疊結構的特性組態。

像素陣列部分110配置有呈具有M個列×N個行之二維形狀(矩陣形狀)的複數個像素單元110A。

圖7為展示根據該實施例之包括四個電晶體之CMOS影像感測器的像素之實例的圖。

像素單元110A包括一光電轉換單元(光電轉換元件)111，該光電轉換單元111包括(例如)一光電二極體(PD)。

另外，像素單元110A具有四個電晶體，該四個電晶體包括作為用於該一個光電轉換單元111之主動元件的轉移電晶體112、重設電晶體113、放大電晶體114及選擇電晶體115。

光電轉換單元111執行以對應於光之量的量將入射光光電轉換為電荷(本文中為電子)。

轉移電晶體112連接於光電轉換單元111與作為輸出節點

之浮動擴散區FD之間，且其閘極(轉移閘極)經由轉移控制線LTRG而被給予一轉移信號TRG(其為控制信號)。

相應地，轉移電晶體112將在光電轉換單元111中經光電轉換之電子轉移至浮動擴散區FD。

重設電晶體113連接於電源線LVREF與浮動擴散區FD之間，且其閘極經由重設控制線LRST而被給予一重設信號RST(其為控制信號)。

相應地，重設電晶體113將浮動擴散區FD之電位重設為電源線LVREF之電位。

浮動擴散區FD連接至放大電晶體114之閘極。放大電晶體114經由選擇電晶體115而連接至輸出信號線116，且構成一作為在像素部分外部之恆定電流源的源極隨耦器。

放大電路117經形成有放大電晶體114及選擇電晶體115而作為一信號輸出部分。

另外，選擇信號SEL(其為對應於位址信號之控制信號)經由選擇控制線LSEL而被給予選擇電晶體115之閘極以接通選擇電晶體115。

若選擇電晶體115被接通，則放大電晶體114放大浮動擴散區FD之電位且將對應於該電位之電壓輸出至輸出信號線116。

自每一像素輸出之電壓經由輸出信號線116而輸出至讀出電路130。

此等操作係針對一個列之像素而同時執行，因為(例如)轉移電晶體112、重設電晶體113及選擇電晶體115之閘極

在一列單元中連接至彼此。

如上文所描述，放大電路117除放大電晶體114外還包括選擇電晶體115，且放大電路117經由該選擇電晶體115而連接至輸出信號線116。

然而，有可能藉由用重設電晶體113將未選定像素之FD之電壓設定為低及將放大電晶體114驅動為關斷來省略選擇電晶體115。

佈線於像素陣列部分110中之重設控制線LRST、轉移控制線LTRG及選擇控制線LSEL被佈線於像素陣列之一列單元中。

藉由列選擇電路120來驅動重設控制線LRST、轉移控制線LTRG及選擇控制線LSEL。

列選擇電路120控制被配置於像素陣列部分110中之任意列中的像素的操作。列選擇電路120充當一像素驅動單元，其經由控制線LSEL、LRST及LTRG來控制像素之驅動。

讀出電路130針對來自一讀取列(其係藉由列選擇電路120之驅動來選擇或預選擇)中之每一像素單元110A的經由輸出信號線116所輸出之信號VSL而執行一預定程序，且臨時保留一(例如)經受信號處理之像素信號。

讀出電路130適用於一包括取樣保持電路之電路的組態，該取樣保持電路執行對經由輸出信號線116輸出之信號的取樣及保持。

或者，讀出電路130包括一取樣保持電路，且適用於一

具有以下功能之電路的組態：藉由CDS(相關雙重取樣)程序來移除特定針對一像素之重設雜訊及固定型樣雜訊(諸如放大電晶體114之臨限值之不均勻性)。

另外，讀出電路130配備有一類比及數位(AD)轉換功能，且適用於其中信號位準被設定至數位信號的組態。

下文中，將詳細描述對應於根據該實施例之CMOS影像感測器100中之半導體層之堆疊結構的特性組態。

<2. 用於採用堆疊結構之特性組態的基本概念>

首先，將描述用於採用堆疊結構之特性組態的基本概念。

在CMOS影像感測器(固態成像元件)100中，基本上，複數個堆疊之半導體層藉由複數個堆疊連接端子(堆疊連接部分)而電連接至彼此。

光電轉換單元111及具有信號輸出部分之單位像素單元110A被二維地排列於第一半導體層上。

包括複數個像素單元之像素群組的信號輸出部分共用自堆疊連接端子佈線之輸出信號線116。

另外，輸出信號線116具有一可分離每一輸出信號線116之分離部分，該每一輸出信號線116在自堆疊連接端子分支的所有或一些位置處被任意地分支。

更具體言之，包括複數個放大電晶體之放大電路117的輸出連接至堆疊連接端子，且在堆疊連接端子與放大電路117之間的一些或所有分支點具有一分離輸出信號線116之分離部分。

CMOS影像感測器(固態成像元件)100具有一光照射面，其(例如)位於配置有電晶體及導線的面之相反側處。

在CMOS影像感測器100中，當一輸出信號被傳播至經由堆疊連接端子而堆疊的第一半導體層及一不同半導體層時，用於配置堆疊連接端子的自由度提高，且可另外以小數目將電晶體配置於像素陣列內而不縮減光電轉換單元之規模。

藉由使用以上優點，有可能在經由放大電路117來讀取像素之信號時藉由一分離部分(諸如用於在自一堆疊連接端子至每一單位像素之佈線被分支的節點處分離每一分支佈線之開關)而減小實際負載容量。

在該實施例中，堆疊連接端子的特性在於：該端子被配置於連接至其之像素群組的中心附近。

此外，堆疊連接端子可藉由在堆疊連接端子可被令人滿意地配置的間隔範圍中配置於連接至其之像素群組的中心附近來均勻地劃分在分離部分處分離之每一佈線的寄生電容。

相應地，有可能在經由放大電路117來讀取每一像素之信號時最小化實際負載容量。

在該實施例中，分支點的特性在於：分支點被配置於連接在該分支點後之像素群組的中心附近。

此外，分支點可藉由將該分支點配置於連接在該分支點後之像素群組的中心附近來均勻地劃分在分離部分處分離之每一佈線的寄生電容。

相應地，有可能在經由放大電路117來讀取每一像素之信號時最小化實際負載容量。

在該實施例中，配置於分支點中之分離部分的特性在於：與分離部分相同之元件被虛設配置於一未配置有分離部分的區域中以便具有配置之週期性。

相應地，有可能具有像素及電路之佈局的週期性、具有電晶體之均一成像特性及操作特性，及避免影像劣化(諸如固定型樣雜訊或其類似者)。

在該實施例中，經二維地排列之像素群組連接至相同之堆疊連接端子。

藉由將經二維地排列之像素群組連接至相同之堆疊連接端子(不僅在列或行方向上)，即使連接至堆疊連接端子之像素的數目相同，仍有可能最小化自該堆疊連接端子至最遠像素之距離。

相應地，在該實施例中，有可能使由於每一像素之寄生電阻的讀出電壓中的電壓降均一。

作為像素之輸出信號之一般讀出電路，可例證像素中之放大電晶體114及藉由連接至輸出信號線116之偏壓電晶體而包括一恆定電流源的源極隨耦器電路。

由於輸出信號線116之寄生電容藉由恆定電流而被放電，特定言之，電容組件在輸出之收斂時間中占主導地位，所以有可能獲得與電容之分離成比例的加速或低電力消耗。

另一方面，由於占主導地位的係電容性放電而非佈線之

時間常數，所以特性為：收斂時間並不主導性地由於電阻組件而劣化，且幾乎不存在由於添加作為分離部分之開關所招致的耗用。

另一方面，在輸出信號線116之電阻組件中，均一性被看作重要的。源極隨耦器電路之輸入電壓被輸出至放大電晶體114之源極端子。

由於此原因，堆疊連接端子中之輸出電壓藉由自放大電晶體114至作為輸出端子之堆疊連接端子的佈線電阻與在負載MOS(偏壓電晶體)(其為電流源)中產生之恆定電流的乘積而偏移。

該偏移電壓可容易藉由CDS單元(諸如相關雙重取樣)而消除，但若該電壓對於每一像素不同，則針對可輸入至類比信號處理電路(諸如在輸出端子之後的類比及數位轉換電路)的電壓範圍而言，足夠之容限係有必要的。

在該實施例中，由於將作為分支點中之分離構件的開關添加至每一分離之輸出信號線116，所以特性為：輸出信號線116之電阻組件的均一性未受損害。

緊接著，將描述特定組態實例。

<3. 第一實施例>

圖8為展示根據本技術之第一實施例之CMOS影像感測器(固態成像元件)之第一半導體層中的像素、堆疊連接端子及分離部分之配置實例的圖。

圖9為展示圖8之CMOS影像感測器(固態成像元件)之主要電路之實例的圖。

在第一實施例之 CMOS 影像感測器 100A 中，像素單元 110A 以陣列形狀配置於第一半導體層 200 上。列掃描電路 121-1 及 121-2 配置於像素陣列部分 110 之兩側上，且像素驅動電路 122-1 及 122-2 經配置成對應於像素單元 110A 之列。

在第一實施例中，像素單元 110A 之放大電路 117 在行方向上共用輸出信號線 116 且連接至堆疊連接端子 118。

輸出信號線 116 之分離部分 140 被提供於輸出信號線 116 在堆疊連接端子 118 與每一像素單元之放大電路 117 之間分支的位置上。

在圖 8 之像素陣列部分 110 中，像素單元係以 6×6 矩陣形狀來配置。

在第一實施例中，較佳地，可在可產生之在堆疊連接端子之間的最小間隔的範圍中將堆疊連接端子 118 配置於連接至其之複數個像素單元 110A 之像素群組的中心處。

在此狀況下，理想上，較佳地，將堆疊連接端子 118 定位於圖 8 之像素陣列中的行 CL0 至 CL5 中之第三像素單元及第四像素單元的形成位置之間，亦即，在每一行之中心處。

當中心配置不可能時，較佳在堆疊連接端子可如圖 8 中所示加以配置之範圍內將該等端子配置於中心附近。

在圖 8 中，堆疊連接端子 118 被配置於第四像素單元及第五像素單元之形成位置之間，亦即，在偶數行 CL0、CL2 及 CL4 中在可配置端子之範圍內的中心附近。

堆疊連接端子 118 被配置於第二像素單元及第三像素單

元之形成位置之間，亦即，在奇數行CL1、CL3及CL5中在可配置端子之範圍內的中心附近。

在圖8及圖9之實例中，分離部分140經配置以便在堆疊方向上被分離及與堆疊連接端子118重疊。

此外，出於簡化，圖9包括四個像素單元110A-1至110A-4，且展示堆疊連接端子118及分離部分140實質上配置於像素群組之中心處的實例。

如圖9中所示，位於分支點處之分離部分140包括開關141，且分離部分140將輸出信號線116分離為兩個輸出信號線116-1及116-2。

輸出信號線116-1連接至像素單元110A-1及110A-2之放大電路117且輸出信號線116-2連接至像素單元110A-3及110A-4之放大電路117。

構成分離部分140之開關141包括一對端子a及b及一對端子c及d。

端子a連接至堆疊連接端子118且端子b連接至一輸出信號線116-1。

端子c連接至堆疊連接端子118且端子d連接至另一輸出信號線116-2。

藉由以上組態之開關141，端子a及b與端子c及d根據一由圖式中未展示之控制系統產生的切換信號SSW而被切換至一連接或非連接狀態。

可藉由一取樣電路來實現開關141，在該取樣電路中，NMOS電晶體及PMOS電晶體中之任一者或兩者並聯或以

類似之方式連接至其。

在圖9之實例中，充當源極隨耦器之恆定電流源的偏壓電晶體(負載MOS)119形成於第二半導體層210上。

偏壓電晶體119具有將偏壓電壓Vb輸入至閘極使得恆定電流自輸出信號線116流動的功能。

偏壓電晶體119可配置於第一半導體層200中。

<4. 第二實施例>

圖10為展示根據第二實施例之CMOS影像感測器(固態成像元件)之主要電路之實例的圖。

根據第二實施例之CMOS影像感測器100B不同於根據第一實施例之CMOS影像感測器100A的點在於：輸出信號線116藉由分離部分140B而分支的分支數目並非兩個而是大於兩個(本文中為三個分支)。

在CMOS影像感測器100B中，輸出信號線116被分支為三條輸出信號線116-1、116-2及116-3。

另外，像素單元110A-5及110A-6之放大電路117連接至輸出信號線116-3。

除圖9之組態外，開關141B還包括一對端子e及f。

另外，端子e連接至堆疊連接端子118且端子f連接至輸出信號線116-3。

藉由以上組態之開關141B，端子a及b、端子c及d以及端子e及f根據一由圖式中未展示之控制系統產生的切換信號SSW而被切換至一連接或非連接狀態。

<5. 第三實施例>

圖 11 為展示根據本技術之第三實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層上的像素、堆疊連接端子及分離部分之配置實例的圖。

圖 12 為展示圖 11 之 CMOS 影像感測器(固態成像元件)之主要電路之實例的圖。

根據第三實施例之 CMOS 影像感測器 100C 經組態以具有共用堆疊連接端子 118 之像素群組，其包括經配置成垂直(圖 11 中之水平方向)於像素之讀出掃描方向(圖 11 中之垂直方向)的像素。

在圖 11 之實例中，第零行及第一行、第二行及第三行以及第四行及第五行之兩個行各自共用一個堆疊連接端子 118。

另外，一自分離部分 140-1(其被配置於偶數編號之行的中間)之輸出延伸的輸出線 L141 及一經佈線以便自分離部分 140-2(位於奇數編號之行側中)之輸出返回至偶數編號之行側的輸出線 L142 連接至被配置於第一分支點處之分離部分 140-3。

分離部分 140-0 及 140-1 形成第二分支點，且基本上具有與第一實施例中之組態相同的組態。

構成第一分支點處之分離部分 140-3 的開關 141-3 包括一對端子 g 及 h 以及一對端子 i 及 j。

端子 g 連接至堆疊連接端子 118 且端子 h 連接至一輸出線 L141。

端子 i 連接至堆疊連接端子 118 且端子 j 連接至另一輸出線

L142。

藉由以上組態之開關141-3，端子g及h以及端子i及j根據一由圖式中未展示之控制系統產生的切換信號SSW而被切換至一連接或非連接狀態。

在第三實施例中，第一分離部分140-3被定位於第一個自堆疊連接端子118分支的第一分支點處，且第二分離部分140-1及140-2被定位於在其後分支的第二分支點處。

藉由讀出掃描來同時選擇相同像素群組中所包括之複數個像素，但該等像素中之被同時選擇的任一者藉由第一或第二分離部分而連接至堆疊連接端子118。

在圖12之實例中，在讀取像素期間連接至堆疊連接端子118之像素單元的數目被減少至未提供分離部分之狀況的四分之一，藉此有可能藉由寄生電容之減小來實現加速及低電力消耗。

在圖12之實例中，第一分支點及第二分支點皆具有分離部分，但該等分支點中之任一者具有一分離部分係無關緊要的。

舉例而言，當僅第一分支點具備分離部分時，有可能將輸出信號線116之總寄生電容減小一半。

當僅將一分離部分配置於兩個第二分支點處時，有可能藉由連接配置於該等分支點處之四個開關中之任一者而將所連接之像素單元的數目減少四分之一。

當自第一分支點至第二分支點之佈線的寄生電容充分小於在第二分支點之後的寄生電容時，即使省略第一分支點

處之分離部分140-3時，仍獲得實質上相同效應。

相反，當自第一分支點至第二分支點之佈線的寄生電容較大時，較佳亦在第一分支點處具有一分離部分。

<6. 第四實施例>

圖13為展示根據本技術之第四實施例之CMOS影像感測器(固態成像元件)之第一半導體層上的像素、堆疊連接端子及分離部分之配置實例的圖。

圖14A至圖14D-3為根據第四實施例詳細說明像素、堆疊連接端子及分離部分之配置實例的圖。

在圖13之像素陣列部分110D中，像素單元係以6×6矩陣形狀來配置。

另外，圖13將在4×4像素單元群組GRP共用一個堆疊連接端子118時的配置實例展示作為一實例。

為了最小化至最遠像素之佈線的長度，較佳將堆疊連接端子118配置於4×4像素單元群組GRP之中心附近。

此外，較佳將配置有第一分離部分140-3的第一分支點配置於像素單元群組GRP之中心附近，如圖14A中所示。

此外，如圖14B中所示，第二分支點之第二分離部分140-1及140-2被配置於由第一分支點分離之每一像素單元群組GRP的中心周圍。

以相同之方式，如圖14C中所示，第三分支點之第三分離部分140-4被配置於由第二分支點140-1及140-2分離之每一像素單元群組GRP的中心周圍。

結果，如圖14D中所示之分離部分及輸出信號線116之配

置的組態可較佳地最小化佈線容量或佈線電阻。

然而，歸因於電晶體之配置及佈線的複雜性程度，不存在對中心配置之嚴格限制，但若在可行範圍內將分離部分配置於中心附近，則可獲得令人滿意的效應。

另外，如圖 14D-2 中所示，考慮到分離構件之配置的週期性，較佳將作為虛設元件之虛設電晶體 DMT 配置於未配置分離構件的位置處。

藉由在每一像素單元之電晶體之形成中維持週期性，光感測元件及電晶體之特性係均一的且固定型樣雜訊之出現得以抑制。

此外，如圖 14D-3 中所示，在某些分支點處省略分離部分並用虛設電晶體 DMT 來代替該等分離部分係無關緊要的。

在此實例中，配置虛設電晶體 DMT 以代替第二分離部分 140-1 及 140-2。

圖 15A 及圖 15B 為展示一實例之圖，在該實例中，元件經配置使得位於分支點處之分離部分的開關及虛設電晶體保持週期性。

圖 15A 及圖 15B 為對應於圖 14D-3 之電路圖，且元件被配置於其中使得位於分支點處之分離部分的開關及虛設電晶體保持週期性。

圖 15B 之虛設電晶體 DMT 經組態使得(作為一實例)形成分離部分之開關且級聯連接至彼此的兩個 NMOS 電晶體 NT1 及 NT2 之閘極、汲極及源極被接地。

圖16為展示一實例之圖，在該實例中，元件經配置使得位於分支點處之分離部分的開關及虛設電晶體保持週期性且該等虛設電晶體具有一預定功能。

如圖16中所示，虛設電晶體DMT可經組態以具有任何功能。

在圖16之實例中，使虛設電晶體DMT充當源極隨耦器之恆定電流源I1。

具體言之，NMOS電晶體NT1之源極被接地，NMOS電晶體NT2之汲極連接至輸出信號線116，且兩個NMOS電晶體NT1及NT2之閘極連接至偏壓電壓Vb之電源供應器以構成恆定電流源I1。

圖17為展示在4×4個像素單元共用堆疊連接端子時之佈局實例的圖。

當4×4個像素單元共用堆疊連接端子118時，如圖17中所示，例如，有可能將分離部分140配置於像素單元110A之間間隙中。

特定言之，有可能配置一分離部分而不減小以下兩種影像感測器中之光感測部分的面積：後表面照射型影像感測器，其中藉由用光照射與配置有電晶體之表面相反的表面來執行光電轉換；或其中光電轉換膜經形成為高於佈線層的影像感測器。

<7. 第五實施例>

圖18為展示根據本技術之第五實施例之CMOS影像感測器(固態成像元件)之第一半導體層及第二半導體層之堆疊

結構實例的圖。

在第一半導體層 200 中，佈線層 202 形成於矽 (Si) 基板 (p 井) 201 上。

n 型擴散區域 2011 形成於 Si 基板 201 上而作為光電轉換單元 (PD) 111，且 p+ 型擴散區域 2012 形成於光電轉換單元 111 之表面部分 (佈線層 202 之間的邊界) 之上。

FD 之 n+ 擴散區域 2013 及用於分離部分 140 之開關之電晶體的 n+ 擴散區域 2014 複數次形成於 Si 基板 201 中之表面部分之上。

在佈線層 202 中，每一電晶體之間極佈線 2021 及信號傳播佈線 2022 形成於諸如 SiO_2 之絕緣層中，且由 Cu 或其類似者形成之微襯墊 2023 形成於其表面部分之上。

另外，通孔 (VIA) 2024 形成於佈線層 202 中以便將分離部分 140 之 n+ 擴散區域 2014 連接至微襯墊 2023。

在第二半導體層 210 中，佈線層 212 形成於 Si 基板 211 上。

電晶體之擴散區域 2111 及 2112 形成於 Si 基板 211 上之表面部分中。

在佈線層 212 中，每一電晶體之間極佈線 2121 及信號傳播佈線 2122 形成於諸如 SiO_2 之絕緣層中，且由 Cu 或其類似者形成之微襯墊 2123 形成於其表面部分之上。

另外，通孔 (VIA) 2124 形成於佈線層 212 中以便將擴散區域 2111 及其類似者連接至微襯墊 2123。

圖 18 之 CMOS 影像感測器 (固態成像元件) 100E 為一影像

感測器，其中光電轉換單元111形成於與電晶體及佈線層相反之半導體面上且用光來照射後表面，將微凸塊BMP用作堆疊連接端子118。

在影像感測器100E中，第一半導體層200之佈線層202的表面部分及第二半導體部分210之佈線層212的表面部分彼此相對以使微襯墊2023及微襯墊2123與微凸塊BMP連接。

<8. 第六實施例>

圖19為展示根據本技術之第六實施例之CMOS影像感測器(固態成像元件)之第一半導體層及第二半導體層之堆疊結構實例的圖。

根據第六實施例之影像感測器100F不同於根據第五實施例之影像感測器100E的點在於：作為最上部佈線的微襯墊2023及微襯墊2123連接至彼此而不使用微凸塊。

<9. 第七實施例>

圖20為展示根據本技術之第七實施例之CMOS影像感測器(固態成像元件)之第一半導體層及第二半導體層之堆疊結構實例的圖。

根據第七實施例之影像感測器100G不同於根據第六實施例之影像感測器100F的點係如下。

在影像感測器100G中，第二半導體層210之Si基板211配置於第一半導體層200之佈線層202的表面側中。

另外，第二半導體層210之佈線層212的微襯墊2123藉由穿透第二半導體層210之通孔VIA電極213而連接至第一半導體層200之佈線層202的微襯墊2023。

此外，第二半導體層 210 之佈線層 212 的佈線 2122 藉由穿透第二半導體層 210 之通孔 VIA 電極 214 而連接至第一半導體層 200 之佈線層 202 的佈線 2022。

<10. 第八實施例>

圖 21 為展示根據本技術之第八實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層、第二半導體層及第三半導體層之堆疊結構實例的圖。

根據第八實施例之 CMOS 影像感測器 100H 具有第一半導體層 200、第二半導體層 210 及第三半導體層 230 之堆疊結構。

在第三半導體層 230 中，佈線層 222 形成於 Si 基板 221 上。

在 Si 基板 221 上，電晶體之擴散區域 2211 及 2212 形成於表面部分中。

在佈線層 222 中，每一電晶體之閘極佈線 2221 及信號傳播佈線 2222 形成於諸如 SiO_2 之絕緣層中，且由 Cu 或其類似者形成之微襯墊 2223 形成於其表面部分之上。

另外，通孔(VIA) 2224 形成於佈線層 222 中以便連接擴散區域 2211 及佈線 2222 或佈線 2222 及微襯墊 2223。

在影像感測器 100H 中，光電轉換膜 240 形成於第一半導體層 200 之佈線層 202 上，且第一半導體層 200 之佈線 2022 及第二半導體層 210 之佈線 2122 藉由穿透第一半導體層 200 之通孔 VIA 203 而連接。

另外，第二半導體層 210 之佈線層 212 的微襯墊 2123 及第

三半導體層 220 之佈線層 222 的微襯墊 2223 藉由穿透第二半導體層 210 之通孔 VIA 電極 213H 而連接。

此外，作為佈線層上之光電轉換膜，有機光電轉換膜係熟知的。另外，半導體層可堆疊有任何數目之層。

因而，若光電轉換層形成於一不同於第一半導體層 200 內之電晶體的層上，則有可能以高的自由度來配置分離構件及堆疊連接端子而不減小光感測元件之面積。

另外，有可能將信號處理電路或記憶體電路堆疊作為第三半導體層之半導體層及藉由堆疊連接端子 118 而加以連接。

<11. 第九實施例>

圖 22 為展示根據本技術之第九實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層及第二半導體層之堆疊結構實例的圖。

在根據第九實施例之 CMOS 影像感測器 100I 中，第一半導體層 200 係以與圖 13 中之佈局相同的佈局而形成，且第二半導體層 210 經形成而具有 AD 轉換單元 150 及信號處理單元 160。

在圖 22 之實例中，一個信號處理單元 160 被配置於中心部分中，且各別的兩個 AD 轉換單元 150 被配置於長邊緣部分之兩側中。

另外，在 CMOS 影像感測器 100I 中，AD 轉換電路 151、152、153 及 154 經配置成分別與每一堆疊連接端子 118 平行。

此外，若像素單元具有用於信號輸出之放大電路，則複數個光感測元件藉以共用放大電路的像素共用類型、實現分批曝光之電荷保持區域藉以被提供於像素中的像素組態或其類似者亦為可接受的。

如上文所描述，有可能根據本技術而獲得以下效應。

在其中連接至一堆疊(三維安裝)之不同半導體層的連接端子在複數個像素單元之放大電路中被共用的影像感測器中，有可能減小輸出信號線之寄生電容及實現自像素讀出輸出信號的加速及低電力消耗。

另外，由於可僅藉由簡單添加開關電路及佈線來實現以上效應，所以對光感測元件之減少或後表面照射型影像感測器或使用有機光電轉換膜之影像感測器中之解析度的劣化幾乎無影響。

藉由將堆疊連接端子及分支點處之分離部分配置於連接至其之像素群組的中心附近，存在以下效應：藉由最小化之寄生電容來實現加速及低電力消耗，及藉由均一之佈線電阻來減小後一級之類比信號處理電路所必需的輸入電壓之範圍。

可將帶來以上效應之固態成像元件應用作為數位照相機或視訊照相機之成像器件。

<12. 第十實施例>

圖23為展示應用有根據本技術之該等實施例之固態成像元件的照相機系統之組態之實例的圖。

照相機系統300具備成像器件310，如圖23中所示，根據

該等實施例之CMOS影像感測器(固態成像元件)100及100A至100I中之一者適用於該成像器件310。

此外，照相機系統300包括一光學系統，該光學系統將入射光引導至成像器件310之像素區域(形成物體之影像)，例如，藉由入射光(影像光)而在成像平面上形成影像之透鏡320。

照相機系統300包括一驅動成像器件310之驅動電路(DRV)330及一處理成像器件310之輸出信號的信號處理電路(PRC)340。

驅動電路330具有一計時產生器(圖式中未展示)，該計時產生器產生包括開始脈衝及時脈脈衝(其驅動成像器件310中之電路)的各種計時信號且藉由預定時間信號來驅動成像器件310。

另外，信號處理電路340針對成像器件310之輸出信號而執行一預定信號程序。

將在信號處理電路340中所處理之影像信號記錄於一記錄媒體(例如，記憶體或其類似者)上。藉由印表機或其類似者將記錄於記錄媒體上之影像資訊製成複本。另外，將在信號處理電路340中所處理之影像信號顯示為監視器(包括液晶顯示器或其類似者)上之移動影像。

如上文所描述，有可能藉由將上文所描述之成像元件100及100A至100I安裝於包括數位靜態照相機或其類似者之成像器件(作為成像器件310)中來實現具有高精度及低電力消耗的照相機。

本揭示案含有與2010年9月3日在日本專利局申請之日本優先權專利申請案JP 2010-197734中所揭示之標的有關的標的，該案之全部內容以引用之方式併入本文中。

熟習此項技術者應理解，可取決於設計要求及其他因素而發生各種修改、組合、子組合及更改，只要該等修改、組合、子組合及更改係在附加之申請專利範圍或其等效物之範疇內便可。

【圖式簡單說明】

圖1為展示日本未審查專利申請公開案第2006-049361號中所揭示之固態成像元件之基本組態的圖；

圖2為展示包括四個電晶體之CMOS影像感測器之影像之實例的圖；

圖3為展示CMOS影像感測器之像素共用之實例的圖；

圖4為展示固態成像元件之組態實例的圖，在該固態成像元件中，複數個像素單元之放大電路之輸出共用一連接至堆疊連接端子之輸出信號線；

圖5為展示圖4之固態成像元件之主要電路之實例的圖；

圖6為展示根據本技術之實施例之CMOS影像感測器(固態成像元件)之組態實例的圖；

圖7為展示根據該實施例之包括四個電晶體之CMOS影像感測器的像素之實例的圖；

圖8為展示根據本技術之第一實施例之CMOS影像感測器(固態成像元件)之第一半導體層中的像素、堆疊連接端子及分離部分之配置實例的圖；

圖 9 為展示圖 8 之 CMOS 影像感測器(固態成像元件)之主要電路之實例的圖；

圖 10 為展示根據本技術之第二實施例之 CMOS 影像感測器(固態成像元件)之主要電路之實例的圖；

圖 11 為展示根據本技術之第三實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層中的像素、堆疊連接端子及分離部分之配置實例的圖；

圖 12 為展示根據圖 11 之 CMOS 影像感測器(固態成像元件)之主要電路之實例的圖；

圖 13 為展示根據本技術之第四實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層中的像素、堆疊連接端子及分離部分之配置實例的圖；

圖 14A 至圖 14D-3 為根據第四實施例詳細說明像素、堆疊連接端子及分離部分之配置實例的圖；

圖 15A 及圖 15B 為展示若干實例之圖，在該等實例中，元件經配置使得在分支點處之分離部分的開關及虛設電晶體保持週期性；

圖 16 為展示一實例之圖，在該實例中，元件經配置使得在分支點處之分離部分的開關及虛設電晶體保持週期性，且虛設電晶體具有一預定功能；

圖 17 為展示當在 4×4 個像素單元中共用一堆疊連接端子時之佈局實例的圖；

圖 18 為展示根據本技術之第五實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層及第二半導體層之堆疊

結構實例的圖；

圖 19 為展示根據本技術之第六實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層及第二半導體層之堆疊結構實例的圖；

圖 20 為展示根據本技術之第七實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層及第二半導體層之堆疊結構實例的圖；

圖 21 為展示根據本技術之第八實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層、第二半導體層及第三半導體層之堆疊結構實例的圖；

圖 22 為展示根據本技術之第九實施例之 CMOS 影像感測器(固態成像元件)之第一半導體層及第二半導體層之堆疊結構實例的圖；及

圖 23 為展示應用有根據本技術之該等實施例之固態成像元件的照相機系統之組態之實例的圖。

【主要元件符號說明】

1-1	第一半導體層
1-2	第二半導體層
2	像素單元
2-1	像素單元
2-2	像素單元
2-3	像素單元
2-4	像素單元
3-1	列掃描電路

3-2	列掃描電路
4-1	像素驅動電路
4-2	像素驅動電路
6	輸出信號線
7	放大電路
8	堆疊連接端子
9	偏壓電晶體
21	光電轉換單元
21-1	光電轉換元件
21-2	光電轉換元件
21-3	光電轉換元件
21-4	光電轉換元件
22	轉移電晶體
22-1	轉移電晶體
22-2	轉移電晶體
22-3	轉移電晶體
22-4	轉移電晶體
23	重設電晶體
24	放大電晶體
25	選擇電晶體
100	CMOS影像感測器
100A	成像元件
100B	CMOS影像感測器
100C	CMOS影像感測器

100E	影像感測器
100F	影像感測器
100G	影像感測器
100H	CMOS影像感測器
100I	CMOS影像感測器
110	像素陣列部分
110A	像素單元
110A-1	像素單元
110A-2	像素單元
110A-3	像素單元
110A-4	像素單元
110A-5	像素單元
110A-6	像素單元
110D	像素陣列部分
111	光電轉換單元(PD)
112	轉移電晶體
113	重設電晶體
114	放大電晶體
115	選擇電晶體
116-1	輸出信號線
116-2	輸出信號線
116-3	輸出信號線
117	放大電路
118	堆疊連接端子

119	偏壓電晶體
121-1	列掃描電路
121-2	列掃描電路
122-1	像素驅動電路
122-2	像素驅動電路
140	分離部分
140-0	分離部分
140-1	第二分離部分
140-2	第二分離部分
140-3	分離部分
140-4	第三分離部分
140B	分離部分
141	開關
141B	開關
150	AD轉換單元
151	AD轉換電路
152	AD轉換電路
153	AD轉換電路
154	AD轉換電路
160	信號處理單元
200	第一半導體層
201	矽(Si)基板
202	佈線層
203	通孔VIA

210	第二半導體層
211	Si基板
212	佈線層
213	通孔VIA電極
213H	通孔VIA電極
214	通孔VIA電極
220	第三半導體層
221	Si基板
222	佈線層
300	照相機系統
310	成像器件
320	透鏡
330	驅動電路(DRV)
340	信號處理電路(PRC)
2011	n型擴散區域
2012	p+擴散區域
2013	n+擴散區域
2014	n+擴散區域
2021	閘極佈線
2022	信號傳播佈線
2023	微觀墊
2024	通孔(VIA)
2111	擴散區域
2112	擴散區域

2121	閘極佈線
2122	信號傳播佈線
2123	微襯墊
2124	通孔(VIA)
2211	擴散區域
2212	擴散區域
2221	閘極佈線
2222	信號傳播佈線
2223	微襯墊
2224	通孔(VIA)
a	端子
b	端子
c	端子
CL0	行
CL1	行
CL2	行
CL3	行
CL4	行
CL5	行
d	端子
DMT	虛設電晶體
e	端子
f	端子
FD	浮動擴散區

g	端子
GRP	4×4像素單元群組
h	端子
i	端子
I1	恆定電流源
j	端子
L141	輸出線
L142	輸出線
LRST	重設控制線
LSEL	選擇控制線
LTRG	轉移控制線
LVDD	電源線
LVREF	電源線
NT1	NMOS電晶體
NT2	NMOS電晶體
PD	光電轉換單元
RST	重設信號
SEL	選擇信號
SSW	切換信號
TRG	轉移信號
Vb	偏壓電壓
VSL	信號

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100125523

※申請日：100.7.19

※IPC 分類：H01L 27/146 (2006.01)

一、發明名稱：(中文/英文)

固態成像元件及照相機系統

SOLID-STATE IMAGING ELEMENT AND CAMERA SYSTEM

二、中文發明摘要：

一種固態成像元件包括：複數個堆疊之半導體層；用於電連接該複數個半導體層之複數個堆疊連接部分；一像素陣列部分，其中包括一光電轉換部分及一信號輸出部分之像素單元係以二維形狀排列；及一輸出信號線，來自像素單元之信號輸出部分的信號係經由該輸出信號線而傳播，其中該複數個半導體層包括至少一第一半導體層及一第二半導體層，且在該第一半導體層中，該複數個像素單元係以二維形狀排列，一以該複數個像素單元形成之像素群組的信號輸出部分共用一自堆疊連接部分佈線之輸出信號線，且該輸出信號線具有一可分離每一輸出信號線之分離部分。

三、英文發明摘要：

A solid-state imaging element includes a plurality of semiconductor layers stacked, a plurality of stack-connecting parts for electrically connecting the plurality of semiconductor layers, a pixel array part in which pixel cells that include a photoelectric conversion part and a signal output part are arrayed in a two-dimensional shape, and an output signal line through which signals from the signal output part of the pixel cells are propagated, in which the plurality of semiconductor layers includes at least a first semiconductor layer and a second semiconductor layer, and, in the first semiconductor layer, the plurality of pixel cells are arrayed in a two-dimensional shape, the signal output part of a pixel group formed with the plurality of pixel cells shares an output signal line wired from the stack-connecting parts, and the output signal line has a separation part which can separate each output signal line.

七、申請專利範圍：

1. 一種固態成像元件，其包含：

複數個堆疊之半導體層；

用於電連接該複數個半導體層之複數個堆疊連接部分；

一像素陣列部分，其中包括一光電轉換部分及一信號輸出部分之像素單元係以一二維形狀排列；及

一輸出信號線，來自該等像素單元之該信號輸出部分的信號係經由該輸出信號線而傳播，

其中該複數個半導體層包括至少一第一半導體層及一第二半導體層，及

其中，在該第一半導體層中，該複數個像素單元係以一二維形狀排列，一以該複數個像素單元形成之像素群組的該信號輸出部分共用一自該堆疊連接部分佈線之輸出信號線，且該輸出信號線具有一可分離每一輸出信號線之分離部分，該每一輸出信號線在自該堆疊連接部分分支的所有或一些位置處被任意地分支。

2. 如請求項1之固態成像元件，其中該堆疊連接部分被配置於共用連接至該堆疊連接部分之該輸出信號線的該像素群組之中心附近。

3. 如請求項1之固態成像元件，其中該分離部分被配置於該像素群組之該中心附近，該信號輸出部分在一分支點下方連接至該輸出信號線。

4. 如請求項1之固態成像元件，其中具有與該分離部分相

同之組態且未連接至該輸出信號線的虛設元件被配置於該像素陣列部分中之該等像素單元的該二維陣列中。

5. 如請求項4之固態成像元件，其中該等虛設元件經配置使得該分離部分之二維配置係週期性的。
6. 如請求項1之固態成像元件，

其中一驅動該像素陣列部分之該等像素單元的像素驅動部分被配置於該第一半導體層上；及

其中共用該堆疊連接部分之該像素群組係處於一二維陣列中，該二維陣列之列及行具有兩個或兩個以上像素，且連接至由該像素驅動部分並行地同時選擇的該等像素單元之該信號輸出部分的該輸出信號線經由該分離部分而連接至該堆疊連接部分。

7. 如請求項1之固態成像元件，其中，在該等像素單元中，複數個光電轉換部分連接至一個電壓信號輸出部分。
8. 如請求項7之固態成像元件，

其中該電壓信號輸出部分包括一放大電晶體，該放大電晶體之閘極端子經輸入有在該光電轉換部分中所獲得之信號，汲極端子連接至電源供應器，且源極端子連接至該輸出信號線；及

其中一配置於該第一半導體層側或該第二半導體層側中的恆定電流源連接至該輸出信號線。

9. 如請求項8之固態成像元件，其中該放大電晶體之該源極端子經由一選擇電晶體而連接至該輸出信號線。

10. 如請求項1之固態成像元件，其中該第一半導體層包括一光感測元件，該光感測元件可感測自一與形成有電晶體及佈線層的一面相反之面輻射的光。
11. 如請求項1之固態成像元件，其中該第一半導體層包括一佈線層及一形成於該佈線層上之作為一光感測元件的光電轉換膜。
12. 如請求項1之固態成像元件，其中該堆疊連接部分包括一端子，一配置於該第一半導體層之最外層上的微襯墊及一在該第二半導體層中之在一對應於該前一個微襯墊的位置處配置於最外層上的微襯墊藉由該端子經由一微凸塊而連接。
13. 如請求項1之固態成像元件，其中該堆疊連接部分包括一端子，一配置於該第一半導體層之該最外層上的微襯墊及一在該第二半導體層中之在一對應於該前一個微襯墊的位置處配置於該最外層上的微襯墊藉由該端子而被直接相互黏貼。
14. 如請求項1之固態成像元件，其中該堆疊連接部分包括一接觸通孔，該接觸通孔經形成而穿透一半導體層或該第一半導體層或該第二半導體層中之兩者或任一者的一絕緣層。
15. 如請求項1之固態成像元件，其中該第二半導體層包括複數個類比及數位(AD)轉換單元。
16. 如請求項15之固態成像元件，其中該複數個AD轉換單元經配置以便與該等堆疊連接部分中之每一者平行。

17. 如請求項1之固態成像元件，其中一信號處理電路及一記憶體電路中之至少一者形成於一第三半導體層或一經堆疊作為一隨後之半導體層且藉由該堆疊連接部分而連接的半導體層上。

18. 一種照相機系統，其包含：

一固態成像元件；

一光學系統，其在該成像元件上形成一物體之一影像；及

一信號處理電路，其處理該成像元件之一輸出影像信號，

其中該固態成像元件包括：複數個堆疊之半導體層；用於電連接該複數個半導體層之複數個堆疊連接部分；一像素陣列部分，其中具有一光電轉換部分及一信號輸出部分之像素單元係以一二維形狀排列；及一輸出信號線，由該等像素單元之該信號輸出部分產生的信號係經由該輸出信號線而傳播，

其中該複數個半導體層包括至少一第一半導體層及一第二半導體層，及

其中，在該第一半導體層中，該複數個像素單元係以一二維形狀排列，一以該複數個像素單元形成之像素群組的該信號輸出部分共用自該等堆疊連接部分佈線之該輸出信號線，且該輸出信號線具有一可分離每一輸出信號線之分離部分，該每一輸出信號線在自該等堆疊連接部分分支的所有或一些位置處被任意地分支。

八、圖式：

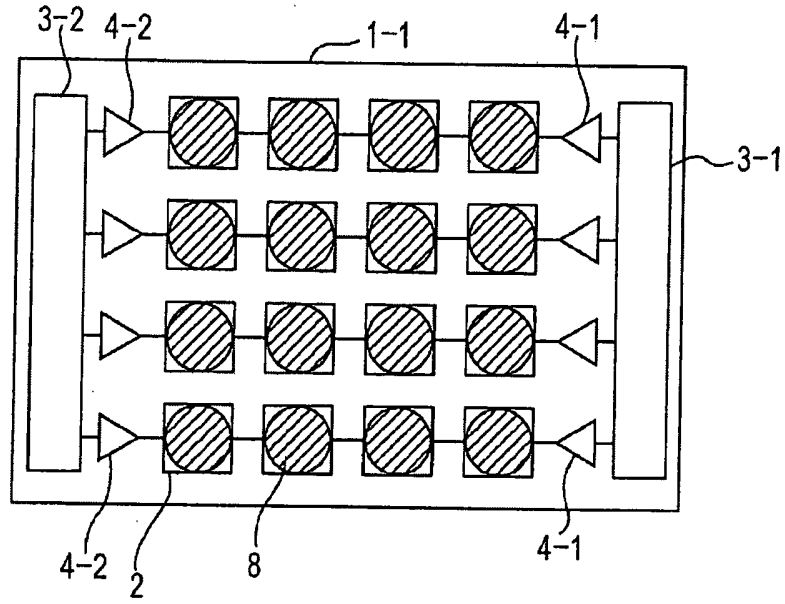


圖1

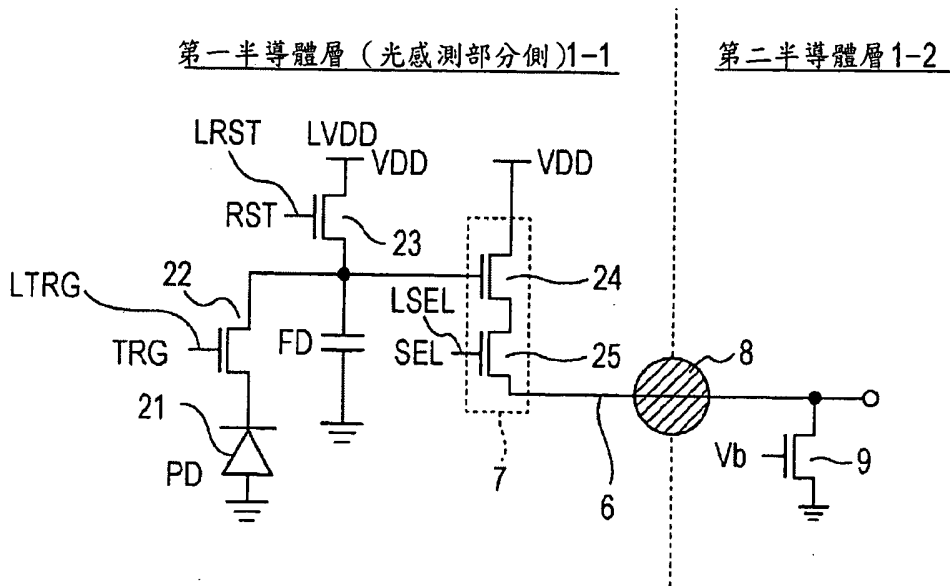


圖2

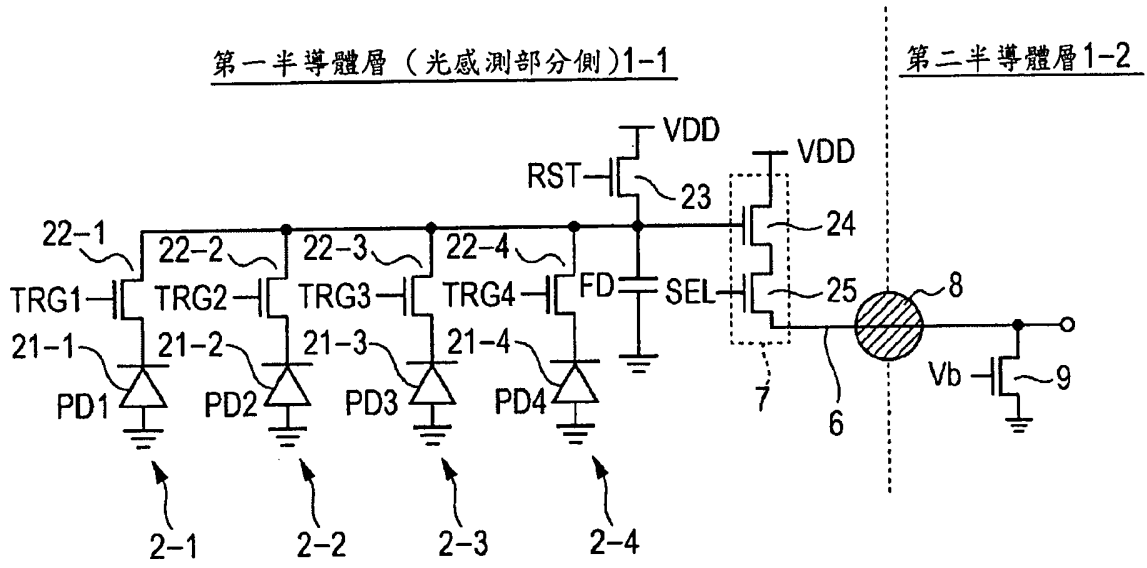


圖3

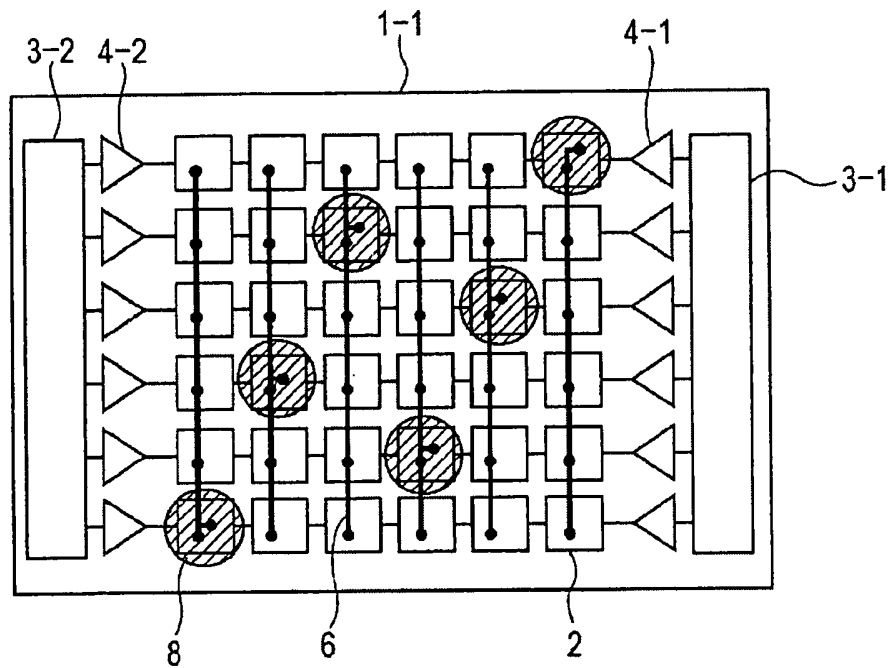


圖4

第一半導體層 (光感測部分側) 1-1

第二半導體層 1-2

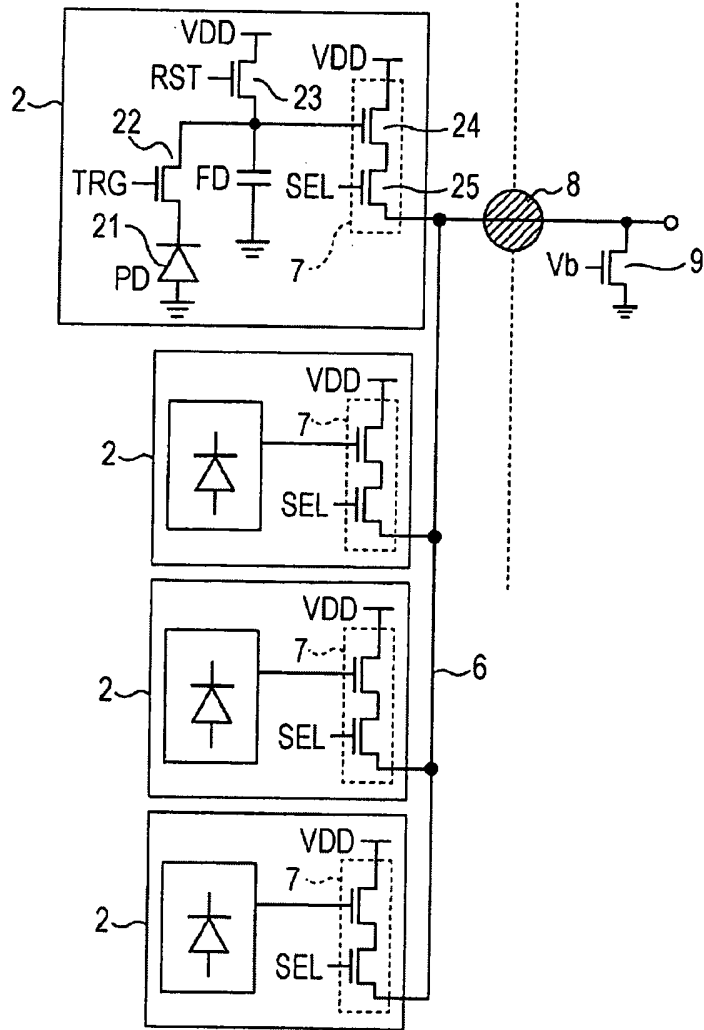


圖5

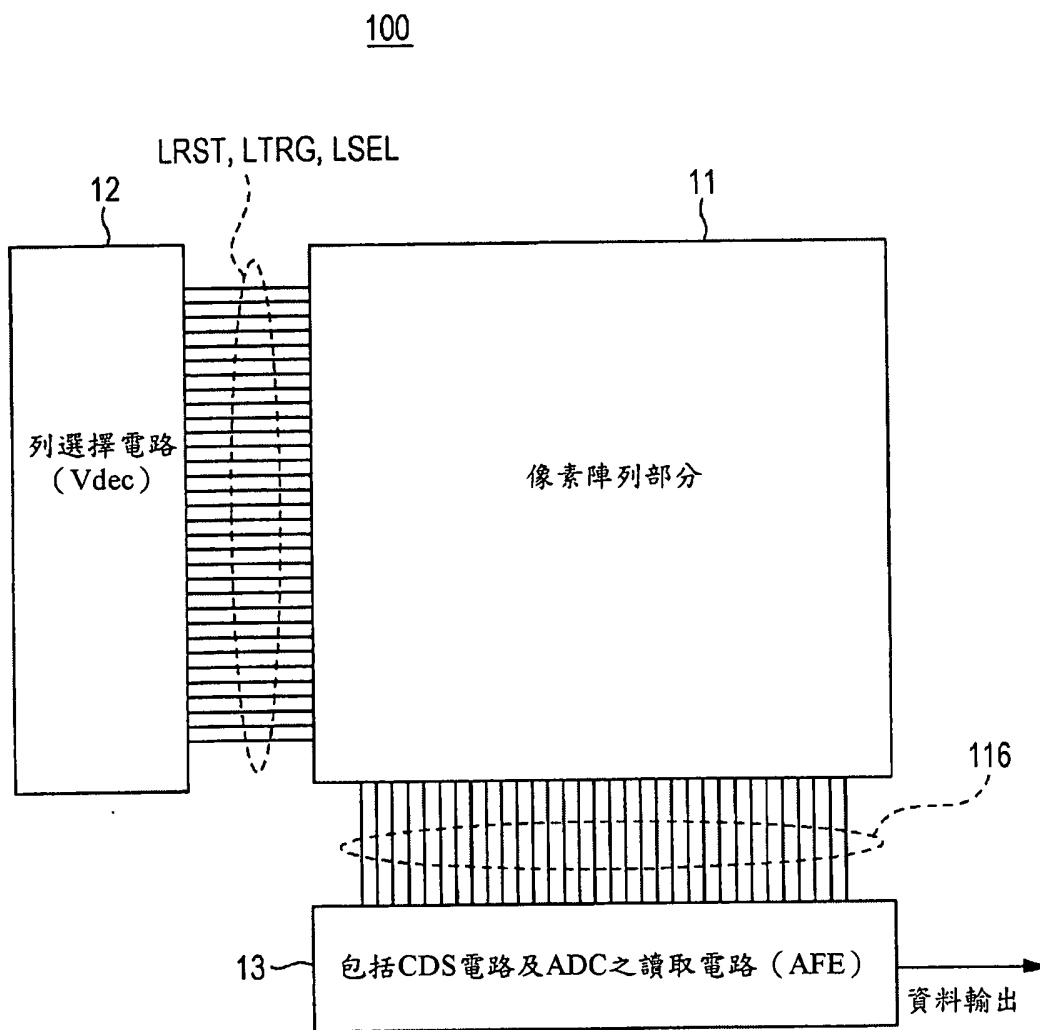


圖6

110A

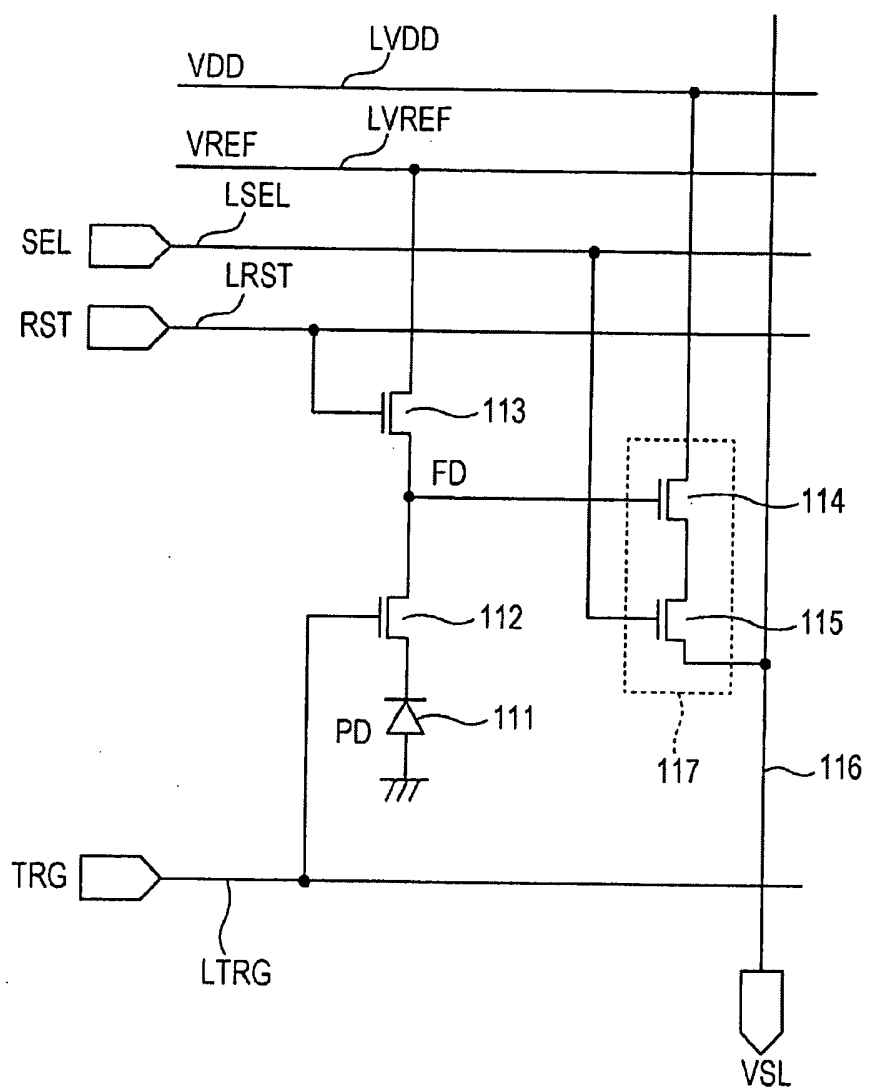


圖 7

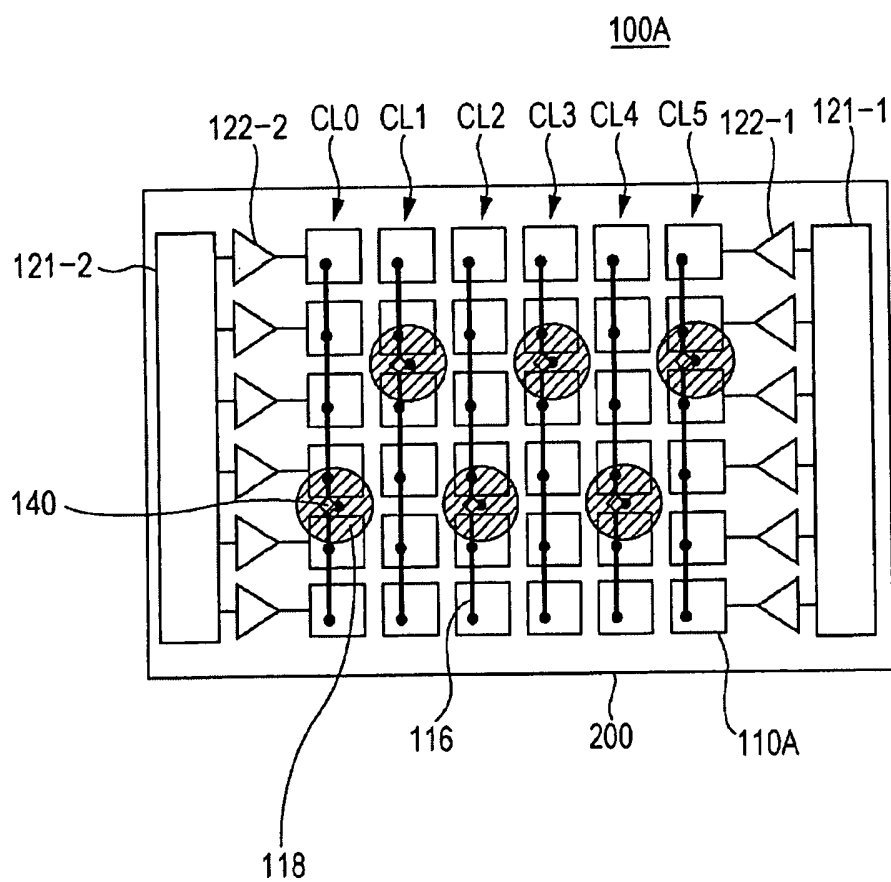


圖 8

100A

第一半導體層 (光感測部分側) 200

第二半導體層 210

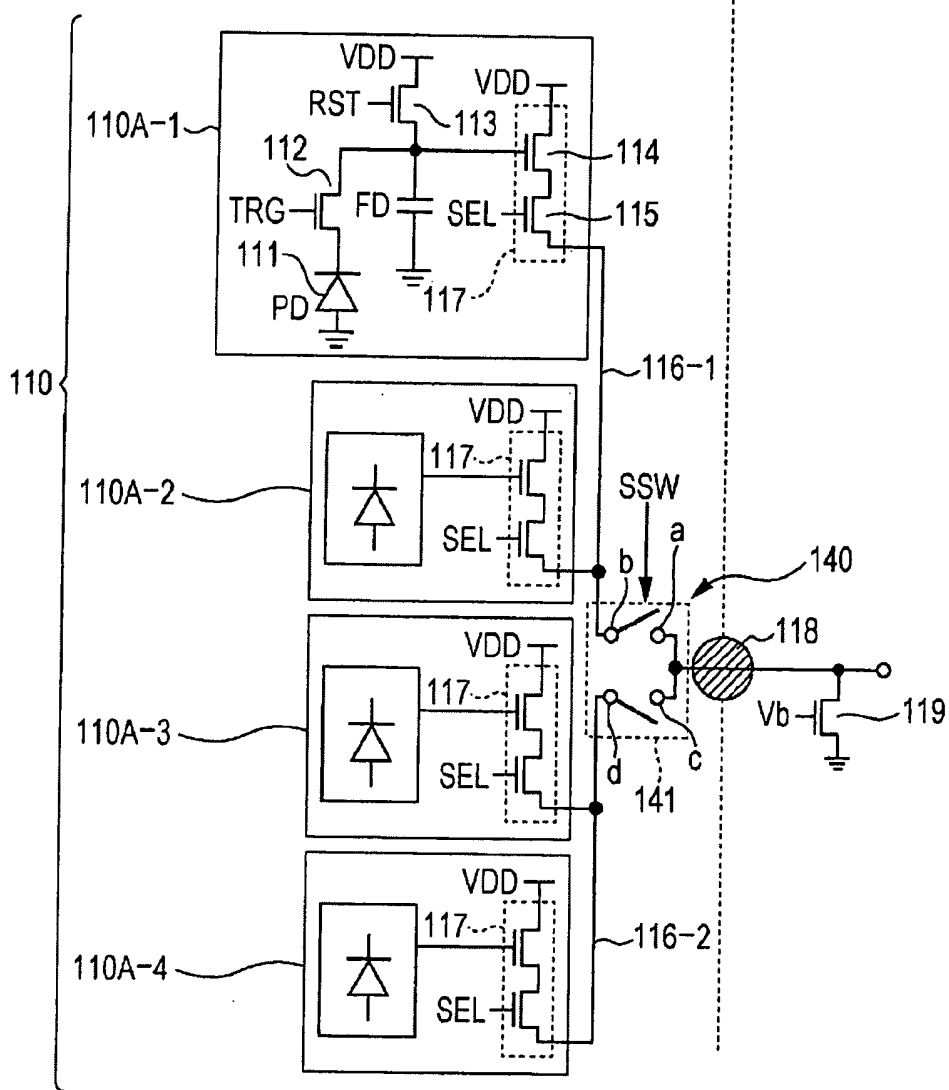


圖9

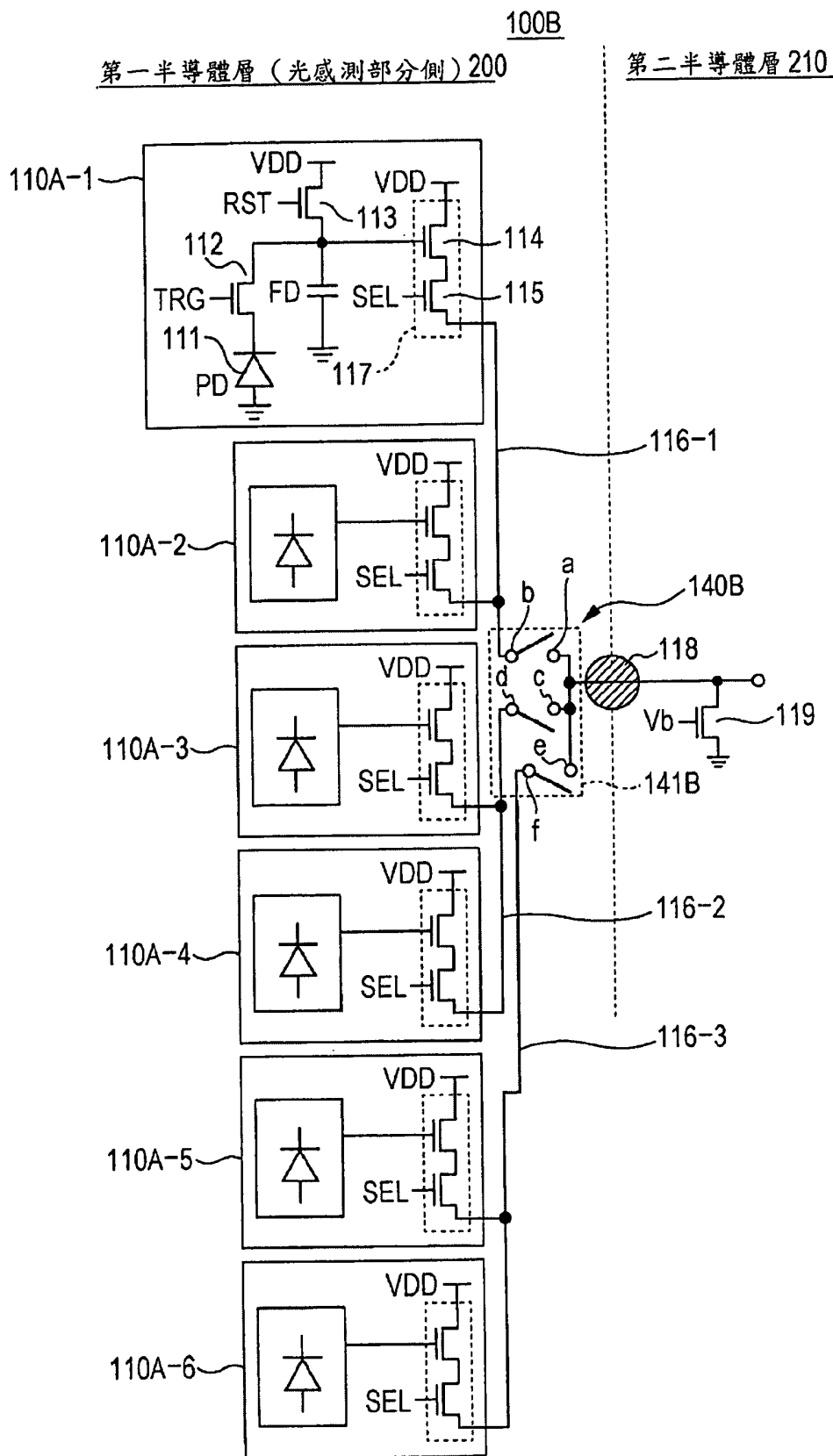


圖 10

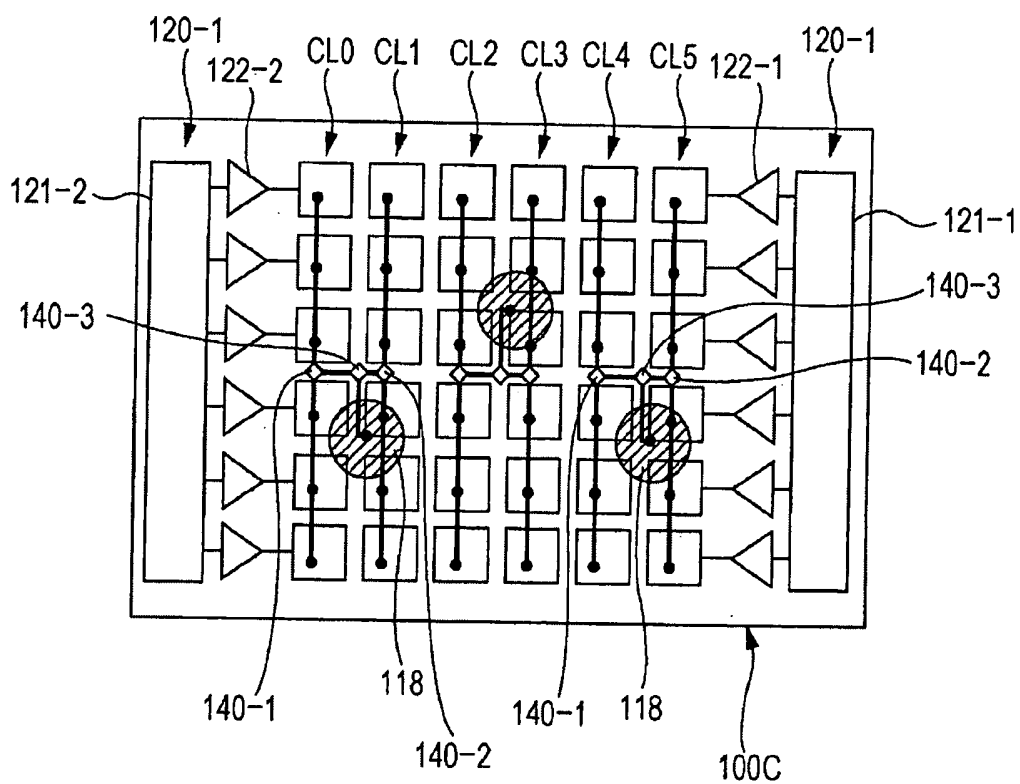


圖 11

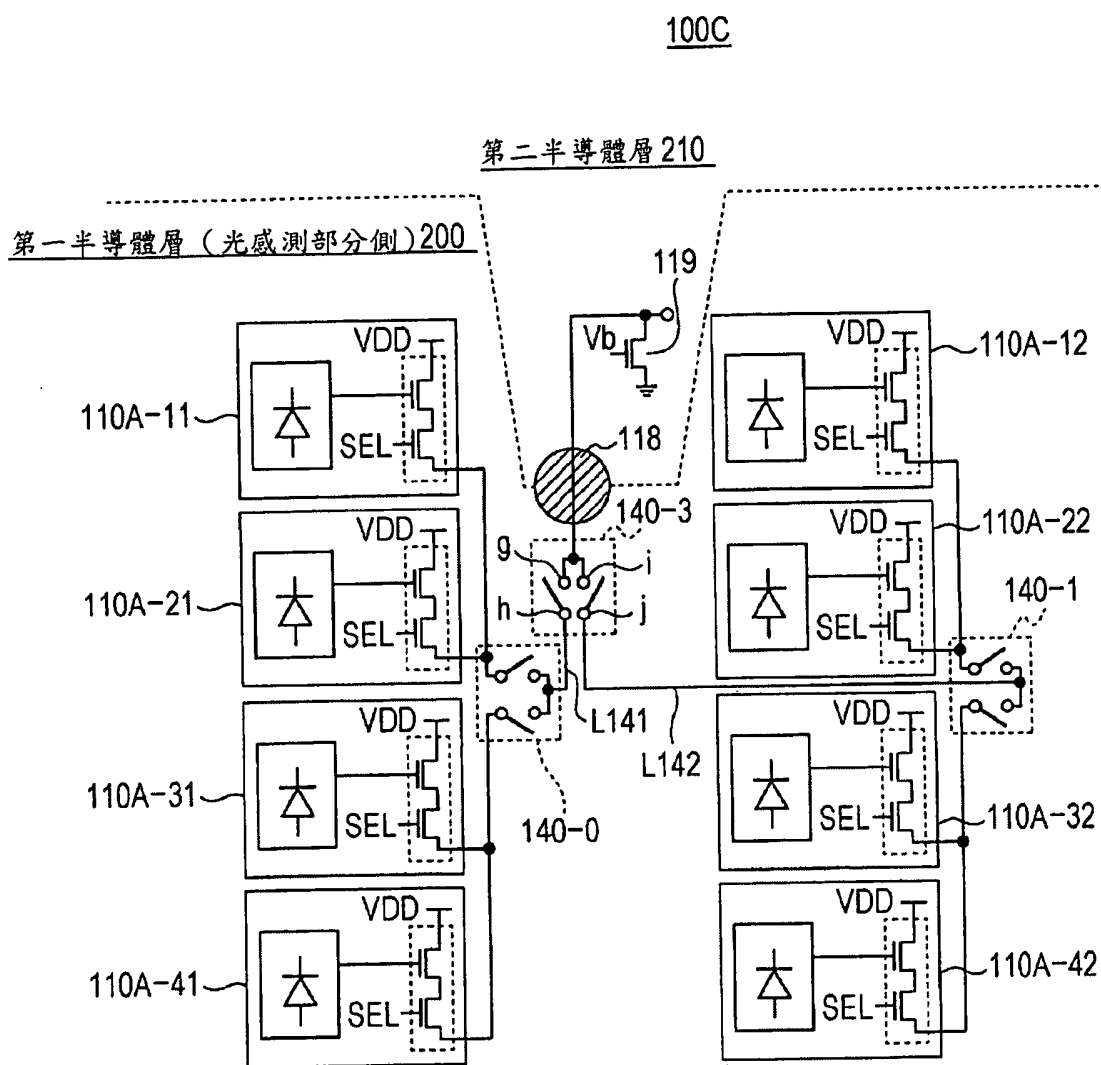


圖12

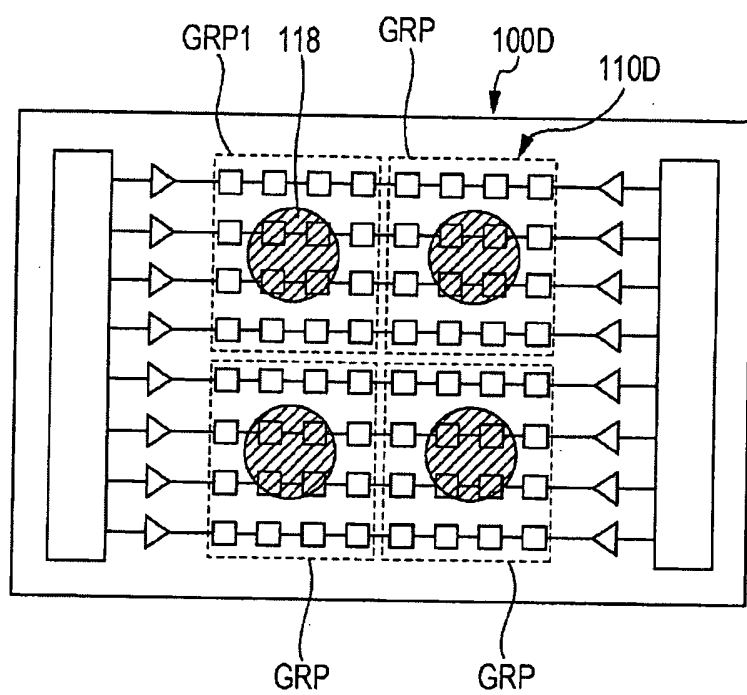


圖13

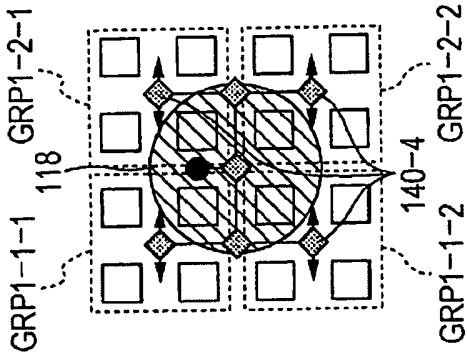


圖 14C

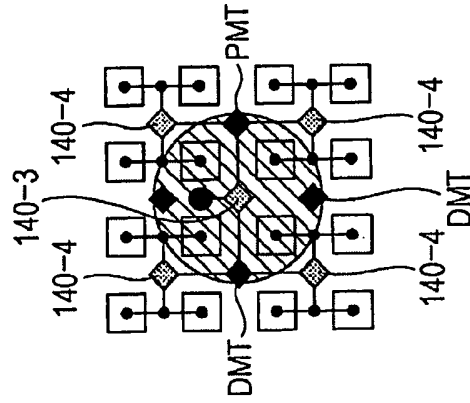


圖 14D-3

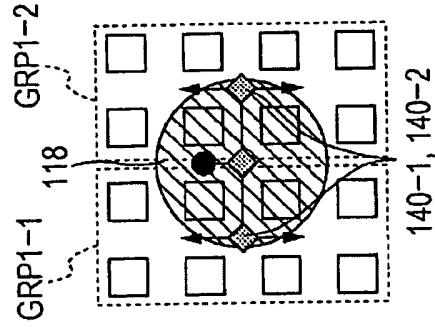


圖 14B

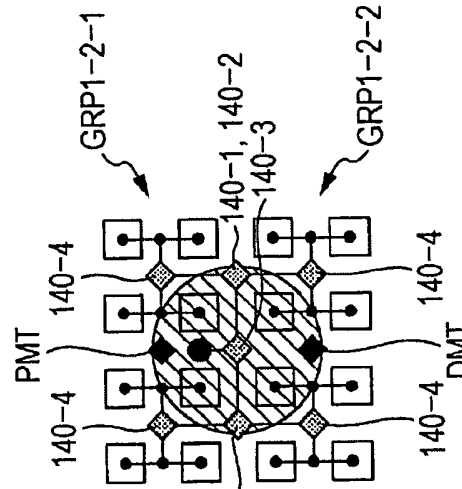


圖 14D-2

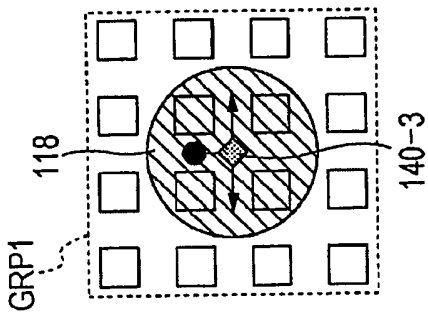


圖 14A

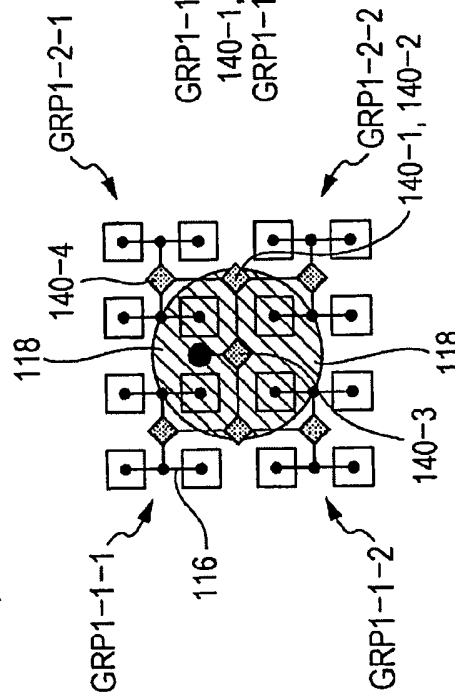


圖 14D

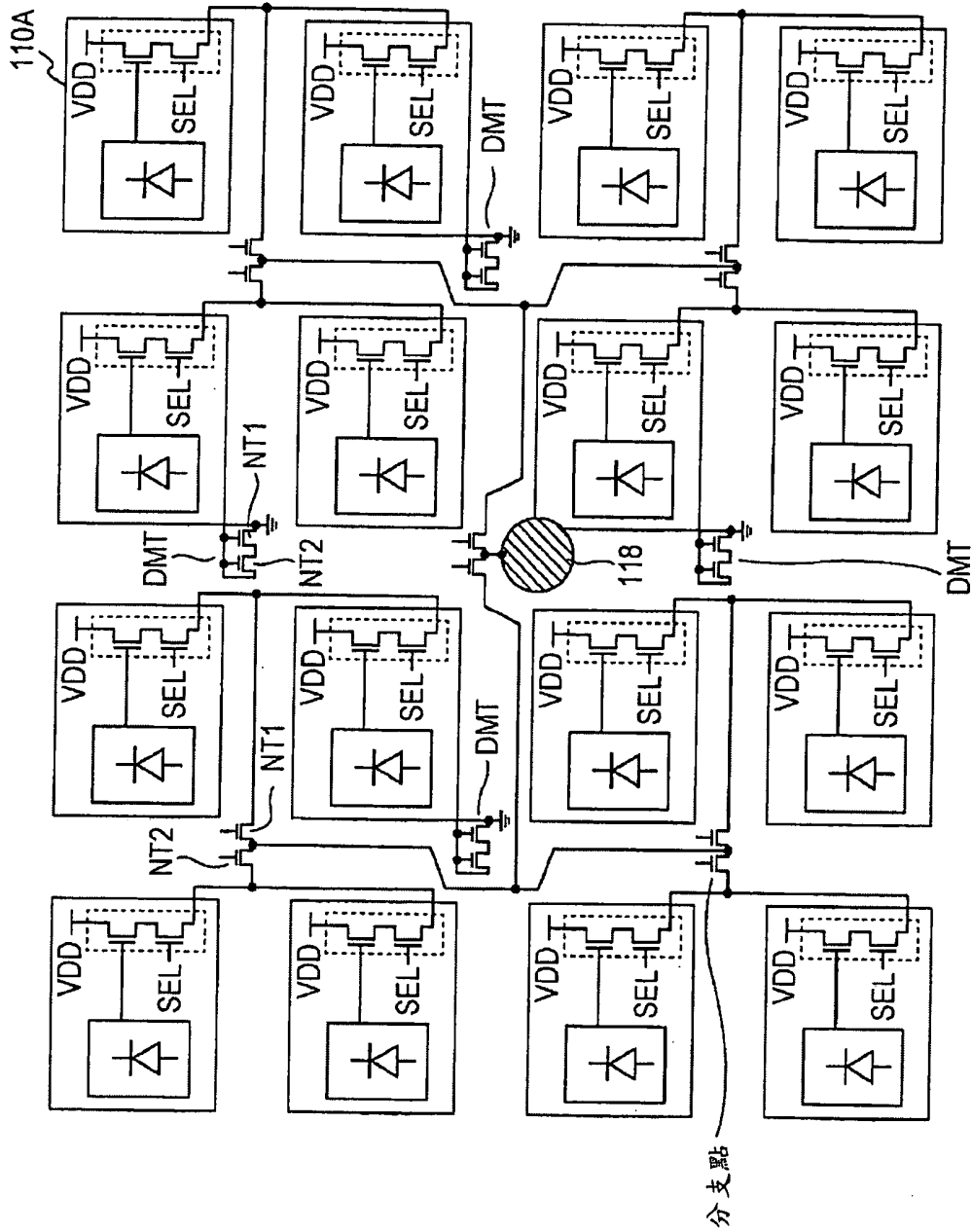


圖15B

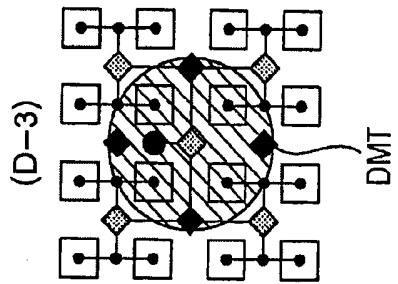


圖15A

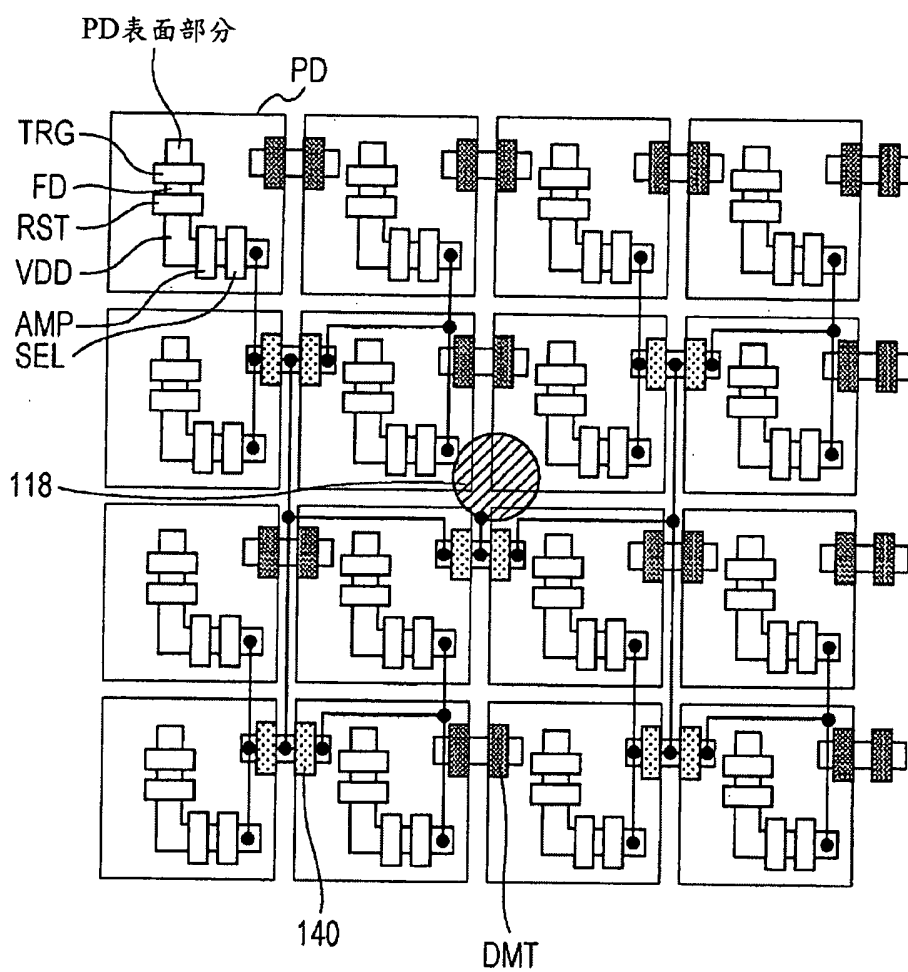


圖17

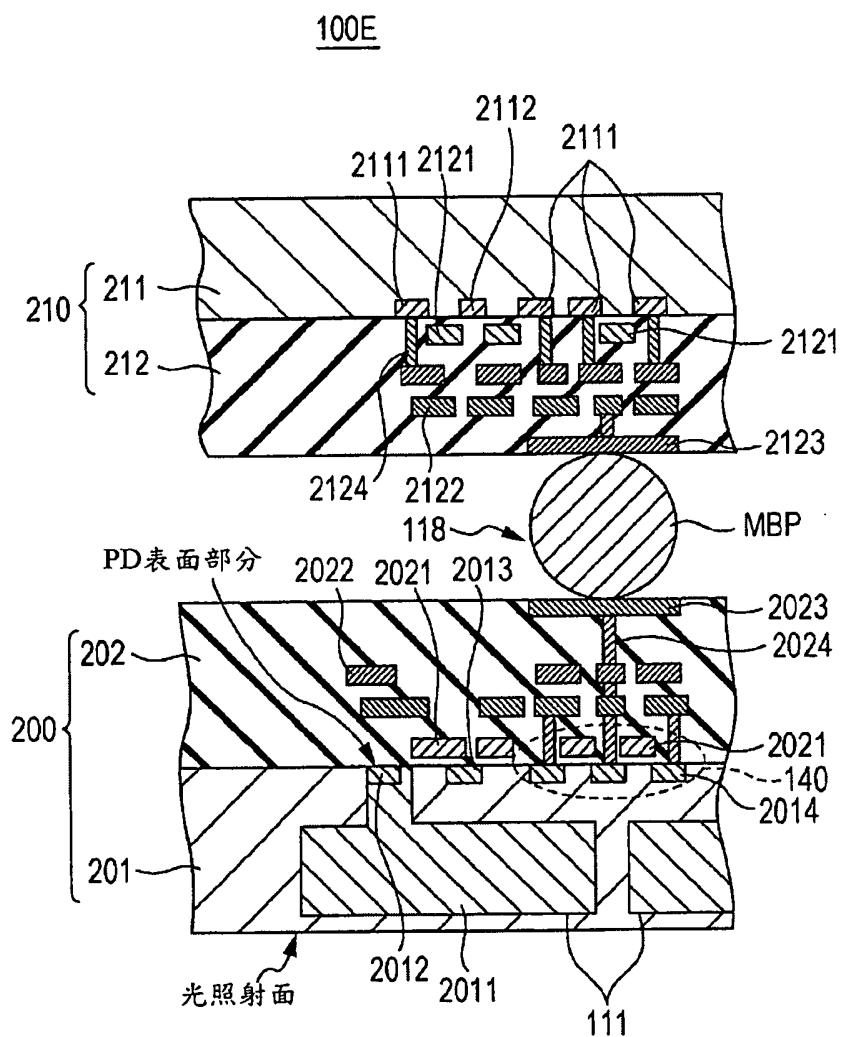


圖18

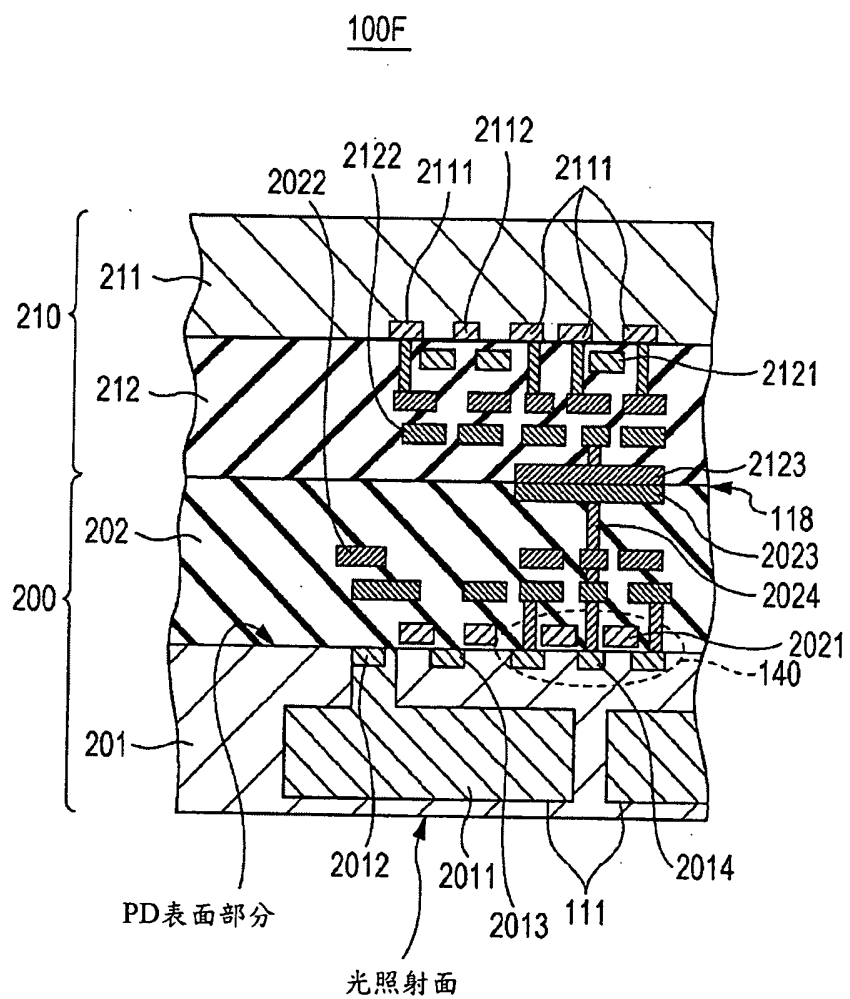


圖19

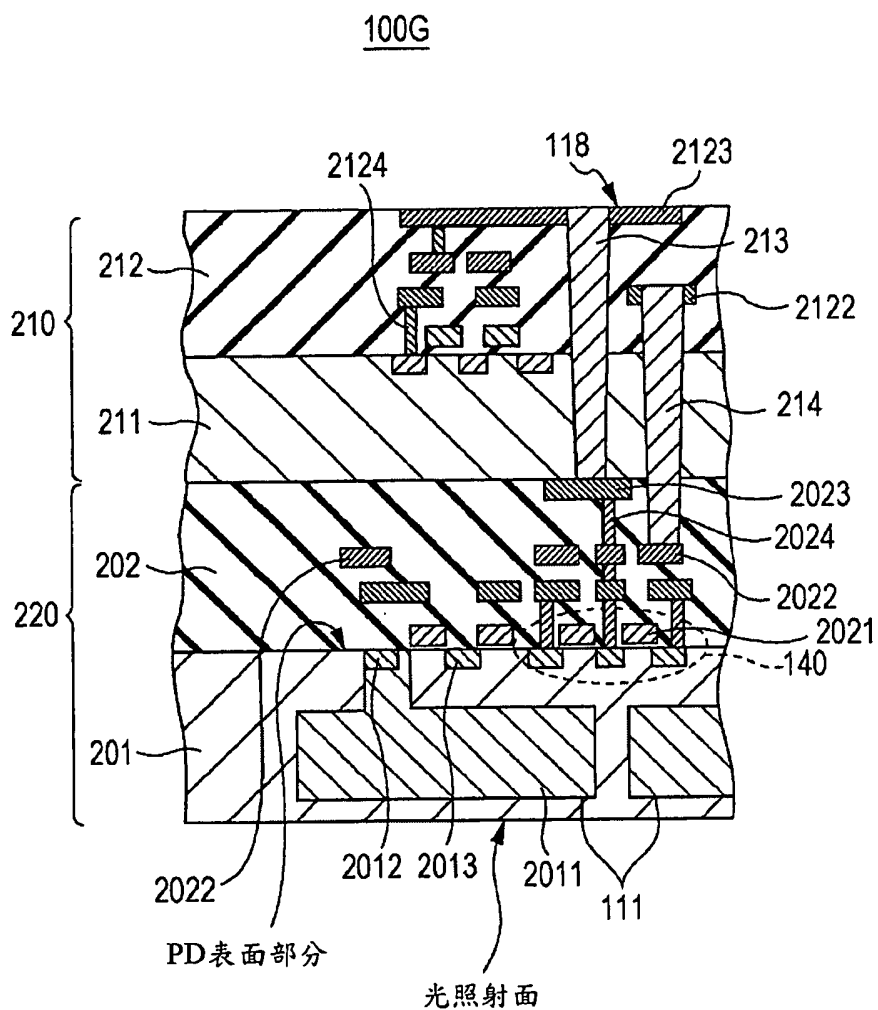


圖20

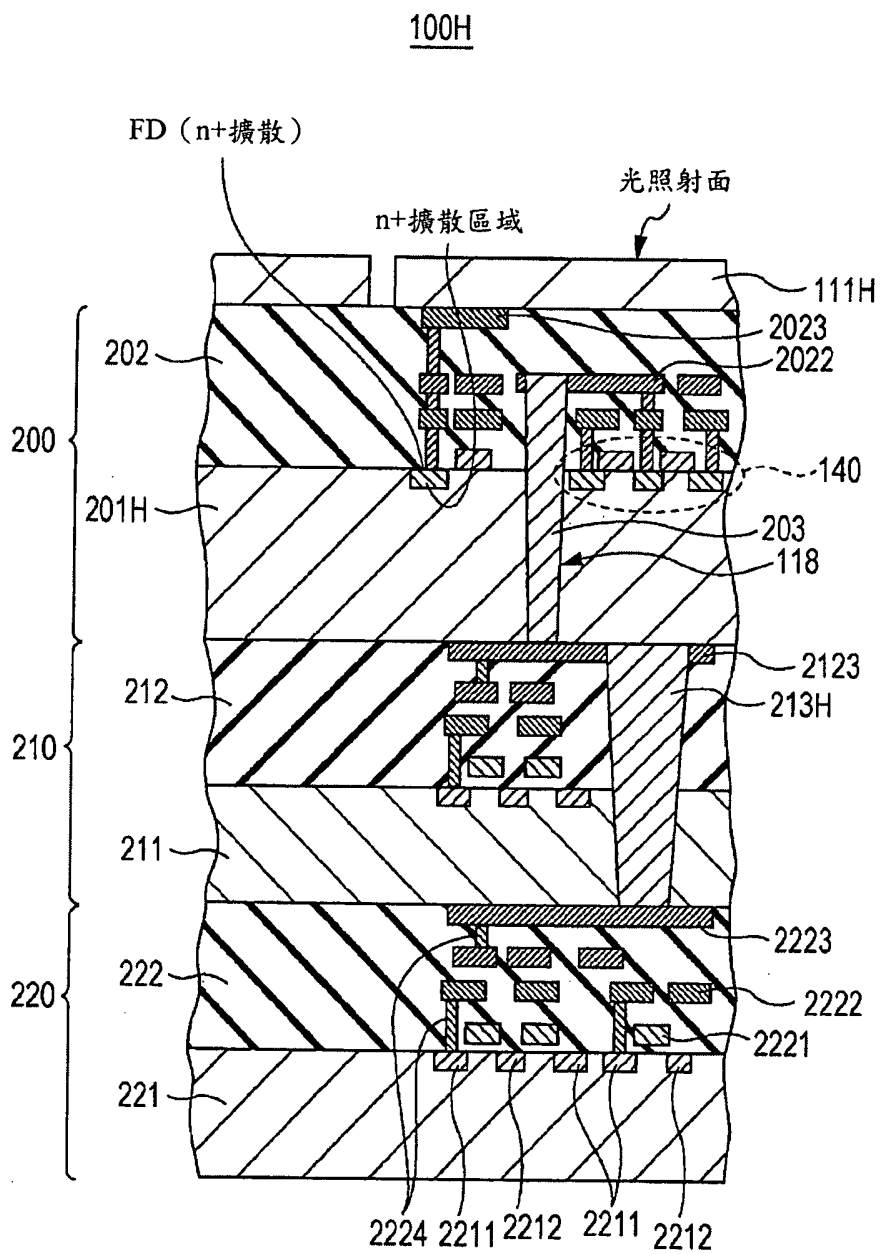


圖21

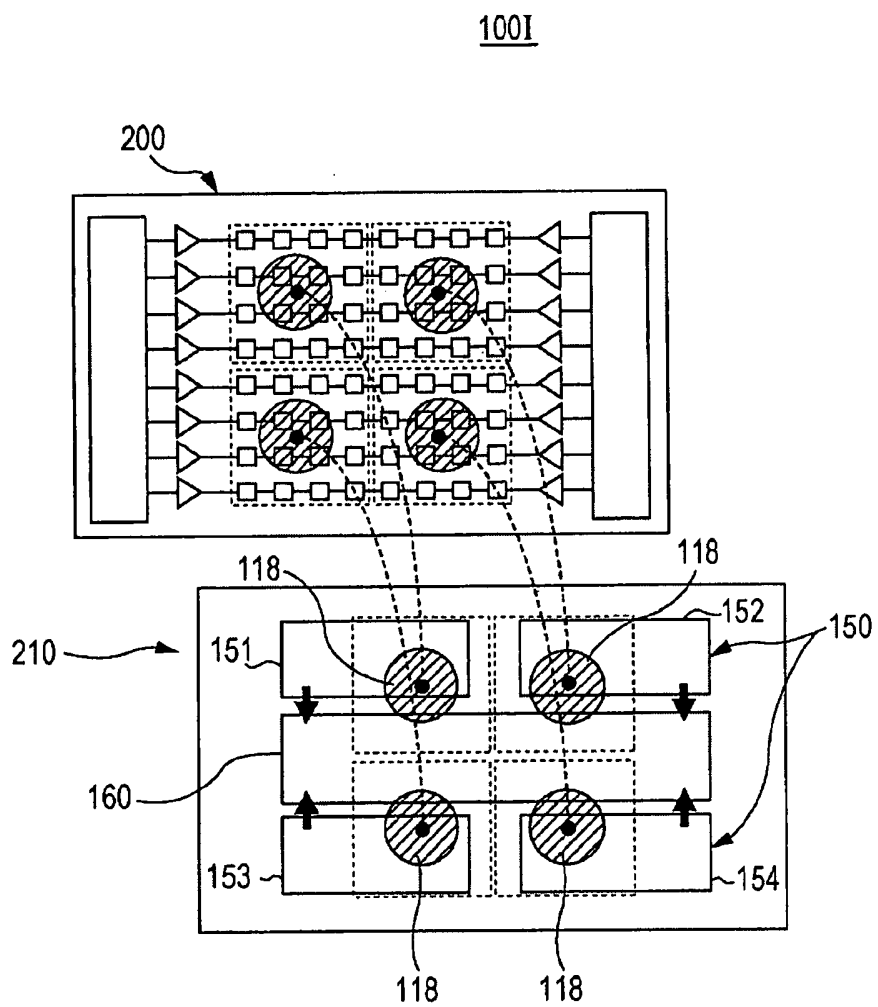


圖 22

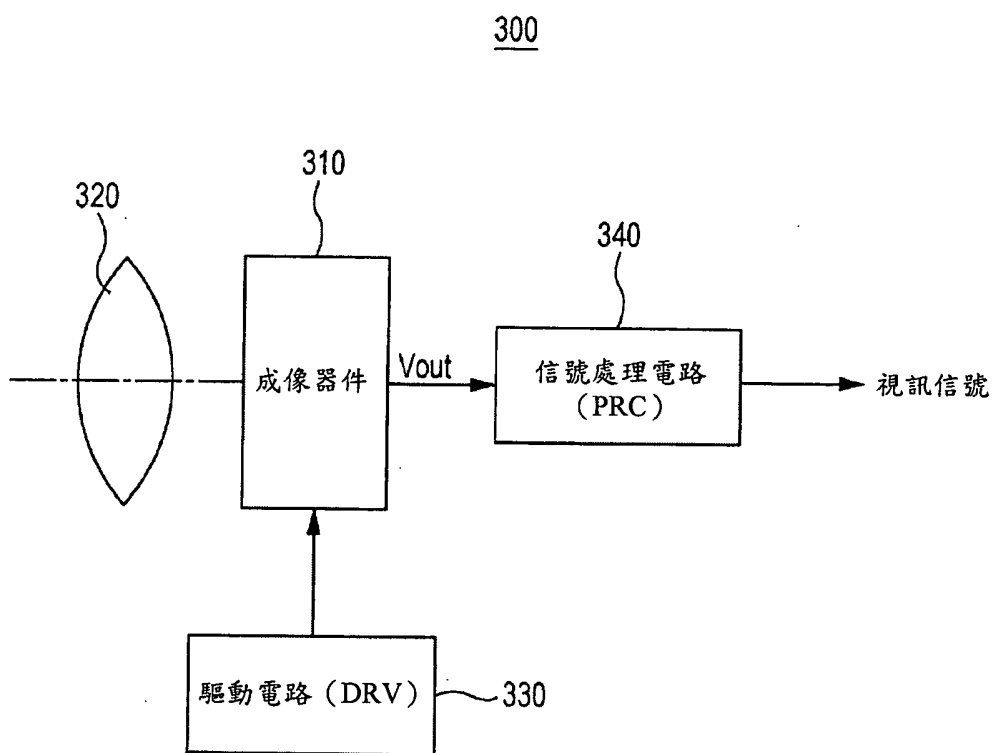


圖 23

四、指定代表圖：

(一)本案指定代表圖為：第(9)圖。

(二)本代表圖之元件符號簡單說明：

100A	成像元件
110	像素陣列部分
110A-1	像素單元
110A-2	像素單元
110A-3	像素單元
110A-4	像素單元
111	光電轉換單元 (PD)
112	轉移電晶體
113	重設電晶體
114	放大電晶體
115	選擇電晶體
116-1	輸出信號線
116-2	輸出信號線
117	放大電路
118	堆疊連接端子
119	偏壓電晶體
140	分離部分
141	開關
200	第一半導體層
210	第二半導體層
a	端子

b	端子
c	端子
d	端子
FD	浮動擴散區
PD	光電轉換單元
RST	重設信號
SEL	選擇信號
SSW	切換信號
TRG	轉移信號
Vb	偏壓電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)