MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	102000900874619
Data Deposito	15/09/2000
Data Pubblicazione	15/03/2002

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	F		

Titolo

CIRCUITO DI LETTURA PER MEMORIE NON VOLATILI A SEMICONDUTTORE.

Ing. Mario Botti
(Iscr. Albo n° 493-BM)

MI 2000 A 00 2018

Domanda di brevetto per invenzione industriale dal titolo: "**Circuito di lettura per memorie non volatili a semiconduttore**"

a nome di: **STMicroelectronics Srl**

con sede in: **Agrate Brianza (Mi)**

C.C.I.A.A.
BREVETTI
15 SET. 2000
MILANO

* * * * *

DESCRIZIONE

Campo di applicazione

La presente invenzione fa riferimento ad un circuito di lettura per memorie non volatili a semiconduttore.

Più specificatamente l'invenzione si riferisce ad un circuito di lettura per memorie non volatili a semiconduttore collegato ad almeno una cella selezionata e ad almeno una cella di riferimento, del tipo comprendente circuiti di conversione corrente/tensione riceventi in ingresso una prima corrente che percorre la cella selezionata ed una seconda corrente che percorre la cella di riferimento e fornenti rispettivamente, su un primo nodo circuitale, una prima tensione di cella selezionata e, su di un secondo nodo, una seconda tensione di cella di riferimento, nonché almeno un amplificatore differenziale, collegato in ingresso a detti primo e secondo nodo ed avente un terminale di uscita atto a fornire l'informazione contenuta in detta cella selezionata.

L'invenzione riguarda in particolare, ma non esclusivamente, un circuito di lettura per memorie non-volatili a semiconduttore adatto ad applicazioni digitali e realizzato in tecnologia CMOS e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il

solo scopo di semplificarne l'esposizione.

In particolare, tale circuito trova applicazione sia per memorie convenzionali in cui ogni singolo elemento di memoria, o "cella di memoria", memorizza un bit di informazione (generalmente indicate come "memorie bilivello") sia per memorie in cui ogni elemento di memoria è in grado di memorizzare un numero di bit maggiore di uno (generalmente indicate come "memorie multilivello").

Inoltre, il circuito secondo l'invenzione può essere impiegato per la lettura dell'informazione in memorie non-volatili Flash, EPROM, EEPROM e OTP (One-Time Programmable).

Arte nota

Come è ben noto, una memoria non-volatile a semiconduttore è un sistema assai complesso. Ad esempio, come schematicamente illustrato in Figura 1, una memoria 1 di tipo Flash, vale a dire una memoria le cui celle sono programmabili elettricamente e cancellabili per grossi gruppi, definiti in genere blocchi o settori, comprende tipicamente:

- una matrice 2 di celle, che costituisce il "core" della memoria 1;
- una sezione di decodifica, necessaria per indirizzare le celle della parola che deve essere selezionata durante una determinata operazione di programmazione o di lettura, nonché il settore o i settori che devono essere cancellati in una determinata operazione di cancellazione e comprendente essenzialmente un decodificatore di riga 3 ed un decodificatore di colonna 4 collegati a detta matrice 2 di celle;

- una sezione di lettura, che esegue la lettura delle celle indirizzate e trasmette i dati letti a circuiti di uscita, nonché una sezione di ingresso/uscita, che funge da interfaccia per l'inserimento dall'esterno dei dati che devono essere immagazzinati nelle celle indirizzate durante un'operazione di scrittura e per il trasferimento verso l'esterno dei dati relativi alle celle lette: tali sezioni sono state schematizzate in Figura 1 tramite un sense amplifier 5, regolatori 6 collegati ai decodificatori di riga 3 e di colonna 4, nonché almeno un buffer di uscita 7 collegato a detto sense amplifier 5; e, infine,

- una sezione di supporto includente circuiti necessari per l'esecuzione delle operazioni di cui sopra, quali ad esempio circuiti elevatori di tensione 8 per la generazione delle tensioni richieste per l'esecuzione delle operazioni di programmazione e di cancellazione in memorie a singola alimentazione e collegati a detti regolatori 6, una macchina a stati per la corretta temporizzazione delle diverse operazioni (non illustrata), etc..

E' opportuno notare che una memoria EPROM risulta anch'essa un sistema di complessità notevole anche se inferiore rispetto ad una memoria Flash non contenendo alcuni dei blocchi sopra indicati (come ad esempio i circuiti elevatori di tensione 8 e i circuiti per la cancellazione delle celle di matrice, che in questo tipo di memorie avviene mediante esposizione a raggi ultravioletti). Quindi, le considerazioni fatte in relazione alle memorie Flash risultano comunque valide anche per le memorie EPROM.

Si ricorda qui che la memorizzazione di un'informazione, nel

caso di celle di memoria convenzionali bilivello, corrisponde agli stati di conduzione o di spegnimento di un transistore a gate flottante, a cui vengono associati i valori logici "1" e "0". La tensione di soglia di una cella di memoria bilivello risulta alta (Vthp) oppure bassa (Vthe) in funzione dello stato memorizzato, cioè della quantità di carica immagazzinata nel terminale di gate flottante.

Utilizzando un numero maggiore di valori di carica da immagazzinare nel terminale di gate flottante, anziché solamente i due corrispondenti alla soglia alta e bassa sopra menzionati, è possibile incrementare la capacità della memoria a parità di dimensioni e tecnologia delle celle. Si parla in tal caso di celle "multilivello".

In particolare, usando ad esempio quattro livelli distinti di carica, cui corrispondono quattro diversi stati di conducibilità del transistore a gate flottante, in una singola cella possono essere codificati due bit, raddoppiando così il contenuto informativo della cella stessa a parità di area occupata dalla stessa e quindi dalla memoria nel suo complesso.

Le celle multilivello vengono normalmente inserite in una architettura di tipo NOR, in modo tale che uno stato memorizzato in una cella sia in grado di inibire la conduzione del transistore a gate flottante che la costituisce durante una operazione di lettura, come avviene per le celle programmate a "0" nei dispositivo con celle bilivello, mentre i rimanenti stati siano tali da dar luogo a diverse condizioni di conduzione della cella selezionata.

Nel caso sopra menzionato di quattro livelli programmabili

(due bit per cella) la tensione di soglia della cella può assumere uno fra quattro possibili valori Vth0, Vth1, Vth2, Vth3, a ciascuno dei quali corrispondendo una configurazione binaria a due bit.

I vantaggi in termini di capacità di memorizzazione offerti da una memoria con celle multilivello sono però accompagnati da notevoli problemi. La natura di questi problemi è principalmente legata alla riduzione della differenza tra i diversi livelli di conduzione delle celle di memoria, ossia tra le tensioni di soglia corrispondenti ai diversi livelli di carica immagazzinabile nel terminale di gate flottante dei transistori che realizzano le singole celle di memoria.

Tale ridotta differenza tra i livelli di tensioni di soglia implica seri problemi sia dal punto di vista della progettazione (ad esempio dei circuiti di lettura e di programmazione) sia dal punto di vista dell'affidabilità del dispositivo di memoria nel suo complesso.

In particolare, nei dispositivi di memoria noti, il circuito di lettura (essenzialmente un sense amplifier) ha il compito fondamentale di confrontare due valori di corrente, quella erogata da una cella selezionata e quella di una corrispondente cella di riferimento e di fornire in uscita un livello di tensione corrispondente al risultato di tale confronto. Per una cella bilivello i margini di sensibilità, intesa come minima differenza di corrente rilevabile agli ingressi del sense amplifier, sono adeguatamente rilassati e la comparazione di corrente avviene senza penalizzare la velocità di lettura. Nel caso però di celle a quattro livelli, l'allocazione delle distribuzioni dei differenti stati impone requisiti più stringenti per la progettazione di questo circuito di lettura rispetto

al caso di tradizionali celle bilivello.

I circuiti di lettura per celle multilivello sono quindi maggiormente vincolati dall'esigenza di avere un'elevata sensibilità, in modo da discriminare differenze di segnale molto piccole ai loro ingressi. Questa caratteristica, oltre a porre problemi progettuali specifici legati alle necessità di accuratezza, contrasta con il requisito di elevata velocità del sense amplifier dei circuiti di lettura stessi.

In particolare, il sense amplifier deve possedere i necessari requisiti di elevata sensibilità senza penalizzare la velocità di lettura. La sensibilità del sense amplifier deve infatti essere inferiore alla minima distanza in corrente fra la distribuzione di un qualunque livello e i riferimenti ad esso adiacenti.

Se si prende in considerazione un cammino di lettura ("read path"), l'informazione fornita dal sense amplifier, il cui compito, come sopra evidenziato, è di rivelare il contenuto della cella indirizzata a cui esso è relativo, è in genere memorizzata in un registro o "latch", il quale pilota il circuito di pilotaggio o buffer di uscita ("data output buffer"), il cui compito è di consegnare il dato letto alle circuiterie esterne, che dal punto di vista del buffer di uscita possono essere modellizzate come un carico capacitivo in genere pesante. Il latch viene generalmente impiegato per rendere costante, per un intervallo di tempo predeterminato, il livello di pilotaggio del buffer di uscita, in modo da rendere sicuro e affidabile il trasferimento dei dati in uscita. L'istante di tempo in cui memorizzare l'informazione fornita dal sense amplifier deve naturalmente essere tale da assicurare che l'informazione presente in

uscita al sense amplifier sia quella corretta, cioè quella corrispondente al dato immagazzinato nella cella di memoria non-volatile. Il sense amplifier, infatti, impiega un certo tempo per presentare alla sua uscita un livello di tensione sufficientemente alto da essere interpretato in modo univoco ed essere quindi correttamente immagazzinato nel latch.

A questo proposito è da notare che in un dispositivo di memoria moderno sono presenti numerosi buffer di uscita che possono commutare simultaneamente, e che spesso nella memoria esiste una circuiteria digitale di complessità anche elevata. A causa delle commutazioni delle uscite di questi buffer, che devono generalmente pilotare carichi capacitivi assai elevati (dell'ordine dei 100 pF), delle commutazioni dei driver del generatore delle fasi per le pompe di carica e, in certi casi, anche della commutazione di molte porte logiche della memoria, sulle linee di alimentazione della memoria (generalmente indicate come VDD e VSS) si presentano spesso picchi di tensione indesiderati ("glitch" o "spike") che, globalmente, rendono assai rumorose le linee stesse; tale rumore si propaga inevitabilmente a tutta la circuiteria della memoria e, in particolare, anche ai sense amplifier dei circuiti di lettura.

E' ovvio che, perché la lettura di una cella di memoria risulti adeguatamente insensibile al rumore occorrerà che il livello di tensione presente in uscita al sense amplifier del circuito di lettura nell'istante in cui il dato viene memorizzato nel latch sia sufficientemente elevato: solo così, infatti, detta tensione risulta sicuramente distinguibile dal rumore e quindi l'informazione corrispondente viene correttamente interpretata

dal latch in cui viene memorizzata e, naturalmente, dal buffer di uscita posto a valle.

L'immunità al rumore da parte del sense amplifier del circuito di lettura è pertanto una caratteristica essenziale per il corretto funzionamento di una memoria non-volatile a semiconduttore.

Sono note soluzioni progettuali che rappresentano un compromesso fra le diverse esigenze sopra illustrate.

Ad esempio, è noto separare le linee di àlimentazione in modo che la sezione logica del circuito di lettura abbia linee distinte e dedicate rispetto a quelle delle sezioni analogiche per limitare i disturbi sulle suddette linee.

In realtà, anche con questo accorgimento, il problema del rumore sulle linee di alimentazioni rimane e risulta anzi più accentuato nelle memorie multilivello, a causa della ridotta differenza tra i livelli da discriminare.

Inoltre, i circuiti di lettura per memorie non volatili multilivello si basano sulla comparazione fra la corrente della cella e quella di una cella di riferimento, opportunamente programmata.

Una soluzione di questo tipo è descritta ad esempio nella domanda di brevetto europeo No. 96830494.9 dal titolo "Reading circuit for semiconductor memory cells" depositata a nome della Richiedente stessa ed è schematicamente illustrata in Figura 2.

In essa, la discriminazione delle correnti di una cella di memoria e di una cella di riferimento avviene sfruttando la legge di carica delle capacità a corrente costante. In particolare, si tratta di

confrontare una corrente Iref che attraversa la cella di riferimento ed una corrente Isel che attraversa la cella selezionata, le quali correnti differiscono tra loro per un valore minimo che, nel caso di celle a quattro livelli realizzate con le tecnologie submicrometriche attuali vale circa 10 μA.

Come illustrato in Figura 2, il dispositivo 9 comprende due elementi circuitali distinti e, in particolare, una coppia di transistori MS1 ed MS2 di tipo NMOS atti scaricare verso massa i nodi X1 e X2 riceventi rispettivamente tali correnti Iref ed Isel e collegati ad un riferimento di massa GND tramite corrispondenti capacitori C1 e C2 che fungono da integratori e sono indicati con le sigle 9a e 9b.

I transistori MS1 ed MS2 sono inseriti tra detti nodi X1 ed X2 ed il riferimento di massa GND ed hanno terminali di controllo collegati in maniera incrociata ai nodi X2 ed X1 rispettivamente. Tali transistori MS1 ed MS2 presentano quindi una tensione di soglia Vth e sono controllati dalle tensioni Vref e Vsel presenti nei nodi X1 ed X2 e correlate alle correnti Iref della cella di riferimento e Isel della cella selezionata.

E' opportuno notare che la presenza dei transistori di scarica MS1 ed MS2 impedisce la contemporanea saturazione delle tensioni Vref e Vsel verso la tensione di alimentazione VDD, in modo che le due tensioni risultino adeguatamente separate fra loro anche a transitorio esaurito.

In particolare, fungendo i due condensatori C1 e C2 da rispettivi integratori 9a e 9b, identici per tipo e valore, la tensione

maggiore fra Vref e Vsel a un tempo prefissato corrisponde alla corrente maggiore tra Iref e Isel. Uno dei due nodi X1 ed X2 raggiunge quindi per primo la tensione di accensione del corrispondente transistore di scarica MS1 o MS2, che nel caso specifico corrisponde alla tensione di soglia Vth: il transistore di scarica MS1 o MS2 attiva quindi la scarica del nodo X1 o X2 a tensione più bassa.

Il valore di tensione che accende un transistore di scarica viene in seguito indicato come "tensione di congelamento" in quanto esso determina la "memorizzazione" indefinita dell'informazione relativa al confronto di corrente, che sarà rilevata mediante un amplificatore differenziale AD, avente i terminali di ingresso collegati a detti nodi X1 ed X2 ed un terminale di uscita OUT.

I transistori di scarica MS1 ed MS2 permettono inoltre di tenere memoria del segno della loro differenza e rendere quindi più affidabile la discriminazione da parte dell'amplificatore differenziale AD a valle. Infatti, se non si impedisse la saturazione di entrambe le tensioni al valore di alimentazione VDD a transitorio esaurito, la scelta dell'istante in cui memorizzare l'informazione di uscita del sense amplifier nel latch posto a valle risulterebbe critica. Tale istante infatti non deve essere troppo anticipato ovvero tale da assicurare un valore di segnale (pari al modulo di Vref - Vsel) sufficientemente elevato in uscita al sense amplifier; d'altra parte, se non si impedisce la saturazione di entrambe le tensioni verso l'alimentazione VDD, occorre che l'istante di memorizzazione nel latch non sia troppo ritardato in quanto avrebbe l'effetto di alterare la valutazione corretta del dato.

In altre parole, la determinazione dell'istante di "congelamento" del dato è particolarmente critica per questo tipo di sense amplifier anche per effetto delle variazioni di processo e di quelle ambientali/operative a cui è soggetto il circuito di lettura durante la sua fabbricazione ed il suo funzionamento.

Tale struttura nota presenta inoltre degli inconvenienti. In particolare un sense amplifier realizzato secondo la tecnica nota permette di valutare correttamente una differenza |Vref - Vsel| solo se essa risulta maggiore di un valore minimo Vm, detto anche tensione di margine. In generale, la tensione Vm di margine dipende sia dall'accuratezza di tensione in ingresso dell'amplificatore differenziale AD, sia dal margine di rumore associato ai segnali in ingresso. Per semplicità, tale valore Vm viene fatto coincidere con l'accuratezza di tensione di uno stadio di discriminazione costituito da un amplificatore differenziale in tecnologia CMOS che vale, ad esempio circa 50 mV a meno della tensione di offset.

La sensibilità del circuito di lettura risulta quindi dipendere dalla differenza di tensione fra Vref e Vsel.

Il funzionamento dei transistori MS1 e MS2 si basa invece su una reazione positiva, caratterizzata da elevata velocità: è quindi indispensabile che questo funzionamento sia attivato quando il valore assoluto della differenza |Vref - Vsel| ha raggiunto un valore di sicurezza, superiore rispetto al rumore elettrico presente. In caso contrario, il rumore potrebbe determinare l'innesco della reazione positiva in modo opposto a quello corretto causando così una lettura

errata.

In particolare, per una corretta discriminazione, l'accensione del transistore MS1 (e analogamente del transistore MS2) deve avvenire solo successivamente alla rilevazione della differenza di tensione |Vref - Vsel| da parte dell'amplificatore differenziale AD.

Con la struttura circuitale nota sopra descritta, la tensione alla quale inizia l'operazione di "congelamento" o "tensione di congelamento" coincide quindi con la tensione di soglia Vth dei transistori NMOS. Questo valore di riferimento dipende da fattori sia tecnologici (concentrazione dei drogaggi, ecc.) sia circuitali (tensione substrato-source). Con le attuali tecnologie CMOS submicrometriche, il valore di tensione di soglia Vth di un transistore NMOS di tipo low-voltage vale circa 0.7-0.8 V, mentre vale circa 0.1-0.3 V per transistori cosiddetti naturali.

Se si considerano valori compatibili con processi CMOS, ad esempio Vth = 700 mV, Isel = 100 μA, Iref = 90 μA, Vm = 50 mV , si trova Vsel = 10*Vm = 500 mV, (indipendente dal valore della capacità). Tale valore di Vsel risulta quindi molto prossimo al valore della soglia di accensione Vth del transistore MS1. Inoltre, la tensione Vth è soggetta a variazioni sia di processo (la tensione di soglia in tecnologia CMOS può variare anche +/- 10%) sia delle condizioni ambientali (la deriva termica della tensione di soglia in processi CMOS vale circa -2mV/degC).

Tutto ciò rende quindi intrinsecamente critica la struttura circuitale nota sopra descritta nel caso in cui le correnti da discriminare siano "vicine" fra loro e relativamente elevate in valore assoluto.

Infatti, se il valore della differenza |Vref - Vsel| è ancora molto basso quando le tensioni Vref e Vsel raggiungono valori prossimi a Vth, il rumore elettrico può portare la più bassa tra le due tensioni Vref o Vsel al di sopra di Vth, attivando così la reazione positiva, In questi casi, l'evoluzione temporale dei segnali di tensione Vsel e Vref viene invertita con conseguente memorizzazione di una errata informazione sulla differenza fra le correnti Isel e Iref.

Per questi motivi, bisognerebbe disporre di un valore di tensione di "congelamento" opportunamente marginato rispetto alle variazioni di processo/ambiente e soprattutto che sia il più possibile immune al rumore presente nel dispositivo di memoria, a differenza di quanto avviene per la soluzione di arte nota.

In sintesi, le soluzioni circuitali note per la lettura (sensing) di una cella di memoria non-volatile non risultano robuste in presenza di rumore elettrico nel dispositivo.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un circuito di lettura per memorie non volatili, avente caratteristiche strutturali e funzionali tali da superare gli inconvenienti che tuttora limitano i circuiti di lettura realizzati secondo l'arte nota.

In particolare, il circuito di lettura di celle non-volatili secondo l'invenzione presenta le seguenti caratteristiche:

- elevata sensibilità
- basso tempo di valutazione
- elevata immunità al rumore.

In tal modo, quindi, il circuito si presta ad essere impiegato particolarmente per la lettura di memorie multilivello, pur essendo in egual modo efficacemente utilizzabile in convenzionali memorie bilivello.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di inserire, in un circuito di lettura, opportuni blocchi circuitali dedicati per rendere affidabile la discriminazione dell'informazione anche in presenza di disturbi e/o rumore elettrico.

Sulla base di tale idea di soluzione il problema tecnico è risolto da un circuito di lettura del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

Le caratteristiche ed i vantaggi del circuito di lettura secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di suoi esempi di realizzazione dati a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

In tali disegni:

- la Figura 1 mostra schematicamente una architettura di memoria secondo l'arte nota;
- la Figura 2 mostra schematicamente un circuito di lettura per memorie volatili a semiconduttore realizzato secondo l'arte nota;
- la Figura 3 mostra schematicamente un circuito di lettura per memorie volatili a semiconduttore realizzato secondo l'invenzione;

- la Figura 4 mostra in maggior dettaglio una possibile implementazione del circuito di lettura di Figura 3;
- la Figura 5 mostra schematicamente una variante di realizzazione di un circuito di lettura per memorie volatili a semiconduttore realizzato secondo l'invenzione;
- la Figura 6 mostra in maggior dettaglio una possibile implementazione del circuito di lettura di Figura 5.

Descrizione dettagliata

Con riferimento a tali figure, ed in particolare alla Figura 3, con 10 è globalmente e schematicamente indicato un circuito di lettura per memorie non volatili a semiconduttore secondo l'invenzione.

Il circuito di lettura 10 secondo l'invenzione presenta una struttura simmetrica comprendente una parte A relativa alla cella selezionata ed una parte B relativa alla cella di riferimento.

In particolare, il circuito di lettura 10 comprende circuiti 11a e 11b di conversione corrente/tensione (I/V) ad integrazione riceventi le correnti Isel e Iref della cella selezionata e della cella di riferimento rispettivamente e fornenti in uscita le tensioni Vsel e Vref corrispondenti.

Il circuito di lettura 10 comprende inoltre circuiti interruttori 12a e 12b di scarica controllati in tensione collegati in ingresso a detti circuiti 11a e 11b di conversione corrente/tensione (I/V) ad integrazione in corrispondenza di nodi Xa ed Xb, nonché a circuiti comparatori 13a e 13b di tensione riceventi in ingresso entrambe le tensione Vsel e Vref relative alla cella selezionata ed alla cella di riferimento.

In particolare, i circuiti 11a e 11b di conversione corrente/tensione generano sui nodi Xa e Xb rispettivi valori di tensione Vsel e Vref aventi ampiezza correlata con funzione crescente ai valori di corrente Isel e Iref ricevuti in ingresso. In una forma preferita di realizzazione tale correlazione può essere di tipo proporzionale. Inoltre, l'ampiezza dei suddetti valori di tensione Vsel e Vref è correlata anche al tempo trascorso a partire da una condizione iniziale (indicata convenzionalmente con t0) in cui le tensioni Vsel e Vref sono prestabilite ad un valore iniziale, ad esempio un riferimento di tensione VSS. In una forma preferita di realizzazione, il riferimento di tensione VSS può essere ad esempio il riferimento di tensione di massa GND. In altre parole, a partire dall'istante t0, il valore di tensione generato sui nodi Xa ed Xb cresce come una rampa, a partire dalla tensione VSS, in maniera proporzionale al tempo trascorso ($t \geq t0$) ed alle correnti Isel e Iref.

I circuiti 11a e 11b di conversione corrente/tensione (I/V) ad integrazione sono inoltre collegati agli ingressi di un amplificatore differenziale 14, avente un terminale di uscita OUT atto a fornire l'informazione contenuta nella cella selezionata.

L'amplificatore differenziale 14 fornisce sul terminale di uscita OUT un valore logico corrispondente a quello memorizzato nella cella selezionata o il suo negato a seconda della logica implementata tramite il circuito di lettura 10.

E' opportuno notare che i circuiti comparatori 13a e 13b controllano i circuiti interruttori 12a e 12b.

In particolare, ogni circuito comparatore 13a o 13b confronta

il modulo della differenza fra le tensioni Vref e Vsel (|Vref - Vsel|) con una tensione di scatto pari a Vm. La tensione di scatto Vm è un riferimento fisso che corrisponde alla tensione di "congelamento" ovvero la tensione di soglia per l'accensione del circuito interruttore 12a o 12b di scarica.

I circuiti comparatori 13a e 13b forniscono ai circuiti interruttori 12a e 12b di scarica rispettivi segnali digitali di controllo Ua e Ub che assumono valori logici complementari tra loro a seconda del risultato del confronto del modulo |Vref - Vsel| rispetto alla tensione di scatto Vm. Ad esempio, è possibile supporre che i segnali digitali Ua e Ub assumano valore logico alto quando il modulo |Vref - Vsel| è maggiore della tensione di scatto Vm e, viceversa, assumano valore logico basso quando il modulo |Vref - Vsel| è minore della tensione di scatto Vm.

In questo modo, i circuiti interruttori 12a e 12b di scarica abilitano la connessione dei nodi Xa e Xb al riferimento di tensione VSS in base al valore dei segnali digitali di controllo Ua e Ub che ricevono in ingresso dai circuiti comparatori 13a e 13b.

Il valore della tensione di scatto Vm è predeterminato in modo che all'istante di "congelamento" risulti |Vref - Vsel| >= Vm, in modo da aumentare il margine di immunità al rumore del circuito di lettura 10.

La scarica del nodo Xa o Xb di tensione a variazione più lenta è quindi attivata quando la differenza di tensione |Vref - Vsel| raggiunge Vm, in modo da garantire la lettura corretta del contenuto della cella di memoria selezionata.

Si può quindi affermare che il valore logico sul terminale di uscita OUT dell'amplificatore 14 è correlato al modulo della differenza tra le tensioni Vref e Vsel (|Vref - Vsel|).

In Figura 4 è illustrato in maggior dettaglio un esempio di implementazione circuitale del circuito di lettura 10, dato a scopo di esempio in alcun modo limitativo.

Facendo riferimento alla parte A del circuito di lettura 10 relativa alla cella selezionata, il circuito comparatore 13a è stato, ad esempio, implementato mediante un amplificatore differenziale ad "offset", comprendente i transistori a canale n, M1 ed M2, ed i transistori a canale p, M3 ed M4, inseriti tra una prima VDD ed una seconda linea di alimentazione VSS del circuito di lettura 10.

In particolare, i transistori M3 ed M4 presentano i terminali di source collegati alla prima linea di alimentazione VDD, i terminale di gate collegati tra loro ed i terminali di drain collegati ai rispettivi terminali di drain dei transistori M1 ed M2. Inoltre il transistore M3 è configurato a diodo, con il terminale di drain collegato al terminale di gate.

A loro volta, i transistori M1 ed M2 presentano i terminali di source collegati tra loro ed alla seconda linea di alimentazione VSS tramite un generatore di corrente di polarizzazione Ibias ed i terminali di gate collegati rispettivamente ai nodi Xb ed Xa riceventi le tensioni Vref e Vsel relative alla cella di riferimento ed alla cella selezionata.

Vantaggiosamente secondo l'invenzione, l'amplificatore differenziale ad "offset" 13a comprende un elemento resistivo R, inserito

tra il terminale di source del transistore M1 ed il generatore di corrente di polarizzazione Ibias, atto a fissare il valore di una tensione Vm di scatto dell'amplificatore differenziale ad "offset" 13a stesso.

Inoltre, l'amplificatore differenziale ad "offset" 13a controlla l'abilitazione del circuito interruttore 12a di scarica comprendente i transistori a canale n M5 ed M6 inseriti, in serie tra loro tra il nodo Xa a lenta variazione ed un riferimento di tensione di massa GND.

Infatti, vantaggiosamente secondo l'invenzione, i transistori M4 ed M2 dell'amplificatore differenziale ad "offset" 13a presentano i terminale di drain comuni collegati al terminale di gate del transistore M5 del circuito interruttore 12a di scarica, mentre il transistore M6 presenta il terminale di gate connesso alla prima linea di alimentazione VDD.

Il generatore di corrente di polarizzazione Ibias polarizza l'amplificatore differenziale ad "offset" 13a. Lo specchio di corrente attivo formato dai transistori M3 ed M4 dell'amplificatore differenziale ad "offset" 13a viene scelto in modo da presentare un guadagno di corrente a fattore unitario.

In sostanza, il controllo sull'impedenza fra i nodi Xa e GND del circuito interruttore 12a di scarica viene effettuato con una tensione pari alla differenza delle tensioni Vsel e Vref.

Il vantaggio offerto da questo tipo di controllo risiede nel fatto che la tensione di congelamento del circuito di lettura 10 non dipende dalla tensione di alimentazione VSS ed i fenomeni indesiderati (in particolare accoppiamenti capacitivi e rumore elettrico) che si

presentano su di essa non influenzano il funzionamento del circuito di lettura 10.

In sostanza, il circuito di lettura 10 mostrato in Figura 4 è un esempio di amplificatore ad "offset", in cui lo sbilanciamento è ottenuto differenziando il percorso elettrico nei due rami dello stadio differenziale.

Altre possibili implementazioni possono essere realizzate a partire dal circuito di base dell'amplificatore differenziale, ad esempio prevedendo un differente dimensionamento delle area di gate dei transistori M1 e M2, oppure progettando un differente rapporto di specchio fra le correnti di polarizzazione di M1 e M2 mediante un differente rapporto di specchio fra M3 e M4 ecc.

Se il valore del resistore R è 0, l'amplificatore differenziale ad "offset" 13a presenta una sensibilità pari a circa 50 mV a parte l'offset casuale Voff,int introdotto dalle variazioni di processo.

Progettando opportunamente il valore ohmico di tale resistore R si ottiene quindi una prefissata caduta di tensione ai suoi capi, per una prefissala corrente di polarizzazione Ibias.

In questo modo la piena commutazione dell'uscita dell'amplificatore differenziale ad "offset" 13a avviene quando la differenza Vref (tensione presente sul nodo Xb) e Vsel (tensione presente sul nodo Xa) è maggiore di Vm = Voff,int + R*Ibias.

Ad esempio, con valori tipici di un processo tecnologico CMOS, posto Ibias = 50 μA e R = 10 KOhm si ottiene una soglia differenziale di scatto Vm di circa 500 mV, sufficiente per l'applicazione

a celle multilivello.

Una variante di realizzazione del circuito di lettura 10 è schematicamente illustrata in Figura 5. In particolare, il circuito comparatore 13a riceve in ingresso la tensione Vref della cella di riferimento ed una tensione di congelamento Vm costante, mentre il circuito comparatore 13b riceve in ingresso tale tensione di congelamento Vm e la tensione Vsel della cella selezionata. Il valore di Vm è predeterminato in modo che all'istante di congelamento risulti $|Vref - Vsel| >= Vm$, così da aumentare il margine di immunità al rumore.

In particolare, la scarica del nodo di tensione a variazione più lenta è quindi attivata quando il nodo a variazione più veloce raggiunge la tensione Vm, in modo da garantire la lettura corretta del contenuto della cella di memoria.

In Figura 6 è illustrata una possibile implementazione circuitale della variante di realizzazione di Figura 5 del circuito di lettura secondo l'invenzione.

La variante di realizzazione del circuito di lettura 10 illustrata in Figura 6 presenta una struttura di base analoga ai circuiti realizzati secondo l'arte nota.

In particolare, il circuito di lettura 10 è inserito tra una prima VDD ed una seconda linea di alimentazione VSS e presenta un primo MNA ed un secondo transistore MNB di comparazione, inseriti tra i nodi Xa ed Xb da scaricare e detta seconda linea di alimentazione VSS ed aventi i terminali di gate collegati in maniera incrociata a tali nodi Xb ed

Xa da scaricare.

Il circuito di lettura 10 comprende inoltre un terzo MTA ed un quarto transistore di comparazione a canale n, MTB, dello stesso tipo dei transistori MNA e MNB.

Tali transistori MTA ed MTB sono connessi a diodo e posti in serie ai transistori MNA e MNB.

In altre parole, la serie dei transistori MNA ed MTA, inserita tra il nodo Xa e la seconda linea di alimentazione VSS implementa sostanzialmente l'assieme del circuito comparatore 13a e del circuito interruttore 12a relativi alle cella selezionata.

Analogamente, la serie dei transistori MNB ed MTB, inserita tra il nodo Xb e la seconda linea di alimentazione VSS implementa sostanzialmente l'assieme del circuito comparatore 13b e del circuito interruttore 12b relativi alle cella di riferimento.

A loro volta, i nodi Xa ed Xb da scaricare sono collegati a detta seconda linea di alimentazione VSS tramite il parallelo di rispettivi condensatori Ca e Cb e transistori di precarica a canale n, MRA ed MRB, riceventi sui terminali di gate un segnale di precarica PR.

Il circuito di lettura 10 illustrato in Figura 6 comprende inoltre un primo ed una secondo transistore di specchio a canale p, MPA ed MPB, inseriti tra un transistore comune a canale p, MRC e detti nodi Xa ed Xb da scaricare.

Inoltre, i transistori MPA ed MPB presentano i terminali di gate collegati ai terminali di gate di corrispondenti transistori di specchio, sempre a canale p, MP1A ed MP1B, collegati a detta prima

linea di alimentazione VDD ed aventi i terminali di gate collegati ai rispettivi terminali di drain.

In particolare, il transistore MP1A specchia sul transistore MPA la corrente Isel relativa alla cella selezionata, trasmettendola quindi al condensatore Ca che la integra, generando sul nodo Xa una rampa di tensione. In altre parole, transistori MPA ed MP1A, nonché il condensatore Ca implementano il circuito 11a di conversione corrente/tensione (I/V) ad integrazione relativo alla cella selezionata.

Analogamente, il transistore MP1B specchia sul transistore MPB la corrente Iref relativa alla cella di riferimento, trasmettendola quindi al condensatore Cb che la integra, generando sul nodo Xb una rampa di tensione. In altre parole, i transistori MPB ed MP1B, nonché il condensatore Cb implementano il circuito 11b di conversione corrente/tensione (I/V) ad integrazione relativo alla cella di riferimento.

Il transistore comune MRC riceve anch'esso sul terminale di gate detto segnale di precarica PR.

Tale segnale di precarica PR è un segnale logico che abilita il collegamento dei nodi Xa ed Xb a detta seconda linea di alimentazione VSS, tramite i transistori di precarica MRA ed MRB, e dei terminali di source comuni dei transistori di specchio MPA ed MPB a detta prima linea di alimentazione VDD.

I transistori MRA, MRB ed MRC permettono quindi di settare le condizioni iniziali (tempo t0) del circuito di lettura 10.

Vantaggiosamente secondo l'invenzione, i transistori di congelamento MTA ed MTB permettono di ottenere una maggiorazione

del valore assoluto della tensione Vm rispetto alle soluzioni note con struttura di base simile. Supponiamo infatti che i terminali di substrato dei transitori a canale n siano connessi alla seconda linea di alimentazione VSS, mentre quelli dei transistori a canale p siano connessi alla prima linea di alimentazione VDD, la tensione di accensione della struttura serie comprendente i transistori MNA ed MTA (ed analogamente, la struttura serie comprendente i transistori MNB ed MTB) determina il "congelamento" della tensione differenziale ad un valore pari a:

$$Vm = VGS(MNA) + VGS(MTA) = Vth(MNA) + Vth(MTA) - VSS$$

vale a dire, supponendo VSS = 0V e Vth(MNA) = Vth(MNB)

$$Vm = 2Vtb$$

Si ottiene quindi un valore della tensione di scatto sostanzialmente doppio rispetto a quello della soluzione di base nota (pari a Vth).

In questo modo, pur essendo fissa la tensione di accensione del blocco di scarica del nodo più lento dalla serie MNA-MTA (o, analogamente, MNB-MTB), ne risulta maggiorato il valore rispetto alla linea di alimentazione VSS, garantendo un maggiore margine immunità al rumore.

La relazione sopra derivata vale nell'ipotesi che i transistori MNA e MTA abbiano identico valore della tensione di soglia. In realtà, lo schema di Figura 6 prevede la connessione dei terminati di substrato di MNA e MTA alla seconda linea VSS. La tensione di soglia del transistore MNA risulta quindi maggiore di quella del transistore MTA a causa

dell'effetto body (VBS (MNA) > VBS (MTA)).

Quindi il margine rispetto alla seconda tensione di alimentazione VSS è maggiorato ulteriormente di qualche centinaio di mV rispetto al valore 2Vth.

Inoltre, vantaggiosamente secondo l'invenzione, con l'impiego di tecnologie a triplo well in cui possono essere integrati transistori a canale n in sacche drogate p isolate rispetto al substrato p mediante una sacca drogata n, è possibile connettere il terminale di substrato del transistore MNA (MNB) con il corrispondente terminale di source. Con questa soluzione la tensione di soglia del transistore MNA (MNB) risulta pari a quella del transistore MTA e vale effettivamente la relazione di cui sopra.

A seconda dei casi e/o delle esigenze si potrà impiegare l'una o l'altra delle due alternative (connessione del terminale di substrato alla seconda linea di alimentazione VSS o al corrispondente terminale di source).

In funzione dei parametri di processo, ovvero in particolare del valore della tensione di soglia dei transistori a canale n, è possibile, vantaggiosamente secondo l'invenzione, impostare da progetto la tensione di accensione del blocco di scarica del nodo più lento. E altresì possibile realizzare un dispositivo a canale n con differenti valori di tensioni di soglia, ad esempio impiegando convenzionali transistori a canale impiantato e transistori a canale non impiantato (transistori naturali).

E' altresì possibile sostituire i transistori NMOS MNA ed MNB

con due celle di memorie non volatili con soglia programmata al valore di Vm.

In sostanza, si tratta di evitare la contemporanea saturazione delle tensioni Vref e Vsel verso la prima tensione di alimentazione VDD in quanto questa impedirebbe qualunque discriminazione della loro differenza. La scarica del nodo più lento potrebbe iniziare al più quando il nodo più veloce raggiunge il valore VDD. Il massimo valore impostabile per la soglia di accensione del blocco di scarica del nodo più lento vale perciò VDD.

E' opportuno notare che anche nell'esempio di realizzazione appena illustrato in relazione alla Figura 6, la tensione di "congelamento" Vm non è differenziale ma riferita al livello VSS, come per la soluzione di arte nota. Il circuito di lettura 10 secondo l'invenzione aumenta quindi il margine di rumore rispetto alle soluzioni note in quanto l'istante di "congelamento" viene adeguatamente ritardato rispetto all'istante di rilevamento del segno della differenza |Vsel - Vref|. In questo modo risulta maggiorata la tensione di margine; è possibile inoltre discriminare correnti molto vicine fra loro e di elevato valore assoluto in modo affidabile.

Vediamo ora alcuni vantaggi del circuito di lettura 10 secondo l'invenzione.

Innanzitutto, si ottiene un maggior margine di immunità al rumore rispetto alle tensione di alimentazioni con una tensione di controllo del blocco scaricatore di tipo differenziale (pari a |Vsel - Vref|). Eventuale rumore sovrapposto ad entrambi i segnali di corrente Isel o

Iref relativi alla cella selezionata ed alla cella di riferimento, rispettivamente, induce una identica variazione alle tensioni Vref e Vsel tale da eliminare inneschi di scariche indesiderate dei nodi di controllo Vref o Vsel.

Inoltre, si ottiene una maggiore immunità alle variazioni di modo comune (variazioni di processo, temperatura, ecc.) in quanto la tensione di controllo differenziale |Vsel - Vref| e la tensione di soglia Vm è determinata da progetto ed è quindi indipendente dal processo.

Infine, il circuito di lettura 10 secondo l'invenzione si presta ad essere impiegato per memorie multilivello spinto (maggiore di due bit per cella) in quanto la tensione di margine Vm può essere facilmente dimensionata in funzione della risoluzione dei livelli da discriminare.

In sostanza, l'idea di base implementata nel circuito di lettura 10 secondo l'invenzione è quella di controllare in modo analogico l'istante di "congelamento" dei segnali in modo da disporre di un adeguato margine rispetto alle possibili variazioni del segnale (rumore, disturbi, tensioni di alimentazioni, temperatura).

Il valore del margine risulta quindi determinato in sede di progetto e può essere reso indipendente dai parametri di processo.

RIVENDICAZIONI

1. Circuito di lettura per memorie non volatili a semiconduttore collegato ad almeno una cella selezionata e ad almeno una cella di riferimento, del tipo comprendente circuiti (11a, 11b) di conversione corrente/tensione riceventi in ingresso una prima corrente (Isel) che percorre la cella selezionata ed una seconda corrente (Iref) che percorre la cella di riferimento e fornenti rispettivamente, su un primo nodo circuitale (Xa), una prima tensione (Vsel) di cella selezionata e, su di un secondo nodo (Xb), una seconda tensione (Vref) di cella di riferimento, nonché almeno un amplificatore differenziale (14), collegato in ingresso a detti primo (Xa) e secondo nodo (Xb) ed avente un terminale di uscita (OUT) atto a fornire un segnale logico correlato all'informazione contenuta in detta cella selezionata caratterizzato dal fatto di comprendere inoltre almeno un primo circuito interruttore di scarica (12a) controllato in tensione e collegato in ingresso a detto primo nodo (Xa) ed un riferimento di tensione (VSS), un secondo circuito interruttore di scarica (12b) controllato in tensione e collegato in ingresso a detto secondo nodo (Xb) ed al riferimento di tensione (VSS), nonché almeno un primo (13a) ed un secondo circuito comparatore (13b) di tensione riceventi in ingresso detta prima tensione (Vsel) di cella selezionata e detta seconda tensione (Vref) di cella di riferimento, e dal fatto che detti circuiti comparatori (13a, 13b) sono atti a controllare in tensione detti circuiti interruttori (12a, 12b).

2. Circuito di lettura secondo la rivendicazione 1, caratterizzato dal fatto che detti circuiti (11a, 11b) di conversione

corrente/tensione generano su detti primo (Xa) e secondo nodo (Xb) valori di tensione (Vsel, Vref) avente ampiezza correlata con funzione crescente dei valori di corrente (Isel, Iref) ricevuti in ingresso ed al tempo trascorso a partire da una condizione iniziale (t0) in cui dette tensioni (Vsel, Vref) sono prestabilite ad un valore iniziale corrispondente a detto riferimento di tensione (VSS).

3. Circuito di lettura secondo la rivendicazione 1, caratterizzato dal fatto che detti circuiti comparatori (13a, 13b) sono comparatori differenziali del modulo (|Vref - Vsel|) della differenza fra dette tensioni di cella selezionata (Vsel) e di cella di riferimento (Vref) rispetto ad un valore (Vm) corrispondente ad una tensione di scatto per l'accensione di detti circuiti interruttori (12a, 12b) di scarica, detto valore (Vm) essendo un riferimento fisso di tensione.

4. Circuito di lettura secondo la rivendicazione 3, caratterizzato dal fatto che detti circuiti comparatori (13a, 13b) forniscono a detti circuiti interruttori (12a, 12b) di scarica un segnale digitale di controllo (Ua, Ub) che assume valori logici complementari tra loro a seconda del risultato del confronto di detto modulo (|Vref - Vsel|) rispetto a detto valore di riferimento fisso (Vm).

5. Circuito di lettura secondo la rivendicazione 1, caratterizzato dal fatto che detti circuiti interruttori (12a, 12b) di scarica abilitano la connessione di detti nodi (Xa, Xb) ad una linea di alimentazione (VSS) in base al valore di un segnale digitale di controllo (Ua, Ub) che ricevono in ingresso da detti circuiti comparatori (13a, 13b).

6. Circuito di lettura secondo la rivendicazione 1, caratterizzato dal fatto che detto amplificatore differenziale (14) fornisce su detto terminale di uscita (OUT) un valore logico corrispondente ad un valore logico memorizzato in detta cella selezionata o al suo negato, nonché correlato al modulo della differenza tra le tensioni Vref e Vsel (|Vref - Vsel|).

7. Circuito di lettura secondo la rivendicazione 3, caratterizzato dal fatto che detto amplificatore differenziale comprende a sua volta un primo (M1), un secondo (M2), un terzo (M3) ed un quarto transistore MOS (M4), inseriti tra una prima (VDD) ed una seconda linea di alimentazione (VSS) del circuito di lettura (10), detti terzo (M3) e quarto transistore (M4) presentano i terminali di source collegati a detta prima linea di alimentazione (VDD), i terminale di gate collegati tra loro ed i terminali di drain collegati ai rispettivi terminali di drain di detti primo (M1) e secondo transistore (M2), detto terzo transistore (M3) essendo configurato a diodo, con il terminale di drain collegato al terminale di gate e detti primo (M1) e secondo transistore (M2) presentando i terminali di source collegati tra loro e a detta seconda linea di alimentazione (VSS) tramite un generatore di corrente di polarizzazione (Ibias), ed i terminali di gate collegati a detto secondo (Xb) e a detto primo nodo (Xa) rispettivamente per ricevere detta seconda tensione (Vref) di cella di riferimento e detta prima tensione (Vsel) di cella selezionata, nonché un elemento resistivo (R), inserito tra il terminale di source di detto primo transistore (M1) ed il generatore di corrente di polarizzazione (Ibias), tale elemento resistivo (R) essendo atto

a fissare il valore di una tensione (Vm) di scatto dell'amplificatore differenziale stesso.

8. Circuito di lettura secondo la rivendicazione 5, caratterizzato dal fatto che detti circuiti interruttori (12a, 12b) di scarica comprendono un quinto (M5) ed un sesto transistore MOS (M6) inseriti, in serie tra loro tra detti nodi (Xa, Xb) ed un riferimento di tensione di massa (GND).

9. Circuito di lettura secondo la rivendicazione 8, caratterizzato dal fatto che detti secondo (M2) e quarto transistore (M4) dell'amplificatore differenziale presentano i terminali di drain comuni collegati al terminale di gate di detto quinto transistore (M5) dei circuiti interruttori (12a, 12b) di scarica, mentre detto sesto transistore (M6) dei circuiti interruttori (12a, 12b) di scarica presenta il terminale di gate connesso a detta prima linea di alimentazione (VDD), in modo che il controllo sull'impedenza fra detti nodi (Xa, Xb) e detto riferimento di massa (GND) viene effettuato con una tensione pari alla differenza di detta prima tensione (Vsel) di cella selezionata e detta seconda tensione (Vref) di cella di riferimento.

10. Circuito di lettura secondo la rivendicazione 7, caratterizzato dal fatto che detti terzo (M3) e quarto transistore (M4) realizzano uno specchio di corrente attivo.

11. Circuito di lettura secondo la rivendicazione 2, caratterizzato dal fatto che detti circuiti (11a, 11b) di conversione corrente/tensione comprendono almeno uno specchio di corrente (MPA-MP1A, MPB-MP1B) inserito tra una prima linea di alimentazione (VDD)

e detti nodi (Xa, Xb) ed almeno un condensatore (Ca, Cb) inserito tra detti nodi (Xa, Xb) ed una seconda linea di alimentazione (VSS), detti specchi di corrente comprendendo almeno primi rispettivi transistori di specchio (MPA, MPB) aventi i terminali di source in comune e almeno secondo rispettivi transistori di specchio (MP1A, MP1B) collegati a detta prima linea di alimentazione (VDD) ed atti a specchiare su detti primi rispettivi transistori di specchio (MPA, MPB) dette prima (Isel) e seconda corrente (Iref) che percorrono rispettivamente la cella selezionata e la cella di riferimento.

12. Circuito di lettura secondo la rivendicazione 3, caratterizzato dal fatto che detti circuiti comparatori (13a, 13b) e detti circuiti interruttori (12a, 12b) di scarica comprendono almeno un primo (MNA) ed un secondo transistore (MNB) di comparazione, inseriti tra detti primo (Xa) e secondo nodo (Xb) ed una linea di alimentazione (VSS) ed aventi i terminali di gate collegati in maniera incrociata a tali nodi (Xb, Xa), nonché un terzo (MTA) ed un quarto transistore di comparazione (MTB), connessi a diodo e posti in serie a detti primo (MNA) e secondo transistore di comparazione (MNB).

13. Circuito di lettura secondo la rivendicazione 11, caratterizzato dal fatto di comprendere almeno un primo (MRA), un secondo (MRB) ed un terzo transistore di precarica (MRC), riceventi sui rispettivi terminali di gate un segnale logico di precarica (PR), detto primo transistore di precarica (MRA) essendo inserito tra detto primo nodo (Xa) e detta seconda linea di alimentazione (VSS), detto secondo transistore di precarica (MRB) essendo inserito tra detto secondo nodo

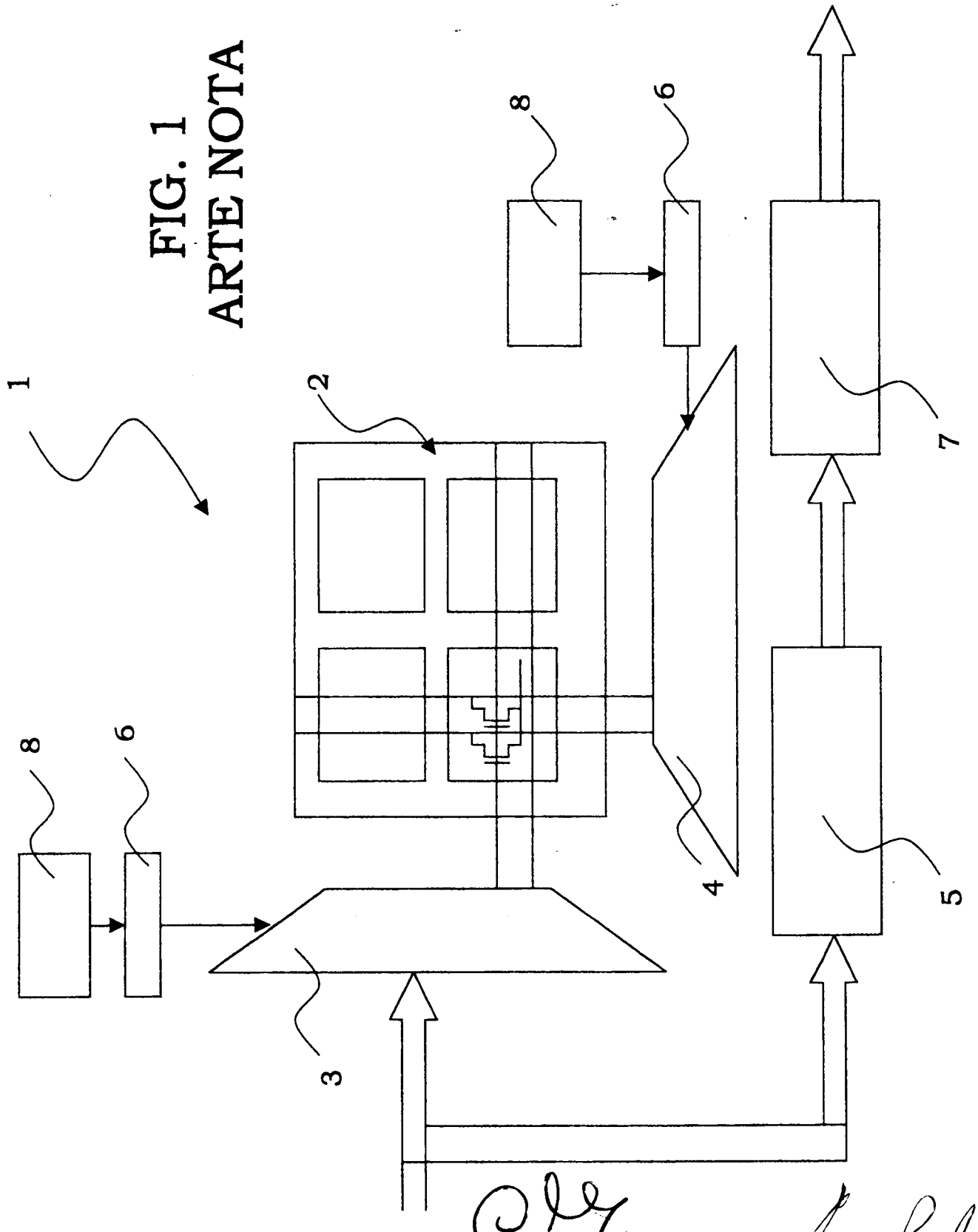
(Xb) e detta seconda linea di alimentazione (VSS) e detto terzo transistore di precarica (MRC) essendo inserito tra detta prima linea di alimentazione (VVD) ed i terminali di source comuni di detti primi transistori di specchio (MPA, MPB)

14. Circuito di lettura secondo la rivendicazione 13, caratterizzato dal fatto che detto segnale di precarica (PR) è un segnale logico che abilita il collegamento di detti nodi (Xa, Xb) a detta seconda linea di alimentazione (VSS), tramite detti primo (MRA) e secondo transistore di precarica (MRB), nonché il collegamento dei terminali di source comuni di detti primi transistori di specchio (MPA, MPB) a detta prima linea di alimentazione (VDD) tramite detto terzo transistore di precarica (MRC), in maniera tale da settare condizioni iniziali (t=t0) del circuito di lettura (10) stesso.

15. Circuito di lettura secondo la rivendicazione 3, caratterizzato dal fatto che detta tensione di cella selezionata (Vsel) coincide con il valore (Vm) corrispondente alla tensione di scatto per l'accensione di detti circuiti interruttori (12a, 12b) di scarica.

Ing. Mario BOTTI
N. Iscriz. ALBO 493 BM

FIG. 1
ARTE NOTA



CAMERA DI COMMERCIO · MILANO

Ing. Mario BOTTI
N. Iscriz. ALBO 493 BM

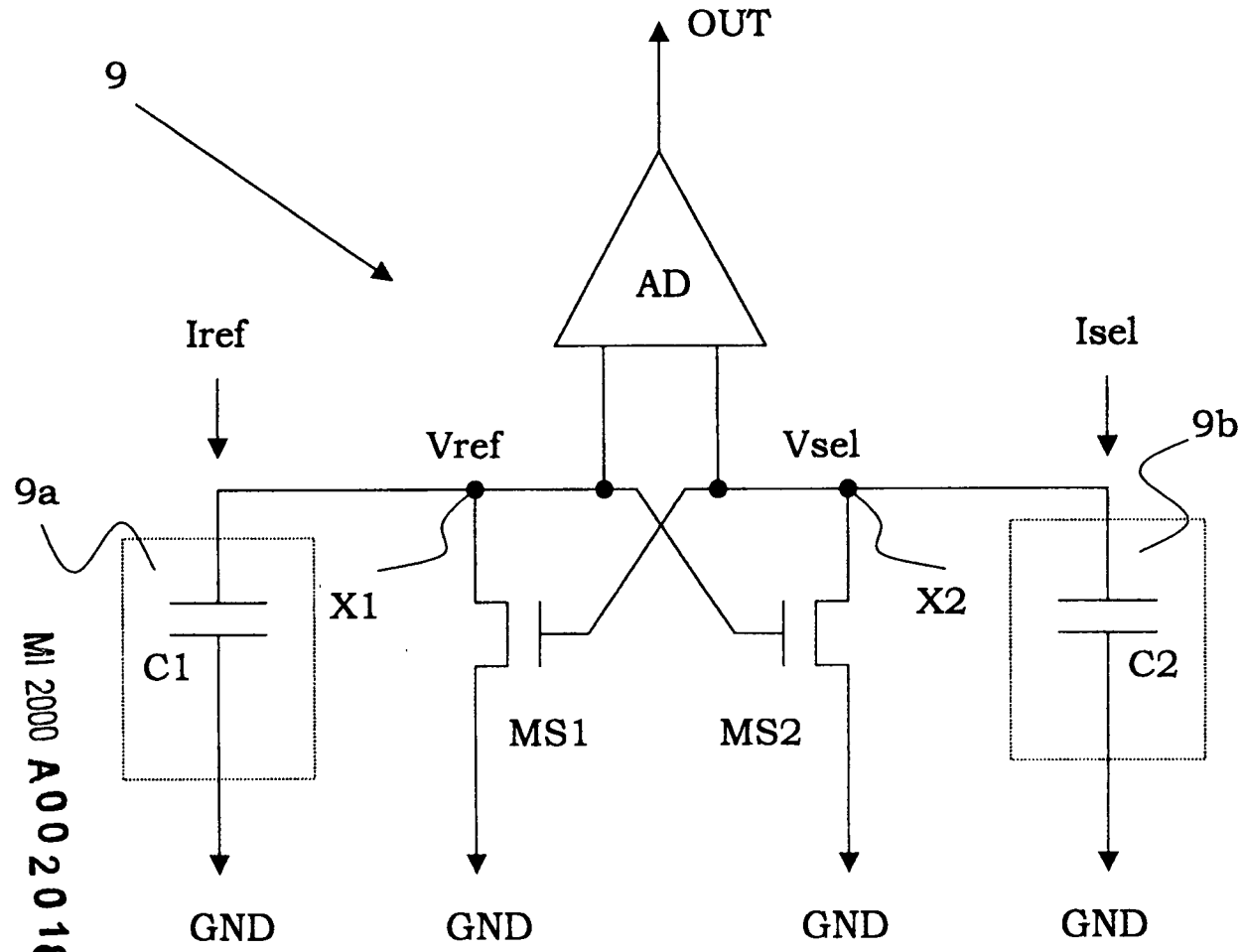


FIG. 2
ARTE NOTA

MI 2000 A 002018
Ing. Mario BOTTI
N. Iscriz. ALBO 493 BM

MI 2000 A 002018

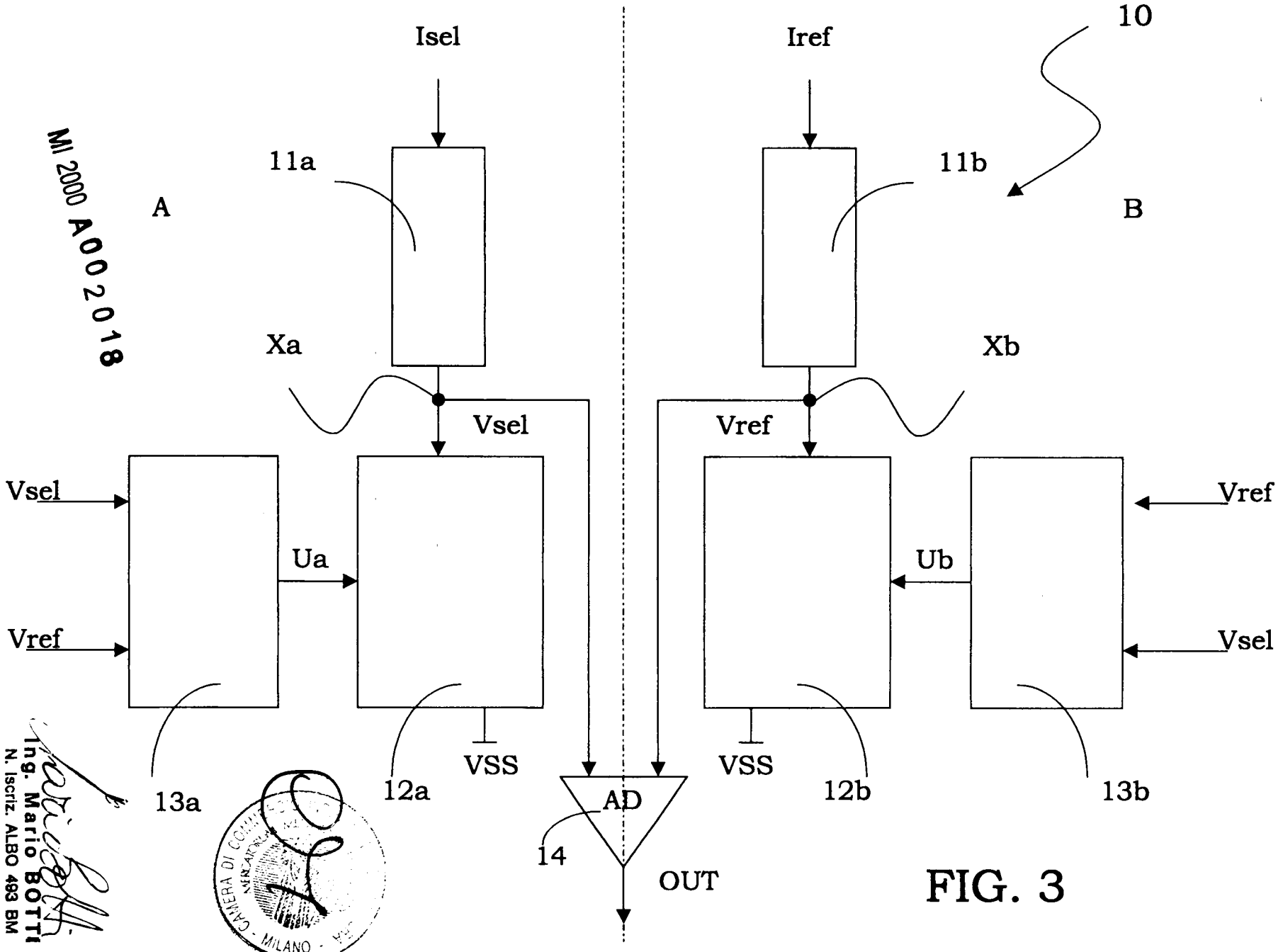


FIG. 3

Ing. Mario BOTTI
N. Iscriz. ALBO 493 BM

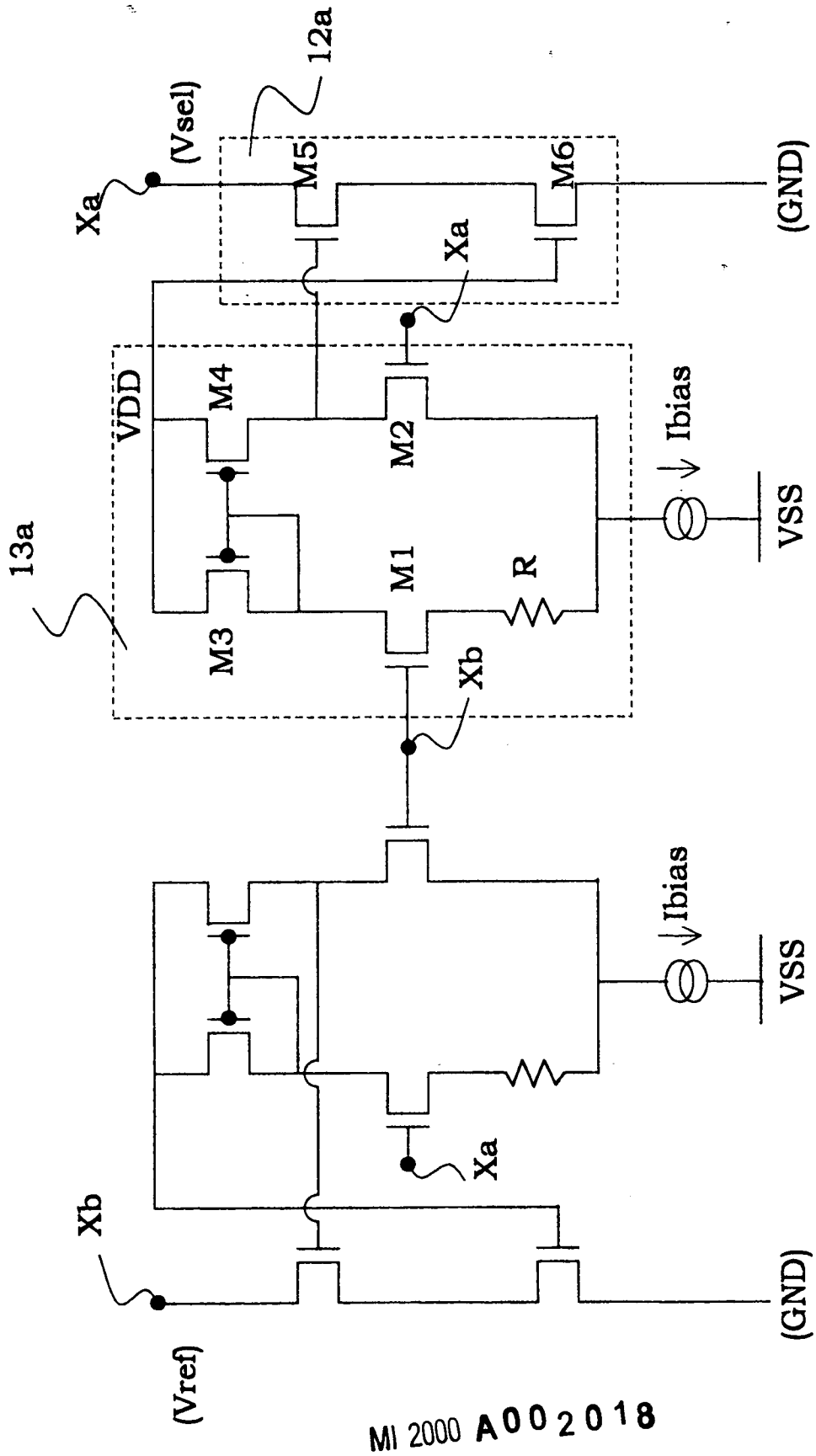


FIG. 4

MI 2000 A002018

Ing. Mario BOTTI
N. Iscriz. ALBO 493 BM

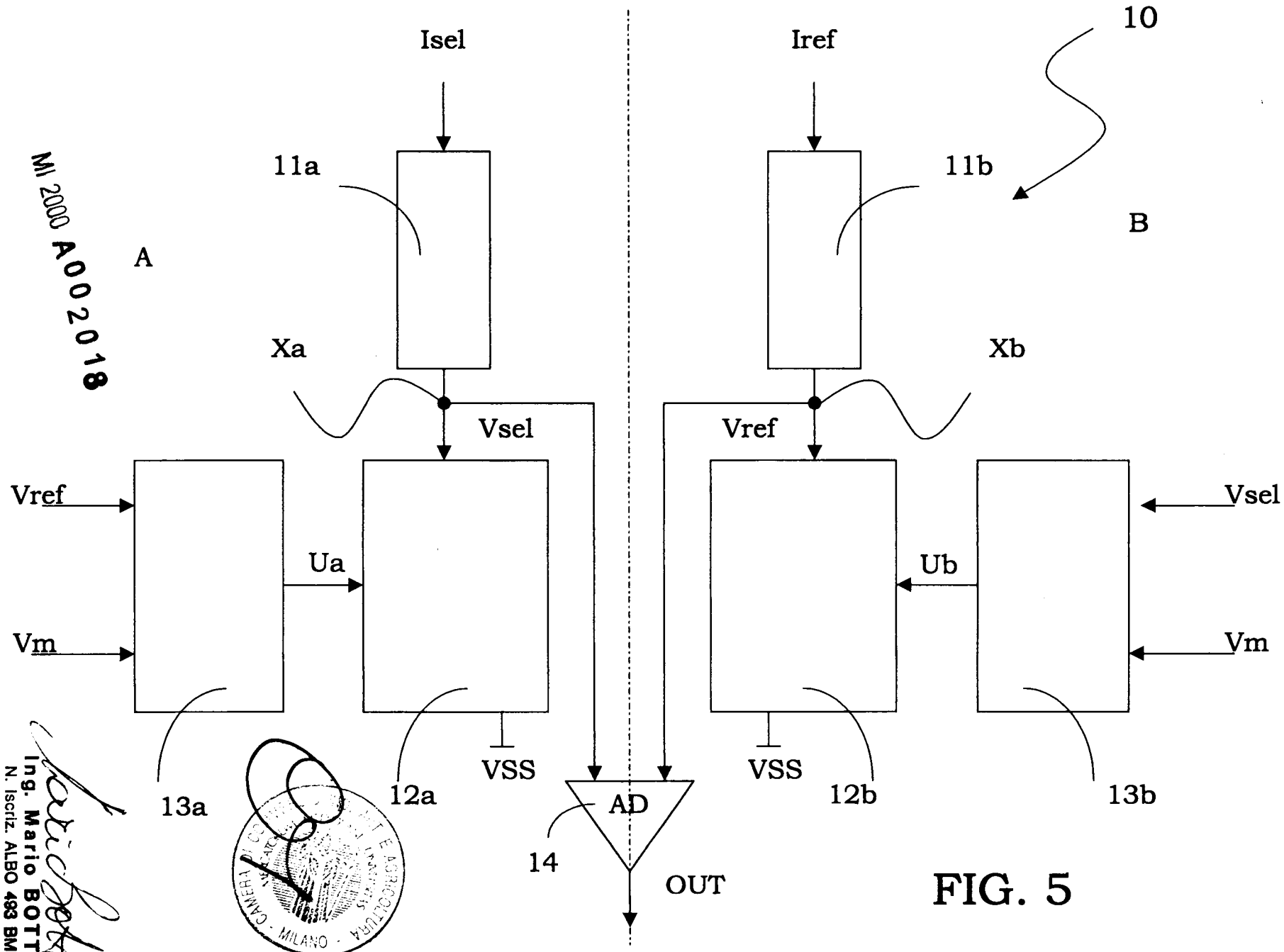


FIG. 5

MI 2000 A 002018

Ing. Mario BOTTI
N. Iscriz. ALBO 493 BM

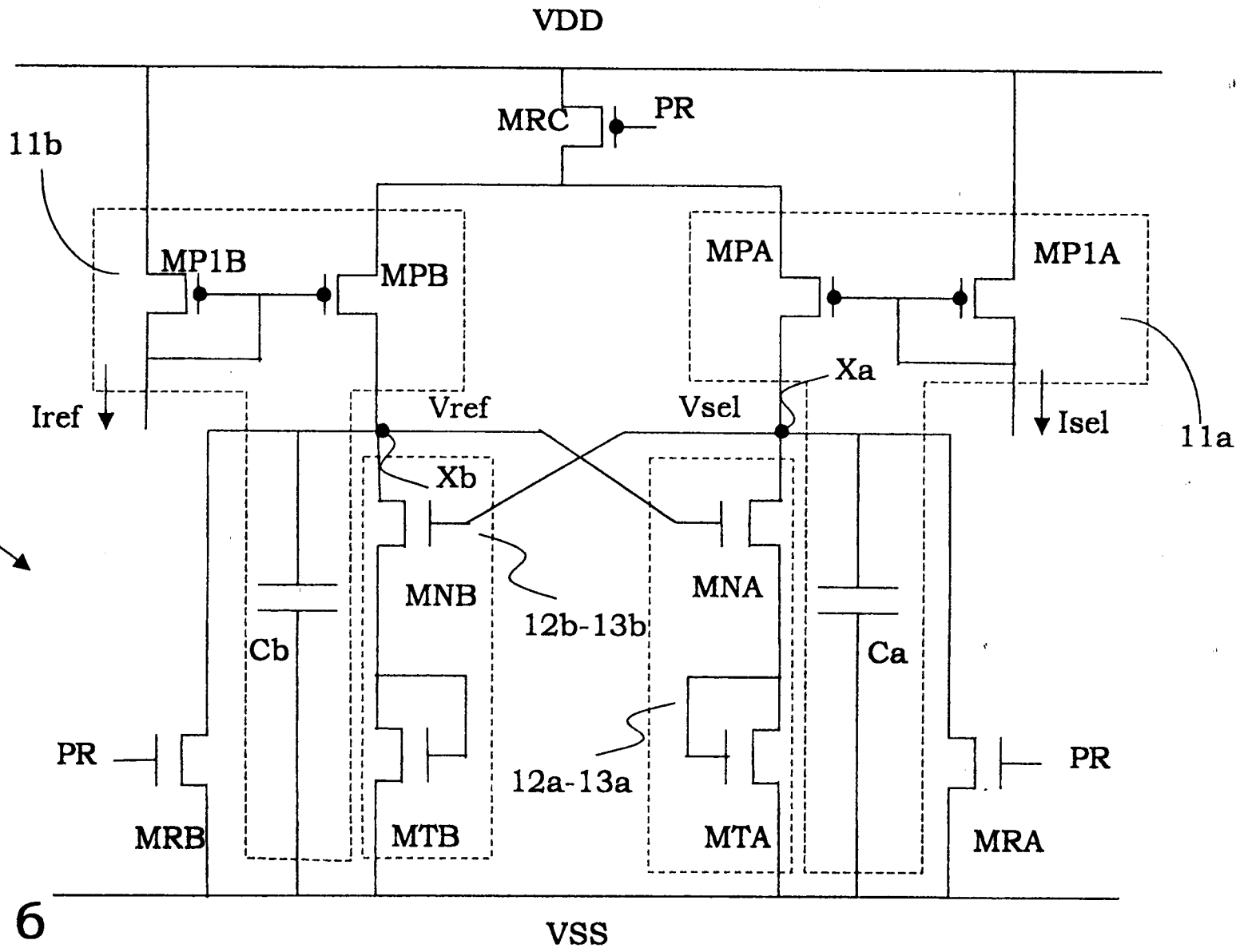


FIG. 6

MI 2000 A 002018
Ing. Mario BOTTI
N. Iscriz. ALBO 483 BM