(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3756203号
(P3756203)
(45)発行日　平成18年3月15日(2006.3.15)　(24)登録日　平成18年1月6日(2006.1.6)

| (51)Int.Cl. | | | F I | | |
|---|---|---|---|---|---|
| G09G | 3/36 | (2006.01) | G09G | 3/36 | |
| G02F | 1/133 | (2006.01) | G02F | 1/133 | 505 |
| G09G | 3/20 | (2006.01) | G09G | 3/20 | R |

請求項の数 2　(全 11 頁)

(21)出願番号　特願平5-236503
(22)出願日　平成5年9月22日(1993.9.22)
(65)公開番号　特開平7-92934
(43)公開日　平成7年4月7日(1995.4.7)
審査請求日　平成12年9月22日(2000.9.22)
審判番号　不服2002-24483(P2002-24483/J1)
審判請求日　平成14年12月19日(2002.12.19)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　土屋　雅彦
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】記憶回路およびフラットパネル駆動回路

(57)【特許請求の範囲】

【請求項１】

記憶素子へのデータの書き込みおよび読み出しに必要となるアドレス信号を生成するアドレス信号発生回路を内蔵した記憶回路であって、

第１の外部信号に基づいてアドレスを変化させるアドレス変化手段と、

第２の外部信号に基づいて、アドレス周期を決定するアドレス周期可変手段と、

前記アドレス変化手段と前記アドレス周期可変手段からの信号を受け、前記アドレス周期可変手段により決定されたアドレス周期でアドレスを変化させる前記アドレス信号発生回路と、

前記アドレス信号発生回路からのアドレスを読み出しアドレスとして入力するとともに、前記第１の外部信号に同期した入力データを入力する前記記憶素子と、

前記記憶素子から読み出したデータを出力データに変換して出力する信号変換部と、

を有し、

前記出力データは、前記第１の入力信号に同期し、且つ、前記入力データ入力時の前記第２の外部信号の位相から所定の周期遅れた同一の位相で出力され、

前記アドレス信号発生回路は、

前記第１の外部信号を分周用信号に変換する第１の信号変換手段と、

前記分周用信号を分周する信号分周手段と、

前記第１及び第２の外部信号より分周手段のリセット信号及び信号保持手段へ保持するタイミングを作る信号生成手段と、

前記信号分周手段より出力された信号保持タイミング信号により決定される最大分周値を保持する前記信号保持手段と、
前記信号保持手段に保持された値と前記分周手段からの出力信号を比較する信号比較手段と、
前記分周手段からの出力信号を前記信号比較手段からの信号で論理変換する信号合成部と、
を有することを特徴とする記憶回路。
【請求項２】
フラットパネルの全エリアあるいは一部のエリアの画素データに対応する記憶素子を有する請求項１記載の記憶回路と、前記記憶素子から読み出したデータを駆動信号に変換して出力する信号変換部と、を有することを特徴とするフラットパネル駆動回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明の記憶素子は書き込み読み出しをする記憶素子であるＳＲＡＭ，ＤＲＡＭ，ＰＲＯＭ，ＥＰＲＯＭ，ＥＥＰＲＯＭに用いられる。本発明のアドレス信号発生回路は上記書き込み読みだしをする記憶素子の動作に用いる。本発明のフラットパネル駆動回路は液晶パネルのフラットパネルのデータ用電極に接続される駆動回路に用いられる。
【０００２】
【従来の技術】
以下書き込み読み出しをする記憶素子は、記憶素子と略す。以下信号のハイレベルを「Ｈ」、ローレベルを「Ｌ」で示す。論理を理解し易くするために特に指定のない場合には信号は「Ｈ」で動作可能、カウント等の切り変わりには信号の立ち下がりを用いて説明する。
【０００３】
図８及び図９は、それぞれ従来の記憶回路の構成図及び記憶回路周辺の信号を示す図である。入力クロックを五つカウントするものを例として用いる。
【０００４】
第１の外部信号である入力クロック102及び第２の外部信号である外部リセット信号101を記憶素子動作用信号作成部103に入力し記憶素子104へのデータの読み出し書き込みに必要となる信号ＷＲ105，ＲＤ106，ＰＣ107等の信号を作成する。ＷＲ105信号は記憶素子104へのデータの書き込みに用いる信号である。ＲＤ106信号は記憶素子104からのデータの読み出しに用いる信号である。ＰＣ107信号はＷＲ105信号とＲＤ106信号の切り変わりに必要となるプリチャージ信号である。入力クロック102に同期した記憶素子入力データ110の斜線で示したデータが転送されてくるとその記憶素子入力データ110はＷＲ105信号の矢印で示したパルスによりアドレス変化手段及びアドレス周期可変手段を含むアドレス信号発生回路161より作られるアドレス一段目信号162-1，アドレス二段目信号162-2，アドレス三段目信号162-3が共に「Ｌ」の部分の記憶素子104内に取り込まれる。アドレス一段目信号162-1は最下位アドレスを示す。その後ＲＤ106信号の矢印に示したパルスによりアドレス一段目信号162-1，アドレス二段目信号162-2，アドレス三段目信号162-3が共に「Ｌ」の部分の記憶素子104から斜線に示す記憶素子104に書き込んだデータが読み出される。この記憶素子出力データ163の斜線で示した部分を同期部112で入力クロック102により同期をとると出力データ164の斜線部にデータが出力される。この様に従来の記憶回路の出力データ164は入力された部分から入力クロック102一周期遅れた部分に出力される。すなわち記憶素子入力データ110のb1,b2,b3・・・・はそれぞれ記憶回路出力データ164のb1,b2,b3・・・・に読み出される。
【０００５】
図１０及び図１１は、それぞれ従来のアドレス信号発生回路の構成図及びアドレス信号発生回路の周辺の信号を示す図である。入力クロックを五つカウントするものを例として用いる。第１の外部信号である入力クロック102を分周手段である同期あるいは非同期の分

周器171に入力し入力クロック102の分周を行う。分周器171はリセット付きフリップフロップで構成する。入力クロック102と第２の外部信号である外部リセット信号101を分周器リセット信号作成部172に入力することで分周器171のリセットに必要となる分周器リセット信号173を得る。この分周器リセット信号作成部172では入力クロック102の立ち下がりエッジにより信号を作成しこの信号と外部リセット信号101とを論理合成を行う。この分周期リセット信号173を分周器171のリセット端子に入力する。これらの信号によりアドレス信号発生回路からアドレス信号174が得られる。

【０００６】

図１２及び図１３は、それぞれ従来のフラットパネル駆動回路の構成図及びフラットパネル駆動回路周辺の信号を示した図である。ＶＳＹＮＣ142信号は、フラットパネル141の垂直方向の同期信号。ＨＳＹＮＣ143信号は、フラットパネル141の水平方向の同期信号。フラットパネル141を駆動するにはフラットパネル141の縦横に配置される電極に信号を与える必要がある。この電極に信号を与えるものがフラットパネル用データライン駆動回路181及びコモンライン駆動回路145である。ここで説明する従来のフラットパネル駆動回路はデータライン駆動回路181に対応する。パネル表示画素データである入力画素データ146はＨＳＹＮＣ143一周期内に一水平期間分の画素データがシリアルに、ＶＳＹＮＣ142一周期内に一画面分の画素データがシリアルに転送されてくる。このシリアル画素データをシリアル・パラレル変換部182に入力してパラレル画素データ183に変換する。このパラレル画素データ183はパネル駆動用信号変換部184によりフラットパネル141の駆動が行えるパネル駆動用信号185に変換され出力する。入力画素データ146の斜線の部分に入力されたデータはパラレル画素データ183の斜線部分、パネル駆動用信号185の斜線部分と送られる。よってパネル駆動用信号185はシリアルな入力画素データ146が入力された期間からＨＳＹＮＣ143一周期遅れた部分に出力される。

【０００７】

【発明が解決しようとする課題】

フラットパネルの画質の向上、低消費電力化を図るためにはフラットパネル駆動回路に記憶素子を内蔵するのは必要な技術となる。しかし上記した従来のアドレス信号発生回路で動作する記憶回路を単純に内蔵するフラットパネル駆動回路では下記に示す様な課題を有していた。すなわち従来のアドレス信号発生回路を用い記憶素子を内蔵したフラットパネル駆動回路では表示用のシリアル画素データが入力されてから水平同期信号一周期後にパラレル変換された画素データが出力され、この画素データを記憶素子に入力し出力させるとさらに水平同期信号一周期遅れて出力されることとなり結果的にシリアル画素データが入力されてから水平同期信号二周期してから画素データが出力されることとなる。通常フラットパネル駆動回路ではシリアル画素データが入力されてから水平同期信号一周期してから画素データが出力されるため、フラットパネルを駆動するもう一方のコモンライン駆動回路とのマッチングがとれなくなり表示的には本来２ライン目に表示されるはずのデータが１ライン目に表示されるというように１ラインずつずれて表示されることになる。これを回避するにはフラットパネルのコモンライン用の駆動回路を変更するかフラットパネル駆動回路制御用信号の変更を行う必要が生じコストアップにつながる。

【０００８】

そこで上記各問題点に鑑み、記憶回路の動作に必要となるアドレス信号発生回路の出力タイミングを変更することで、回路網内部に記憶素子を内蔵した場合にもアドレスを変化させる信号とアドレス周期を可変させる２本の外部信号だけで記憶回路の使用領域を可変，特定させることができ、回路網内部に記憶素子を内蔵しない場合と同様に周辺回路を組むことができる。パネル表示画素に対応する記憶素子を内蔵したフラットパネル駆動回路においてフラットパネルコントローラから送られてくる制御信号のうちラッチパルスとフレームスタート信号を前記外部信号として使用でき新たに信号線を増加させずに表示ラインに応じた内蔵記憶素子領域の自動使用範囲調整ができる。これはフラットパネルにおける額縁領域の狭幅化の要求に適して好適である。また記憶素子を内蔵することにより各種のパネル駆動方法が可能となるため外部信号と同じ信号を用いて画質の改善、低消費電力化

が実現できるフラットパネルを提供できる。

【０００９】

本発明の記憶回路は、記憶素子へのデータの書き込みおよび読み出しに必要となるアドレス信号を生成するアドレス信号発生回路を内蔵した記憶回路であって、第１の外部信号に基づいてアドレスを変化させるアドレス変化手段と、第２の外部信号に基づいて、アドレス周期を決定するアドレス周期可変手段と、前記アドレス変化手段と前記アドレス周期可変手段からの信号を受け、前記アドレス周期可変手段により決定されたアドレス周期でアドレスを変化させる前記アドレス信号発生回路と、前記アドレス信号発生回路からのアドレスを読み出しアドレスとして入力するとともに、前記第１の外部信号に同期した入力データを入力する前記記憶素子と、前記記憶素子から読み出したデータを出力データに変換して出力する信号変換部と、を有し、前記出力データは、前記第１の入力信号に同期し、且つ、前記入力データ入力時の前記第２の外部信号の位相から所定の周期遅れた同一の位相で出力され、前記アドレス信号発生回路は、前記第１の外部信号を分周用信号に変換する第１の信号変換手段と、前記分周用信号を分周する信号分周手段と、前記第１及び第２の外部信号より分周手段のリセット信号及び信号保持手段へ保持するタイミングを作る信号生成手段と、前記信号分周手段より出力された信号保持タイミング信号により決定される最大分周値を保持する前記信号保持手段と、前記信号保持手段に保持された値と前記分周手段からの出力信号を比較する信号比較手段と、前記分周手段からの出力信号を前記信号比較手段からの信号で論理変換する信号合成部と、を有することを特徴とする。

【００１１】

本発明のフラットパネル駆動回路は、フラットパネルの全エリアあるいは一部のエリアの画素データに対応する記憶素子を有する上記の記憶回路と、前記記憶素子から読み出したデータを駆動信号に変換して出力する信号変換部と、を有することを特徴とする。

【００１２】

【作用】

本発明によれば各種回路網に記憶回路を内蔵した場合にも内部に存在しない場合と同様に周辺回路を構成することができる。

【００１３】

また、記憶回路に利用するアドレス信号発生回路において任意の記憶素子数、アドレス数に、従来と同じ外部信号で対応できる。

【００１４】

また、上記記憶素子をフラットパネル駆動回路に内蔵することで種々のパネル駆動方法が可能となりパネルの画質向上や低消費電力化を図ることができる。

【００１５】

【実施例】

以下書き込み読み出しをする記憶素子は、記憶素子と略す。以下信号のハイレベルを「Ｈ」、ローレベルを「Ｌ」で示す。論理を理解し易くするために特に指定のない場合には信号は「Ｈ」で動作可能、カウント等の切り変わりには信号の立ち下がりを用いて説明する。

【００１６】

図１及び図２は、それぞれ本発明の記憶回路の回路構成図及び記憶回路周辺の信号を示した図である。第１の外部信号である入力クロック102及び第２の外部信号である外部リセット信号101を記憶素子動作用信号作成部103に入力し記憶素子104へのデータの書き込み読み出しに必要となる信号ＷＲ105，ＲＤ106，ＰＣ107等の信号を作成する。ＷＲ105信号は記憶素子104へのデータの書き込みに用いる信号である。ＲＤ106信号は記憶素子104からのデータの読み出しに用いる信号である。ＰＣ107信号はＷＲ105信号とＲＤ106信号の切り変わりに必要となるプリチャージ信号である。入力クロック102及び外部リセット信号101をアドレス変化手段及びアドレス周期可変手段を含むアドレス信号発生回路108に入力する。アドレス信号発生回路108から出力されるアドレス信号109の切り換わりは記憶素子104にデータの書き込みが終わった直後にくるようにアドレス信号発生回路108よりアド

レス信号109が出力される。入力クロック102に同期して入力されてくる記憶素子入力データ110の斜線に示した部分が転送されてくると、その記憶素子入力データ110はＷＲ105信号の矢印で示したパルスによりアドレス信号発生回路108より作られるアドレス一段目信号109-1，アドレス二段目信号109-2，アドレス三段目信号109-3共に「Ｌ」の部分の記憶素子内に取り込まれる。その後ＲＤ106信号の矢印に示したパルスによりアドレス一段目信号109-1，アドレス二段目信号109-2，アドレス三段目信号109-3共に「Ｌ」で選択される記憶素子内から記憶素子出力データ111の斜線に示す部分に先に入力した記憶素子入力データ110の斜線で示した記憶素子に書き込まれたデータが読み出される。記憶素子出力データ111を同期部112で入力クロック102により同期をとって出力データ113斜線部にデータが出力される。この様に出力データ113は入力された部分から外部リセット信号101一周期すなわちアドレス一周期遅れた部分の同一のアドレスの期間に出力される。すなわち本発明記憶回路への入力データ110のb1,b2,b3・・・・はそれぞれ出力データ113のb1,b2,b3・・・・に読み出される。

【００１７】

図３，図４及び図５は、それぞれ本発明のアドレス信号発生回路の構成図，アドレス信号発生回路図及びアドレス信号発生回路周辺の信号を示す図である。入力クロックを五つカウントするものを例として用いる。第１の外部信号である入力クロック102を分周用信号に変換する第１の変換手段である分周用信号作成部121で遅延等を用いてカウントクロック122に変換する。このカウントクロック122を分周手段である同期あるいは非同期の分周器123により分周を行う。分周器123はリセット付きフリップフロップ124で構成される。入力クロック102と外部リセット信号101を信号作成手段である分周器リセット信号及びラッチ信号作成部125に入力することで分周器のリセットに必要となる分周器リセット信号126及び後に説明するラッチ信号127を得る。この分周器リセット信号及びラッチ信号作成部125では入力クロック102と外部リセット信号101との論理合成を行う。この論理合成された信号がラッチ信号127となり、このラッチ信号127の立ち上がりエッジにより作成される信号が分周器リセット信号126となる。この分周器リセット信号126を分周器123のリセット端子に入力する。これらの信号により分周器123から分周一段目信号128-1,分周二段目信号128-2,分周三段目信号128-3が出力される。これらの信号128-1,128-2,128-3を上記したラッチ信号127により信号保持手段であるラッチ部129に入力する。この結果ラッチ部129には分周器123によりカウントされる最大カウント値がラッチされる。この場合ラッチされた信号は、ラッチ一段目信号130-1「Ｈ」，ラッチ二段目信号130-2「Ｌ」，ラッチ三段目信号130-3「Ｈ」となる。ラッチ一段目信号130-1、ラッチ二段目信号130-2、ラッチ三段目信号130-3はそれぞれ分周一段目信号128-1、分周二段目信号128-2、分周三段目信号128-3をラッチしたものである。信号比較手段である信号比較器131はラッチされた信号130-1,130-2,130-3と分周器123の分周信号128-1,128-2,128-3をそれぞれ比較を行い信号が一致する部分で信号比較器出力信号132が「Ｈ」となるよう動作する。第２の信号変換手段である信号合成部133では信号比較器131から出力される信号比較器出力信号132と分周器123より出力される分周器出力信号128-1,128-2,128-3のそれぞれの信号と論理合成を行いアドレス一段目信号134-1、アドレス二段目信号134-2、アドレス三段目信号134-3を得る。このアドレス一段目信号134-1は分周一段目信号128-1，ラッチ一段目信号130-1に、このアドレス二段目信号134-2は分周二段目信号128-2，ラッチ二段目信号130-2に、このアドレス三段目信号134-3は分周三段目信号128-3，ラッチ三段目信号130-3に、それぞれ対応する。

【００１８】

図６及び図７は、それぞれ本発明フラットパネル駆動回路の構成図とフラットパネル駆動回路周辺の信号を示した図である。ＶＳＹＮＣ142信号は、フラットパネル141の垂直方向の同期信号。ＨＳＹＮＣ143信号は、フラットパネル141の水平方向の同期信号。フラットパネル141を駆動するにはフラットパネル141の縦横に配置される電極に信号を与える必要がある。この電極に信号を与えるものがフラットパネル用データライン駆動回路144及びコモンライン駆動回路145である。本発明のフラットパネル駆動回路はデータライン駆動

回路144に対応する。パネルに表示される入力画素データ146はＨＳＹＮＣ143一周期内に一水平期間分の画素データがシリアルにＶＳＹＮＣ142一周期内に一画面分の画素データがシリアルに転送されてくる。この入力画素データ146をシリアル・パラレル変換及び記憶素子部動作信号発生部147に入力してシリアルであった入力画素データ146を一水平期間分のパラレル画素データ148に変換及び記憶素子の動作に必要となるＷＲ105，ＲＤ106，ＰＣ107信号とアドレス信号109を発生する。アドレス信号109は上記本発明のアドレス信号発生回路から出力されるものである。パラレル画素データ148は上記本発明記憶回路に読み込まれる。入力画素データ146の斜線で示される部分はシリアル・パラレル変換によりパラレル画素データ148の斜線に示す部分に変換されＷＲ105信号の矢印で示すパルスにより記憶素子内に書き込まれＲＤ106信号の矢印で示すパルスにより記憶素子部150から記憶素子部出力データ149の斜線で示す部分にデータが読み出される。そのデータを同期部151によりＨＳＹＮＣ143信号により同期をとって同期部後データ152の斜線に示す部分にデータが出力される。この同期部後データ152をパネル駆動用信号変換部153でパネル駆動が可能な信号であるパネル駆動用信号154に変換し斜線で示す部分にデータを出力する。よってフラットパネル用データはシリアルな入力画素データ146が入力された期間からＶＳＹＮＣ142一周期及びＨＳＹＮＣ143一周期遅れた期間に出力される。

【００１９】

【発明の効果】

本発明の記憶回路はその動作に必要となるアドレス信号発生回路の出力タイミングを変更することで、回路網内部に記憶素子を内蔵した場合にもアドレスを変化させる信号とアドレス周期を可変させる２本の外部信号、すなわち、第１および第２の外部信号だけで記憶回路の使用領域を可変，特定させることができ、回路網内部に記憶素子を内蔵しない場合と同様に周辺回路を組むことができる。さらに、各種回路網の内部に追加した場合にも記憶回路が内部に存在しない場合と同様に周辺回路を構成できる。そのため新たな周辺回路の変更は少なくてすみコストダウンを図ることができる。

【００２０】

本発明アドレス信号発生回路は上記記憶素子の動作に用いるものであるが、アドレスを変化させる信号とアドレスの周期を可変させる２本の外部信号だけで記憶回路の使用領域を可変，特定させることができ、任意の記憶素子数、アドレス数に従来と同じ外部信号で対応することができ回路の簡素化が図れる。

【００２１】

本発明のフラットパネル駆動回路はパネル表示画素に対応する記憶素子を内蔵するためフラットパネル駆動回路より出力される信号であるフラットパネルに供給する信号を種々変換することが可能となる。例えばパネルの数ラインを同時に選択するような駆動方法によりフラットパネルの画質の向上、またパネル画面に静止画が表示されるときには外部からの画像信号を使わず内蔵する記憶回路からの信号でパネル駆動を行う駆動方法によりフラットパネルの低消費電力化の効果が得られる。また、フラットパネルコントローラから送られてくる制御信号のうちラッチパルスとフレームスタート信号を前記外部信号として使用でき新たに信号線を増加させずに表示ラインに応じた内蔵記憶素子領域の自動使用範囲調整ができる。これはフラットパネルの額縁領域の狭幅化の要求に好適である。

さらに、記憶素子を内蔵することにより各種のパネル駆動方法が可能となるため外部信号と同じ信号を用いて画質の改善、低消費電力化が実現できるフラットパネルを提供できる。

【図面の簡単な説明】

【図１】本発明の記憶回路の構成図。

【図２】本発明の記憶回路の周辺の信号を示す図。

【図３】本発明のアドレス信号発生回路の構成図。

【図４】本発明のアドレス信号発生回路の回路図。

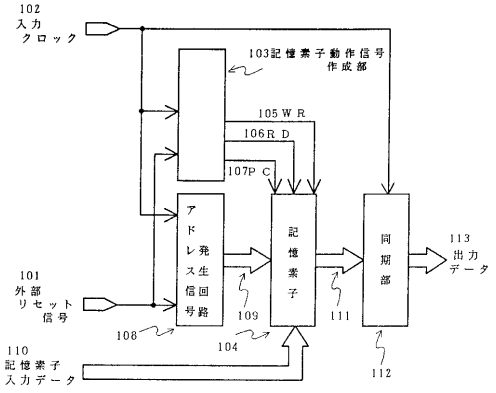
【図５】本発明のアドレス信号発生回路周辺の信号を示す図。

【図６】本発明のフラットパネル駆動回路の構成図。

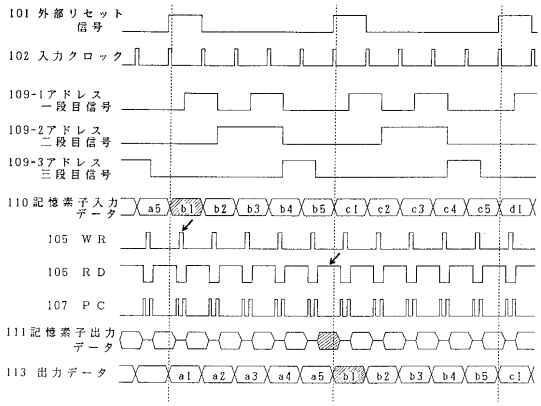
【図７】本発明のフラットパネル駆動回路の周辺の信号を示す図。
【図８】従来の記憶回路の構成図。
【図９】従来の記憶回路の周辺の信号を示す図。
【図１０】従来のアドレス信号発生回路の構成図。
【図１１】従来のアドレス信号発生回路周辺の信号を示す図。
【図１２】従来のフラットパネル駆動回路の構成図。
【図１３】従来のフラットパネル駆動回路の周辺の信号を示す図。
【符号の説明】
101・・・・・外部リセット信号
102・・・・・入力クロック
103・・・・・記憶素子動作用信号作成部
104・・・・・記憶素子
105・・・・・ＷＲ
106・・・・・ＲＤ
107・・・・・ＰＣ
108・・・・・アドレス信号発生回路
109・・・・・アドレス信号
110・・・・・記憶素子入力データ
111・・・・・記憶素子出力データ
112・・・・・同期部
113・・・・・出力データ
121・・・・・分周用信号作成部
122・・・・・カウントクロック
123・・・・・分周器
124・・・・・リセット付きフリップフロップ
125・・・・・分周器リセット信号及びラッチ信号作成部
126・・・・・分周器リセット信号
127・・・・・ラッチ信号
128-1・・・分周一段目信号
128-2・・・分周二段目信号
128-3・・・分周三段目信号
129・・・・・ラッチ部
130-1・・・ラッチ一段目信号
130-2・・・ラッチ二段目信号
130-3・・・ラッチ三段目信号
131・・・・・信号比較器
132・・・・・信号比較器出力信号
133・・・・・信号合成部
134-1・・・アドレス一段目信号
134-2・・・アドレス二段目信号
134-3・・・アドレス三段目信号
141・・・・・フラットパネル
142・・・・・ＶＳＹＮＣ
143・・・・・ＨＳＹＮＣ
144・・・・・データライン駆動回路
145・・・・・コモンライン駆動回路
146・・・・・入力画素データ
147・・・・・シリアル・パラレル変換及び記憶素子部動作信号発生部
148・・・・・パラレル画素データ
149・・・・・記憶素子部出力データ

150・・・・・記憶素子部
151・・・・・同期部
152・・・・・同期部後データ
153・・・・・パネル駆動用信号変換部
154・・・・・パネル駆動用信号
161・・・・・アドレス信号発生回路
162ー1・・・アドレス一段目信号
162ー2・・・アドレス二段目信号
162ー3・・・アドレス三段目信号
163・・・・・記憶素子出力データ
164・・・・・出力データ
171・・・・・分周器
172・・・・・分周器リセット信号作成部
173・・・・・分周器リセット信号
174・・・・・アドレス信号
182・・・・・シリアル・パラレル変換部
183・・・・・パラレル画素データ
184・・・・・パネル駆動用信号変換部
185・・・・・パネル駆動用信号

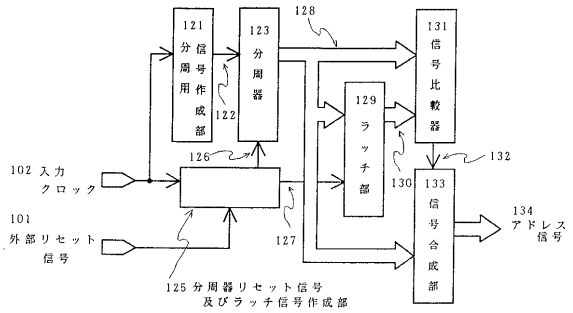
【図１】



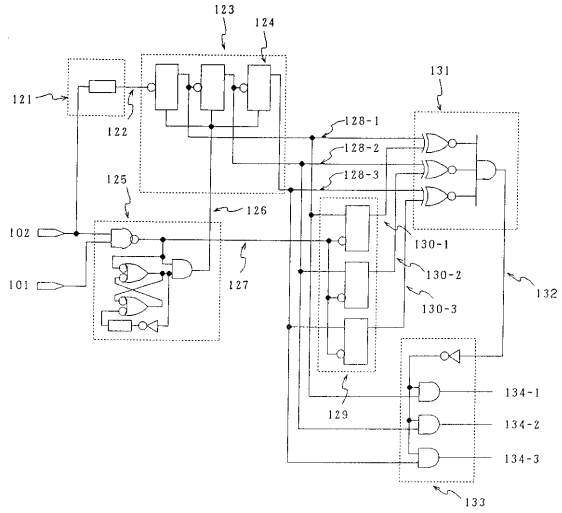

【図２】



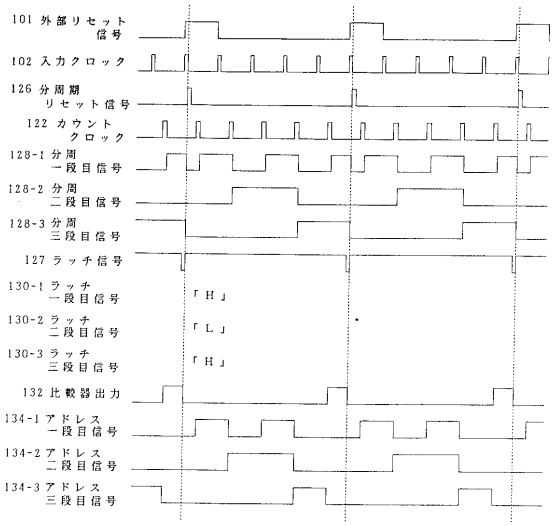

【図３】



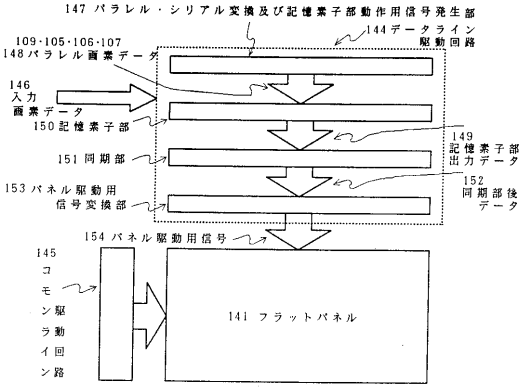
【図４】


123
124
121
122
131
128-1
128-2
128-3
125
126
102
101
127
130-1
130-2
130-3
132
129
134-1
134-2
134-3
133

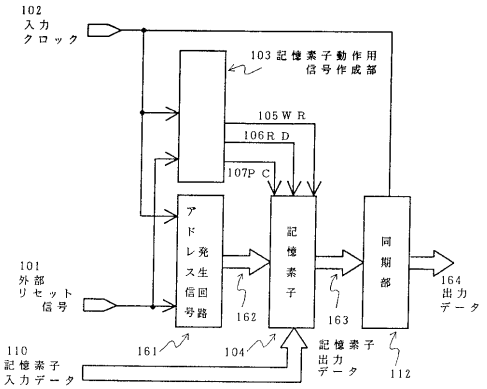
【図５】


101 外部リセット信号
102 入力クロック
126 分周期リセット信号
122 カウントクロック
128-1 分周一段目信号
128-2 分周二段目信号
128-3 分周三段目信号
127 ラッチ信号
130-1 ラッチ一段目信号
130-2 ラッチ二段目信号
130-3 ラッチ三段目信号
「H」
「L」
「H」
132 比較器出力
134-1 アドレス一段目信号
134-2 アドレス二段目信号
134-3 アドレス三段目信号

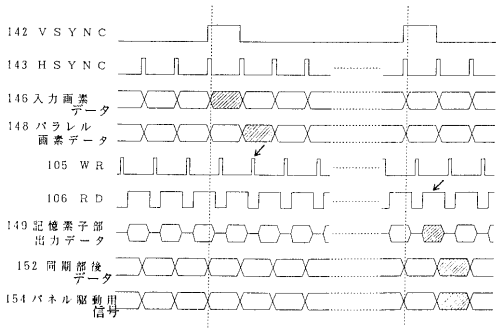
【図６】


147 パラレル・シリアル変換及び記憶素子部動作用信号発生部
144 データライン駆動回路
109・105・106・107
148 パラレル画素データ
146 入力画素データ
150 記憶素子部
149 記憶素子部出力データ
151 同期部
152 同期部後データ
153 パネル駆動用信号変換部
154 パネル駆動用信号
145 コモン駆動回路
141 フラットパネル

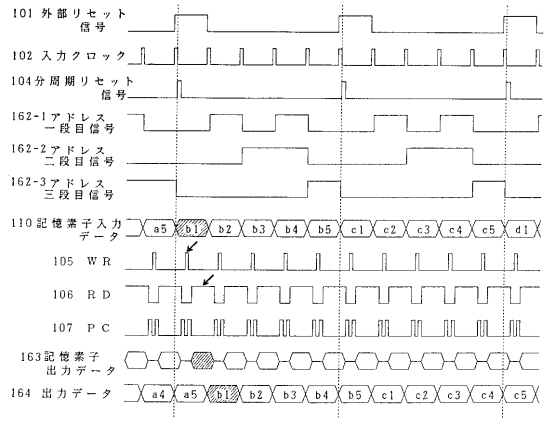
【図８】


102 入力クロック
103 記憶素子動作用信号作成部
105 WR
106 RD
107 PC
アドレス発生回路
記憶素子
同期部
101 外部リセット信号
162
163
164 出力データ
110 記憶素子入力データ
161
104
記憶素子出力データ
112

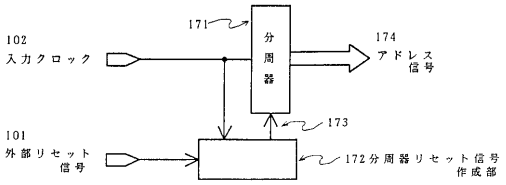
【図７】


142 VSYNC
143 HSYNC
146 入力画素データ
148 パラレル画素データ
105 WR
106 RD
149 記憶素子部出力データ
152 同期部後データ
154 パネル駆動用信号

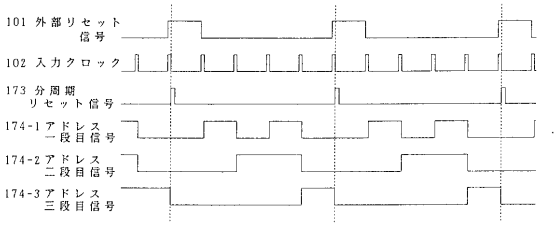
【図９】



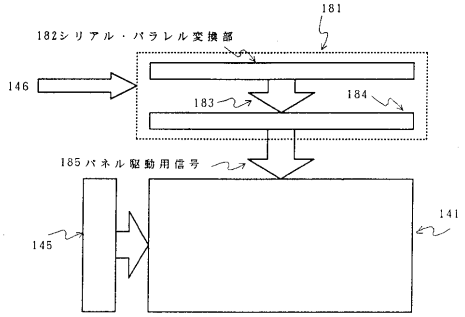

【図１０】



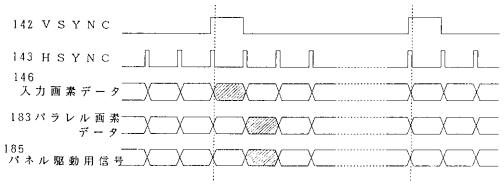

【図１１】




【図１２】




【図１３】



フロントページの続き

合議体
審判長　杉野　裕幸
審判官　後藤　時男
審判官　山川　雅也

(56)参考文献　特開昭５６－１４４４９０６５（ＪＰ，Ａ）
特開平２－２８４２７１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G3/36
G09G3/20
G02F1/33 505