

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5044818号
(P5044818)

(45) 発行日 平成24年10月10日(2012.10.10)

(24) 登録日 平成24年7月27日(2012.7.27)

(51) Int.Cl. F I
 H O 1 L 29/93 (2006.01) H O 1 L 29/93 H
 H O 1 L 21/329 (2006.01)

請求項の数 16 (全 13 頁)

(21) 出願番号	特願2007-550400 (P2007-550400)	(73) 特許権者	390009531
(86) (22) 出願日	平成17年12月22日(2005.12.22)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2008-527714 (P2008-527714A)		I N T E R N A T I O N A L B U S I N E S S M A S C H I N E S C O R P O R A T I O N
(43) 公表日	平成20年7月24日(2008.7.24)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2005/047085		
(87) 国際公開番号	W02006/073943		
(87) 国際公開日	平成18年7月13日(2006.7.13)	(74) 代理人	100108501
審査請求日	平成20年10月7日(2008.10.7)		弁理士 上野 剛史
(31) 優先権主張番号	10/905,486	(74) 代理人	100112690
(32) 優先日	平成17年1月6日(2005.1.6)		弁理士 太佐 種一
(33) 優先権主張国	米国 (US)	(74) 代理人	100091568
			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 補償されたカソード・コンタクトを使用する1マスク超階段接合バラクタの形成方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板のアノード領域内に配置された超階段接合と、
 前記半導体基板のカソード領域内に、前記超階段接合に隣接して配置され、当該接合とは絶縁された、少なくとも1つの補償されたカソード・コンタクトと、

第1の導電型を有し、下にあるサブコレクタまたはカソードのいずれかの領域と接触するリーチスルー・ドーパント領域と、

前記リーチスルー・ドーパント領域の表面上に配置された、前記第1の導電型を有するドーパント領域と

を含み、前記少なくとも1つの補償されたカソード・コンタクトは、前記半導体基板の上面へ延在し、かつ、前記ドーパント領域の表面に垂直に隣接しており、かつ、前記第1の導電型に補償された上側ドーパント領域を含み、かつ、前記ドーパント領域および前記リーチスルー・ドーパント領域に比較して高い濃度の前記第1の導電型のドーパントを有する、半導体構造。

【請求項2】

前記アノード領域内の前記超階段接合が、前記第1の導電型と異なる第2の導電型を有する上側ドーパント領域と、当該上側ドーパント領域と反対である前記第1の導電型を有する下側ドーパント領域とを含む、請求項1に記載の半導体構造。

【請求項3】

前記アノード領域内の前記超階段接合の前記上側ドーパント領域がp型ドーパントを含

10

20

み、前記アノード領域内の前記超階段接合の前記下側ドーパント領域がn型ドーパントを含む、請求項2に記載の半導体構造。

【請求項4】

前記アノード領域内の前記超階段接合の前記上側ドーパント領域がn型ドーパントを含み、前記アノード領域内の前記超階段接合の前記下側ドーパント領域がp型ドーパントを含む、請求項2に記載の半導体構造。

【請求項5】

2つの補償されたカソード・コンタクトが前記超階段接合に接して配置される、請求項1に記載の半導体構造。

【請求項6】

前記少なくとも1つの補償されたカソード・コンタクトが、 10^{20} 原子/cm³以上の濃度でドーピングされた領域を含む、請求項1に記載の半導体構造。

【請求項7】

前記超階段接合および前記少なくとも1つの補償されたカソード・コンタクトの上に配置されたシリサイドをさらに含む、請求項1に記載の半導体構造。

【請求項8】

半導体基板のアノード領域に配置され、p型上側ドーパント領域およびn型下側ドーパント領域を含む超階段接合と、

前記半導体基板のカソード領域内に、前記超階段接合に隣接して配置され、当該接合とは絶縁された、少なくとも1つの補償されたカソード・コンタクトと

下にあるn型のサブコレクタまたはカソードのいずれかの領域と接触するn型リーチスルー・ドーパント領域と、

前記n型リーチスルー・ドーパント領域の表面上に配置された、n型ドーパント領域とを含み、前記少なくとも1つの補償されたカソード・コンタクトは、前記半導体基板の上面へ延在し、かつ、前記n型ドーパント領域の表面に垂直に隣接しており、かつ、n型に補償された上側ドーパント領域を含み、かつ、前記n型ドーパント領域および前記n型リーチスルー・ドーパント領域に比較して高い濃度のn型ドーパントを有する、半導体構造。

【請求項9】

超階段接合を含む半導体構造を形成する方法であって、

半導体基板であって、該半導体基板内でアノード領域および少なくとも1つのカソード領域を画定する複数の分離領域が配置された半導体基板を準備するステップと、

前記少なくとも1つのカソード領域内に、第1の導電型のリーチスルー・ドーパント領域を形成するステップと、

前記リーチスルー・ドーパント領域に接触されるサブコレクタ/カソード、コレクタ/ウェル領域、ならびに前記アノード領域内および前記カソード領域内の両方に配置される超階段接合を単一の注入マスクを使用して前記半導体基板内に形成するステップと、

前記少なくとも1つのカソード領域内へ選択的に前記第1の導電型による注入を行うことによって、前記少なくとも1つのカソード領域に配置された前記超階段接合の、前記第1の導電型と異なる第2の導電型を有する上側ドーパント領域を前記第1の導電型へ補償して、補償されたカソード・コンタクトであって、前記半導体基板の上面へ延在し、かつ、前記リーチスルー・ドーパント領域の表面上に配置された前記第1の導電型を有するドーパント領域の表面に垂直に隣接しており、かつ、前記ドーパント領域および前記リーチスルー・ドーパント領域に比較して高い濃度の前記第1の導電型のドーパントを有する該補償されたカソード・コンタクトへと変更するステップと

を含む、方法。

【請求項10】

前記リーチスルー・ドーパント領域の前記形成が、前記少なくとも1つのカソード領域を露出する開口部を有する第1の注入マスクを形成すること、および前記露出領域内に前記第1の導電型のドーパントを注入することを含む、請求項9に記載の方法。

10

20

30

40

50

【請求項 1 1】

前記サブコレクタ／カソード、前記コレクタ／ウェル領域、および前記超階段接合の前記形成が、前記単一の注入マスクを介して複数の注入を実行することを含む、請求項 9 に記載の方法。

【請求項 1 2】

前記サブコレクタ／カソードおよび前記コレクタ／ウェル領域の前記形成が、単一の注入を使用して実行される、請求項 1 1 に記載の方法。

【請求項 1 3】

前記超階段接合の前記形成が、異なる導電型の 2 つの注入を含む、請求項 1 1 に記載の方法。

【請求項 1 4】

前記カソード領域内への前記選択的な注入が、前記カソード領域内に 10^{20} 原子 / cm^3 以上の濃度でドーピングされた領域を形成する、請求項 9 に記載の方法。

【請求項 1 5】

前記超階段接合および前記補償されたカソード・コンタクトの上にシリサイドを形成することをさらに含む、請求項 9 に記載の方法。

【請求項 1 6】

前記シリサイドがシリサイド化プロセスによって形成される、請求項 1 5 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可同調で高い品質係数 Q を有する超階段接合バラクタを含む半導体構造、およびこのような半導体構造の製法に関する。補償されたカソード・コンタクトを有する超階段接合バラクタを含む本発明の半導体構造は、相補型金属酸化物半導体 (CMOS) 技術またはバイポーラ技術あるいはその両方で使用するのに非常に適している。特に、本発明の構造は、移動電話またはセルラ電話、携帯情報端末 (PDA)、およびその他の高い無線周波 (RF) の電子デバイスの構成要素として使用するのに非常に適している。

【背景技術】

【0002】

バラクタは、 $p-n$ 接合に通常は由来する同調可能な半導体キャパシタの一種を形成しており、バラクタでは $p-n$ 接合が逆バイアス状態で動作される。バラクタのキャパシタンスは、逆バイアス電圧を調整することによって変えることができる。したがって、バラクタは $C-V$ 同調曲線によって特徴づけることができる。バラクタは、発振回路、とりわけ電圧制御発振器 (VCO) において特に有用であり、発振回路では、バラクタの可同調性が回路の発振周波数を同調させるのに使用される。このように、バラクタは、セルラ電話または移動電話、PDA、テレビ、ラジオ、コンピュータ、アクティブ・フィルタ、および第 1 の信号が第 2 の信号に同期されるあらゆるものにおいて用途がある。

【0003】

イオン注入された超階段接合を含むバラクタが知られており、当技術においては「超階段接合バラクタ」と呼ばれている。例えば、グッドウィン (Goodwin) 等への米国特許第 4,226,648 号、パブリディス (Pavlidis) 等への米国特許第 4,827,319 号、グエン (Nguyen) 等への米国特許第 5,557,140 号、およびクールボー (Coolbaugh) 等への米国特許第 6,521,506 号を参照。用語「超階段」は、 $p-n$ 接合のプロファイルを示すために使用される。超階段接合バラクタは、ドーパント密度が接合部の方へ向かって増加し、接合部で急にゼロまで降下する、制御された非線形式に変化するドーピング・プロファイルを有する。

【0004】

超階段接合バラクタは、 $p-n$ ダイオード・バラクタ、ショットキー・ダイオード・バラクタ、および金属酸化物半導体 (MOS) ダイオード・バラクタよりも高い同調範囲を有

10

20

30

40

50

する。さらに、超階段接合バラクタは、高い品質係数 Q に加えて、ほぼ線形の CV 特性を有する。これらの性能指数、すなわち可同調性、高 Q 、および線形の CV により、超階段接合バラクタは VCO の設計者たちに好まれるデバイスとなっている。

【0005】

クリティカルな $CMOS$ プロセスおよび $BiCMOS$ プロセスから独立している超階段接合バラクタを実現するために、従来技術の技法では、少なくとも2つの独自のクリティカルな注入マスク・レベルを実現することが必要である。例えば、1つの注入マスク・レベルが、サブコレクタまたは超階段接合バラクタ用の n 型注入部あるいはその両方を形成するために必要であり、別の注入マスク・レベルが、 $p+$ 注入または超階段注入あるいはその両方を実施してアノード・デバイスを形成するために必要である。

10

【0006】

1マスク・レベルの超階段接合バラクタを作製するためには、標準の $pFET$ ソース/ドレイン注入からの $p+$ 型注入またはバイポーラ・エミッタからの同様の $p+$ 型注入を実施することが必要である。しかし、超階段接合を形成するために使用される n 型注入を、特定の $p+$ 型ソース/ドレインまたはエミッタ注入技術に合わせる必要があるため、このような方法は超階段バラクタ・プロセスのモジュール性を制限する。さらに、特定のデバイス、例えば p 型 FET 、 $p+$ 型ポリ Si 抵抗、 $p+$ 型拡散抵抗、およびバイポーラ・トランジスタを要求仕様 (specification) まで戻すように $p+$ 型注入を調整するのが一般的であるので、 $p+$ 型ソース/ドレイン注入またはエミッタ注入を使用することは将来多数の問題を引き起こすであろう。エネルギーまたはドーズ量に対するどのようなわずかな調整も、それを使用する超階段接合バラクタに大きな変化 (shift) を生じさせることがあり得る。

20

【0007】

図1は、1つのカソード・コンタクトおよび超階段接合バラクタを含む、従来技術の典型的な半導体構造10Aの断面図である。この従来技術の構造の超階段接合バラクタは、少なくとも2つのクリティカルなマスキング・レベルを使用して製作されたものである。図1に示す構造10Aは、埋込みサブコレクタ/カソード14、コレクタ16、トレンチ分離領域18、リーチスルー注入領域20、および超階段ドーパント領域24を含む Si 含有基板12を含む。リーチスルー注入領域20は、この従来技術の構造ではサブコレクタ/カソード14と一箇所接触している。埋込みサブコレクタ14、コレクタ16、およびリーチスルー注入領域20は、同じ導電型のドーパント (p 型または n 型であるが、 n 型が好ましい) から構成されている。しかし、領域14、16、および20内のドーパント濃度は異なっている。例えば、埋込みサブコレクタ14およびリーチスルー注入部20は、コレクタ16より高濃度にドーピングされている。基板12上には、リーチスルー注入領域20と接触するシリサイド領域32が示されている。基板12上には誘電体膜30も示されており、この誘電体膜30はトレンチ分離領域18上に配置されている。さらに、例えばドーピングされたポリ Si を含むベース領域25も、基板12上に配置されている。ベース領域25は、 Si 含有基板12上に単結晶部26を含み、トレンチ分離領域18および誘電体膜30上に多結晶部27を含む。ベース領域25上には、シリサイド領域34も配置されている。

30

40

【0008】

上記の1カソード・コンタクトのデザインに加えて、従来技術の方法を利用して2カソード・コンタクト構造を形成することも可能である。2カソード・コンタクト構造を含む10Bが図2に示されている。図2で使用される参照番号は、図1で使用したものと同様であり、したがって図2に示す2カソード・デザインで表した要素は、図1に関して上述したものと同様である。図2に示す従来技術の構造の超階段接合バラクタも、少なくとも2つのクリティカルなマスキング・レベルを使用して作製されたものである。

【特許文献1】グッドウィン等、米国特許第4,226,648号

【特許文献2】パブリディス等、米国特許第4,827,319号

【特許文献3】グエン等、米国特許第5,557,140号

50

【特許文献４】クールボー等、米国特許第 6 , 5 2 1 , 5 0 6 号

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

上述の両方の従来技術の構造では、超階段ドーパント領域を形成するために２つのクリティカルなマスキング・レベルが必要とされる。半導体産業では、従来技術の超階段接合バラクタを形成するためには、２つの追加の注入マスク・レベルを超階段接合バラクタが必要とするといった不満が継続している。さらには、前述の課題を回避する、１マスキング・レベルのデバイスの使用を可能にする解決策を見つける必要がある。

【課題を解決するための手段】

【 0 0 1 0 】

本発明は、超階段接合および補償されたカソード・コンタクトを含む半導体構造を提供する。超階段接合を含む本発明の構造の超階段接合バラクタは、高度に同調可能で、高Ｑおよび線形ＣＶ曲線を有する。超階段接合に隣接する基板の領域に配置されたカソード・コンタクトは補償される。「補償される」とは、本発明のカソード・コンタクトが、反対のタイプのドーパントを効率的にカウンタ・ドーピングするのには十分な高さの、あるタイプのドーパント濃度を有することを意味している。

【 0 0 1 1 】

特に、幅広い意味では、本発明の半導体構造は、

半導体基板のアノード領域内に配置された超階段接合と、

前記超階段接合に隣接して配置されているがそこからは絶縁された、少なくとも１つの補償されたカソード・コンタクトとを含み、前記少なくとも１つの補償されたカソード・コンタクトがリーチスルー・ドーパント領域の表面で第１の導電型のドーパント領域を提供し、前記リーチスルー・ドーパント領域が、サブコレクタまたはカソードあるいはその両方である、下にある第１のドーパント領域と接触している。

【 0 0 1 2 】

本発明の半導体構造は、ＣＭＯＳ技術またはバイポーラ技術あるいはその両方における、１つまたは複数のＣＭＯＳデバイスまたはバイポーラ・デバイスあるいはその両方が上に配置された基板として使用することができる。

【 0 0 1 3 】

上記の本発明の半導体構造を提供することに加えて、本発明は、超階段接合、サブコレクタ／カソード、およびコレクタ／ウェル領域を形成するために単一のマスキング・レベルが使用される、上記の構造の製作方法も提供する。具体的には、本発明は、従来技術の超階段接合バラクタを製作する際に使用される一般的な方法であるエピタキシャル成長法の使用を含まない半導体構造の製作方法、特にＣＭＯＳまたはＢｉＣＭＯＳ処理で超階段接合バラクタを製作する方法を提供する。より具体的には、本発明は、超階段接合、サブコレクタ／カソード、およびコレクタ／ウェル領域を形成するために単一の注入マスクを使用する、垂直な超階段接合バラクタの製作方法を提供する。

【 0 0 1 4 】

幅広い意味では、本発明の半導体構造を形成する際に使用される本発明の方法は、

半導体基板であって、この半導体基板内でアノード領域および少なくとも１つのカソード領域を画定する複数の分離領域が配置された半導体基板を準備するステップと、

前記少なくとも１つのカソード領域内にリーチスルー・ドーパント領域を形成するステップと、

サブコレクタ／カソード、コレクタ／ウェル領域、ならびに前記アノード領域内およびカソード領域内の両方に配置される超階段接合を単一の注入マスクを使用して前記半導体基板内に形成するステップと、

前記カソード領域に配置された前記超階段接合を補償されたカソード・コンタクトへと変えるために前記カソード領域内へ選択的に注入するステップとを含む。

【 0 0 1 5 】

10

20

30

40

50

本発明によれば、本発明の超階段接合の形成は、バラクタのダイオード層を形成するには十分な濃さであるが、カソード・コンタクト領域において補償されるのには十分な薄さのドーズ量で実行される、超階段接合の上側ドーパント領域の注入を含む。

【発明を実施するための最良の形態】

【0016】

次に、補償されたカソード・コンタクトを有する超階段接合バラクタを含む半導体構造、ならびに単一のマスクがサブコレクタ/カソード、コレクタ/ウェルおよび超階段接合を形成するために使用されるその半導体構造の製作方法を提供する本発明を、本願に付属の図面を参照することによって、より詳細に説明する。本願の図面は、例示の目的で本明細書において提供されており、したがって一定の比率では描画されていない。

10

【0017】

まず、補償されたカソード・コンタクトを有する1マスク超階段接合バラクタを形成するために本発明で使用する基本プロセス・フローを示す図3～図6を参照する。具体的には、図3は、本発明で 사용할 ことができる初期構造40を示している。図示のように、初期構造40は、複数の分離領域44が形成された半導体基板42を含む。

【0018】

半導体基板42は、Si、SiGe、SiC、SiGeC、GaAs、InAs、InPと、Si/SiGe、Si/SiGeCなどの層状半導体と、シリコン・オン・インシュレータ(SOI)と、シリコン・ゲルマニウム・オン・インシュレータ(SGOI)とを含むがこれらに限定されない、任意の半導体材料を含む。典型的には、半導体基板42は、SiなどのSi含有半導体を含む。

20

【0019】

複数の分離領域44は、(図示する)トレンチ分離領域を含むことができ、その代わりに分離領域44はフィールド酸化膜(FOX)分離領域(図示せず)を含むこともできる。分離領域44は、当技術で周知の技法を利用して形成される。例えば、分離領域44がFOX分離領域である場合には、従来のシリコンの局所酸化プロセスを使用することができる。その代わりに、分離領域44がトレンチ分離領域から構成される場合には、トレンチ分離領域44は、リソグラフィ、エッチング、およびトレンチ充填によって形成される。リソグラフィ・ステップは、フォトレジストを基板42の表面に付与すること、フォトレジストを所望のパターンの放射線に露光させること、および従来のレジスト現像液を使用して露光したフォトレジストを現像することを含む。トレンチ分離領域44を形成する際に使用するエッチング・ステップには、例えば反応イオン・エッチング、イオン・ビーム・エッチング、プラズマ・エッチング、またはレーザー・アブレーションなどの乾式エッチング・プロセス、あるいは化学エッチング液が使用される湿式エッチング・プロセスが含まれる。トレンチ充填プロセスには、酸化物などのトレンチ誘電体材料の堆積が含まれる。トレンチ分離領域44の形成はさらに、緻密化プロセスまたは平坦化プロセスあるいはその両方を含んでもよい。

30

【0020】

複数の分離領域44は、カソード・コンタクト領域100Aおよび100Bならびにアノード領域102を含む基板のさまざまな領域を画定する。2つのカソード・コンタクト領域を示してあるが、本発明の方法には、単一のカソード・コンタクト領域を含む構造も想定されている。

40

【0021】

次に、図4に示すように、第1のドーパント領域46は、例えば、カソード・コンタクト領域100Aおよび100B内の基板の露出部内に形成される。第1のドーパント領域46は、リーチスルー・ドーパント領域とも呼ばれることがある。第1のドーパント領域46、すなわちリーチスルー・ドーパント領域は、n型ドーパントまたはp型ドーパントのいずれでもよい第1の導電型のドーパントを含む。好ましくは、第1のドーパント領域46はn型ドーパントを含む。

【0022】

50

第1のドーパント領域46は、リソグラフィおよびイオン注入によって形成される。イオン注入ステップは、当業者には周知の従来のイオン注入条件を利用して実行される。As、Sb、またはPなどのn型ドーパントを含む第1のドーパント領域46を形成するための典型的な条件には、約 10^{14} ~約 10^{16} 原子/cm²のイオン・ドーズ量と、約20~約800keVのエネルギーとを選択することが含まれるが、これらには限定されない。本発明のこの点において、BまたはGaなどのp型ドーパントが注入される場合には、約 10^{14} ~約 10^{16} 原子/cm²のイオン・ドーズ量と、約10~約400keVのエネルギーとを選択するという条件を使用することができる。この第1のドーパント領域46は、標準的なCMOS FETウェルを利用することによって形成されることができ、またはバイポーラ・デバイスのサブコレクタと電氣的に接触するために一般的に実行されるBiCMOS/バイポーラ・リーチスルー/シャント処理を利用することによって形成することもできる。

10

【0023】

使用されるドーズ量およびイオンの種類に応じて、第1のドーパント領域46内のドーパントの濃度は変わる。第1のドーパント領域46内のn型ドーパントの典型的な濃度範囲は、約 10^{18} ~約 10^{20} 原子/cm³であり、第1のドーパント領域46内のp型ドーパントの典型的な濃度範囲は、約 10^{18} ~約 10^{20} 原子/cm³である。

【0024】

次いで、第1のドーパント領域46を形成する際に使用された注入マスクが、従来の剥離プロセスを利用して構造から除去される。次いで、別の注入マスク（図示せず）が構造上に形成され、第2のドーパント領域48、第3のドーパント領域50、第4のドーパント領域52、および第5のドーパント領域54を形成する際に使用される。第2のドーパント領域48は、サブコレクタ/カソード領域のいずれかを表し、第3のドーパント領域50はコレクタ/ウェル領域を表している。第4のドーパント領域52は超階段接合の下側ドーパント領域を表し、第5のドーパント領域54は超階段接合の上側ドーパント領域を表している。図5は、これらのさまざまなドーパント領域を含む構造を示している。

20

【0025】

本発明によれば、第2のドーパント領域48、第3のドーパント領域50、および第4のドーパント領域52はそれぞれ、第1のドーパント領域46と同じ導電型のドーパント、例えば第1の導電型のドーパントを含み、第5のドーパント領域54は、第1の導電型とは反対の第2の導電型ドーパントを含む。非常に好ましい一実施形態では、ドーパント領域46、48、50、および52は、n型ドーパントを含み、領域54はp型ドーパントを含む。それとは反対のドーピング構成も、本明細書では想定されている。第5のドーパント領域54と第4のドーパント領域52との間に形成される界面53は、超階段接合バラクタの接合部を形成する。

30

【0026】

本発明では、第2のドーパント領域48の深さD2は、第3のドーパント領域50の深さD3よりも深く、第3のドーパント領域50の深さD3は、第4のドーパント領域52の深さD4よりも深く、第4のドーパント領域52の深さD4は、第5のドーパント領域54の深さD5よりも深い。すなわち、 $D2 > D3 > D4 > D5$ である。

40

【0027】

本発明によれば、典型的には第2のドーパント領域48が最初に形成され、第4のドーパント領域52および第5のドーパント領域54の形成がそれに続き、第3のドーパント領域50は、第2のドーパント領域48の形成中に形成される。この順序を具体的に記載しているが、注入の他の順序、およびその結果形成されるドーパント領域48、52、および54の他の順序も想定されている。

【0028】

特に、フォトマスクは、従来の堆積プロセスを利用して図4に示した構造の表面に付与される。次いで、リソグラフィ・プロセスが、構造全体を覆うフォトマスクを開口させるために使用される。次いで、第2の注入ステップが実行されて、第1のドーパント領域4

50

6、すなわちリーチスルー注入領域と接触するように、基板42の表面下に第2のドーパント領域(サブコレクタ/カソード)48を作製する。図5に示すように、この第2の注入ステップのより浅いテール(tail)により、第2のドーパント領域48の上に第3のドーパント領域50が効果的に作製される。

【0029】

具体的には、第2のドーパント領域48は、サブコレクタ/カソードを基板42内に形成できるイオン注入条件を使用して、第1の導電型、好ましくはn型のドーパントを構造内に注入することによって作製される。第2のドーパント領域48を形成する際に使用されるイオン注入条件は、使用されるドーパント・イオンの種類によって変わることがある。好ましいn型ドーパントの場合、典型的には、約 $5 \times 10^{13} \sim 10^{15}$ 原子/cm²のイオン・ドーズ量、および約300～約1500keVのエネルギーが利用される。p型ドーパントの場合、典型的には、約 $5 \times 10^{13} \sim 10^{15}$ 原子/cm²のイオン・ドーズ量、および約200～約800keVのエネルギーが利用される。第2のドーパント領域48内のドーパント濃度は、注入中に使用されるイオン・ドーズ量に依存している。典型的には、第2のドーパント領域48は、約 $10^{18} \sim 10^{20}$ 原子/cm³のn型ドーパント濃度を有する。p型ドーパントの典型的な濃度は、約 $10^{18} \sim 10^{20}$ 原子/cm³になる。第2のドーパント領域48は、やはりこの第2の注入ステップ中に形成される第3のドーパント領域50よりも高いドーピング濃度を有することに留意されたい。具体的には、第3のドーパント領域50は、第2のドーパント領域48のより浅いドーパント・テールを表している。このため、第3のドーパント領域50は、第2のドーパント48のものと同じ導電型のドーパントを含んでいるが、第3のドーパント領域50のドーパント濃度は、第2のドーパント領域のものよりも低い。典型的には、第3のドーパント領域50、例えばコレクタまたはウェル領域は、約 $10^{17} \sim 10^{19}$ 原子/cm³のn型ドーパント濃度を有する。第3のドーパント領域50の典型的なp型ドーパント濃度は、約 $10^{17} \sim 10^{19}$ 原子/cm³の範囲内となる。

【0030】

次に、第4のドーパント領域52、すなわち超階段接合の下側ドーパント領域が、基板42の露出部内への第1の導電型のドーパントのイオン注入によって形成される。好ましくは、第4のドーパント領域52はn型ドーパントを含む。n型ドーパントが使用される場合には、第4のドーパント領域52を形成する際に使用されるイオン注入ステップには、どのドーパント種が利用されるかに応じて、約 $10^{13} \sim 10^{14}$ 原子/cm²のイオン・ドーズ量、および約30～約300keVのエネルギーが含まれる。p型ドーパントが使用される場合には、注入条件には、約 $10^{13} \sim 10^{14}$ 原子/cm²のイオン・ドーズ量、および約10～約300keVのエネルギーが含まれる。第4のドーパント領域52は、下にある第3のドーパント領域50と比較すると高濃度にドーピングされた領域である。典型的には、第4のドーパント領域52は、約 $10^{17} \sim 10^{19}$ 原子/cm³のn型ドーパント濃度を有する。第4のドーパント領域52の典型的なp型ドーパント濃度は、約 $10^{17} \sim 10^{19}$ 原子/cm³の範囲内となる。

【0031】

第4のドーパント領域52の形成後、第5のドーパント領域54、例えば超階段接合の上側層が、別の注入ステップによって形成される。第1の導電型のドーパントが使用された先の注入とは異なり、第5のドーパント領域54を形成する際に使用される注入ステップは、第1の導電型のドーパントとは導電型の違う第2の導電型ドーパントを利用する。例えば、領域46、48、50、および52がn型の領域を含む好ましい実施形態において、第5のドーパント領域54はp型ドーパントを含む。また、これとは反対のドーパント構成も想定されている。p型ドーパントが第5のドーパント領域54を形成する際に使用される場合、注入条件には、約 $5 \times 10^{14} \sim 10^{16}$ 原子/cm²のイオン・ドーズ量、および約5～約30keVのエネルギーが含まれる。n型ドーパントが使用される場合、第5のドーパント領域54を形成する際に使用される注入条件には、約 $5 \times 10^{14} \sim 10^{16}$ 原子/cm²のドーズ量、および約10～約150keVのエネルギーが

含まれる。第5のドーパント領域54内の第2の導電型ドーパントの濃度は、典型的には約 10^{19} ~ 約 10^{21} 原子/cm³である。

【0032】

第4および第5のドーパント領域52、54それぞれを形成する際に使用されるさまざまな注入物は、カソード領域100Aおよび100B、ならびにアノード領域102のいずれにも有効に注入されることに留意されたい。本発明によれば、超階段接合、すなわち第5のドーパント領域54の上側ドーパント領域の形成は、バラクタのダイオード層を形成するには十分な濃さであるが、カソード・コンタクト領域において補償されるのには十分な薄さのドーズ量で実行される。

【0033】

次いで、領域48、50、52、および54を作製するために使用された注入マスクが構造から除去され、別の注入マスクが付与されて、カソード領域100Aおよび100Bを露出させるためにパターン化される。次に、第1の導電型のドーパントを用いるCMOS FET処理によって標準的なソース/ドレイン注入が実行され、この注入により、図示のようにカソード領域100Aおよび100B内に高濃度にドーピングされた領域56が形成される。「高濃度にドーピングされた領域」とは、約 10^{20} 原子/cm³以上のドーパント濃度を有するドーパント領域を意味する。具体的には、図6に示されているように、この注入により、第1のドーパント領域46の表面で第5のドーパント領域54が補償されて、第1のドーパント領域46の表面から下に第2のドーパント領域48まで第1の導電型のドーパント領域を作製する。第5のドーパント領域54が、この第5のドーパント領域54とは反対の導電型である標準的なFETソース/ドレイン注入によって十分に打ち消されるほどに薄いドーズ量で浅い領域で実行される限り、FETのこのソース/ドレインに用いられる注入のみを利用すればよい。

【0034】

上記のように、高濃度にドーピングした領域56で使用する注入マスクが構造から除去され、その後で、シリサイド・コンタクト58が従来のシリサイド化プロセスを利用して形成される。具体的には、シリサイド・コンタクト58は、図6に示す構造の表面上にシリコンと反応可能な金属を堆積させることによって形成される。シリサイドを形成する際に使用される金属には、例えばTi、Ta、Ni、Co、W、Pd、Pt、Rh、Ir、Au、およびそれらの合金などの導電性金属が含まれる。基板がシリコンを含んでいない場合には、金属を形成する前に、例えばエピSiなどのシリコン含有層を基板の表面上に形成することができる。この金属は、例えば化学気相成長法、プラズマ強化化学気相成長法、スパッタリング法、蒸着法、原子層堆積法、化学溶液堆積法、またはその他の同様の方法などの従来の堆積法を利用して形成される。シリサイドの形成を生じさせるのに十分な厚さである限り、金属層の厚さは変えることができ、重要なものではない。次いで、金属を含むこの構造は、金属とシリコンとの間の反応と、それに続く最も低抵抗の相にある安定したシリサイドの形成を生じさせる条件下でアニールされる。シリサイドのアニールは、単一のアニール・ステップを含み、反応しなかった金属を除去するエッチング・ステップがそれに続いてよく、または通常は第1のアニールよりも高温で第2のアニールが実行される2段階のアニールを含んでもよい。アニールの条件、すなわち時間および温度は、形成されるシリサイドの種類に応じて変えることができ、このような条件は当業者には周知である。

【0035】

図4は、カソード領域100Aおよび100Bならびにアノード領域102の上にシリサイド・コンタクト58を形成するシリサイド層の形成後に形成される構造を示している。図5は、単一のカソード・コンタクトが図示されていること以外は図4に示されたものと同様である構造を示している。

【0036】

図4または図5に示される構造は、1つまたは複数のバイポーラ・デバイス、CMOSデバイス、またはそれらの組合せ(BiCMOSデバイス)を形成できる基板として使用

10

20

30

40

50

することができる。これらの各種デバイスの製作は当業者には周知であり、したがってＣＭＯＳまたはバイポーラ・デバイスあるいはその両方の製造は、本明細書では述べる必要がない。

【００３７】

本発明の方法が、現行規格に適合する超階段接合バラクタを形成可能であることを説明するために、本発明の超階段接合バラクタと、２マスク・プロセスを使用して作製された従来技術の超階段接合バラクタとを比較した表１を参照する。この従来技術の構造は、カソード領域内にリーチスルー注入領域４６のみを有する（すなわち、カソード・コンタクト領域から領域５６、５４、および５２を除く）こと以外は、本発明の構造と非常に類似しているように見える。

【００３８】

【表１】

構造	C_{\max} (fF/ μm^2)	Tuning Ratio	2GHz, min Q	2GHz, max Q	5GHz, min Q	5GHz, max Q
従来例	2.5	3.4	95	400	35	150
本発明	3.0	3.5	102	415	41	168

【００３９】

表１に示された結果は、従来技術の超階段接合バラクタよりも単純な方法を使用して作製された本発明の超階段接合バラクタが同様の可同調性および品質係数（Ｑ特性）を有していたことを示している。これらの結果は、本発明の方法が、従来技術の超階段接合バラクタと比較して、可同調性およびＱ係数に関して等価な超階段接合バラクタを製造することを示している。本発明の利点は、本発明の超階段接合バラクタが、従来技術において開示された方法よりも単純な方法を利用して形成できるという事実にある。それは、超階段接合バラクタが少なくとも２つのクリティカルなマスキング・レベルを使用して作製される、図１および図２に示された従来技術の構造と異なり、本発明の構造は、補償されたカソード・コンタクトを含むということに留意されたい。

【００４０】

本発明を、その好ましい実施形態に関して特に示し説明してきたが、本発明の趣旨および範囲から逸脱することなく、形状および詳細において前述の変更およびその他の変更が行えるということが当業者には理解されるであろう。したがって、本発明は、説明され図示された厳密な形状および詳細には限定されず、添付の特許請求項の趣旨および範囲内に含まれることが意図されている。

【図面の簡単な説明】

【００４１】

【図１】超階段接合および単一のカソード・コンタクトを含む従来技術の構造を示す断面図である。

【図２】超階段接合および２つのカソード・コンタクトまたはラップアラウンド・カソード・コンタクトを含む従来技術の構造を示す断面図である。

【図３】超階段接合および補償されたカソード・コンタクトを含む基板を製作するために本発明において使用される基本処理ステップを示す断面図である。

【図４】超階段接合および補償されたカソード・コンタクトを含む基板を製作するために本発明において使用される基本処理ステップを示す断面図である。

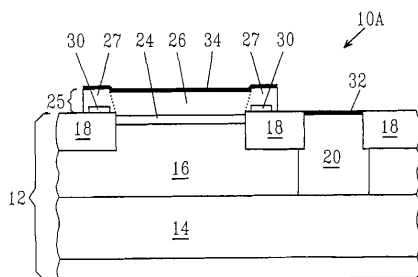
【図５】超階段接合および補償されたカソード・コンタクトを含む基板を製作するために本発明において使用される基本処理ステップを示す断面図である。

【図６】超階段接合および補償されたカソード・コンタクトを含む基板を製作するために本発明において使用される基本処理ステップを示す断面図である。

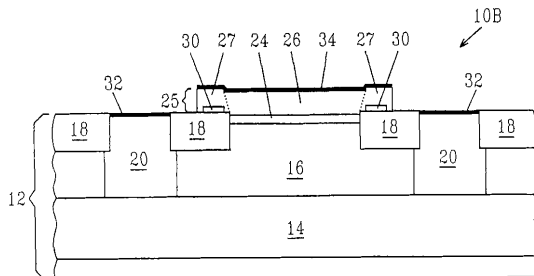
【図 7】露出した半導体領域をシリサイド化した後の図 6 の基板を示す断面図である。

【図 8】単一のカソード・コンタクトが形成されること以外は図 7 に示すものと同様の基板を示す断面図であり、この基板は、単一のリーチスルー注入領域が形成されること以外は図 3 ～ 図 6 と同様の基本処理ステップを使用して作製される。

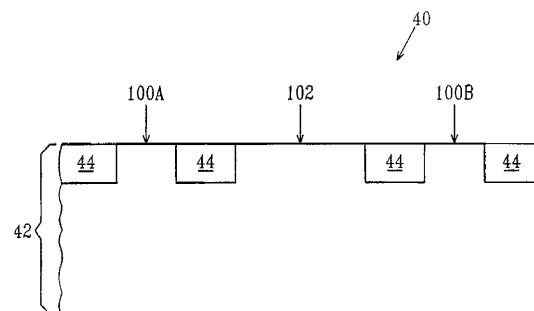
【図 1】



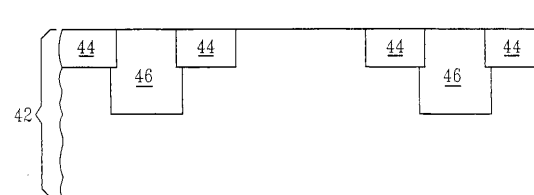
【図 2】



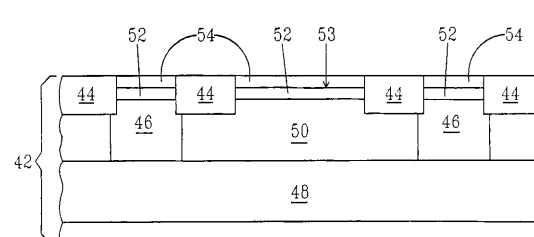
【図 3】



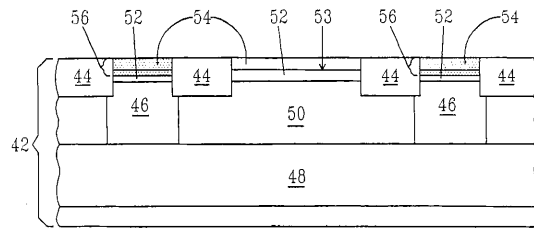
【図 4】



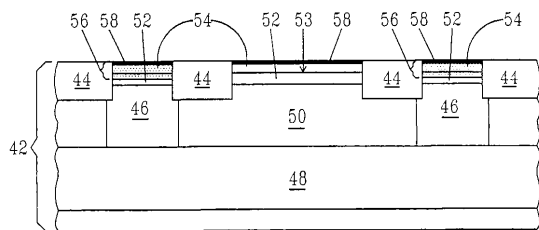
【図 5】



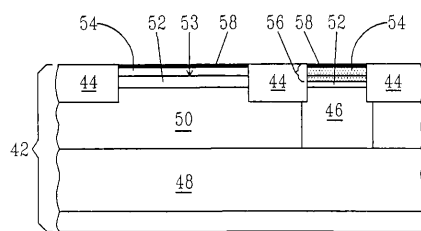
【図 6】



【図 7】



【図 8】



フロントページの続き

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 クールボー、ダグラス、ディー

アメリカ合衆国 0 5 4 5 2 バーモント州エセックス・ジャンクション セージ・サークル 2 1

(72)発明者 ファーケイ、ステファン、エス

アメリカ合衆国 0 5 4 0 3 バーモント州サウス・バーリントン ベイ・クレスト・ドライブ 1 1

(72)発明者 ジョンソン、ジェフリー、ピー

アメリカ合衆国 0 5 4 5 2 バーモント州エセックス・ジャンクション ジュニパー・リッジ・ロード 1 5

(72)発明者 ラッセル、ロバート、エム

アメリカ合衆国 0 5 4 4 6 バーモント州コルチェスター グラニック・クリーク・ロード 2 2 5

審査官 村岡 一磨

(56)参考文献 米国特許第 0 6 5 2 1 5 0 6 (U S , B 1)

特開平 1 0 - 2 5 6 5 7 4 (J P , A)

特開 2 0 0 2 - 3 0 5 3 0 9 (J P , A)

国際公開第 2 0 0 3 / 0 5 4 9 7 2 (W O , A 1)

特開平 1 0 - 3 3 5 4 8 4 (J P , A)

特開平 0 7 - 1 4 7 4 2 0 (J P , A)

特開平 0 1 - 0 1 9 7 7 9 (J P , A)

特開平 0 2 - 2 1 9 2 7 9 (J P , A)

特表 2 0 0 3 - 5 2 6 2 0 4 (J P , A)

特開 2 0 0 3 - 2 2 9 5 8 1 (J P , A)

特開平 0 5 - 1 7 5 5 1 9 (J P , A)

特開 2 0 0 4 - 1 9 3 6 3 0 (J P , A)

米国特許出願公開第 2 0 0 5 / 0 1 6 1 7 6 9 (U S , A 1)

米国特許出願公開第 2 0 0 3 / 0 0 6 7 0 2 6 (U S , A 1)

国際公開第 2 0 0 3 / 0 6 3 2 5 5 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/329

H01L 29/93