



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년07월31일

(11) 등록번호 10-1424777

(24) 등록일자 2014년07월23일

(51) 국제특허분류(Int. Cl.)

H01L 23/28 (2006.01) H01L 23/48 (2006.01)

(21) 출원번호 10-2006-0137039

(22) 출원일자 2006년12월28일

심사청구일자 2011년12월27일

(65) 공개번호 10-2007-0094449

(43) 공개일자 2007년09월20일

(30) 우선권주장

11/276,946 2006년03월17일 미국(US)

(56) 선행기술조사문현

JP2005285997 A*

US05663593 A*

US06861288 B2*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

스태츠 칩팩 엘티디

싱가포르 768442 5 이션 스트리트 23

(72) 발명자

임 충빈

경기도 성남시 분당구 내정로 54, 한솔 중앙 아파트 605동 1003호 (정자동)

권 혁찬

서울특별시 서초구 방배로19길 7 (방배동)

하 종우

서울특별시 서초구 바우뫼로39길 26, 해청 파인빌 103호 (양재동)

(74) 대리인

박장원

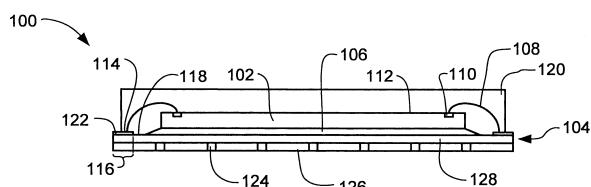
전체 청구항 수 : 총 10 항

심사관 : 장기정

(54) 발명의 명칭 집적 회로 패키지 시스템

(57) 요 약

집적 회로 패키지 시스템(700)은 상측(side)(118) 및 하측(124)을 갖는 캐리어(104)를 형성하고, 상기 상측(118) 상에 에지 단자 패드(116) 및 상기 하측(124) 상에 내부 단자 패드(126)를 형성하며, 집적 회로 다이(102)를 상기 에지 단자 패드(116)의 내부 일부(114)에 연결하며, 상기 집적 회로 다이(102) 및 상기 에지 단자 패드(116)의 상기 내부 일부(114)를, 상기 에지 단자 패드(116)의 상기 외부 일부(122)가 노출된 상태에서 캡슐화하는 것을 제공한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

상측(118) 및 하측(124)을 갖는 캐리어(104)를 형성하는 것과;

상기 상측(118) 상에 예지 단자 패드(116) 및 상기 하측(124) 상에 내부 단자 패드(126)를 형성하는 것과;

집적 회로 다이(102)를 상기 예지 단자 패드(116)의 내부 일부(114)에 연결하는 것과; 그리고

상기 집적 회로 다이(102) 및 상기 예지 단자 패드(116)의 상기 내부 일부(114)를, 상기 예지 단자 패드(116)의 외부 일부(122)을 노출시킨 상태에서 캡슐화(encapsulation)하는 것을 포함하며,

상기 예지 단자 패드(116)의 노출된 외부 일부(122)는 상기 내부 일부(114)를 통하여 상기 집적 회로 다이(102)에 직접 전기적 연결을 확립하도록 된 것을 특징으로 하는 집적 회로 패키지 시스템(700).

청구항 2

제1항에 있어서,

경계 단자 패드(402) 및 내부 단자 패드(404)를 갖는 인터포저(interposer)(318)를 형성하는 것과;

집적 회로 다이(302) 상에 상기 인터포저(318)를 탑재(mount)하는 것과;

상기 경계 단자 패드(402)를 예지 단자 패드(314)의 내부 일부(312)와 연결하는 것과;

상기 내부 단자 패드(404)를 노출시킨 상태에서, 상기 인터포저(318)를 캡슐화하는 것을 더 포함하는 것을 특징으로 하는 집적 회로 패키지 시스템(700).

청구항 3

제1항에 있어서,

홀(504)을 갖는 기판(502)을 형성하는 것과;

상기 기판(502) 상에 그리고 상기 홀(504) 위에 집적 회로 패키지 시스템(100)을 탑재하는 것과;

상기 예지 단자 패드(116)의 상기 외부 일부(122)를 상기 기판(502)과 연결시키는 것과;

상기 기판(502) 상에 상기 집적 회로 패키지 시스템(100)을 캡슐화하는 것과; 그리고

상기 홀(504) 내의 상기 하측(124) 상에 장치(512)를 부착하는 것을 더 포함하는 것을 특징으로 하는 집적 회로 패키지 시스템(700).

청구항 4

제1항에 있어서,

경계 단자 패드(402) 및 내부 단자 패드(404)를 갖는 인터포저(318)를 형성하는 것과;

집적 회로 다이(302) 상에 상기 인터포저(318)를 탑재하는 것과;

상기 경계 단자 패드(402)를 예지 단자 패드(314)의 내부 일부(312)와 연결하는 것과;

상기 내부 단자 패드(404)를 노출시킨 상태에서, 상기 인터포저(318)를 캡슐화하는 것과;

홀(602)을 갖는 기판(604)을 형성하는 것과;

상기 홀(602) 내에 상기 집적 회로 패키지 시스템(300)을 위치시키는 것과;

상기 예지 단자 패드(314)의 외부 일부(328)를 상기 기판(604)과 연결시키는 것과;

상기 내부 단자 패드(404)가 노출된 상태에서, 상기 홀(602) 내의 상기 집적 회로 패키지 시스템(300)을 캡슐화하는 것과; 그리고

상기 내부 단자 패드(404) 상에 장치(614)를 부착시키는 것을 더 포함하는 것을 특징으로 하는 집적 회로 패키

지 시스템(700).

청구항 5

제1항에 있어서,

홀(504)을 갖는 기판(502)을 형성하는 것과;

상기 기판(502) 상에 그리고 상기 홀(504) 위에 상기 접적 회로 패키지 시스템(100)을 탑재하는 것과;

상기 예지 단자 패드(116)의 상기 외부 일부(122)를 상기 기판(502)과 연결시키는 것과;

상기 기판(502) 상에 제1 장치(522)를 부착하는 것과;

상기 기판(502) 상의 상기 접적 회로 패키지 시스템(100) 및 상기 제1 장치(522)를 캡슐화하는 것과; 그리고

상기 홀(504) 내의 상기 하측(124) 상에 제2 장치(512)를 부착하는 것을 더 포함하는 것을 특징으로 하는 접적 회로 패키지 시스템(700).

청구항 6

상측(118) 및 하측(124)을 갖는 캐리어(104)와;

상기 상측(118) 상의 예지 단자 패드(116) 및 상기 하측(124) 상의 내부 단자 패드(126)와;

상기 예지 단자 패드(116)의 내부 일부(114)에 연결된 접적 회로 다이(102)와;

상기 예지 단자 패드(116)의 외부 일부(122)가 노출된 상태로, 상기 접적 회로 다이(102) 및 상기 예지 단자 패드(116)의 상기 내부 일부를 커버하는 제1 봉입(120)을 포함하며,

상기 예지 단자 패드(116)의 노출된 외부 일부(122)는 상기 내부 일부(114)를 통하여 상기 접적 회로 다이(102)에 직접 전기적 연결을 확립하도록 된 것을 특징으로 하는 접적 회로 패키지 시스템(100).

청구항 7

제6항에 있어서,

경계 단자 패드(402) 및 내부 단자 패드(404)를 갖는 인터포저(318)와;

접적 회로 다이(302) 상에 있는 상기 인터포저와;

예지 단자 패드(314)의 내부 일부(312)에 연결되는 상기 경계 단자 패드(402)와; 그리고

상기 내부 단자 패드(404)가 노출된 상태로 상기 인터포저(318)을 커버하는 제1 봉입(326)을 더 포함하는 것을 특징으로 하는 접적 회로 패키지 시스템(100).

청구항 8

제6항에 있어서,

홀(504)을 갖는 기판(502)과;

상기 기판(502) 상에 그리고 상기 홀(504) 위에 있는 상기 접적 회로 패키지 시스템(100)과;

상기 기판(502, 604)에 연결된 상기 예지 단자 패드(116)의 상기 외부 일부(122)와;

상기 기판(502) 상의 상기 접적 회로 패키지 시스템(100, 300, 500, 600, 700)을 커버하는 제2 봉입(520, 534, 630)과; 그리고

상기 홀(504) 내의 하측(124) 상에 있는 장치(512)를 더 포함하는 것을 특징으로 하는 접적 회로 패키지 시스템(100).

청구항 9

제6항에 있어서,

경계 단자 패드(402) 및 내부 단자 패드(404)를 갖는 인터포저(318)와;
 집적 회로 다이(302) 상에 있는 상기 인터포저(318)와;
 에지 단자 패드(314)의 내부 일부(312)와 연결된 상기 경계 단자 패드(402)와;
 상기 내부 단자 패드(404)가 노출된 상태로 상기 인터포저(318)를 커버하는 상기 제1 봉입(326)과;
 훌(602)을 갖는 기판(604)과;
 상기 훌(602) 내에 있는 상기 집적 회로 패키지 시스템(300)과;
 상기 기판(604)에 연결된 상기 에지 단자 패드(314)의 외부 일부(328)와;
 상기 내부 단자 패드(404)가 노출된 상태로, 상기 훌(602) 내의 상기 집적 회로 패키지 시스템(300)을 커버하는 제2 봉입(630)과; 그리고
 상기 내부 단자 패드(404) 상에 있는 장치(614)를 더 포함하는 것을 특징으로 하는 집적 회로 패키지 시스템(100).

청구항 10

제6항에 있어서,
 훌(504)을 갖는 기판(502)과;
 상기 기판(502) 상에 그리고 상기 훌(504) 위에 있는 상기 집적 회로 패키지 시스템(100)과;
 상기 기판(502)과 연결된 상기 에지 단자 패드(116)의 상기 외부 일부(122)와;
 상기 기판(502) 상에 제1 장치(522)와;
 상기 기판(502) 상의 상기 집적 회로 패키지 시스템(100) 및 상기 제1 장치(522)를 커버하는 제2 봉입(534)과;
 그리고
 상기 훌(504) 내의 하측(124) 상에 있는 제2 장치(512)를 더 포함하는 것을 특징으로 하는 집적 회로 패키지 시스템(100).

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0008] 본 발명은 일반적으로 집적 회로 패키지들에 관련되며, 특히 집적 회로 패키지-온-패키지(package-on-package)와 관련된다.

[0009] 서버들 및 저장 어레이들과 같은 기업적 전자 제품 뿐만아니라, 스마트 폰들, 개인 휴대 정보 단말기들 및 위치 기반 서비스 장치들과 같은 현대 소비자 전자 제품은 비용 감소를 위해 예상되는 물리적 공간을 축소하여 더 많은 집적 회로들을 실장(packing)한다. 많은 기술들이 이러한 요구를 만족시키기 위해 개발되어왔다. 다른 개발 전략들이 기존의 성숙한 패키지 기술들을 개선하는데 초점을 맞추는 반면에, 임의의 연구 및 개발 전략은 새로운 패키지 기술들에 초점을 맞추고 있다. 기존의 패키지 기술들의 연구와 개발은 무수히 많은 다른 방향을 갖는다.

[0010] 비용을 줄이는 하나의 검증된 방법은 기존의 제조 방법들 및 장치들로 패키지 기술들을 사용하는 것이다. 역설적으로, 기존의 제조 프로세스들의 재이용은 전형적으로 패키지 치수들의 감소를 야기하기 않는다. 기존의 패키징 기술들은 오늘날의 집적 회로들 및 패키징들의 요구되는 집적을 효과적으로 만족시키는 비용으로 달성하고자 노력하고 있다.

[0011] 개선된 패키징에 대한 요구에 응답하여, 많은 혁신적인 패키징 디자인들은 착상되어 시장에 나오고 있다. 멀티 칩 모듈(module)은 보드 공간을 축소시키는 것에 현저한 역할을 한다. 많은 패키지는 적층(stack) 멀티 집적 회

로, 패키지 레벨 적층 또는 패키지-온-패키지(POP)에 접근한다. 공지된 양호한 다이(KGD) 및 조립 프로세스 수율은 문제가 되지 않고, KGD로 하여금 적층을 조립할 때 이용할 수 있는데, 이는 조립 전에 테스트될 수 있기 때문이다. 그러나, 집적 소자들을 적층하는 것, 패키지-온-패키지 또는 그것의 조합은 시스템 레벨에서 어려움을 갖는다. 패키지-온-패키지 구조는 패키지의 조립 수율의 손실을 감소시키고, 조립된 생산물 테스트의 편리를 위해 사용된다. 그러나, 그 구조는 그의 높이가 두 개의 일반적인 패키지들로 구성되기 때문에 증가한다.

[0012] 그래서, 다른 적층 구조들에 대한 유연성뿐만 아니라, 적은 제조 비용을 제공하는 집적 회로 패키지 시스템에 대한 요구는 여전히 존재한다. 비용을 절감하고 효율을 개선하기 위한 필요가 증대되는 관점에서, 이러한 문제에 대한 해결책을 찾는 것이 더욱 더 중요하다.

[0013] 이러한 문제의 해결책이 모색되어 왔으나, 지금까지의 성과는 어떠한 해결책을 교시하거나 제안하지 않았으며, 그래서 이러한 문제의 해결책은 당해 기술 분야에서 숙련된 자에게 오랫동안 회피되어 왔다.

발명이 이루고자 하는 기술적 과제

[0014] 본 발명은 상측 및 하측을 갖는 캐리어를 형성하고, 상기 상측 상에 에지 단자 패드 및 상기 하측 상에 내부 단자 패드를 형성하며, 집적 회로 다이를 상기 에지 단자 패드의 내부 일부와 연결하고, 그리고 상기 집적 회로 다이와 상기 에지 단자 패드의 내부 일부를, 상기 에지 단자 패드의 외부 일부가 노출된 상태로 캡슐화하는 것을 제공한다.

[0015] 본 발명의 특정 실시예들에서 추가적으로 또는 상술한 것으로부터 또는 상술한 것에 대신하는 다른 양상들을 갖는다. 상기 양상들은 첨부한 도면과 관련하여 아래 세부적인 설명을 읽음으로서 당해 기술 분야에서 숙련된 자에게 명백하게 될것이다.

발명의 구성 및 작용

[0016] 아래 설명에서, 많은 특정 세부 사항들이 본 발명의 완전한 이해를 돋기 위해 주어진다. 그러나 본 발명은 이러한 특정 세부 사항들 없이 실습될 수 있음이 명백하다. 본 발명의 모호함을 피하기 위하여, 임의의 공지된 시스템 구성을 및 프로세스 단계들이 세부적으로 개시되지는 않았다. 마찬가지로, 상기 장치의 실시예를 도시하는 도면들은 준도식적이며, 규모대로 그려지지 않았으며, 특히 임의의 치수들은 발표의 명료성을 위한 것이고 도면에서 많이 과장되게 도시되었다. 추가적으로 공통적으로 임의의 피쳐들(features)을 갖는 다양한 실시예들이 개시되고 설명되었으며, 예시, 설명 및 이해의 명료성과 간편을 위해 유사하고 비슷한 피쳐들은 상호간에 보통 유사한 참조 번호들로 설명될 것이다.

[0017] 본원에서 사용되는 "수평"이라는 용어는 기판의 방위(orientation)와 무관하게 기판의 통상적인 평면 또는 표면과 평행한 평면으로서 정의된다. "수직"이라는 용어는 병금 정의한 것과 같은 상기 수평에 수직한 방향을 의미한다. "위쪽", "아래쪽", "하부", "상부", "측"(측벽에서처럼), "더 높은", "더 낮은", "더 위쪽에", "위에" 및 "아래"라는 용어는 상기 수평 평면과 관련하여 정의된다. 용어 "~ 상에"는 구성 요소들 사이에 직접적 접촉이 있음을 의미한다.

[0018] 본원에서 사용되는 "프로세싱"이라는 용어는 설명된 구조를 형성할 때 요구되는 바와 같이 물질 또는 광 레지스트의 증착, 패터닝, 노광, 현상, 에칭, 세정(cleaning) 및/또는 상기 물질 또는 광 레지스트의 제거를 포함한다.

[0019] 도 1은 본 발명의 일 실시예에 따른, 제1 집적 회로 패키지 시스템(100)의 단면도를 도시한다. 상기 제1 집적 회로 패키지 시스템(100)은 접착제(106)로 캐리어(104) 상에 부착된 집적 회로 다이(102)를 포함한다. 본드 와이어들과 같은 제1 전기적 상호 접속들(108)은 상기 집적 회로 다이(102)의 활성측(112) 상에 본드 패드들(110)과 상기 캐리어(104)의 상측과 같이 제1측(118)의 경계에서 제1 단자 패드들(116)의 내부 일부들(114) 사이를 연결한다.

[0020] 제1 봉입(encapsulation)(120)은 중앙 게이트 몰드(mold)를 형성하고, 그리고 상기 집적 회로 다이(102), 상기 제1 전기적 상호 접속(108), 및 상기 제1 단자 패드들(116)의 내부 일부들(114)을 커버한다. 상기 제1 봉입(120)은 이후 전기적 연결들을 위해 상기 제1 단자 패드들(116)의 외부 일부들(122)을 노출된 상태로 남겨둔다. 상기 캐리어(104)의 하측과 같은 제2측(124)은 상기 제2측(124)의 중앙 영역 내에 제2 단자 패드들(126)을 갖는다.

[0021] 상기 캐리어(104)는 상기 제1측(118) 및 상기 제2측(124)으로부터 또는 절연체(128)에 의해 분리되는 상기 제1

측(118)과 상기 제2측(124) 사이에서 연결 구조들(미도시)을 가질 수 있다. 루팅 트레이스(미도시)는 상기 제1측(118), 상기 제2측(124) 또는 상기 제1측(118)과 상기 제2측(124) 사이 상에 있을 수 있다.

[0022] 예시적인 목적들을 위해, 상기 제1측(118)은 비록 상기 제1측(118)의 다른 위치들에서 단자 패드들을 가질 수 있지만, 경계에서 상기 제1 단자 패드들(116)을 갖는 것으로 도시되었다. 또한 예시적인 목적들을 위해, 상기 제2측(124)은 비록 상기 제2측(124)이 다른 위치들에서 단자 패드들을 가질 수 있지만, 상기 중앙 영역 내에 상기 제2 단자 패드들(126)을 갖는 것으로 도시되었다.

[0023] 도 2에 관하여, 여기서 캐리어(104)의 평면도가 도시되었다. 상기 평면도는 상기 캐리어(104)의 경계에서 접착 평거들(fingers)과 같이 상기 제1 단자 패드들(116)을 도시한다. 상기 제2 단자 패드들(126)은 상기 캐리어(104) 내의 어레이 구성 내에 있다. 상기 절연체(128)은 도 1의 상기 제1측(118) 상에 예정된 구조 내에서 상기 제1 단자 패드들(116)을 서로 분리시키고 절연시키며, 도 1의 제2측(124) 상에 예정된 구조 내에서 상기 제2 단자 패드들(126)을 서로 분리시키고 절연시킨다. 상기 제1 단자 패드들(116)과 상기 제2 단자 패드들(126) 모두는 이후의 전기적 연결들을 위해 이용될 수 있다.

[0024] 도 3에 대하여, 여기서 본 발명의 대체적인 일 실시예에서 제2 접적 회로 패키지 시스템(300)의 단면도를 도시한다. 상기 제2 접적 회로 패키지 시스템(300)은 접착제(306)로 캐리어(304) 상에 부착된 접적 회로 다이(302)를 포함한다. 본드 와이어들과 같이 제1 상호 접속들(308)은 상기 접적 회로 다이(302)의 활성측(310) 상에 본드 패드들(미도시)과, 상기 캐리어(304)의 상측과 같이 제1측(316)의 경계에서 제1 단자 패드들(314)의 내부 일부들(312)의 예정된 인스턴스들(instances)의 사이를 연결한다.

[0025] 인터포저(interposer)(318)는 상측(320) 및 하측(322)을 갖는다. 인터포저(318)는 상기 접적 회로 다이(302)에 상기 제1 상호 접속들(308)의 연결들을 방해하지 않고 상기 활성측(310)에 부착되며, 여기서 상기 인터포저(318)의 하측(322)은 상기 활성측(310)에 부착된다. 본드 와이어들과 같은 제2 상호 접속들(324)은 상기 상측(320)의 경계와 상기 제1 단자 패드들(314)의 내부 일부들의 예정된 인스턴스들 사이를 연결한다.

[0026] 제1 봉입(326)은 상기 접적 회로 다이(302), 상기 제1 상호 접속들(308), 상기 제2 상호 접속들(324) 및 상기 제1 단자 패드들(314)의 내부 일부들(312)을 커버한다. 상기 제1 봉입(326)은 이후의 전기적 연결들을 위해 상기 제1 단자 패드들(314)의 외부 일부들(328)을 노출시킨다. 상기 제1 봉입(326)의 상부의 리세스(recess)(330)는 상기 인터포저(318)의 경계를 커버하는 동안에 상기 인터포저(318)의 중앙 부분을 노출시킨다.

[0027] 상기 캐리어(304)는 상기 제1측(316) 및 제2측(334)으로부터, 또는 절연체(336)에 의해 분리되는 상기 제1측(316)과 상기 제2측(334)에서 전기적 비아들(vias)과 같은 연결 구조들(332)를 포함한다. 루팅 트레이스(미도시)는 상기 제1측(316), 상기 제2측(334) 또는 상기 제1측(316)과 상기 제2측(334) 사이 상에 있을 수 있다.

[0028] 예시적인 목적들을 위해, 상기 제1측(316)은 비록 상기 제1측(316)이 다른 위치에서 단자 패드들을 가질 수 있지만, 경계에서 상기 제1 단자 패드들(314)을 갖는 것으로서 도시되었다. 또한 예시적인 목적들을 위해, 상기 제2측(334)은 비록 상기 제2측(334)이 다른 위치들에서 단자 패드들을 가질 수 있지만, 상기 중앙 영역 내에 상기 제2 단자 패드들(338)을 갖는 것으로서 도시되었다.

[0029] 도 4에 관하여, 여기서 유리 에폭시 적층(glass epoxy laminate), 연성 회로 테이프(flexible circuit tape), 세라믹 또는 수지 코팅된 구리 또는 금속 합금 리드 프레임(resin coated copper or metal alloy lead frame)과 같은 인터포저(318)의 평면도를 도시한다. 상기 평면도는 상기 인터포저(318)의 경계에서, 접착 평거들과 같은 에지 단자 패드들(402)을 도시한다. 내부 단자 패드들(404)은 인터포저(318)의 내부 영역에서 어레이 구성 내에 있다. 절연체(336)는 예정된 구조 내에서 상기 에지 단자 패드들(402)을 서로 분리시키고 절연시키며, 또한 예정된 구조에서 상기 내부 단자 패드들(404)을 서로 분리시키고 절연시킨다. 루팅 트레이스(미도시)는 상기 에지 단자 패드들(402)의 예정된 인스턴스 및 상기 내부 단자 패드들(404)을 연결할 수 있다. 상기 에지 단자 패드들(402)과 상기 내부 단자 패드들(404) 모두는 이후의 전기적 연결들을 위해 이용될 수 있다.

[0030] 도 5에 관하여, 여기서 상기 제1 접적 회로 패키지 시스템(100)을 갖는 패키지 시스템(500) 상의 제1 접적 회로 패키지의 단면도를 도시한다. 상기 제1 접적 회로 패키지 시스템(100)은 기판(502) 및 상기 기판(502)의 홀(504) 위에 있다. 상기 제1 단자 패드들(116)의 외부 일부들(122)는 본드 와이어들과 같이 제2 상호 접속들(510)에 의해 상기 기판(502)의 상부 표면(508) 상의 접착 사이트들(sites)(506)의 예정된 위치에 연결된다.

[0031] 테스트되고 양호한 장치(KGD)로 결정된 노출 접적 회로 다이 또는 패키지된 접적 회로 다이와 같은 제1 장치(512)는 어레이 구조 내의 솔더(solder) 범프들과 같은 제1 장치 상호 접속들(516)과 함께 활성측(514)을 갖는

다. 상기 제1 장치(512)는 상기 기판(502)의 홀(504) 내에 있으며, 상기 캐리어(104)의 제2측(124) 상에 부착된다. 상기 제1 장치 상호 접속들(516)은 상기 캐리어(104)의 제2 단자 패드들(126)과 연결된다. 또한 상기 캐리어(104)는 상기 구조 내에서 인터포저로서 기능한다. 하부를 채운 봉입(518)은 활성측(514) 및 상기 제1 장치 상호 접속들(516)을 커버한다.

[0032] 집적 회로 다이와 같은 제2 장치(522)는 접착제(524)로 상부 표면(508)에 부착된다. 본드 와이어들과 같은 제3 상호 접속들(526)은 상기 제2 장치(522)와 상기 접착 사이트들(506)의 예정된 위치 사이에 연결된다. 작은 패키지 요소 또는 수동 소자와 같은 제3 장치(528) 및 작은 패키지 요소 또는 수동 소자와 같은 제4 장치(530)은 솔더 범프들과 같은 제4 상호 접속들(532)로 상부 표면(508)에 연결된다. 상기 제2 장치(522), 상기 제3 장치(528), 상기 제4 장치(530)는 임의의 능동 또는 수동적인 공지된 양호한 장치들일 수 있다. 또한 상기 제1 집적 회로 패키지 시스템(100)은 KDG를 보증하기 위해 조립 전에 테스트될 수 있다.

[0033] 제2 봉입(534)은 상기 상부 표면(508) 상에서 상기 제1 집적 회로 패키지 시스템(100), 상기 제2 상호 접속들(510), 상기 제2 장치(522), 상기 제3 상호 접속들(526), 상기 제3 장치(528), 상기 제4 장치(530) 및 상기 제4 상호 접속들(532)을 커버한다. 상기 제2 봉입(534) 및 상기 제1 집적 회로 패키지 시스템(100)의 상기 제1 봉입(120)은 밀봉(hermetic seal)을 형성한다.

[0034] 상기 기판(502)은 상부 도전성 층, 하부 도전성 층, 전기적 비아들(538) 및 유전체와 같은 절연체(540)을 포함한다. 상부 도전성 층은 상기 기판(502)의 상부 표면(508)에 접착 사이트들(506)과 루팅 트레이스들(미도시)을 제공한다. 상기 하부 도전성 층은 상기 기판(502)의 하부 표면(544)에 접촉 사이트들(542) 및 루팅 트레이스들(미도시)을 제공한다. 전기적 비아들(538)은 상기 접착 사이트들(506)과 상기 접촉 사이트들(542) 사이에서와 같이 예정된 구조로 상기 상부 도전성 층과 상기 하부 도전성 층을 연결한다.

[0035] 상기 절연체(540)는 상기 상부 도전성 층의 트레이스를 서로 분리하고, 상기 하부 도전성 층의 트레이스를 서로 분리하며, 상기 하부 도전성 층으로부터 상기 상부 도전성 층을 분리하고, 그리고 상기 전기적 비아들(538)을 서로 분리시킨다. 외부 상호 접속들(546)은 인쇄 회로 기판과 같은 다음 시스템 레벨(미도시)과 연결을 위해 상기 하부 표면(544) 상의 접촉 사이트(542)에 부착된다. 상기 제1 장치(512)는 다음 시스템 레벨에 부착되는 상기 외부 상호 접속들(546)을 방해하지 않는다.

[0036] 도 6에 관하여, 여기서 상기 제2 집적 회로 패키지 시스템(300)을 갖는 패키지 시스템(600) 상의 제2 집적 회로 패키지의 단면도를 도시한다. 상기 제2 집적 회로 패키지 시스템(300)은 기판(604)의 홀(602) 내에 있다. 상기 제2측(334)은 상기 기판(604)의 하부 표면(606)과 본질적으로 수평인 평면 내에 있다. 상기 제1 단자 패드들(314)의 외부 일부들(328)은 본드 와이어들과 같은 제3 상호 접속들(612)로 상기 기판(604)의 상부 표면(610) 상에 접착 사이트들(608)의 예정된 위치에 연결된다.

[0037] 테스트되고 양호한 장치(KGD)로 결정된 노출 집적 회로 다이 또는 패키지 집적 회로 다이와 같은 제1 장치(614)는 어레이 구성 내에 솔더 범프들과 같은 제1 장치 상호 접속들(618)과 함께 활성측(616)을 갖는다. 상기 제1 장치(614)는 상기 제1 봉입(326)의 리세스(330) 내에 있으며, 그리고 상기 인터포저(318)의 상측(320) 상에 부착된다. 상기 제1 장치 상호 접속들(618)은 상기 인터포저(318)의 내부 단자 패드들(404)과 연결된다. 아래를 채운 봉입(620)은 상기 활성측(616) 및 상기 제1 장치 상호 접속들(618)을 커버한다.

[0038] 작은 패키지 요소 또는 수동 소자와 같은 제2 장치(624) 및 작은 패키지 요소 또는 수동 소자와 같은 제3 장치(626)는 솔더 범프들과 같은 제4 상호 접속들(628)로 상부 표면(610)에 연결된다. 상기 제2 장치(624), 상기 제3 장치(626)는 임의의 능동 또는 수동적인 공지된 양호한 장치들일 수 있다. 또한 상기 제2 집적 회로 패키지 시스템(300)은 KDG를 보증하기 위해 조립 전에 테스트될 수 있다.

[0039] 제2 봉입(630)은 상기 상부 표면(610) 상에서 상기 제3 상호 접속들(612), 상기 제2 장치(624), 상기 제3 장치(626), 상기 제4 상호 접속들(628)을 커버한다. 또한 상기 제2 집적 회로 패키지 시스템(300)은 노출된 상기 제1 장치(614) 뿐만 아니라 상기 제2측(334) 및 상기 리세스(330)와 함께 상기 제2 봉입(630)에 의해 커버된다. 상기 홀(602)은 상기 제2 봉입(630)을 채운다. 상기 제2 봉입(630) 및 상기 제2 집적 회로 패키지 시스템(300)의 상기 제1 봉입(326)은 밀봉(hermetic seal)을 형성한다.

[0040] 상기 기판(604)은 상부 도전성 층, 하부 도전성 층, 전기적 비아들(632) 및 유전체와 같은 절연체(634)을 포함한다. 상부 도전성 층은 상기 기판(604)의 상부 표면(610)에 접착 사이트들(608)과 루팅 트레이스들(미도시)을 제공한다. 상기 하부 도전성 층은 상기 기판(604)의 하부 표면(606)에 접촉 사이트들(636) 및 루팅 트레이스들(미도시)을 제공한다. 전기적 비아들(632)은 상기 접착 사이트들(608)과 상기 접촉 사이트들(636) 사이에서와

같이 예정된 구조로 상기 상부 도전성 층과 상기 하부 도전성 층을 연결한다. 상기 절연체(634)는 상기 상부 도전성 층의 트레이스를 서로 분리하고, 상기 하부 도전성 층의 트레이스를 서로 분리하며, 상기 하부 도전성 층으로부터 상기 상부 도전성 층을 분리하고, 그리고 상기 전기적 비아들(538)을 서로 분리시킨다.

[0041] 제1 외부 상호 접속들(638)은 인쇄 회로 기판과 같은 다음 시스템 레벨(미도시)과 연결하기 위해 상기 하부 표면(606) 상의 접촉 사이트(636)에 부착된다. 또한 제2 외부 상호 접속들(640)은 다음 시스템 레벨과 연결을 위해 상기 캐리어(304)의 내부 단자 패드들(404)에 부착된다.

[0042] 도 7에 관하여, 여기서 본 발명의 일 실시예에서, 패키지 시스템(100)에 접적 회로 패키지를 위한 패키지 시스템(700) 상의 접적 회로 패키지의 흐름도를 도시한다. 시스템(700)은 블럭(702)에서 상측 및 하측을 갖는 캐리어를 형성하는 것을 포함한다; 블럭(704)에서 상기 상측 상에 에지 단자 패드를 형성하고 상기 하측 상에 내부 단자 패드를 형성하며; 접적 회로 다이를 블럭(706)에서 상기 에지 단자 패드의 내부 일부와 연결하며; 상기 접적 회로 다이 및 상기 에지 단자 패드의 내부 일부를 블럭(708)에서 상기 에지 단자 패드의 외부 부분이 노출된 상태에서 캡슐화하는 것을 포함한다.

[0043] 그리하여, 본 발명의 많은 양상들이 발견된다.

[0044] 상기 접적 회로 패키지 시스템은 상기 접적 회로 패키지 시스템 내의 접적 회로 다이에 유연한(flexible) 연결들을 제공한다. 상기 외부 연결들은 상기 접적 회로 패키지 시스템의 캐리어의 상측 및 하측에 만들어질 수 있다. 상기 유연한 연결 옵션들(options)은 상기 접적 회로 패키지 시스템으로 하여금 멀티칩 또는 패키지 온 패키지 구조로 조립되기 전에 테스트될 수 있게 한다.

[0045] 본 발명의 일 양상은 중앙 게이트 구조를 형성하고, 접적 회로 패키지의 캐리어의 상측 상에 단자 패드를 부분적으로 커버하는 봉입을 제공하며, 상측 상의 단자 패드 중 커버되지 않는 부분들로의 접촉 옵션을 가능케 하는 것이다. 상측 상의 단자 패드들의 커버된 일부들은 상기 접적 회로와 연결될 수 있다. 상기 단자 패드들의 연결만으로 접적 회로 다이의 외부 연결들이 만들어질 수 있으며, 상기 캐리어의 경로 복잡성을 감소시킨다.

[0046] 본 발명의 다른 양상은 상기 접적 회로 패키지 시스템의 캐리어의 하측에서의 단자 패드에 관한 것이다. 상기 하부 단자 패드들은 상기 접적 회로 패키지 시스템의 접적 회로 다이에 연결하거나, 또는 패키지 구조를 형성하기 위해 상기 접적 회로 패키지 시스템에 다른 공지된 양호한 장치를 탑재하기 위해 이용될 수 있다.

[0047] 본 발명의 또 다른 양상은 패키지 구조에서 패키지가 상기 접적 회로 패키지 시스템의 인터포저 상에서 리세스에 KGD를 탑재함으로써 형성될 수 있다는 것이다, 그 결과 패키지 구조에서 상기 패키지의 높이는 증가하지 않는다. 상기 인터포저 및 캐리어는 적층 장치에 대하여 많은 연결 선택들, 상기 접적 회로 패키지 시스템의 접적 회로 다이 및 패키지-온-패키지 구조의 기판 상에 다른 장치들을 제공한다.

[0048] 본 발명의 또 다른 양상은 홀을 갖는 기판을 구비하는 패키지 구조로 패키지된다는 것이다. KGD는 상기 접적 회로 패키지 시스템의 하측 상에 그리고 홀 내에 탑재될 수 있으며, 그 결과 패키지 구조에서 상기 패키지의 높이가 증가되지 않는다.

[0049] 그래서, 본 발명의 접적 회로 패키지 시스템 방법은 시스템들에 칩의 밀도를 증가시키기 위해 중요하고 이전의 미지의 이용할 수 없는 해결책들, 가능성 및 기능적 양상들을 제공한다. 결과 프로세스들 및 구성들은 간단하고, 비용면에서 효과적이며, 복잡하지 않으며, 극히 다기능적이고 효과적이고, 공지된 기술들에 적응시킴으로써 실행될 수 있으며, 그리고 효과적이고 경제적으로 패키지 장치들 내에 적층 접적 회로 패키지를 제조하기 위해 쉽게 적합하게 된다.

[0050] 본 발명이 특정 최상의 모드와 관련하여 설명되는 반면에, 많은 다른 대안들, 수정들 및 변화들이 상술한 바에 비추어 당해 기술 분야에서 숙련된 자에게 명백함이 이해될 것이다. 따라서 포함된 창구항의 범주 내에서 모든 이러한 대안들, 수정들 및 변화들을 포함할 것을 의도한다. 이미 본원에서 발표되고, 또는 첨부한 도면에서 도시한 모든 내용들은 예시적이고 제한적이지 않게 해석된다.

발명의 효과

[0051] 다른 적층 구조들에 대한 유연성 및 적은 비용을 제공하는 접적 회로 패키지 시스템이 제공된다.

[0052] 삭제

[0053] 삭제

[0054] 삭제

[0055] 삭제

[0056] 삭제

[0057] 삭제

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른, 제1 접적 회로 패키지 시스템의 단면도이다.

[0002] 도 2는 캐리어의 평면도이다.

[0003] 도 3은 본 발명의 대체적인 일 실시예에 따른 제2 접적 회로 패키지 시스템의 단면도이다.

[0004] 도 4는 인터포저(interposer)의 평면도이다.

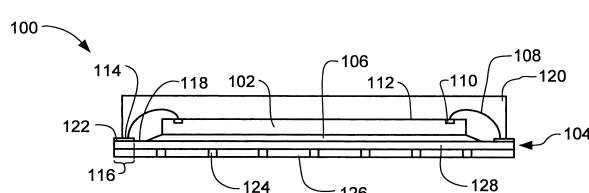
[0005] 도 5는 상기 제1 접적 회로 패키지 시스템을 갖는 패키지 시스템 상에서 제1 접적 회로 패키지의 단면도이다.

[0006] 도 6은 상기 제2 접적 회로 패키지 시스템을 갖는 패키지 시스템 상에 제2 접적 회로 패키지의 단면도이다.

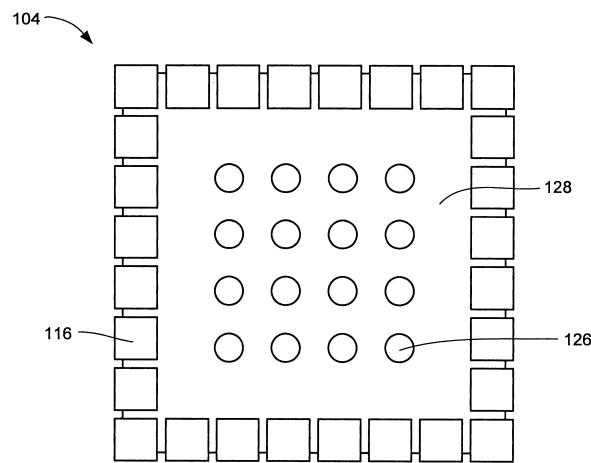
[0007] 도 7은 본 발명의 일 실시예에 따라, 패키지 시스템 상에 상기 접적 회로 패키지의 패키지 시스템 상에 접적 회로 패키지의 흐름도이다.

도면

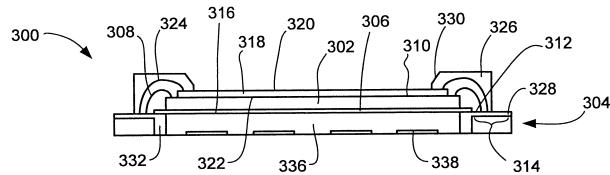
도면1



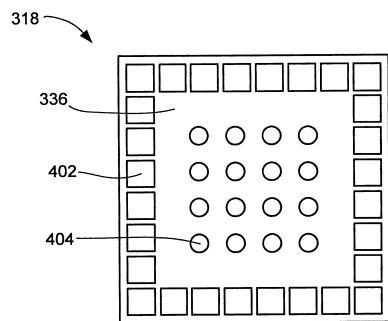
도면2



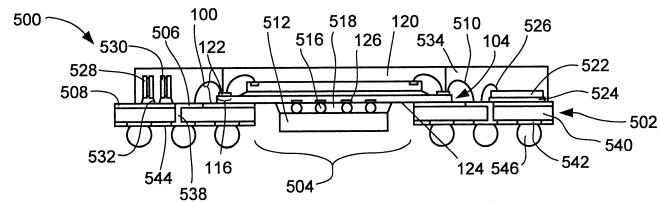
도면3



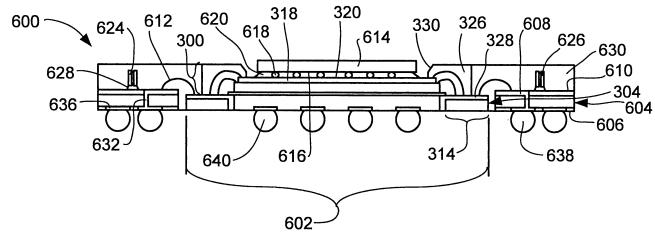
도면4



도면5



도면6



도면7

