



(12) 发明专利

(10) 授权公告号 CN 101310036 B

(45) 授权公告日 2014. 08. 06

(21) 申请号 200580039023. 2

(22) 申请日 2005. 11. 15

(30) 优先权数据

10/990, 185 2004. 11. 16 US

(85) PCT国际申请进入国家阶段日

2007. 05. 15

(86) PCT国际申请的申请数据

PCT/US2005/041231 2005. 11. 15

(87) PCT国际申请的公布数据

W02006/073568 EN 2006. 07. 13

(73) 专利权人 应用材料公司

地址 美国加利福尼亚州

(72) 发明人 约翰·怀特

(74) 专利代理机构 北京连和连知识产权代理有

限公司 11278

代理人 王光辉

(51) Int. Cl.

C23C 14/16 (2006. 01)

(56) 对比文件

US 6500742 B1, 2002. 12. 31, 说明书第 2 栏 1 — 58 行, 第 6 栏 52 行 — 第 7 栏 53 行, 图 1 — 4.

US 6251800 B1, 2001. 06. 26, 全文.

US 6399520 B1, 2002. 07. 04, 全文.

CN 1428825 A, 2003. 07. 09, 全文.

CN 1240841 A, 2000. 01. 12, 全文.

CN 1375575 A, 2002. 10. 23, 全文.

CN 1412350 A, 2003. 04. 23, 全文.

US 6235650 B1, 2001. 05. 22, 全文.

审查员 李家刚

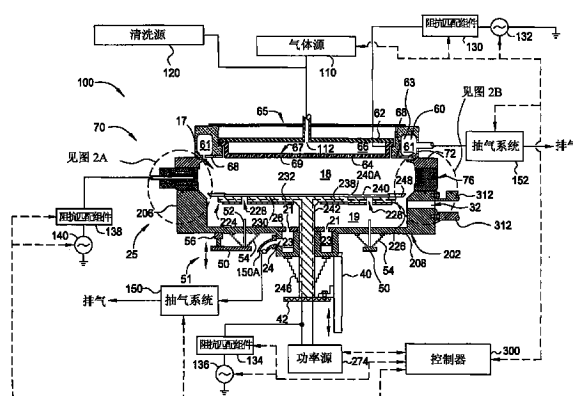
权利要求书3页 说明书16页 附图10页

(54) 发明名称

低温聚硅 TFT 用的多层高质量栅介电层

(57) 摘要

一种利用高密度等离子氧化 (HDPO) 制造工艺以在 MOS TFT 组件中形成高质量栅极介电层的方法与设备。在实施例中, HDPO 层形成在通道、源极与漏极区域上以形成介电界面, 以及一层或多层介电层被沉积在 HDPO 层上以形成高质量栅极介电层。HDPO 制造工艺通常利用感应耦合以及 / 或电容耦合射频 (RF) 发射组件以产生与控制生成在基板上的等离子, 并注入含氧化源之气体以长成界面层。第二介电层可以利用化学气相沉积 (CVD) 或等离子增强型 CVD (PECVD) 沉积制造工艺而沉积在基板表面上。本发明亦提供一种群集工具 (cluster tool), 其包含至少一种能够沉积高质量栅极介电层之特制化等离子处理反应室。



1. 一种用于等离子处理基板的反应室, 包含:
 - 一个或多个反应室壁, 其定义出等离子处理区域;
 - 基板支持件, 安置在所述等离子处理区域中以及用以支撑所述基板在多个垂直分隔的等离子处理位置上;
 - 第一 RF 发射组件, 装设于所述等离子处理区域之上以传送 RF 能量至所述等离子处理区域;
 - 第二 RF 发射组件, 装设并安置于所述等离子处理区域外围以传送 RF 能量至所述等离子处理区域;
 - 第一 RF 功率源, 连接至所述第一 RF 发射组件;
 - 第二 RF 功率源, 连接至第二 RF 发射组件; 以及
 - 氧化气体源, 与所述等离子处理区域连通。
2. 根据权利要求 1 所述的反应室, 其特征在于所述第一 RF 发射组件为电容耦合 RF 能量发射组件, 第二 RF 发射组件为感应耦合 RF 能量发射组件。
3. 根据权利要求 1 所述的反应室, 其特征在于所述第一 RF 发射组件为电容耦合 RF 能量发射组件, 以及与所述等离子处理区域接触的接地表面的表面积和接触所述等离子处理区域之所述 RF 发射组件的所述表面积 of 的比率介于约 1:1 至约 2:1 的范围内。
4. 根据权利要求 1 所述的反应室, 其特征在于还包含:
 - 控制器, 连接至所述第一 RF 功率源、第二 RF 功率源以及所述氧化气体源, 其中所述控制器用以控制输送至所述第一 RF 发射组件的 RF 能量, 以及控制由所述氧化气体源输送至所述等离子处理区域的气体。
5. 根据权利要求 4 所述的反应室, 其特征在于还包含:
 - 内存, 连接至所述控制器, 所述内存包含具有内建计算机可读程序的计算机可读媒介, 以指示所述等离子处理反应室之操作, 所述计算机可读程序包含:
 - 多个计算机指令, 用以控制所述等离子处理反应室做:
 - (1) 开始处理;
 - (2) 移动所述基板支持件至第一等离子处理位置;
 - (3) 利用来自所述气体源的第一气体以第一 RF 功率来处理所述基板;
 - (4) 经过一段使用者定义的时间后, 停止等离子处理;
 - (5) 移动所述基板支持件至第二等离子处理位置;
 - (6) 利用来自所述气体源之第二气体以第二 RF 功率来处理所述基板; 以及
 - (7) 经过一段使用者定义的时间后, 停止等离子处理。
6. 一种用于等离子处理基板的反应室, 包含:
 - 一个或多个反应室壁, 定义出等离子处理区域;
 - 基板支持件, 安置在所述等离子处理区域中并用以支撑所述基板在多个垂直分隔的等离子处理位置上, 所述多个垂直分隔的等离子处理位置包括第一等离子处理位置和第二等离子处理位置;
 - 第一 RF 发射组件, 装设于所述等离子处理区域之上以传送 RF 能量至所述等离子处理区域;
 - 第一 RF 功率源, 连接至所述第一 RF 发射组件上;

第二 RF 发射组件,装设并安置于等离子处理区域外围以传送 RF 能量至所述等离子处理区域;

第二 RF 功率源,连接至所述第二 RF 发射组件上;

氧化气体源,与所述等离子处理区域连接;以及

控制器,连接至所述第一 RF 功率源、所述第二 RF 功率源以及所述氧化气体源上,其中所述控制器用以控制输送至所述第一 RF 发射组件的 RF 功率、输送至所述第二 RF 发射组件的 RF 功率,以及控制由所述氧化气体源输送至所述等离子处理区域的气体。

7. 根据权利要求 6 所述的反应室,其特征在于还包含:

第三 RF 功率源,连接至所述基板支持件;

其中所述控制器连接至所述第一 RF 功率源、所述第二 RF 功率源、所述第三 RF 功率源以及所述气体源上,其中所述控制器用以控制输送至所述第一 RF 发射组件的 RF 功率、输送至所述第二 RF 发射组件的 RF 功率、输送至所述基板支持件的 RF 功率以及从所述氧化气体源输送至所述等离子处理区域的气体。

8. 根据权利要求 7 所述的反应室,其特征在于所述第二 RF 发射组件为 RF 线圈,并且所述第一 RF 发射组件为气体分配盘。

9. 一种形成栅极介电层在基板上的方法,包含:

移动所述基板至等离子处理反应室的等离子处理区域内多个处理位置中的第一位置;

导入氧化气体混合物至所述等离子处理区域;

在基板表面温度不高于约 550°C 时,利用第一 RF 发射组件产生等离子在所述等离子处理区域中;

移动所述基板至等离子处理反应室的等离子处理区域内所述多个处理位置中的第二位置;

导入介电层形成气体混合物至所述等离子处理区域中;以及

在基板表面温度不高于约 550°C 时,利用第二 RF 发射组件产生等离子在所述等离子处理区域中,以在所述基板的所述表面上形成介电层。

10. 根据权利要求 9 所述的方法,其特征在于所述第一 RF 发射组件为电容耦合 RF 发射组件,以及所述第二 RF 发射组件为感应耦合 RF 发射组件。

11. 根据权利要求 9 所述的方法,其特征在于所述介电层形成气体包含四乙氧基硅烷或四乙基正硅酸盐。

12. 根据权利要求 9 所述的方法,其特征在于所述氧化气体混合物包含氧气源。

13. 根据权利要求 12 所述的方法,其特征在于所述氧化气体混合物还包含氦气、氢气、氩气、氙气、氟气或上述气体之组合。

14. 根据权利要求 9 所述的方法,其特征在于利用第一 RF 发射组件以在所述等离子处理区域中产生等离子之步骤还包含利用第二 RF 发射组件在所述等离子处理区域中产生等离子。

15. 根据权利要求 9 所述的方法,其特征在于形成介电层之步骤是利用含硅、含氧气以及 / 或含氮气体以及利用感应耦合 RF 能量发射组件与电容耦合 RF 能量发射组件加以完成。

16. 根据权利要求 15 所述的方法,其特征在于所述电容耦合 RF 能量发射组件为气体分配盘或基板支持件。

低温聚硅 TFT 用的多层高质量栅介电层

技术领域

[0001] 本发明之实施例有关于一种使用等离子处理系统以制作电子组件之设备及方法。

背景技术

[0002] 在制作平面面板显示器 (FPD)、薄膜晶体管 (TFT) 与液晶单元时,通过沉积与移除在玻璃基板上的多层导电材料、半导体材料与介电材料而形成金属内联机与其它特征。所形成之各种特征整合于一个系统中而产生如主动矩阵式显示屏幕,在其中显示状态在 FPD 上之每一个像素中产生。用以生产 FPD 之制造工艺技术包含等离子增强型化学气相沉积 (PECVD)、物理气相沉积 (PVD)、蚀刻等。等离子处理技术特别适合生产平面面板显示器,因为该技术在沉积薄膜过程中需要相对较低的制造工艺温度且可产出良好的薄膜质量。

[0003] 用于 TFT 显示器制作的常用 FPD 组件是低温多晶硅 (LTPS) TFT 组件,如图 1 所示之已有技术。LTPS TFT 组件为形成在光学透明基板 1 上具有源极区 9A、通道区 9B 与漏极区 9C 的 MOS 组件。源极区 9A、通道区 9B 与漏极区 9C 一般形成在最初沉积之非晶硅 (a-Si) 层上,此层稍后被退火以形成多晶硅层 (p-Si)。源极、漏极与通道区之形成通过图案化位于光学透明基板 1 上的区域以及离子掺杂最初沉积之 a-Si 层所形成,此 a-Si 层随后会进行退火以形成多晶硅层。接着沉积栅极介电层 4 在 p-Si 层的顶部以将栅极 5 从通道、源极及漏极区中隔离开来。栅极 5 形成于栅极介电层 4 之顶部。由于栅极介电层 4 通常由二氧化硅 (SiO₂) 层所制成,因此亦被称为栅极氧化层。随后制作绝缘层 6 与组件联机通过绝缘层以允许对 TFT 组件进行控制。

[0004] p-Si TFT 组件之效能表现是由形成 MOS 结构之沉积薄膜的质量决定的。MOS 组件之主要效能表现因素在于 p-Si 通道层膜、栅极介电层膜与 p-Si/ 栅极介电层界面之品质。近来,p-Si 通道层的质量颇受关注,但是却忽略了生产高质量之栅极介电层与 p-Si/ 栅极界面的重要。栅极介电层 4 对 TFT 组件的电性表现是关键因素。特别是,为了制作具有所需电性表现与高崩溃电压 (V_B) 的晶体管,栅极介电层需为高质量层 (例如,低平带电压 (V_{fb}))。栅极氧化层之质量会影响组件表现,进而影响 FPD 之质量与可用性。

[0005] 栅极介电层 4 典型地包含氧化层,其可由公知技术加以沉积,例如用 PECVD 在大约 350℃ 至约 450℃ 的环境下加以沉积。不幸地,在沉积膜层与 p-Si 通道层间的界面质量并未达到最高 TFT 组件表现的需求。由于高温沉积制造工艺会造成掺杂物在已沉积膜层的内部扩散,因此高温沉积制造工艺 (例如高于 600℃) 大多不能用来形成位于沉积膜层与 p-Si 通道层间良好界面,且可能因玻璃可能变软造成尺寸不稳定而不适用于具有薄膜沉积其上的玻璃基板。

[0006] 一个耐用的 LCD TFT 栅极介电膜具有高质量的 Si/SiO₂ 界面,其特征为低界面陷阱电荷 (low interface-trapped charge)、介电层中的缺陷数量少、低固定氧化物电荷与低移动离子密度,上述特征皆在制造工艺温度低于 500℃ 下发生。

[0007] 因此,需要一种可克服上述缺点而且可形成用于薄膜晶体管中的高质量栅极介电层之方法及设备。

发明内容

[0008] 本发明提供一种用于等离子处理基板的等离子反应室。此等离子反应室包含一个或多个定义等离子处理区域之壁；基板支持件，安置在等离子处理区域中且用以支持基板位于多个垂直分隔之位置上；一种 RF 发射组件，用以传送 RF 能量至等离子处理区域；一种 RF 功率源，连接至 RF 发射组件；以及一种氧化气体源，其与上述之等离子处理区域连接。

[0009] 本发明提供一种用以等离子处理基板的等离子反应室。此等离子反应室包含一个或多个定义出等离子处理区域之壁；基板支持件，安置在等离子处理区域中且用以支持基板位于多个垂直分隔之位置上；第一 RF 发射组件，用以传送 RF 能至等离子处理区域；第一 RF 功率源，连接至该第一 RF 发射组件；第二 RF 发射组件，以传送 RF 能量至等离子处理区域；第二 RF 功率源，连接至第二 RF 发射组件；一种氧化气体源，其与等离子处理区域连接；以及一个控制器，连接至该第一 RF 功率源、该第二 RF 功率源与该气体源，其中此控制器用以控制传送至第一 RF 发射组件之 RF 能量、控制传送至第二 RF 发射组件之 RF 能量、与控制从该氧化气体源传送至该等离子处理区域中的气体。

[0010] 本发明大体上提供一种等离子处理基板的方法。此方法包含移动该基板至等离子反应室之等离子处理区域中多个处理位置的第一位置上；导入氧化气体混合物进入等离子处理区域中；在基板温度不超过 550℃ 的情况下，产生等离子于等离子处理区域中以形成氧化表面于基板上；移动基板至多个处理位置中的第二位置；以及形成介电层于基板表面上，以形成厚度介于约 100 Å 至约 6000 Å 间的栅极介电层。

[0011] 本发明提供一种以等离子处理基板的方法。此方法包含将该基板移动至等离子反应室之等离子处理区域内多个处理位置中的第一位置上；导入氧化气体混合物进入该等离子处理区域中；利用第一 RF 发射组件产生等离子于等离子处理区域中，此时基板温度不超过 550℃；移动基板至等离子反应室之等离子处理区域内多个处理位置中的第二位置上；导入介电层形成气体混合物至该等离子处理区域中；以及利用第二 RF 发射组件，于基板表面温度不超过 550℃ 的情况下在等离子处理区域中产生等离子以形成介电层于基板表面上。

[0012] 本发明大体上提供一种用以形成高质量栅极氧化层于基板上的群集工具。该群集工具包含多个等离子处理反应室，用以形成氧化表面于基板上，以及沉积介电层于基板上以形成栅极介电层；以及控制器，用以维持基板温度不超过 550℃。

[0013] 本发明大体上提供一种用以形成高质量栅极氧化层于基板上的群集工具。该群集工具包含第一反应室，在温度不超过 550℃ 时用以形成氧化表面于基板上；以及第二反应室，在温度不超过 550℃ 时用以沉积介电层于基板之氧化表面上。

[0014] 本发明提供一种用于等离子处理基板的等离子反应室。其包含：一个或多个定义等离子处理区域之壁；基板支持件，安置在等离子处理区域中且用以支持基板位于多个垂直分隔之等离子处理位置上；一种 RF 线圈，用以传送 RF 能量至该等离子处理区域；一种 RF 功率源，连接至 RF 线圈上；一种气体分配盘，用以传送 RF 能量至该等离子处理区域；一种 RF 功率源，连接至气体分配盘上；以及一种氧化气体源，与该等离子处理区域连接。

[0015] 本发明提供一种用以等离子处理基板的等离子反应室。此等离子反应室包含一个或多个定义等离子处理区域之壁；基板支持件，安置在等离子处理区域中且用以支持基板位于多个垂直分隔之等离子处理位置上，此基板支持件用以传送 RF 能量至等离子处理区

域中,其中 RF 能量系由 RF 功率源输配至该基板支持件;一种气体分配盘,安置在等离子处理区域中,其中气体分配盘系接地;以及一种氧化气体源,与等离子处理区域连接。

附图说明

[0016] 在此可了解本发明上述列举的特征,至于以上已概述的更特定发明,可参照实施例而获得进一步了解,其中一些实施例表示在后面的附图中。然而需注意的是本发明附加的附图仅为代表性实施例,并非用以限定本发明范围,其它等效的实施例仍应包含在本发明的范围中。

[0017] 图 1(已有技术)为公知单一薄膜晶体管结构的示意图;

[0018] 图 2 为用以实施本发明实施例的等离子处理反应室剖面图,其中基板支持件位于低的处理位置上。

[0019] 图 2A 与图 2B 表示在图 2 至图 4 中可用于本发明实施例之感应耦合源组件的剖面图;

[0020] 图 3 为可用于本发明实施例中之等离子处理反应室的剖面图,其中基板支持件位于最高的处理位置上。

[0021] 图 4 为可用于本发明实施例之等离子处理反应室的剖面图,其中基板支持件位于基板交换位置上。

[0022] 图 5 为可用于本发明实施例之等离子处理反应室的剖面图,其中在等离子处理反应室中接地表面的表面积比图 2 至图 4 中之实施例的接地表面积要大。

[0023] 图 6 为可用于文中所述实施例之等离子处理反应室的俯视图;

[0024] 图 7 为可用于文中所述实施例之反应室的等角视图;

[0025] 图 8 显示一种根据本发明实施例所做的用于制造高质量栅极氧化层的群集工具。

[0026] 主要元件标记说明

[0027]	100 等离子处理反应室	64 气体分配组件
[0028]	70 感应耦合源组件	25 下层反应室组件
[0029]	18 制造工艺体积	19 下层体积
[0030]	17 反应室体积	238 基板支持件
[0031]	51 升降组件	202 处理反应室底座
[0032]	206 反应室壁	65 凸缘组件
[0033]	51 升降组件	50 升降盘
[0034]	63 抽气空间	208 反应室底部
[0035]	32 存取口	240 基板
[0036]	232 嵌入式加热器	300 控制器
[0037]	274 功率源	234 前侧
[0038]	242 轴	42 轴底座
[0039]	52 升降插销	246 风箱
[0040]	112 入口	248 遮蔽框
[0041]	61 抽气通道	60 反应室盖
[0042]	68 平板	152、150 真空抽气系统

[0043]	23	抽气通道	26	平板
[0044]	21	孔洞	150A	抽气口
[0045]	69	通道	76	支持结构
[0046]	84	支撑构件	72	凸缘支持构件
[0047]	82	RF 线圈	78	内部绝缘体
[0048]	90	外部绝缘体	80	覆盖物
[0049]	83	真空馈入装置	85、86、87、88、89	0 型环
[0050]	138	阻抗匹配网络	140	RF 功率源
[0051]	82A	输入端	82B	输出端
[0052]	134、136	阻抗匹配组件	310	群集工具
[0053]	341、343、345、347	缝阀		
[0054]	B2	气体分配盘表面	B3	基板支件表面
[0055]	312	中央传送室	302	预热室
[0056]	314A、314B	负载闭锁 / 冷却室		
[0057]	340、342、344、346	处理反应室		
[0058]	316A、316B	负载门	38A-D	基板储存位置
[0059]	317	晶片盒	322	机械手臂
[0060]	329	预热室晶片盒		

具体实施方式

[0061] 本发明提供一种利用感应耦合高密度等离子以处理基板表面的设备与方法。通常,本发明之概念可应用于平面面板显示器制造工艺、半导体制造工艺、太阳能电池制造工艺或任何他种基板制造工艺。以下将示范性地参考一种用来处理大面积基板之化学气相沉积系统来说明本发明,例如一种可购自 AKT 公司之等离子增强型化学气相沉积 (PECVD) 系统;AKT 为位于加州圣塔摩尼卡之 Applied Material 公司所属之单位。然而需了解的是,此设备与方法亦可应用于其它系统中,包含用来处理圆形基板之系统。

[0062] 图 1 表示一个薄膜晶体管结构之剖面图;光学透明基板 1 可包含一种实质上光学透明之材料,例如,玻璃或透明塑料。此光学透明基板 1 可以有各种形状或尺寸。在 TFT 应用上,光学透明基板 1 通常是表面积大于约 2000 平方厘米的玻璃基板。

[0063] 主体半导体层 (bulk semiconductive layer) 3A 形成在光学透明基板 1 上。主体半导体层 3A 可包含多晶硅 (多晶硅) 或非晶硅 (a-Si) 层,其可利用公知方法通过 PECVD 系统加以沉积。主体半导体层 3A 可具有大约 $100\text{\AA}$ 至约 $3000\text{\AA}$ 的厚度。实施例中,主体半导体层 3A 为掺杂的 n 型或 p 型半导体多晶硅或 a-Si 层。实施例中,另一层多晶硅或 a-Si 第二半导体层 3B 可沉积在主体半导体层 3A 上,并具有大约 $100\text{\AA}$ 至大约 $3000\text{\AA}$ 的厚度。

[0064] 在光学透明基板 1 与主体半导体层 3A 之间可选择性具有绝缘材料 2,例如二氧化硅 (SiO_2) 或氮化硅 (SiN) 层。

[0065] 栅极介电层 4 形成在主体半导体层 3A (或第二半导体层 3B) 上。在本发明一实施例中,栅极介电层 4 利用下述高密度等离子氧化 (HDPO) 制造工艺消耗部分已沉积的硅层而长成出来的二氧化硅所形成。另一个实施例中,多层式栅极介电层 4 利用 HDPO 制造工艺成

长二氧化硅膜,接着以等离子增强型化学气相沉积法在上述 HDPO 膜上沉积二氧化硅、氮氧化硅 (SiON)、以及 / 或氮化硅 (SiN) 膜后所形成。在一实施例中,利用高密度等离子增强型 CVD 制造工艺沉积第二层。总体的栅极介电层 4 的沉积厚度介于约 100Å 至约 6000Å 的范围内。

[0066] 栅极电极层 5 形成于栅极介电层 4 上。栅极电极层 5 包含电性传导层,其控制带电电荷在 TFT 组件中的移动。栅极电极层 5 可以包含金属,例如铝 (Al)、钨 (W)、铬 (Cr)、钽 (Ta)、多晶硅或上述物质的组合等等。利用公知沉积技术、微影及蚀刻技术可以形成栅极电极层 5。再者,利用公知沉积、微影与蚀刻技术于该栅极电极层 5 上方形成绝缘层 6、电性源极与漏极接触 7 以及钝化层 8。

[0067] 图 2 为等离子处理反应室 100 的剖面图。等离子处理反应室 100 通常包含气体分配组件 64、感应耦合源组件 70、以及下层反应室组件 25。由制造工艺体积 18 与下层体积 19 所组成的反应室体积 17,定义出在等离子处理反应室 100 中的等离子处理区域,且被气体分配组件 64、感应耦合源组件 70 以及下层反应室组件 25 所包围。

[0068] 下层反应室组件 25 通常包含基板升降组件 51、基板支持件 238 与处理反应室底座 202。处理反应室底座 202 具有反应室壁 206 与反应室底部 208,其部分定义出下层体积 19。通过位于反应室壁 206 的存取口 (accessport) 32,可进出处理反应室底座 202。存取口 32 定义出基板 240 进出处理反应室底座 202 的区域。反应室壁 206 与反应室底部 208 可由一整块的铝或其它适合于制造工艺的材料所制作而成。

[0069] 温度受控制的基板支持件 238 连接至处理反应室底座 202。基板支持件 238 在处理过程中支撑着基板 240。在一实施例中,基板支持件 238 包含铝金属主体 224,其包含至少一个嵌入式加热器 232。嵌入式加热器 232,例如热阻组件,设置在基板支持件 238 中。嵌入式加热器 232 连接至功率源 274,其通过控制器 300 而可控制地将该基板支持件 238 与安置在支持件上的基板 240 加热至预定温度。典型地,在大部分 CVD 制造工艺,嵌入式加热器 232 将基板 240 维持在均匀的温度范围内,例如从用于塑料基板需约 60°C 到用于玻璃基板所需约 550°C 的温度范围。

[0070] 通常,基板支持件 238 具有背侧 226、前侧 234 与轴 (stem) 242。前侧 234 支撑基板 240,而轴 242 连接至背侧 226。连接该轴 242 之轴底座 42 连接至升降组件 40 上,以使基板支持件 238 在各种位置间移动,如图 2 至图 4 所示。如图 4 所示般,传送位置使系统机械手臂 (图中未示出) 可自由进出等离子处理反应室 100 而不会干扰基板支持件 238 以及 / 或升降插梢 52。轴 242 另提供一种导管以容置位于基板支持件 238 及该群集工具 310 之其它构件之间的导电性及热电偶导线。升降组件可以包含气动式或机械式导程螺杆升降组件,当等离子处理反应室 100 处在真空环境下时,其可供给一种用以抵抗作用在基板支持件 238 上的重力与大气压力的力量,以及准确地将支持组件定位在等离子处理反应室 100 中。

[0071] 风箱 246 连接在基板支持件 238 (或轴 242) 与处理反应室底座 202 的反应室底部 208 之间。风箱 246 在反应室体积 17 与处理反应室底座 202 外的大气间提供真空密封作用,同时帮助基板支持件 238 的垂直移动。

[0072] 基板支持件 238 额外支撑基板 240 与外接的遮蔽框 248。通常,遮蔽框 248 防止材

料沉积于基板 240 的边缘与基板支持件 238 上。在一实施例中,遮蔽框 248 通过使用连接至基板升降组件 51 上的特征(图中未示出)而与基板 240 以及基板支持件 238 分开。另一个实施例中,遮蔽框 248 设置在摄取特征(capturing feature,图中未示出)上,此摄取特征设置在等离子处理反应室 100 中,当基板支持件位于摄取特征上且由处理位置向下移动时,此摄取特征可使基板支持件 238 与遮蔽框 248 分开。该摄取特征实例或该连接于基板升降组件实施例上的特征因而有助于基板 240 从基板支持件 238 上以及等离子处理反应室 100 中移除。

[0073] 基板支持件 238 设置有贯穿其中的多个孔洞 228,用以容纳多个升降插销 52。升降插销 52 通常由陶瓷、石墨、涂布有陶瓷的金属或不锈钢制成。利用能够将升降插销 52 由下缩位置(如图 2 所示)升至上升位置(图中未示出)的升降盘 50,使升降插销 52 可以相对于基板支持件 238 与处理反应室底座 202 而移动。连接至每一个升降插销 52 与反应室底部 208 的升降风箱 54 用来隔离下层体积 19 与在等离子处理反应室 100 外的大气环境,同时亦允许升降插销 52 可由下缩位置(如图 2 所示)升至上升位置(图中未示出)。利用升降致动器 56 以启动升降盘 50。当升降插销 52 在上升位置且基板支持件 238 在传送位置时,基板 240 被抬升至存取口 32 之顶边的上方,使得系统机械手臂可从等离子处理反应室 100 进出。

[0074] 凸缘组件 65 典型包含入口 112,由气体源 110 提供的制造工艺气体在通过气体分配盘 64 之后通过此入口 112 导入制造工艺体积 18 中。利用质量流量控制器(图中未示出)与控制器 300,可适当控制与调节从气体源 110 至入口 112 的气体流。气体源 110 可包含多个质量流量控制器(图中未示出)。在此所使用的“质量流量控制器”一词,是指任何可提供快速与正确气体流至等离子处理反应室 100 内的控制阀门。入口 112 使得制造工艺气体被导入且均匀地分布在等离子处理反应室 100 中。此外,入口 112 可以选择性地被加热以避免任何反应性气体在歧管内发生凝结。

[0075] 入口 112 亦连接至清洗源 120 上。清洗源 120 典型地提供一种清洗剂,如解离氟(disassociated fluorine),其被导入至制造工艺体积 18 中以移除沉积副产物以及于先前处理步骤后遗留下的沉积材料。

[0076] 凸缘组件 65 提供该制造工艺体积 18 的上层边界。凸缘组件 65 能由反应室底座 202 以及 / 或感应耦合源组件 70 上移除,以检修在等离子处理反应室 100 中的零件。典型地,凸缘组件 65 由铝 (Al) 或电镀铝主体制作而成。

[0077] 在一实施例中,凸缘组件 65 包含抽气空间 63,其连接至外部真空抽气系统 152 上。抽气空间 63 用以将气体与制造工艺副产物由制造工艺体积 18 中均匀地排出。抽气空间 63 形成于反应室盖内或连接至其上,并被平板 68 所覆盖,以形成抽气通道 61。为确保制造工艺体积 18 均匀排空,在平板 68 与反应室盖 60 之间形成间隙,以为气体流进入抽气通道 61 时产生一个小小的限制条件。在一实施例中,形成在感应耦合源组件 70 之凸缘支持构件 72 上的遮蔽特征 71 亦可提供额外之限制条件以进一步确保制造工艺体积 18 之均匀排空。真空抽气系统 152 通常包含真空帮浦,其可以是涡轮帮浦、低真空帮浦以及 / 或可达成需求反应室处理压力之 RootsBlower™。

[0078] 另一个实施例中,在下层反应室组件 25 中存在一个抽气空间 24,其可利用真空抽气系统 150 以从制造工艺体积 18 中均匀地排空气体与制造工艺副产物。抽气空间 24 通常

形成于反应室底部 208 内或连接其上,且可被平板 26 所覆盖以形成围封之抽气通道 23。平板 26 通常包含多个孔洞 21(或狭缝)以对气体流进入抽气通道 23 时产生小小限制,而确保反应室体积 17 的均匀排空。抽气通道 23 通过抽气口 150A 而连接至真空抽气系统 150 上。真空抽气系统 150 通常将包含真空帮浦,其可以是涡轮帮浦、低真空帮浦、以及 / 或可达成需求反应室处理压力的 Roots Blower™。实施例,如图 2 至图 4 所示,抽气空间 24 对称地分布在处理反应室的中心附近以保证制造工艺体积 18 中的气体排空。

[0079] 另一个实施例中,抽气空间 24 及抽气空间 63 皆用来排空制造工艺体积 18。在此实施例中,利用真空抽气系统 152 而由制造工艺体积 18 移除的气体相对流速,以及利用真空抽气系统 150 而由下层体积 19 移除的气体相对流速均可被最佳化,以改善等离子处理结果并减少等离子与制造工艺副产物泄漏至下层体积 19。减少等离子与制造工艺副产物的泄漏将可减少在下层反应室组件 25 零件上的沉积,因而减少清洗时间以及 / 或减少为移除这些无用沉积物而需要使用清洗源 120 的频率。

[0080] 气体分配盘 64 连接至凸缘组件 65 的顶板 62 上。气体分配盘 64 的形状大致上与基板 240 的外形一致。气体分配盘 64 包含有孔区域 67,来自气体源 110 的制造工艺气体与其它气体通过此有孔区域 67 而被输配至制造工艺体积 18 中。气体分配盘 64 的有孔区域 67 用以提供均匀的气体分配通过气体分配盘 64 而进入制造工艺体积 18 中。本发明所采用的气体分配盘阐述于 2003 年 1 月 7 日由 Blonigan 等人所申请的已受让之美国专利申请号 10/337483 中;于 2002 年 11 月 12 日发证予 White 等人的美国专利号 6447980;以及,由 Choi 等人于 2003 年 4 月 16 日申请的美国专利申请号 10/417592;在此以参考方式并入上述案件的全部内容。

[0081] 如图 2 至图 4 所示的气体分配盘 64 可由单一构件形成。另一个实施例中,气体分配盘 64 可由二个或更多个分开的部件形成。多个气体通道 69 贯穿形成于扩散板 64 中,以使制造工艺气体能以想要的分配情形通过气体分配盘 64 而进入制造工艺体积 18 中。空间 66 形成于气体分配盘 64 与顶板 62 之间。空间 66 可使气体由气体源 110 流入空间 66 中以均匀地分配于气体分配盘 64 上且均匀地流过气体通道 69。气体分配盘 64 由铝 (Al)、电镀铝、或其它 RF 传导材料所构成。气体分配盘 64 通过电子绝缘部件(图中未示出)而与反应室盖 60 电性隔离。

[0082] 参照图 2、图 2A 与图 2B,感应耦合源组件 70 通常包含 RF 线圈 82、支持结构 76、覆盖物 80 与各种绝缘部件(例如,内部绝缘体 78、外部绝缘体 90 等)。支持结构 76 通常包含支撑构件 84 与凸缘支持构件 72,此两者接地金属零件,可支持凸缘组件 65 的零件。RF 线圈 82 由数个零件支持与围绕,上述这些零件可避免由 RF 功率源 140 输送至线圈的 RF 功率击穿该支持结构 76 或对接地的反应室零件造成重大的损害(例如,处理反应室底座 202 等)。覆盖物 80 连接至支持结构 76 上,且覆盖物为重叠片段组成之薄的连续的环状物、带状物或数组。覆盖物 80 用以保护 RF 线圈 82 免于受到等离子处理化学物的影响,或免于被等离子处理过程中产生的离子或中性粒子或反应室清洗化学物的轰击。覆盖物 80 由陶瓷材料制成(例如,铝或蓝宝石)或其它与制造工艺相合适的介电材料。再者,各种绝缘部件,例如内部绝缘体 78 与外部绝缘体 90,用以支持与隔离 RF 线圈 82 和电性接地支持结构 76。绝缘部件通常由电性绝缘材料制成,例如,铁氟龙或陶瓷材料。真空馈入装置 83 连接至支持结构 76 上以稳固与支撑 RF 线圈 82,以及避免大气泄漏至已排空的制造工艺体积 18 中。

支持结构 76、真空馈入装置 83 与各种 O 型环 85、86、87、88 与 89 形成可支持 RF 线圈 82 与气体分配组件 64 的一种真空紧密结构,并使得 RF 线圈 82 可与制造工艺体积 18 相通而没有抑制 RF 产生区域的传导阻碍。

[0083] 如图 2 至图 5 所示,RF 线圈 82 通过 RF 阻抗匹配网络 138 而连接至 RF 功率源 140 上。在此组态中,RF 线圈 82 当作一种感应耦合 RF 能量发射组件,其可产生及控制在制造工艺体积 18 中生成的等离子。在一个实施例中,可为 RF 线圈 82 提供动态阻抗匹配。控制器 300 以及安置在制造工艺体积 18 周围的 RF 线圈 82 可用以控制与形成产生在基板表面 240A 附近的等离子。在一实施例中,如图 2 至图 5 所示的 RF 线圈 82,用以控制产生在反应室体积 17 附近的等离子体的单匝线圈。另一个实施例中,多匝线圈可用以控制等离子体的成形与密度。

[0084] 在一些组态中,单匝线圈的线圈端可影响产生在等离子处理反应室 100 中的等离子体的均匀性。当不期望重叠线圈端时,如图 6 与图 7 所示的间隙区域“A”,可存在于线圈端之间。由于线圈的缺漏长度与 RF 电压在线圈输入端 82A 和输出端 82B 的交互影响,接近间隙“A”处会产生较弱的 RF 生成磁场。在此区的较弱磁场可能对反应室内的等离子体均匀性有不良影响。为解决这可能产生的问题,可在制造工艺中利用可变的诱导器连续地或重复地调整在 RF 线圈 82 与接地间的电抗 (reactance),诱导器可偏移或转动 RF 电压分布,而利用时间来平均调沿着 RF 线圈 82 所生成之等离子体的等离子体不均匀性,并减少 RF 电压在线圈端的交互影响。调整在 RF 线圈 82 与接地间的电抗以偏移在线圈中的 RF 电压分布的方法实例进一步阐述于美国专利号 6254738 中,其名称为“Use of Variable Impedance Having Rotating Core to Control Coil Sputtering Distribution”,其于 1998 年 3 月 31 日申请,在此以参考方式且在不会与本发明的专利申请概念以及披露不一致的程度下并入该内容。结果,利用改变 RF 电压分布而对等离子体分布作时间平均化,能使产生在制造工艺体积 18 中的等离子体较均匀且轴向对称控制。沿着 RF 线圈 82 的 RF 电压分布可影响各种等离子体的特性,包含等离子体密度、RF 电位分布,以及暴露于等离子体下的包含基板 240 之表面的离子轰击。

[0085] 在一实施例中,气体分配盘 64 经 RF 偏压,使得产生于制造工艺体积 18 中的等离子体可通过利用与气体分配盘相连接的阻抗匹配组件 130、RF 功率源 132 与控制器 300 而受控制与成形。RF 偏压气体分配盘 64 作为电容耦合 RF 能量发射组件,其可产生与控制在制造工艺体积 18 中的等离子体。

[0086] 另一个实施例中,RF 功率源 136 通过阻抗匹配组件 134 而施加 RF 偏压功率于基板支持件 238 上。通过 RF 功率源 136、阻抗匹配组件 134 与控制器 300,使用者能够控制在制造工艺体积 18 中产生的等离子体、控制基板 240 的等离子体轰击以及改变在基板表面 240A 上的等离子体壳层厚度。另一个实施例中,RF 功率源 136 及阻抗匹配组件 134 可替换成一个或多个接地联机(图中未示出),因而使基板支持件 238 接地。

[0087] 为控制等离子体处理反应室 100、制造工艺变量与零件以及其它群集工具 310 零件,控制器 300 用以控制完整基板制造工艺程序的所有状况。控制器 300 用以控制阻抗匹配组件(即,130、134 与 138)、RF 功率源(即,132、136 与 140)与其它等离子体处理反应室 100 的组件。等离子体处理反应室 100 的等离子体处理变量由控制器 300 控制,控制器为含微处理器的控制器。控制器 300 用以接收来自使用者以及/或在等离子体处理反应室中各种传感器的

输入,并根据各种输入与存于控制器内存中的软件指令而适当地控制等离子处理反应室零件。控制器 300 通常包含内存与中央处理器 (CPU),当有需要时,此两者通过控制器而保留各种程序、处理程序以及执行程序。内存连接至 CPU 上,以及可以是一个或多个随时可用的内存组件,例如随机存取内存 (RAM)、只读存储器 (ROM)、软盘、硬盘或任何其它形式的数字储存,不管是局部或遥控的记忆储存。软件指令与数据可被编码与储存于内存中以对 CPU 发出指令。支持电路也连接至 CPU 上以支持处理器。这些支持电路包含快取、功率供应器、时钟电路、输入 / 输出电路、辅助系统等公知的电路。由控制器 300 读取的程序 (或计算机指令) 可决定在等离子处理反应室中要进行哪一工作。较佳地,程序为控制器 300 读取的软件,并包含指令以根据规定与输入资料而监测与控制等离子处理制造工艺。

[0088] 等离子处理

[0089] 操作上,通过真空抽气系统 150 与 / 或真空抽气系统 152 将等离子处理反应室 100 排空至预定的压力 / 真空,使得等离子处理反应室 100 能够从系统机械手臂 (图中未示出) 上接收基板 240,其中机械手臂安装在同样为真空环境下的中央传送室 312 内。为了将基板 240 传送至反应室中,将用来密封隔离中央传送室 312 与等离子处理反应室 100 的缝阀 (参见图 8 中的标号 341、343、345 与 347) 开启以使系统机械手臂延伸通过在处理反应室底座 202 中的存取口 32。升降插销 52 由延伸的机械手臂上移除基板 240。系统机械手臂接着由等离子处理反应室 100 中缩回,且关闭该反应室缝阀以隔离等离子处理反应室 100 与中央传送室 312。基板支持件 238 由升降插销 52 处抬升基板 240 并将基板 240 移至所需的处理位置。

[0090] 一旦基板 240 被接收,利用一般等离子处理步骤以完成基板 240 上的处理程序。首先,当基板 240 由升降插销处离开后,基板支持件 238 移动至所需的处理位置且等离子处理反应室被排空至预定压力。一旦达到预定压力,具有特定流速的一种或多种气体由气体源 110 通过气体分配盘 64 导入反应室体积 17 中,此时真空抽气系统持续排空反应室体积 17,以达成平衡的处理压力。控制器 300 通过阻滞上述这些真空抽气系统 (即,150 以及 / 或 152) 之间的连通以及 / 或调整来自气体源 110 的制造工艺气体的导入流速而调整制造工艺的处理压力。当所需压力及气体流速建立之后,可启动各自的 RF 功率供给器以产生及控制产生于制造工艺体积 18 中的等离子。使用控制器 300 将功率分别供应至 RF 线圈 82、气体分配盘 64 以及 / 或基板支持件 238。由于等离子离子密度直接与生成的磁场以及 / 或电场强度相关,因此可通过改变输入至 RF 线圈 82、气体分配盘 64 以及 / 或基板支持件 238 的 RF 功率来改变产生于制造工艺体积 18 中的等离子密度。等离子离子密度也可以通过调整制造工艺处理压力或调整输送至 RF 线圈 82 以及 / 或气体分配盘 64 的 RF 功率而予以增加或减少。基板在经过下述各种反应室制造工艺步骤处理后,通过抬升升降插销 52、降低基板支持件 238 以放置基板 240 于升高的升降插销 52 上、开启缝阀 (图中未示出)、伸长系统机械手臂至反应室中、降低升降插销 52 以放置基板 240 于系统机械手臂刀刃 (图中未示出) 上、接着缩回系统机械手臂并关闭缝阀等步骤,而将基板由等离子处理反应室 100 中移开。

[0091] 高质量栅极氧化物的形成

[0092] 本发明的实施例阐述形成高质量栅极介电层的制造工艺以确保在制造完成的 TFT 组件中有稳定、可再现性与想要的电子效能表现。本发明实施例阐述一个或多个制造工艺

步骤,其用以在上述的等离子处理反应室 100 中形成高质量栅极介电层。

[0093] 本发明的实施例中,下述单一高密度等离子氧化制造工艺 (HDPO) 用以形成栅极介电层。在实施例中的 HDPO 制造工艺层的厚度可介于约 20 Å 至约 1000 Å 之间,但较佳介于约 50 Å 至 150 Å 的厚度范围。

[0094] 另一个实施例中,通过首先进行 HDPO 制造工艺,接着形成 CVD 膜于最初 HDPO 制造工艺层的顶部而形成一层双层膜。在实施例中,CVD 膜可以利用 PECVD 四乙氧基硅烷 (TEOS) (或称四乙基正硅酸盐 (TEOS)) 沉积制造工艺所沉积出来的二氧化硅 (SiO_2)。在实施例中的 HDPO 制造工艺层的厚度介于约 20 Å 至约 500 Å 之间,但较佳地介于约 50 Å 至 150 Å 的厚度范围内。整体栅极介电层 4 可以具有大约 100 Å 至大约 6000 Å 的厚度。

[0095] 高密度等离子氧化制造工艺

[0096] 利用将硅基板表面 240A 暴露在生成的等离子中而完成 HDPO 制造工艺,其中该等离子利用来自气体源 110 且通过气体分配盘 64 而输入至制造工艺体积 18 中的含氧气体或气体混合物所产生。HDPO 制造工艺是一种等离子氧化制造工艺。公知用来氧化硅的热氧化制造工艺常常需要非常高的温度,通常大于 900°C。因此,为减少用来形成高质量栅极介电层所需的温度,本发明的概念可在低温 (小于 550°C) 下执行以形成高质量栅极介电层。典型上 HDPO 制造工艺将在约 60°C 至约 550°C 温度范围下进行。在公知的热氧化制造工艺中,减少制造工艺温度将会减缓氧化层的成长速率,而延长反应室处理时间以及减少单位时间内的系统产量。为增加成长速率与减少反应室处理时间,HDPO 制造工艺利用 RF 能量来提升栅极氧化层的成长速率。由于 RF 能量的应用将 (1) 加强反应性物种的分解与离子化;(2) 加强反应性物种的能量 (或活性);(3) 通过离子与中性子轰击而增加基板表面 240A 的能量;以及 (4) 暴露基板表面 240A 至高密度等离子生成时所产生的热辐射下,故相信 HDPO 制造工艺可以增加成长速率。

[0097] 在一实施例中,HDPO 制造工艺必需控制输入至 RF 线圈 82 的 RF 功率,以控制产生在基板表面 240A 上的制造工艺体积 18 中的等离子离子密度。输入至 RF 线圈 82 的 RF 功率可约为 250 至大约 25000 瓦特 / 平方米 (Watts/m^2),其频率约为 0.3MHz 至 10GHz。较佳者,该 RF 频率大约 13MHz 至 80MHz。在一实施例中,借着调整频率、调整阻抗匹配网络或具正向功率伺服的频率调整而为 RF 线圈 82 提供动态阻抗匹配。

[0098] 另一个实施例中,HDPO 制造工艺等离子由输送至气体分配盘 64 的 RF 能量产生与控制。通常输送至气体分配盘 64 的 RF 功率约从 250 至约 25000 瓦特 / 平方米,而频率从大约 0.3MHz 至 10GHz 以上。较佳地,RF 频率约为 13MHz 至约 80MHz。在一实施例中,借着调整频率、调整阻抗匹配网络或具正向功率伺服的频率调整而为气体分配盘 64 提供动态阻抗匹配。

[0099] 另一个实施例中,通过同时输送 RF 能量至 RF 线圈 82 与气体分配盘 64 上来完成 HDPO 制造工艺。输入至气体分配盘 64 与 RF 线圈 82 的 RF 功率可约 250 至约 25000 瓦特 / 平方米,而频率大约为 0.3MHz 至大于 10GHz。较佳地,RF 频率大约 13MHz 至大约 80MHz。为避免输送至 RF 线圈 82 与气体分配盘 64 的 RF 功率的交互作用,输送至每一个组件的 RF 功率的频率可以是稍微不同的 RF 频率。例如,RF 线圈 82 可以在大约 13.56MHz 下运作而气体分配盘可以在大约 12.56MHz 下驱动;或者上述的组件运作频率可以互换。

[0100] 再又一个实施例中,基板支持件 238 经 RF 偏压或接地,同时 RF 能量输送至 RF 线

圈 82 以及 / 或气体分配盘 64 上。在此情况下,输送至气体分配盘 64、RF 线圈 82 与基板支持件 238 的 RF 功率可约 250 至大约 25000 瓦特 / 平方米,而频率大约为 0.3MHz 至大于 10GHz。较佳地,RF 频率系大约 13MHz 至大约 80MHz。在此实施例中,在不同频率下将 RF 功率输送至 RF 线圈 82、基板支持件 238 与气体分配盘 64 上也可减少任何因 RF 功率的交互作用所造成的影响。

[0101] 产生于 HDPO 制造工艺过程中的等离子离子密度将视各种制造工艺处理参数而改变,例如,导入反应室的制造工艺气体或气体混合物的种类、反应室压力、以及 / 或输入至反应室以激发气体或气体混合物的能量(例如,RF 功率等)。在一实施例中,HDPO 制造工艺气体可以包含一种氧气来源,例如纯氧气或氧气混合诸如氦气、氢气、氩气、氙气、氟气或上述气体的组合物等其它气体。在一实施例中仅使用纯氧气。另一个实施例中,可将水注入反应室中以加强氧化物的成长制造工艺。

[0102] 在一实施例中,为了产生与维持使用于 HDPO 制造工艺的高密度等离子,氧气与一种或多种其它气体(如,氦气、氩气等)注入反应室体积 17 中以达到约 1 毫托(mTorr)至约 0.5 托(Torr)的反应室压力。较佳地,HDPO 制造工艺使用的氧气与氦气的压力范围约介于 3 毫托至约 250 毫托之间。

[0103] 当等离子与基板表面的交互作用受到所生成的等离子密度影响时,等离子与基板表面 240A 的交互作用也受到基板在等离子反应室中的位置与基板支持件 238 的电性浮动、接地或 RF 偏压影响。一般而言,基板距离等离子产生源越远,则基板表面 240A 与等离子间的交互作用越小。用以形成高质量氧化层的基板支持件的理想位置取决于等离子在基板表面的密度、离子轰击基板表面的能量、制造工艺温度以及所需的反应室处理时间。图 2 表示等离子处理反应室的剖面图,其中基板支持件安置在处理反应室的中间位置,此位置在一实施例中形成 HDPO 层的理想位置。图 3 表示等离子处理反应室的剖面图,在该反应室中,基板支持件靠近气体分配盘 64 的表面位置,在一实施例中,此位置利用施加 RF 功率在气体分配盘 64 上以形成 PECVD 氧化层的理想位置。因为 HDPO 层成长速率与制造工艺均匀性受基板表面与产生的等离子互相作用影响,基板支持件的处理位置可以根据在 HDPO 层制造工艺条件中的制造工艺处理变数而加以调整。理想的等离子处理位置主要取决于等离子处理反应室的特性(如,反应室大小、基板相对于抽气口的位置等)以及相对于基板表面的 RF 能量发射组件的组态。在一实施例中,当调整在 HDPO 层处理步骤中的等离子离子密度时,处理位置可能改变。图 2 表示用于 HDPO 氧化物成长制造工艺与 HDP 沉积制造工艺的较佳位置。图 3 表示用于公知 PECVD 沉积制造工艺的较佳位置。较佳位置可通过制造工艺体积 18 的高度,或又称反应室“间距”,而量测出。间距可以例如是介于安置在基板支持件 238 的基板支持表面 230 上的基板 240 与气体分配盘 64 间的距离,但此间距常定义成从基板表面 240A 至气体分配盘 64(即,制造工艺体积 18 的边缘)的垂直距离。在一实施例中,当使用一个或多个 RF 能量发射组件时,在用来对 730mmx920mm 基板进行 HDPO 制造工艺的处理反应室中的间距可约介于 50 毫米(mm)至大约 500 毫米之间。反应室间距可随着基板尺寸增加而改变。

[0104] 图 4 表示等离子处理反应室 100 的剖面图,其中基板支持件 238 设置在等离子处理反应室的底部上或靠近底部的位置。此位置用来使已处理的基板与未处理的基板进行交换。

[0105] 图 5 表示等离子处理反应室的一实施例的剖面图,在处理反应室中接地表面的表面积(参见当基板支持件接地时,接地反应室壁表面“B1”与基板支持件表面“B3”)相对于接触制造工艺体积 18 的电容耦合电极表面(即,RF 能量发射组件(参见气体分配盘表面“B2”以及/或基板支持件表面“B3”))的表面积来增加,以在基板支持件接地时发展出最佳基板偏压、改进所生成等离子体的均匀性以及减少包含基板在内的接地组件的轰击强度。在一实施例中,基板支持件 238 为 RF 驱动电极,其具有阻隔电容(blocking capacitor,图中未示出)设置在基板支持件 238 与 RF 功率源 136 的间。在此实施例中,当 RF 驱动基板支持件以形成 HDPO 层或使用等离子 CVD 制造工艺以沉积介电层时,接地表面积与 RF 驱动电极表面积的比率经过设计,使得基板偏压与等离子均匀性最优化。在此实施例中,气体分配盘 64 为接地,且接地电极的总表面积比上基板支持件表面积的比率较佳介于约 1:1 至约 2:1 之间。

[0106] 制作半导体组件的重要因素为形成半导体组件相关的购置成本(C00)。受多个因素影响的购置成本(C00)主要与反应室产量有关或单纯地与用来沉积高质量栅极介电层所需要的处理时间相关。栅极氧化层的所需厚度取决于所希望达成的 TFT 电性效能表现。尤其是,栅极介电层需为高质量层(例如,低 FLATBAND 电压(V_{fb})),如此制成的晶体管具有所需的电性特性。为达成高质量栅极介电层,发展良好的栅极介电层是很重要的,此栅极介电层需具有优异的厚度均匀性(小于 1%)以及具有足够厚度以达到所需程度的阶梯覆盖率与崩溃电压。为达成所需阶梯覆盖率与崩溃电压,栅极介电层厚度大约 $1000\text{\AA}$ 。实施例中,HDPO 制造工艺成长速率为每分钟大约 $10\text{\AA}$ 。因此,假设成长速率为定值(当然这不太可能发生),将需要花费大约 100 分钟以长成 $1000\text{\AA}$ 的厚度。100 分钟的制造工艺时间将造成等离子制成反应室 100 的低产量,以及对群集工具的购置成本有不良影响。因此,需要使用非常薄的栅极介电层,或使用制造工艺时间较短的多层堆栈层。

[0107] 化学气相沉积制造工艺

[0108] 为达到一种经济上更合理的高质量栅极介电层,在一些实施例中需执行 HDPO 制造工艺以在 HDPO 层上形成良好界面,且随后沉积具有良好主体电子特性与较高沉积速率的一层或多层膜。在一实施例中,薄 HDPO 制造工艺层形成于通道上以形成高质量介电界面,以及一层或多层介电层被沉积在 HDPO 层上以形成高质量栅极介电层。在一实施例中,为减少等离子处理反应室的购置成本,可以使用两个步骤的栅极氧化形成制造工艺。在此实施例中,进行 HDPO 制造工艺以达成良好栅极介电层界面(p-Si 与 HDPO 层的界面),且随后将具有比 HDPO 制造工艺更佳的沉积速率的第二层沉积在 HDPO 层上。

[0109] 在一实施例中,高密度等离子(HDP)CVD 沉积制造工艺用以沉积栅极介电层 4 的剩余厚度,以形成符合所需物性与电性需求的膜层。在一实施例中,为达成 HDP CVD 制造工艺,将一种含硅气体或含硅气体混合物与含氧气体或含氧气体混合物导入如图 2 所示的反应室中。RF 线圈 82 以及一个或两个其它 RF 源(如,气体分配盘 64、基板支持件 238 等)用以沉积 HDP CVD 氧化膜于已形成的 HDPO 层上。另一个实施例中,使用含硅气体(或含硅气体混合物)、含氧气体以及/或含氮气体来完成 HDP 制造工艺。

[0110] 在一实施例中,TEOS 沉积制造工艺用以沉积栅极介电层 4 的剩余厚度,以形成符合所需的物性与电性需求的膜层。借着导入具有大约 100sccm 载气(如,氦气)的约 600sccm 的 TEOS 以及大约 7000sccm 的氧气至总气体压力约 0.5 至约 3 托(Torr)的反应室

中以形成等离子后将基板暴露在该等离子中,并使基板温度介于约 350℃至约 550℃范围内,来实施用于 730mmx920mm 平面面板显示器基板的典型 PECVD TEOS 制造工艺实例。较佳地,反应室压力约 1 托,而基板温度介于约 350℃至约 450℃(即 400℃±50℃)的范围内。约 2000Watts 且频率约 13.56MHz 的 RF 功率系输送至气体分配盘上,此时基板制造工艺间距介于约 10 毫米至约 50 毫米之间,但典型地距离气体分配盘 64 约 15 毫米,以达到每分钟约 1500 Å 的沉积速率。由 TEOS 沉积制造工艺所形成的二氧化硅在半导体工业中经常作为金属层间的介电膜。TEOS 沉积制造工艺的进行利用诸如含有四乙基正硅酸盐的气体混合物等介电层形成气体来沉积介电层。使用 TEOS 沉积的典型制造工艺实例进一步阐述于美国专利号 5462899 中,其名称为“Chemical Vapor Deposition Method for Forming SiO₂”,于 1995 年 10 月 31 日申请;以及美国专利号 6451390,其名称为“Deposition of TEOS oxide Using Pulsed RF Plasma”,于 2002 年 9 月 17 日申请,在此以参考方式且在不会与本发明的专利申请概念以及披露不一致的程度下并入该内容。

[0111] 图 3 表示等离子处理反应室 100 的剖面图,其中基板支持件 238 设置在靠近气体分配盘 64 的位置,以利于基板 240 表面上的等离子 CVD 沉积。因为 PECVD 或 HDP CVD 沉积制造工艺的均匀性以及沉积速率受基板表面与生成等离子间的交互作用的影响,基板支持件的处理位置可以根据在 CVD 制造工艺条件中的制造工艺变量而加以调整。理想的等离子处理位置取决于等离子处理反应室的特性(如,反应室大小、基板相对于抽气口的位置等)以及相对于基板表面的 RF 能量发射组件的组态。在实施例 1 中,等离子离子密度在等离子处理步骤中被调整时,处理位置也可以改变。

[0112] 为避免对反应室零件的电弧作用(arcing)、等离子造成的损伤,以及/或减少功率损失与减少在基板支持件 238 与反应室底座 202 上不需要的沉积,必须减少在下层体积 19 中的等离子生成或与零件的交互作用。典型地等离子处理反应室设计成避免等离子生成于反应室体积 17 的无用区域中,但是现今常用的技术却不能应用在这些允许反应室零件进行相对运动的反应室中,或无法应用在这些用于处理大面积基板(如,大于 2000 平方厘米)的反应室中。大面积基板会因为在大气/真空界面处的零件所受到强大大气压力、因 RF 接地所使得反应室结构复杂度提高与基板尺寸所造成热均匀性以及/或上述大型零件的大型零件部件的成本等因素而有一些特殊的考虑。为解决这些议题,在一实施例中,安装一种可在基板支持件 238 与反应室底座 202 间进行相对移动的物理屏障物(图中未示出)以防止等离子泄漏或产生于下层体积 19 中。在此实施例中,此物理屏障物可连接于反应室底部 208 与可移动的基板支持件 238 的表面上。在一实施例中,该物理屏障物可以是导体,并以设置金属、风箱或可挠式导线网或网栅设置为佳,如此一来可避免等离子生成。在另一个实施例中,遮蔽位在下层体积 19 中的零件(图中未示出)有助于减少这些零件上的沉积或与等离子交互作用。另一个实施例中,真空抽气系统 152 以及/或真空抽气系统 150 的排空速率(如,抽气速率以及在制造工艺体积 18 与下层体积 19 间的传导)受控制以减少从制造工艺体积 18 至下层体积 19 的气体流,进而减少等离子轰击与化学物的作用。

[0113] 为了移除在等离子处理反应室 100 中表面上的无用沉积物,使用一种来自清洗源 120 的清洗气体以移除在反应室体积 17 内的零件上的沉积,其中上述气体源系连接至入口 112 上。清洗源 120 提供一种清洗剂,例如解离氟,其被导入至反应室体积 17 中。

[0114] 群集工具设备及晶片编排

[0115] 本发明还提供一种群集工具 310,其包含至少一种能够沉积高质量栅极介电层的等离子处理反应室 100。群集工具 310 具有优点,因为其支持诸如预先加热基板、在制造工艺前预先清洗基板表面等制造工艺前步骤,以及支持诸如后退火与冷却等后制造工艺步骤,所有步骤皆发生在单一可控制的环境中。使用一种用以沉积栅极介电层的可控制环境对于形成高质量栅极介电层而言为一个重要概念,因为将基板表面暴露在介于 HDPO 层与介电层沉积步骤间的大气污染物下,会导致已形成的栅极层的电性特性不良,所以会使用分开的反应室,甚至使用分开的系统以沉积 HDPO 层与介电层。再者,若这些制造工艺在不需暴露于大气污染源下完成或这些制造工艺在进行 HDPO 层以及 / 或介电层沉积制造工艺之前或之后马上完成,则在群集工具中使用退火、预清洗以及 / 或预热反应室(皆于下文中阐述)将减少在已形成的栅极介电层 4 中生成缺陷。

[0116] 图 8 表示群集工具 310 的代表性附图,其具有一个等离子处理反应室 100。群集工具 310 显示一种可用以处理基板 240 而不需将基板暴露于空气中的群集工具。群集工具 310 包含中央传送室 312,其连接至负载闭锁 / 冷却室 314A 与 314B、预热室 302 以及处理反应室 340、342、344 与 346 上。中央传送室 312、负载闭锁 / 冷却室 314A 与 314B、预热室 302 以及处理反应室 340、342、344 与 346 密接在一起以形成密死循环境,在此密死循环境中,该系统在约 10 毫托至约 1 托之间的内部压力下运作。负载闭锁 / 冷却室 314A 与 314B 具有多个可关闭的开口,分别包含负载门 316A 与 316B,以传送基板 240 至群集工具 310 中。利用大气中的机械手臂(图中未示出)而将基板 240 由基板储存位置 38A-D 中的其中一个位置传送至负载闭锁 / 冷却室 314A 或 314B 内。

[0117] 负载闭锁 / 冷却室 314A 或 314B 各自包含晶片盒 317,其中有多可支持与冷却基板的托架设置于晶片盒中。在负载闭锁 / 冷却室 314 中的晶片盒 317 安置在升降组件(图中未示出)上,以一格托架的高度作为移动方式来升高或降低晶片盒 317。对负载闭锁室 314A 而言,负载门 316A 开启且基板 240 被置放在位于负载闭锁 / 冷却室 314A 的晶片盒 317 的托架上。升降组件以一格一格托架高度的方式来升起晶片盒 317,使得空的托架对着负载门 316A。另一个基板置放于空的托架上且此制造工艺重复直到晶片盒上的所有托架放满基板为止。此时,负载门 316A 关闭且负载闭锁 / 冷却室 314A 被排空至群集工具 310 内的压力。

[0118] 随后,开启邻接于中央传送室 312 的负载闭锁 / 冷却室 314A 内壁上的缝阀 320A。基板 240 通过中央传送室 312 的机械手臂 322 工具而被传送至预热室 302 中,在此基板被预热至需求温度。在一实施例中,基板 240 在预热室 302 中被加热至约 250℃至约 450℃范围内的温度。另一个实施例中,基板 240 在负载闭锁 / 冷却室 314A 中被预热至约 250℃至约 450℃范围内的温度,而不需由预热室 302 来执行此预热功能。受控制器 300 所控制的机械手臂 322 用以将基板由负载闭锁 / 冷却室 314A 的晶片盒 317 中移除,将基板插入至预热室晶片盒 329 的空托架上,以及将基板移开、留在预热室 302 的托架上。典型地,预热室晶片盒 329 装置在位于预热室 302 的升降组件(图中未示出)上。在装载一个托架之后,预热式晶片盒 329 被升高或降低,以让另一个空托架能被机械手臂 322 所汲取。机械手臂 322 接着由负载闭锁 / 冷却室 314A 的晶片盒 317 中取回另一个基板。

[0119] 从某方面来说,机械手臂 322 将所有或部分基板 240 由预热室晶片盒 329 传送至四个处理反应室 340、342、344 与 346 的其中一个。每一个处理反应室 340、342、344 与 346

分别在其内壁 340A、342A、344A 与 346A 上选择性地安装相关的缝阀 341、343、345 或 347，以隔离制造工艺气体。在一实施例中，处理反应室 340、342、344 与 346 为上述的等离子处理反应室 100。此种组态的等离子处理反应室能够在同一个反应室中形成 HDPO 层及公知 PECVD 沉积制造工艺的高质量栅极氧化层。此实施例由于群集工具 310 内 HDPO 与 PECVD 反应室之间的机械手臂 322 数量大幅减少，故可改进基板产量（如，每小时所能处理的基板数量）。再者，实施例可允许众多不同种类的处理反应室与各种反应室组态连接至群集工具 310 上以助于解决任何可能发生的制造工艺程序瓶颈。在另一个实施例中，HDPO 制造工艺在装置于群集工具系统中的第一反应室中完成，以及第二介电沉积步骤在装置于群集工具系统的第二处理反应室中完成。在此实施例中，第一模块（如，处理反应室 340）装设以执行上述的 HDPO 制造工艺，以及第二模块（如，处理反应室 342）装设成 HDP CVD 或 PECVD 反应器以沉积介电层。在此实施例中，在后续模块（如，处理反应室 342）中将介电层铺设在基板 240 上之前，先令 HDPO 层成长基板 240 上。在一实施例中，在基板在后续模块（如，处理反应室 342）中被处理以前，先将基板 240 从第一模块（如，处理反应室 340）传送至预热室 302 中。在基板于后续模块中处理之前，在预热室中先加热基板至约 250℃ 至约 450℃ 的温度。

[0120] 在处理反应室 340、342、344 与 346 的至少其中一者内处理基板 240 之后，基板被传送至负载闭锁 / 冷却室 314B 的晶片盒 317 内。利用一种可移除位于晶片盒 317 中基板上之热的冷却表面使基板于冷却室中冷却。利用公知热交换流体流经安装在该冷却表面的热交换器来冷却该冷却表面。一旦基板达到约 20℃ 至约 150℃ 的需求温度时，基板通过开启的负载门 316B 而被移出反应室 314B，且被置放于基板储存位置 38A-D 中的其中一个位置上。

[0121] 在群集工具 310 的一实施例中，群集工具 310 包含至少一个预清洗室设置在处理反应室 340、342、344 与 346 位置中的其中一个位置或位于预热室 329 的位置上。系统中增加的预清洗室用以在沉积栅极介电层 4 之前先移除任何无用的材料（如，表面氧化物、污染物等）。预清洗制造工艺为等离子清洗制造工艺，其中可利用光溅镀蚀刻以及 / 或利用等离子蚀刻化学品（如，三氟化氮、三氟化碳等）以由基板表面上移除氧化物与其它污染物。预清洗制造工艺典型地为利用惰性气体（如，氩气、氙气、氦气等）以及利用由频率约介于 0.3MHz 至约 10GHz 间的 RF 频率驱动的感应以及 / 或电容耦合等离子体所执行的非选择性 RF 等离子体蚀刻制造工艺。用以进行预清洗制造工艺的 RF 功率取决于反应室大小、所需的预清洗蚀刻速率、以及基板偏压。在预热步骤之前或之后，但在等离子处理步骤之前，可以增加一个预清洗制造工艺至群集工具 310 处理程序中。在一实施例中，预热及预清洗步骤在同一个反应室中完成。另一个实施例中，预热步骤在等离子处理反应室中完成而预清洗步骤在预热步骤之前完成。另一个实施例中，可于等离子处理反应室 100 执行处理步骤之前，先于反应室 100 中原处进行预清洗步骤。在又一个实施例中，预清洗步骤与预热步骤可于处理基板前在等离子处理反应室 100 中原处进行。或者，在另一个实施例中，可在将基板 240 置入群集工具 310 之前，先以诸如含有氢氟酸、氨水 / 双氧水、硝酸、氯化氢等水性溶液或温和碱性溶液等湿式化学品来清洗基板 240。在群集工具中使用预清洗反应室为形成高质量栅极氧化层的重要概念，因为在预清洗制造工艺完成后且 HDPO 层形成前，将 p-Si 源极、漏极与通道表面暴露在大气的污染物下，会导致栅极层的不良电性且破坏预清洗制造工艺的

目的。

[0122] 在一个群集工具 310 的实施例中,群集工具 310 包含至少一个退火室,设置于处理反应室 340、342、344 与 346 的其中一个或位于预热室 329 的位置上。在系统中增加一个退火室可减少在栅极介电层形成过程中所产生的缺陷数量。退火步骤为热制造工艺,其中基板在退火室中以介于约 400℃至 550℃间的温度处理一段时间,退火步骤可发生在任何含氮气、惰性气体或诸如大约 95%氮气与 5%氢气的氮气与氢气混合的环境中。退火步骤也可以是在真空环境中进行。退火步骤大约需费时 5 至 30 分钟,例如大约 10 分钟。因为需要增加产量,可能需要提供二个或更多个退火室。在退火步骤完成后,基板 240 传送到冷却 / 负载闭锁室 314A-B 的其中一个内以冷却至操作温度。进行退火步骤的方法实例以及于群集工具中的示范性硬设备进一步阐述于美国专利号 6,610,374 中,名称为“Method Of Annealing Large Area Glass Substrates”,其于 2001 年 9 月 10 日申请,在此以参考方式且在不会与本发明的专利申请概念以及披露不一致的程度下并入该案内容。在群集工具的可控制环境中使用退火室对于形成高质量栅极氧化层而言为一个重要概念,因为在栅极介电层形成之后随即进行退火步骤能够减少任何因内部或外部应力对栅极介电层所造成的伤害。

[0123] 虽然上文已阐述本发明的具体实施例,然在不脱离本发明的基本精神与范围下,当可设计出本发明的其它具体实施例,且本发明的范围由权利要求界定。

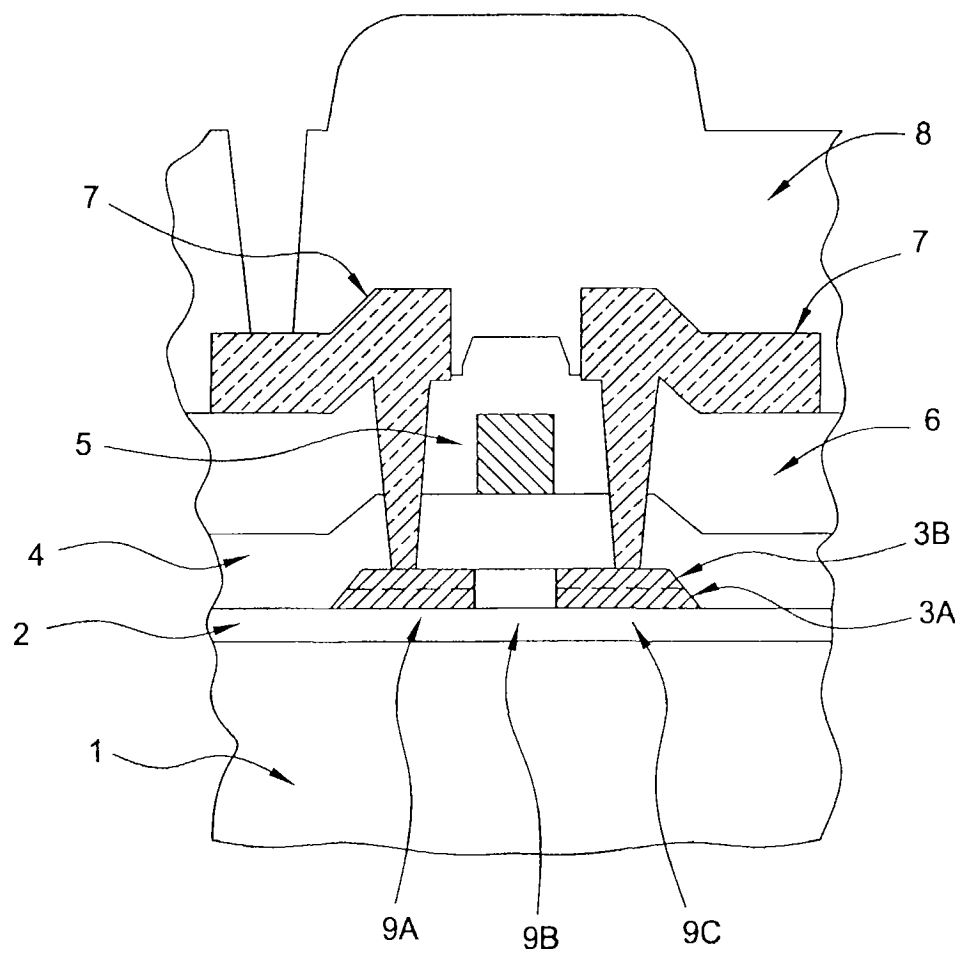
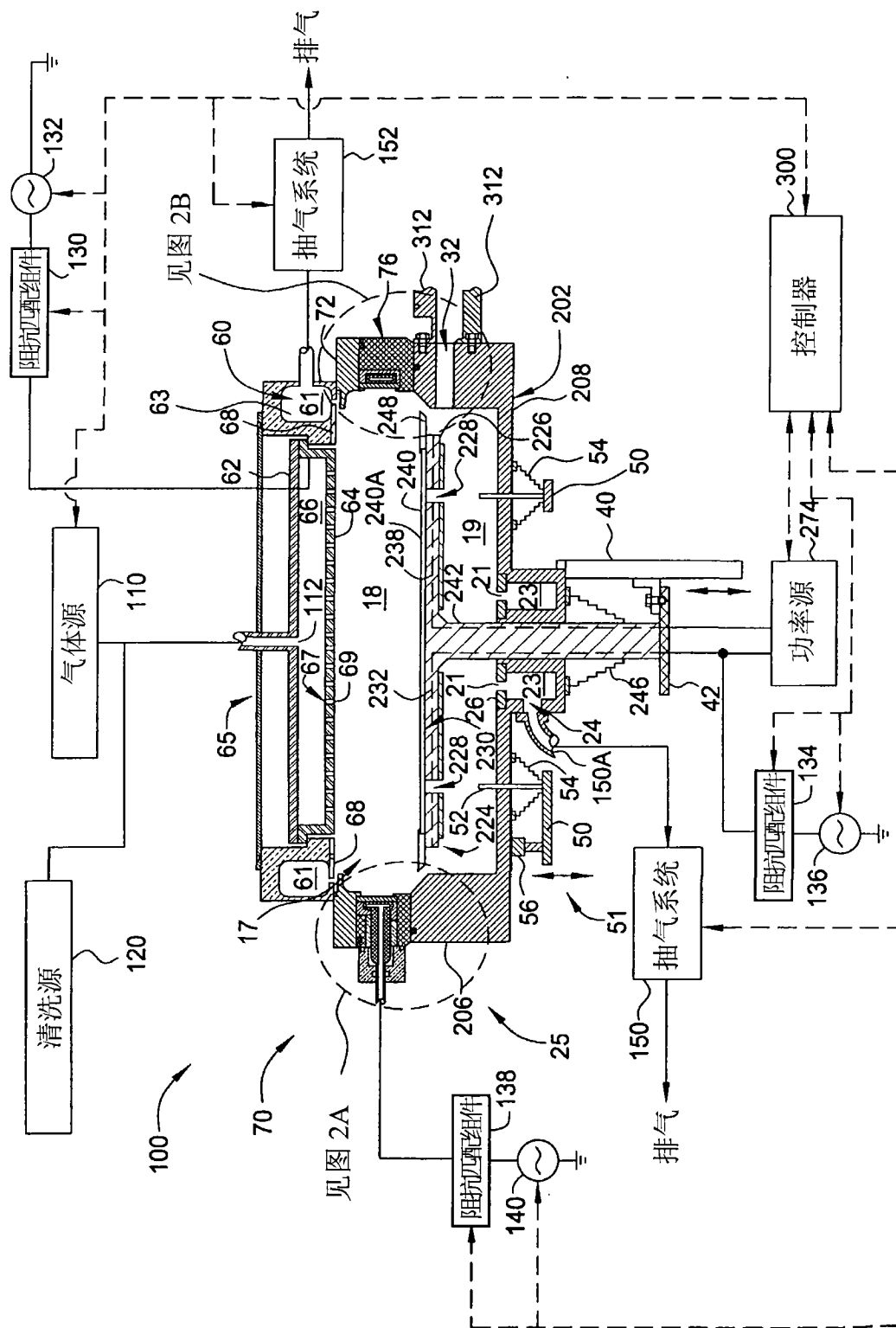


图 1

2

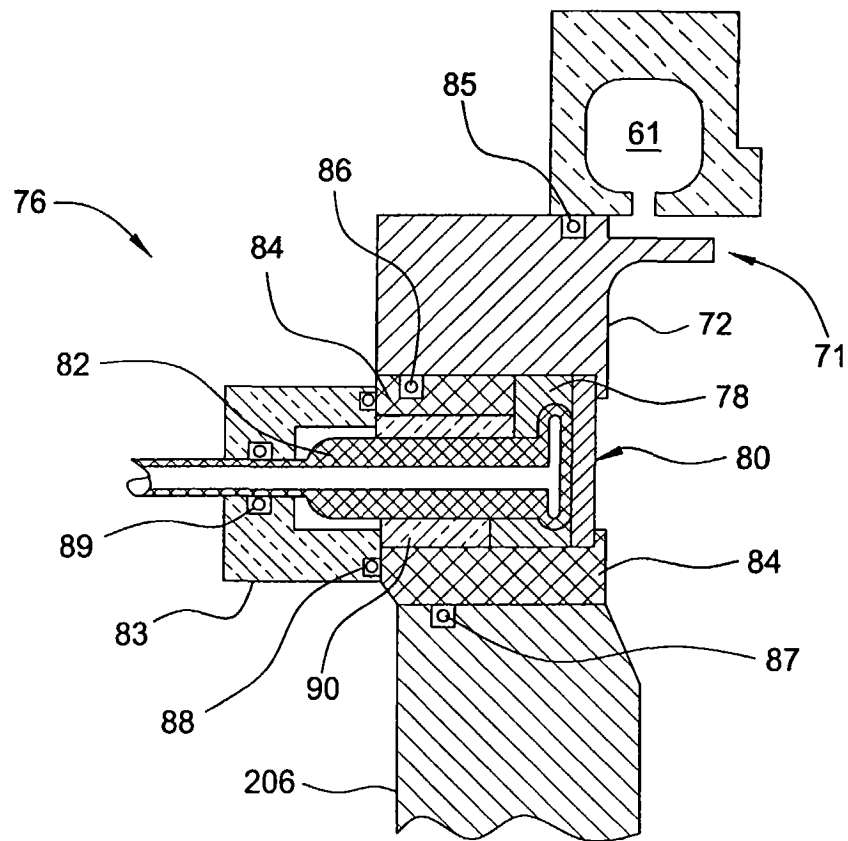



图 2A

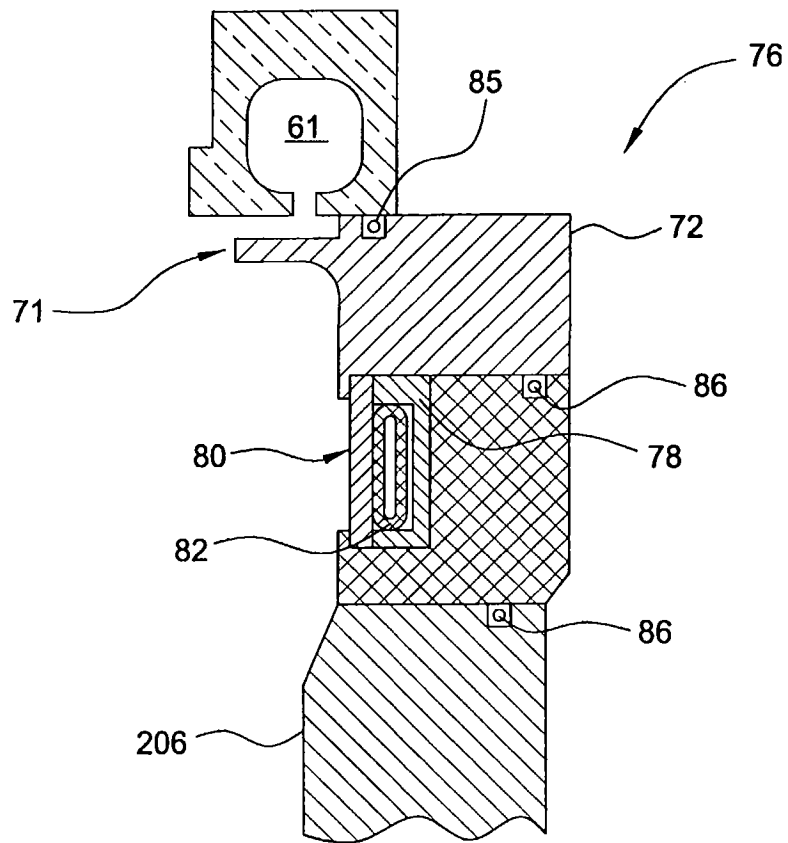


图 2B

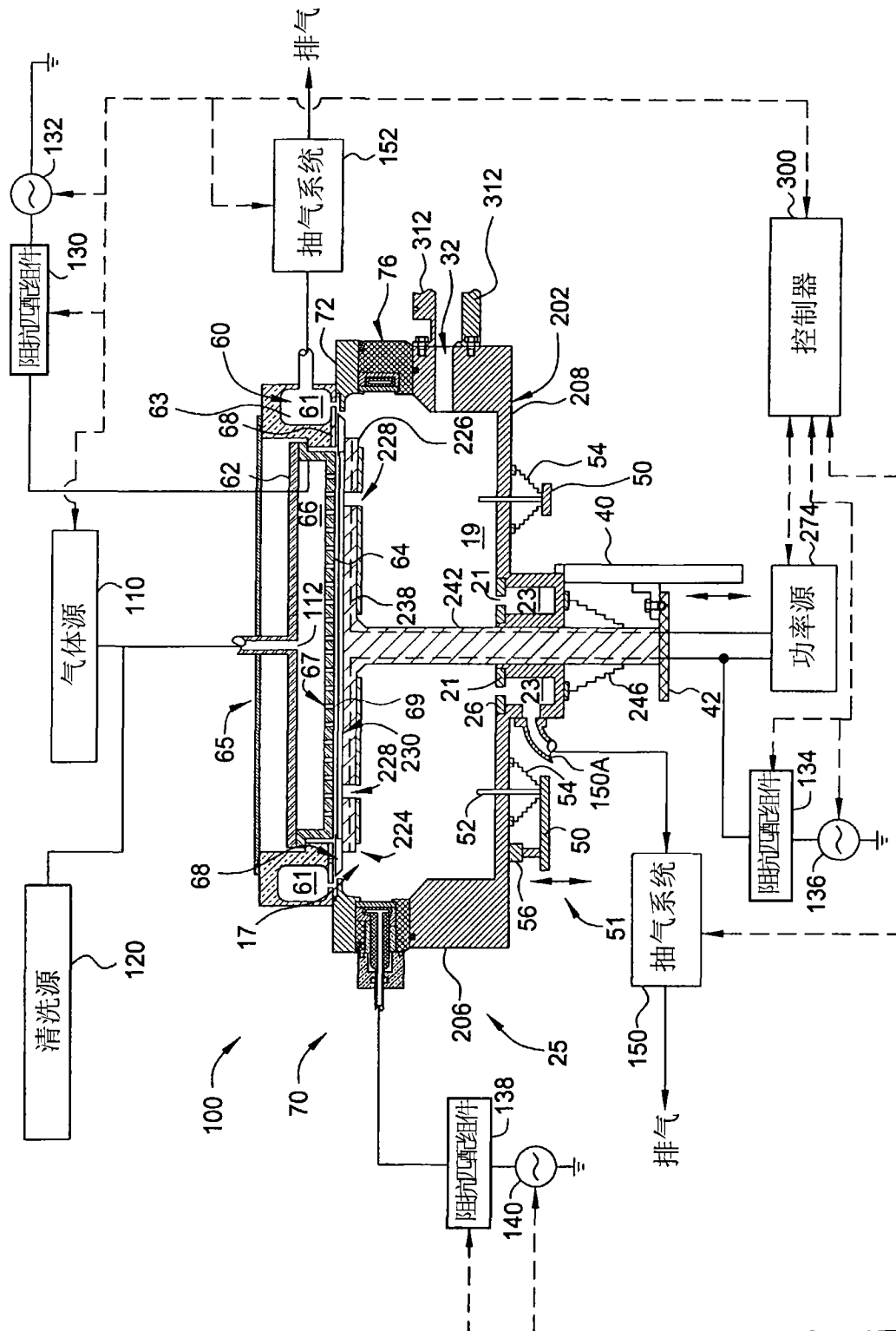


图 3

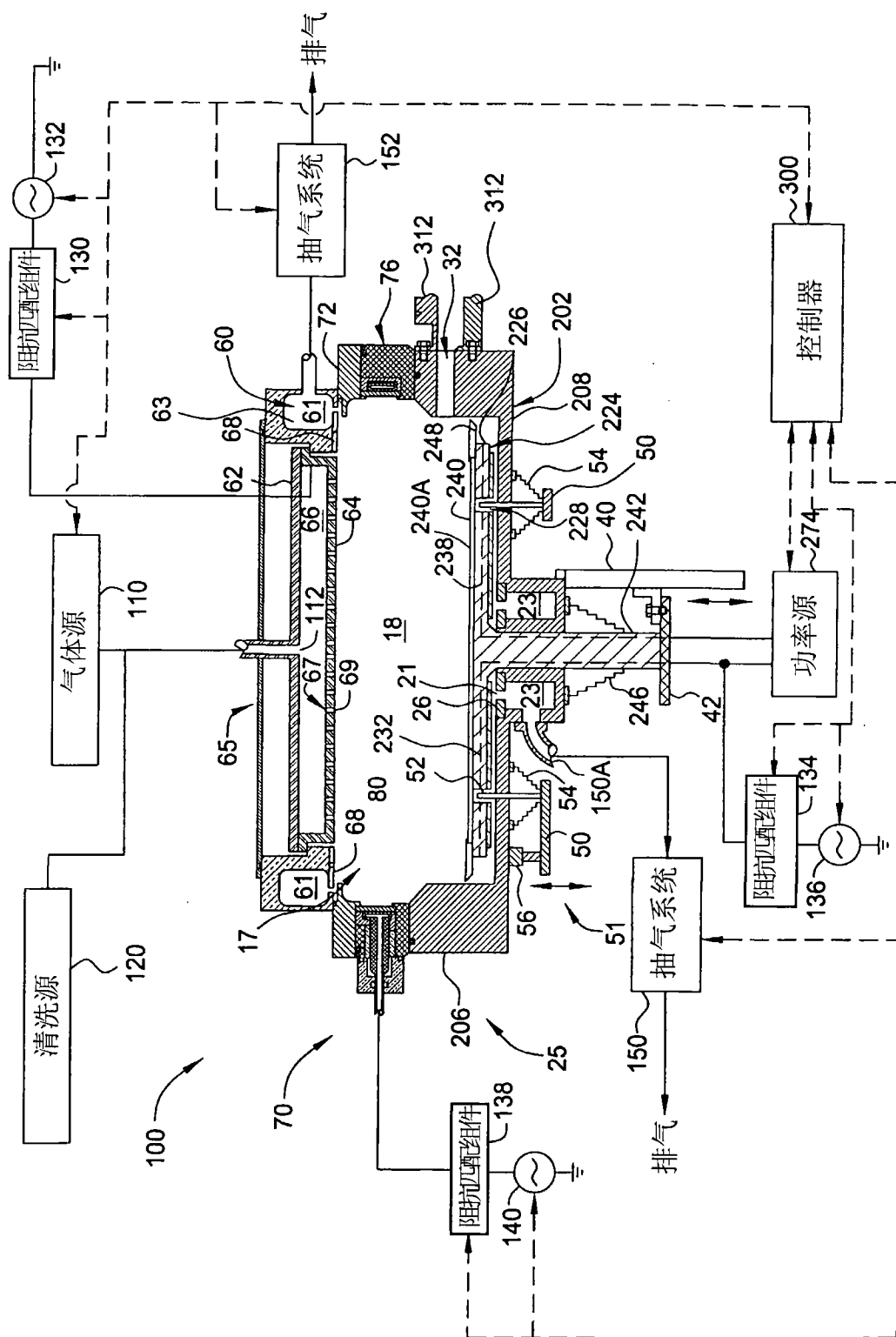


图 4

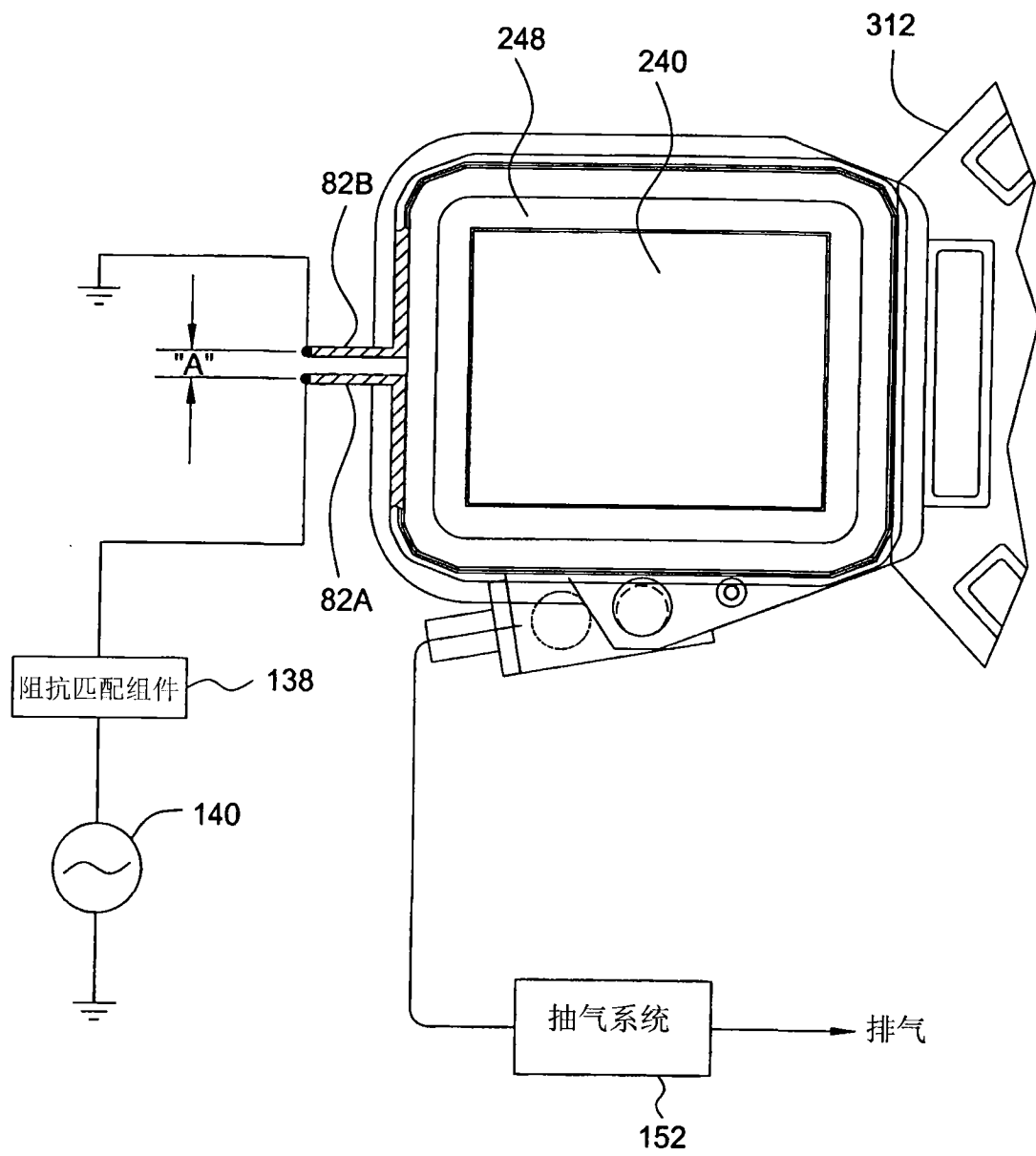


图 6

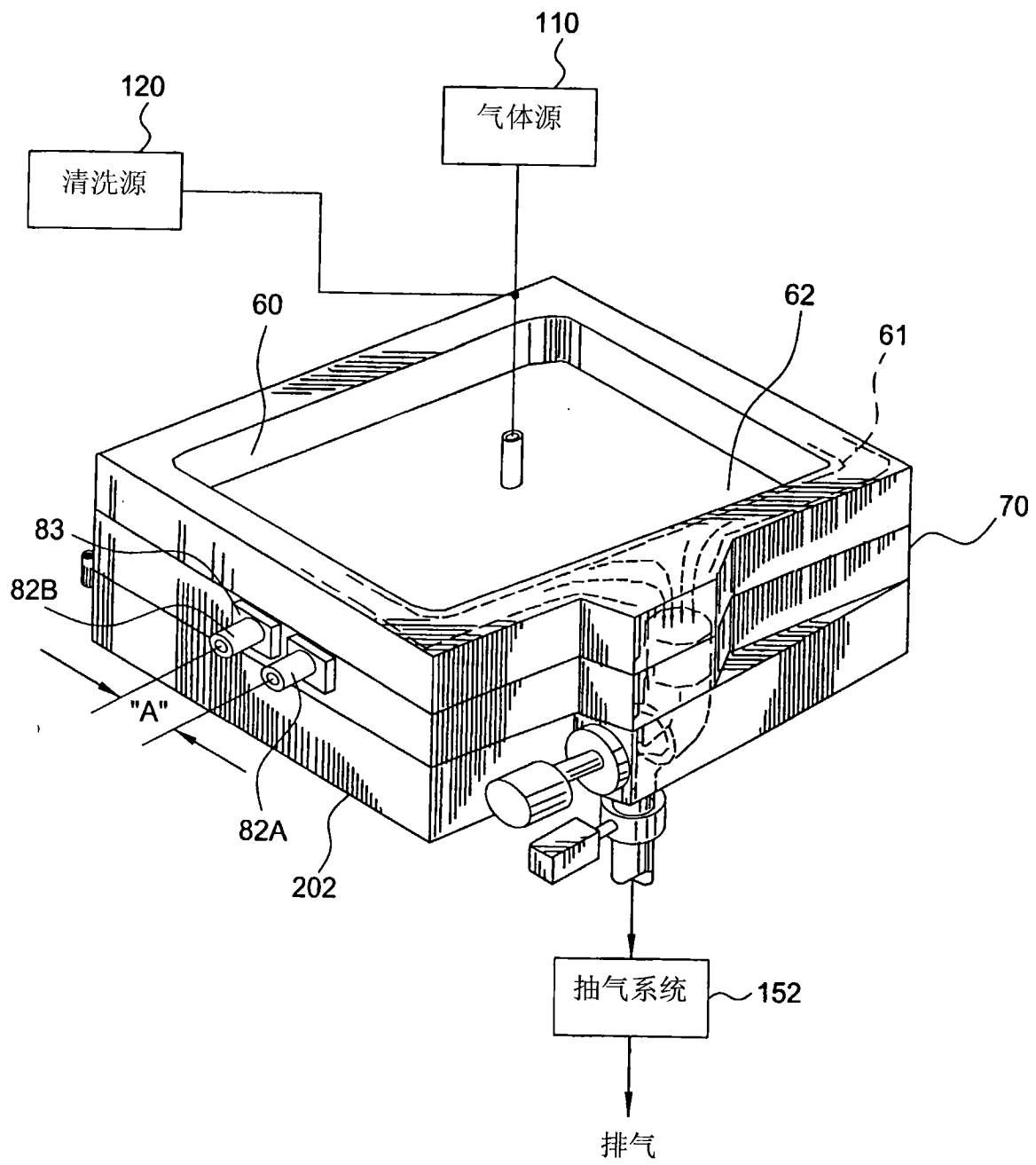


图 7

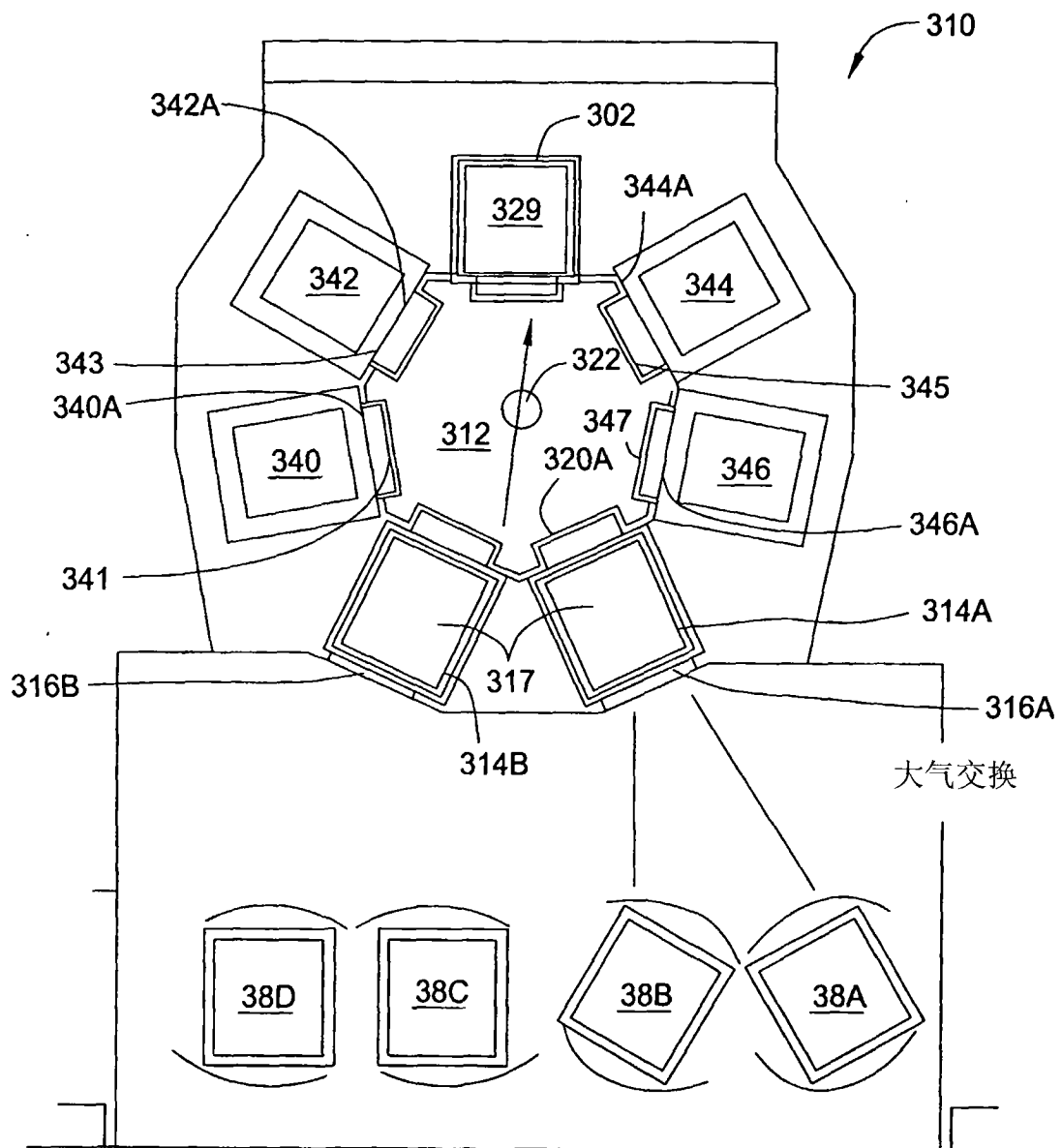


图 8