



(12)发明专利申请

(10)申请公布号 CN 107210203 A

(43)申请公布日 2017. 09. 26

(21)申请号 201680006745.6

(22)申请日 2016.01.19

(30)优先权数据

62/106477 2015.01.22 US

(85)PCT国际申请进入国家阶段日

2017.07.21

(86)PCT国际申请的申请数据

PCT/US2016/013963 2016.01.19

(87)PCT国际申请的公布数据

W02016/118530 EN 2016.07.28

(71)申请人 硅存储技术公司

地址 美国加利福尼亚州

(72)发明人 N.杜 X.刘 V.蒂瓦里 H.V.陈

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 申屠伟进 郑冀之

(51)Int.Cl.

H01L 21/28(2006.01)

H01L 27/11521(2017.01)

H01L 29/423(2006.01)

G11C 16/04(2006.01)

G11C 16/14(2006.01)

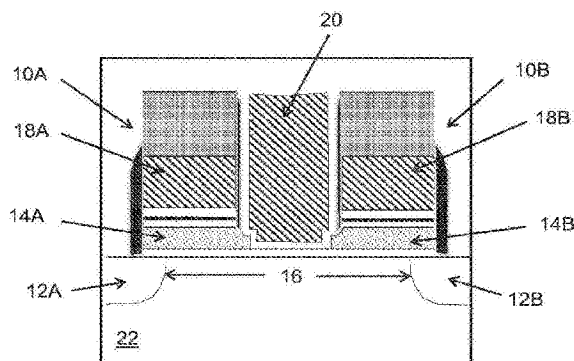
权利要求书4页 说明书5页 附图9页

(54)发明名称

高密度分裂栅存储器单元

(57)摘要

本发明公开了一种形成存储器设备的方法，该方法包括在衬底上形成第一绝缘层、第一导电层、第二绝缘层、第二导电层、第三绝缘层。第一沟槽穿过第三绝缘层、第二导电层、第二绝缘层和第一导电层形成，从而使第一导电层的侧面部分暴露。第四绝缘层形成在第一沟槽的底部处，第四绝缘层沿着第一导电层的暴露部分延伸。第一沟槽填充有导电材料。第二沟槽穿过第三绝缘层、第二导电层、第二绝缘层和第一导电层形成。漏极区形成在第二沟槽下方的衬底中。产生一对存储器单元，其中单个连续沟道区在所述对存储器单元的漏极区之间延伸。



1. 一种形成存储器设备的方法,包括:

将多个分离的第一沟槽形成到半导体衬底的表面中,其中所述第一沟槽彼此平行,并且沿第一方向延伸,并且在所述第一沟槽之间限定所述衬底的有源区;

用绝缘材料来填充所述第一沟槽;

在所述有源区中的每个有源区中在所述衬底的所述表面上形成第一绝缘层;

在所述有源区中的每个有源区中的所述第一绝缘层上形成第一导电层;

在所述有源区中的每个有源区中的所述第一导电层上形成第二绝缘层;

在所述有源区中的每个有源区中的所述第二绝缘层上形成第二导电层;

在所述有源区中的每个有源区中的所述第二导电层上形成第三绝缘层;

穿过所述第三绝缘层形成多个分离的第二沟槽,其中所述第二沟槽彼此平行,并且沿垂直于所述第一方向的第二方向延伸;

使所述第二沟槽延伸穿过所述第二导电层和所述第二绝缘层;

使所述第二沟槽延伸穿过所述第一导电层,从而使所述第一导电层的侧面部分暴露;

在所述第二沟槽的所述底部处形成第四绝缘层,所述第四绝缘层沿着所述第一导电层的所述暴露部分延伸;

用导电材料填充所述第二沟槽,其中所述导电材料通过所述第四绝缘层与所述衬底表面和所述第一导电层绝缘;

穿过所述第三绝缘层形成多个第三沟槽,其中所述第三沟槽彼此平行,并且沿所述第二方向延伸,使得所述第二沟槽和所述第三沟槽彼此交替;

使所述第三沟槽延伸穿过所述第二导电层、所述第二绝缘层和所述第一导电层;

进行注入以在所述衬底中在所述第三沟槽下方形成漏极区。

2. 根据权利要求1所述的方法,还包括:

在使所述第二沟槽延伸穿过所述第二导电层和所述第二绝缘层之后,并且在使所述第二沟槽延伸穿过所述第一导电层之前,沿着所述第二沟槽的侧壁形成绝缘材料的间隔物。

3. 根据权利要求1所述的方法,还包括:

使所述第三沟槽延伸还包括使所述第三沟槽延伸穿过所述第一绝缘层。

4. 根据权利要求1所述的方法,还包括:

在使所述第三沟槽延伸穿过所述第二导电层、所述第二绝缘层和所述第一导电层之后,沿着所述第三沟槽的侧壁形成绝缘材料的间隔物。

5. 根据权利要求1所述的方法,其中所述第一导电层和所述第二导电层是多晶硅。

6. 根据权利要求1所述的方法,其中所述第一绝缘层是氧化物。

7. 根据权利要求1所述的方法,其中所述第二绝缘层是包括氧化物、氮化物和氧化物子层的ONO绝缘层。

8. 一种存储器设备,包括:

第一导电类型的半导体材料的衬底;

在所述衬底上形成的间隔开的隔离区,所述隔离区基本上彼此平行并沿第一方向延伸,其中每对相邻的隔离区之间的有源区也沿所述第一方向延伸;

所述有源区中的每个有源区包括多对存储器单元,所述存储器单元对中的每对包括:

在所述衬底中间隔开并且具有与所述第一导电类型不同的第二导电类型的第一区和

第二区,其中所述衬底中的连续沟道区在所述第一区和所述第二区之间延伸,

设置在所述沟道区的与所述第一区相邻的第一部分上方并且与所述第一部分绝缘的第一浮栅,

设置在所述沟道区的与所述第二区相邻的第二部分上方并且与所述第二部分绝缘的第二浮栅,

设置在所述沟道区的位于所述第一沟道区部分和所述第二沟道区部分之间的第三部分上方并且与所述第三部分绝缘的擦除栅,

设置在所述第一浮栅上方并且与所述第一浮栅绝缘的第一耦合栅,以及

设置在所述第二浮栅上方并且与所述第二浮栅绝缘的第二耦合栅;

控制电路,所述控制电路被配置为通过检测通过所述沟道区的电流以及通过以下方式来读取所述对存储器单元中的一对存储器单元:向所述一对存储器单元施加

零电压至所述第一区,

施加正电压至所述第二区,

施加零电压或正电压至所述第一耦合栅,

施加正电压至所述第二耦合栅,以及

施加正电压至所述擦除栅。

9. 一种存储器设备,包括:

第一导电类型的半导体材料的衬底;

在所述衬底上形成的间隔开的隔离区,所述隔离区基本上彼此平行并沿第一方向延伸,其中每对相邻的隔离区之间的有源区也沿所述第一方向延伸;

所述有源区中的每个有源区包括多对存储器单元,所述存储器单元对中的每对包括:

在所述衬底中间隔开并且具有与所述第一导电类型不同的第二导电类型的第一区和第二区,其中所述衬底中的连续沟道区在所述第一区和所述第二区之间延伸,

设置在所述沟道区的与所述第一区相邻的第一部分上方并且与所述第一部分绝缘的第一浮栅,

设置在所述沟道区的与所述第二区相邻的第二部分上方并且与所述第二部分绝缘的第二浮栅,

设置在所述沟道区的位于所述第一沟道区部分和所述第二沟道区部分之间的第三部分上方并且与所述第三部分绝缘的擦除栅,

设置在所述第一浮栅上方并且与所述第一浮栅绝缘的第一耦合栅,以及

设置在所述第二浮栅上方并且与所述第二浮栅绝缘的第二耦合栅;

控制电路,所述控制电路被配置为通过以下方式来对所述对存储器单元中的一对存储器单元进行编程:向所述一对存储器单元施加

第一正电压至所述第一区,

施加电流至所述第二区,

施加第二正电压至所述第一耦合栅,

施加第三正电压至所述第二耦合栅,以及

施加第四正电压至所述擦除栅。

10. 根据权利要求9所述的存储器设备,其中所述第二正电压大于所述第一正电压、所

述第二正电压和所述第三正电压。

11. 根据权利要求9所述的存储器设备,其中所述第一正电压大于所述第三正电压和所述第四正电压。

12. 一种存储器设备,包括:

第一导电类型的半导体材料的衬底;

在所述衬底上形成的间隔开的隔离区,所述隔离区基本上彼此平行并沿第一方向延伸,其中每对相邻的隔离区之间的有源区也沿所述第一方向延伸;

所述有源区中的每个有源区包括多对存储器单元,所述存储器单元对中的每对包括:

在所述衬底中间隔开并且具有与所述第一导电类型不同的第二导电类型的第一区和第二区,其中所述衬底中的连续沟道区在所述第一区和所述第二区之间延伸,

设置在所述沟道区的与所述第一区相邻的第一部分上方并且与所述第一部分绝缘的第一浮栅,

设置在所述沟道区的与所述第二区相邻的第二部分上方并且与所述第二部分绝缘的第二浮栅,

设置在所述沟道区的位于所述第一沟道区部分和所述第二沟道区部分之间的第三部分上方并且与所述第三部分绝缘的擦除栅,

设置在所述第一浮栅上方并且与所述第一浮栅绝缘的第一耦合栅,以及

设置在所述第二浮栅上方并且与所述第二浮栅绝缘的第二耦合栅;

控制电路,所述控制电路被配置为通过以下方式来擦除所述对存储器单元中的一对存储器单元:向所述一对存储器单元施加

零电压至所述第一区,

施加零电压至所述第二区,

施加第一负电压至所述第一耦合栅,

施加第二负电压至所述第二耦合栅,以及

施加正电压至所述擦除栅。

13. 根据权利要求12所述的存储器设备,其中所述第一负电压和所述第二负电压是相同的。

14. 一种存储器设备,包括:

第一导电类型的半导体材料的衬底;

在所述衬底上形成的间隔开的隔离区,所述隔离区基本上彼此平行并沿第一方向延伸,其中每对相邻的隔离区之间的有源区也沿所述第一方向延伸;

所述有源区中的每个有源区包括多对存储器单元,所述存储器单元对中的每对包括:

在所述衬底中间隔开并且具有与所述第一导电类型不同的第二导电类型的第一区和第二区,其中所述衬底中的连续沟道区在所述第一区和所述第二区之间延伸,

设置在所述沟道区的与所述第一区相邻的第一部分上方并且与所述第一部分绝缘的第一浮栅,

设置在所述沟道区的与所述第二区相邻的第二部分上方并且与所述第二部分绝缘的第二浮栅,

设置在所述沟道区的位于所述第一沟道区部分和所述第二沟道区部分之间的第三部

分上方并且与所述第三部分绝缘的擦除栅，

设置在所述第一浮栅上方并且与所述第一浮栅绝缘的第一耦合栅，以及

设置在所述第二浮栅上方并且与所述第二浮栅绝缘的第二耦合栅；

控制电路，所述控制电路被配置为通过以下方式来擦除一对存储器单元中的一个存储器单元：向所述一对存储器单元施加

零电压至所述第一区，

施加零电压至所述第二区，

施加第一负电压至所述第一耦合栅，

施加零电压或正电压至所述第二耦合栅，以及

施加正电压至所述擦除栅。

高密度分裂栅存储器单元

[0001] 相关专利申请

[0002] 本申请要求2015年1月22日提交的美国临时申请62/106,477的权益。

技术领域

[0003] 本发明涉及非易失性存储器单元阵列。

背景技术

[0004] 本领域中众所周知的是将分裂栅存储器单元形成为此类单元的阵列,其中存储器单元成对地形成,其中每对存储器单元共享公共擦除栅和公共源极区。例如,美国专利7,868,375(该专利出于所有目的以引用方式并入本文)公开了此类存储器阵列。

[0005] 图1示出了一对常规的分裂栅存储器单元1。每个存储器单元1包括源极区(源极线)2和漏极区(位线)3,其中沟道区4在源极区2和漏极区3之间限定在衬底中。浮栅5设置在沟道区4的第一部分上方并且与其绝缘,并且字线栅6设置在沟道区4的第二部分上方并且与其绝缘。耦合栅7形成在浮栅5上方并且与其绝缘。擦除栅8形成在源极区2上方并且与其绝缘。

[0006] 通过将来自沿着沟道区4行进电子流的电子向上注入到浮栅5上(经由热电子注入)来对每个单元的浮栅5进行编程。这在图1中由电子箭头示出,该电子箭头沿着沟道区4行进,然后通过绝缘材料向上到浮栅5。通过诱导电子从浮栅5到擦除栅8的隧穿(通过福勒-诺德海姆隧穿)来擦除浮栅5。这在图1中由电子箭头示出,该电子箭头从浮栅5行进穿过绝缘体到擦除栅8。擦除、读取和编程电压的一个非限制性示例示于图2中,其中选择的(Se1.)线是包含正在运行的存储器单元的那些线,并且未选择的(Unse1.)线是不包含正在运行的存储器单元的那些线。每个存储器单元通过以下方式单独地读取:将正电压放置在该单元的字线栅上以导通下面的沟道区部分,以及测量其沟道区的电导率(这受到单元的浮栅是否用电子编程的影响,这指示下面的沟道区部分是否导电)。每个存储器单元通过以下方式单独地编程:使电子沿着其沟道区流动并且将高正电压耦合到其浮栅。

[0007] 考虑到该单元设计中的栅极数量,将存储器单元的尺寸缩小是具有挑战性的。

发明内容

[0008] 上述问题通过形成存储器设备的方法来解决,该方法包括:将多个分离的第一沟槽形成到半导体衬底的表面中(其中第一沟槽彼此平行,并且沿第一方向延伸,并且在第一沟槽之间限定衬底的有源区);用绝缘材料填充第一沟槽;在有源区中的每个有源区中在衬底的表面上形成第一绝缘层;在有源区中的每个有源区中的第一绝缘层上形成第一导电层;在有源区中的每个有源区中的第一导电层上形成第二绝缘层;在有源区中的每个有源区中的第二绝缘层上形成第二导电层;在有源区中的每个有源区中的第二导电层上形成第三绝缘层;穿过第三绝缘层形成多个分离的第二沟槽(其中第二沟槽彼此平行,并且沿垂直于第一方向的第二方向延伸);使第二沟槽延伸穿过第二导电层和第二绝缘层;使第二沟槽

延伸穿过第一导电层,使第一导电层的侧面部分暴露;在第二沟槽的底部处形成第四绝缘层,该第四绝缘层沿着第一导电层的暴露部分延伸;用导电材料填充第二沟槽,其中导电材料通过第四绝缘层与衬底表面和第一导电层绝缘;穿过第三绝缘层形成多个第三沟槽,其中第三沟槽彼此平行,并且沿第二方向延伸,使得第二沟槽和第三沟槽彼此交替;使第三沟槽延伸穿过第二导电层、第二绝缘层和第一导电层;进行注入以在第三沟槽下方的衬底中形成漏极区。

[0009] 存储器设备包括第一导电类型的半导体材料的衬底;在衬底上形成的间隔开的隔离区,它们基本上彼此平行并沿第一方向延伸,其中每对相邻的隔离区之间的有源区也沿第一方向延伸。有源区中的每个有源区包括多对存储器单元,存储器单元对中的每对包括在衬底中间隔开并且具有与第一导电类型不同的第二导电类型的第一区和第二区,其中衬底中的连续沟道区在第一区和第二区之间延伸;设置在沟道区的与第一区相邻的第一部分上方并且与该第一部分绝缘的第一浮栅;设置在沟道区的与第二区相邻的第二部分上方并且与该第二部分绝缘的第二浮栅;设置在沟道区的位于第一沟道区部分和第二沟道区部分之间的第三部分上方并且与该第三部分绝缘的擦除栅;设置在第一浮栅上方并且与第一浮栅绝缘的第一耦合栅;以及设置在第二浮栅上方并且与第二浮栅绝缘的第二耦合栅。控制电路被配置为通过检测通过沟道区的电流以及通过以下方式来读取所述对存储器单元中的一对存储器单元:向一对存储器单元施加零电压至第一区,施加正电压至第二区,施加零电压或正电压至第一耦合栅,施加正电压至第二耦合栅,以及施加正电压至擦除栅。

[0010] 存储器设备包括第一导电类型的半导体材料的衬底;在衬底上形成的间隔开的隔离区,它们基本上彼此平行并沿第一方向延伸,其中每对相邻的隔离区之间的有源区也沿第一方向延伸。有源区中的每个有源区包括多对存储器单元,存储器单元对中的每对包括在衬底中间隔开并且具有与第一导电类型不同的第二导电类型的第一区和第二区,其中衬底中的连续沟道区在第一区和第二区之间延伸;设置在沟道区的与第一区相邻的第一部分上方并且与该第一部分绝缘的第一浮栅;设置在沟道区的与第二区相邻的第二部分上方并且与该第二部分绝缘的第二浮栅;设置在沟道区的位于第一沟道区部分和第二沟道区部分之间的第三部分上方并且与该第三部分绝缘的擦除栅;设置在第一浮栅上方并且与该第一浮栅绝缘的第一耦合栅;以及设置在第二浮栅上方并且与该第二浮栅绝缘的第二耦合栅。控制电路被配置为通过以下方式来对所述对存储器单元中的一对存储器单元进行编程:向一对存储器单元施加第一正电压至第一区,施加电流至第二区,施加第二正电压至第一耦合栅,施加第三正电压至第二耦合栅,以及施加第四正电压至擦除栅。

[0011] 存储器设备包括第一导电类型的半导体材料的衬底;在衬底上形成的间隔开的隔离区,它们基本上彼此平行并沿第一方向延伸,其中每对相邻的隔离区之间的有源区也沿第一方向延伸。有源区中的每个有源区包括多对存储器单元,存储器单元对中的每对包括在衬底中间隔开并且具有与第一导电类型不同的第二导电类型的第一区和第二区,其中衬底中的连续沟道区在第一区和第二区之间延伸;设置在沟道区的与第一区相邻的第一部分上方并且与该第一部分绝缘的第一浮栅;设置在沟道区的与第二区相邻的第二部分上方并且与该第二部分绝缘的第二浮栅;设置在沟道区的位于第一沟道区部分和第二沟道区部分之间的第三部分上方并且与该第三部分绝缘的擦除栅;设置在第一浮栅上方并且与该第一浮栅绝缘的第一耦合栅;以及设置在第二浮栅上方并且与该第二浮栅绝缘的第二耦合栅。

控制电路被配置为通过以下方式来擦除所述对存储器单元中的一对存储器单元:向一对存储器单元施加零电压至第一区,施加零电压至第二区,施加第一负电压至第一耦合栅,施加第二负电压至第二耦合栅,以及施加正电压至擦除栅。

[0012] 存储器设备包括第一导电类型的半导体材料的衬底;在衬底上形成的间隔开的隔离区,它们基本上彼此平行并沿第一方向延伸,其中每对相邻的隔离区之间的有源区也沿第一方向延伸。有源区中的每个有源区包括多对存储器单元,存储器单元对中的每对包括在衬底中间隔开并且具有与第一导电类型不同的第二导电类型的第一区和第二区,其中衬底中的连续沟道区在第一区和第二区之间延伸;设置在沟道区的与第一区相邻的第一部分上方并且与该第一部分绝缘的第一浮栅;设置在沟道区的与第二区相邻的第二部分上方并且与该第二部分绝缘的第二浮栅;设置在沟道区的介于第一沟道区部分和第二沟道区部分之间的第三部分上方并且与该第三部分绝缘的擦除栅;设置在第一浮栅上方并且与该第一浮栅绝缘的第一耦合栅;以及设置在第二浮栅上方并且与该第二浮栅绝缘的第二耦合栅。控制电路被配置为通过以下方式来擦除一对存储器单元中的一个存储器单元:向一对存储器单元施加零电压至第一区,施加零电压至第二区,施加第一负电压至第一耦合栅,施加零电压或正电压至第二耦合栅,以及施加正电压至擦除栅。

[0013] 通过查看说明书、权利要求书和附图,本发明的其他目的和特征将变得显而易见。

附图说明

[0014] 图1是示出常规存储器单元的侧剖视图。

[0015] 图2是示出用于常规存储器单元的擦除、读取和编程电压的表。

[0016] 图3是示出根据本发明的一对存储器单元的侧剖视图。

[0017] 图4是示出根据本发明的用于该对存储器单元的擦除、编程和读取电压的表。

[0018] 图5A-图5E是示出形成本发明的存储器单元的步骤序列的侧剖视图。

具体实施方式

[0019] 本发明是存储器单元配置,其可通过消除源极区和字线栅而缩放到更小的尺寸。根据本发明的一对存储器单元示于图3中。

[0020] 每个存储器单元10A和10B分别包括在沟道区16的一部分上方的漏极区(位线BL)12A和12B、浮栅FG 14A和14B,在浮栅14A或14B上方的耦合栅CG 18A和18B,以及在沟道区16的另一部分上方的擦除栅EG20(擦除栅20由该对存储器单元共享)。两个存储器单元10A和10B共享在两个漏极区12A和12B之间延伸的单个连续沟道区16,其电导率由两个存储器单元10A和10B的两个浮栅14A和14B以及公共擦除栅20控制。漏极区12A/12B和沟道区16形成在半导体衬底22(例如,P型衬底或N型衬底中的P型阱)中。

[0021] 擦除、读取和编程电压的非限制性示例示于图4中。通过在擦除栅20上放置相对高的正电压(例如,8V),以及在两个耦合栅18A和18B上放置相对高的负电压(例如,-8V)来进行擦除该对存储器单元。浮栅14A/14B上的电子将从浮栅到擦除栅隧穿通过中间绝缘材料。另选地,通过在擦除栅20上放置相对高的正电压(例如,8V),以及在耦合栅18A上放置相对高的负电压(例如,-8V)并且在耦合栅18B上放置零电压或正电压(例如,0-5V)来进行擦除一对存储器单元中的存储器单元。

[0022] 通过在单元10A的耦合栅18A上放置相对高的正电压(例如,8-10V),在另一个单元的耦合栅18B上放置相对低的正电压(例如,2-3V),以及在擦除栅20上放置相对低的正电压(例如,1-2V)来对单元10A进行编程。当将正电压(例如,5V)施加到单元的位线12A并且将电子源(例如,1-2 μ A)施加在另一个单元的位线12B上时,来自位线12B的电子将沿着耦合栅18B和擦除栅20下方的沟道区行进,因为下面的沟道区部分被耦合栅18B(电容耦合到浮栅14B)和擦除栅20上的正电压导通(即变得导电)。在电子接近浮栅14A时,它们将通过耦合栅18A和一部分电子而察觉耦合到浮栅14A的高电压,然后经由热电子注入通过绝缘体注入到浮栅14A下方以及浮栅14A上。通过交换位线12A/12B和耦合栅18A/18B的相关电压来对单元10B进行编程。

[0023] 通过在擦除栅20上放置相对低的电压(例如,1-3V)以导通沟道区16的在擦除栅20下方的部分来读取单元10A。将足够高的电压(例如,3-5V)施加到耦合栅18B,使得其耦合到浮栅14B以导通沟道区的在浮栅14B下方的部分。将相对低的正电压(例如,1V)施加到位线12B,并且将相对低的正电压(例如,0-3V)施加到耦合栅18A,并且不将电压或将接地电压施加到位线12A。如果用电子对浮栅14A进行编程,则沟道区的下面部分将具有低导通或不具有导通,并且这被感测为编程状态(例如,“1”状态)。如果浮栅14A未用电子来编程(即,擦除),则沟道区的下面部分(与沟道区的其他部分一起)将具有相对高的导通,并这被感测为擦除状态(例如,“0”状态)。通过交换位线12A/12B和耦合栅18A/18B的相关电压来读取单元10B。

[0024] 图3的存储器单元配置允许更小的单元尺寸,因为不存在源极区且不存在字线栅(即,由于不存在任何源极扩散,位线方向上的浮栅之间的间距可进一步缩小)。存储器单元对10A/10B更容易用较少的掩模步骤制造。

[0025] 现在参考图5A-图5E来描述存储器单元对10A/10B的形成。从硅半导体衬底22开始,STI隔离区通过以下方式形成:将沟槽形成到衬底中,并且用绝缘材料24(例如,STI绝缘体)诸如氧化物填充这些沟槽。浮栅氧化物层26形成在衬底22上方,随后进行多晶硅沉积和CMP回蚀刻,以形成最终将构成浮栅14A/14B的多晶硅层14(FG多晶硅层)。所得结构示于图5A(沿耦合栅方向的横截面图)中。

[0026] ONO绝缘层28(氧化物-氮化物-氧化物)形成在FG多晶硅层14上,随后进行多晶硅沉积和回蚀刻以形成多晶硅层18(CG多晶硅层),该多晶硅层将形成耦合栅18A/18B。硬掩膜30形成在CG多晶硅层18上方,并且使用光刻法来图案化以选择性地暴露CG多晶硅层18。然后使用多晶硅/ONO蚀刻来形成延伸穿过CG多晶硅层18和ONO层28的沟槽32。所得结构示于图5B(沿位线方向的横截面图—与图5A的视图正交)中。

[0027] 进行耦合栅侧壁HTO沉积和退火,随后进行氮化物沉积和蚀刻,这沿着沟槽32的侧壁留下氮化物间隔物34。在预清洁和牺牲氧化物沉积以及间隔物蚀刻之后,进行多晶硅蚀刻以使沟槽延伸穿过FG多晶硅层14。所得结构示于图5C中。

[0028] 在移除牺牲氧化物之后,在沟槽32的底部处沿着FG多晶硅层14的暴露端的隧道氧化物层36通过氧化物沉积/形成随后进行退火而形成。然后通过多晶硅沉积,随后进行CMP回蚀刻来使沟槽32填充有多晶硅块(EG多晶硅块20)。优选地,如果逻辑设备同时形成在相同晶圆上,则该多晶硅沉积和回蚀刻用于形成此类逻辑设备的栅极。所得结构示于图5D中。

[0029] 通过光刻法再次对硬掩模30进行图案化以使CG多晶硅18的部分暴露。对CG多晶硅

层18、ONO 28和FG多晶硅14的暴露部分进行蚀刻以形成与第一沟槽32交替的第二沟槽38(即,第一沟槽和第二沟槽彼此交替,使得每个第二沟槽38设置在一对相邻的第一沟槽32之间,反之亦然)。进行LDD注入以在衬底22中在第二沟槽38下方形成漏极(位线)区12。在沟槽38的底部处的氧化物层26可在LDD注入之前或之后被移除。氮化物沉积和回蚀刻用于沿着第二沟槽38的侧壁形成氮化物间隔物40。所得结构(包含本发明的存储器单元对的所有上述部件)示于图5E中。

[0030] 应当理解,本发明不限于上述的和在本文中示出的一个或多个实施方案,而是涵盖落在所附权利要求书范围内的任何和所有变型形式。举例来说,本文中对本发明的提及并不意在限制任何权利要求或权利要求术语的范围,而是仅参考可由这些权利要求中的一项或多项权利要求涵盖的一个或多个特征。上文所述的材料、工艺和数值的示例仅为示例性的,而不应视为限制权利要求。另外,如从权利要求书和说明书显而易见的,并不是所有的方法步骤都需要以所示或权利要求保护的精确顺序进行。最后,单个材料层可以被形成成为多个这种或类似材料层,反之亦然。

[0031] 应当指出的是,如本文所用,术语“在…上方”和“在…上”均包括性地包括“直接在…上”(之间没有设置中间材料、元件或空间)和“间接在…上”(之间设置有中间材料、元件或空间)。类似地,术语“相邻”包括“直接相邻”(之间没有设置中间材料、元件或空间)和“间接相邻”(之间设置有中间材料、元件或空间)，“被安装到”包括“被直接安装到”(之间没有设置中间材料、元件或空间)和“被间接安装到”(之间设置有中间材料、元件或空间),并且“被电连接到”包括“被直接电连接到”(之间没有将元件电连接在一起的中间材料或元件)和“被间接电连接到”(之间有将元件电连接在一起的中间材料或元件)。例如,“在衬底上方”形成元件可包括在两者间无中间材料/元件的情况下直接在衬底上形成该元件,以及在两者间有一种或多种中间材料/元件的情况下间接在衬底上形成该元件。

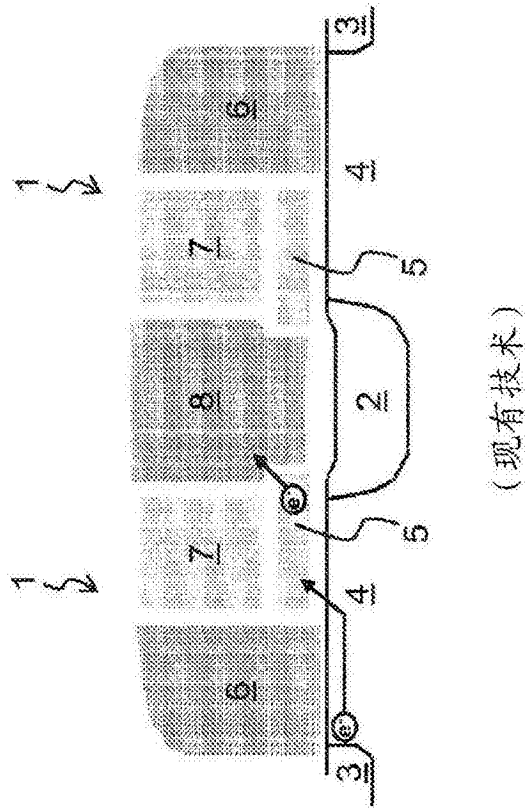


图1

	WL		BL		SL		CG		EG	
	Sel.	Unsel.	Sel.	Unsel.	Sel.	Unsel.	Sel.	Unsel.	Sel.	Unsel.
擦除	0V	0V	0V	0V	0V	0V	0V	0V	11.5V	0V
读取	2.5V	0V	0.8V	0V	0V	0V	2.5V	2.5V	0V	0V
编程	1V	0V	1 μ A	2.5V	4.5V	0.5V	10.5V	0/2.5V	4.5V	0.5V

(现有技术)

图2

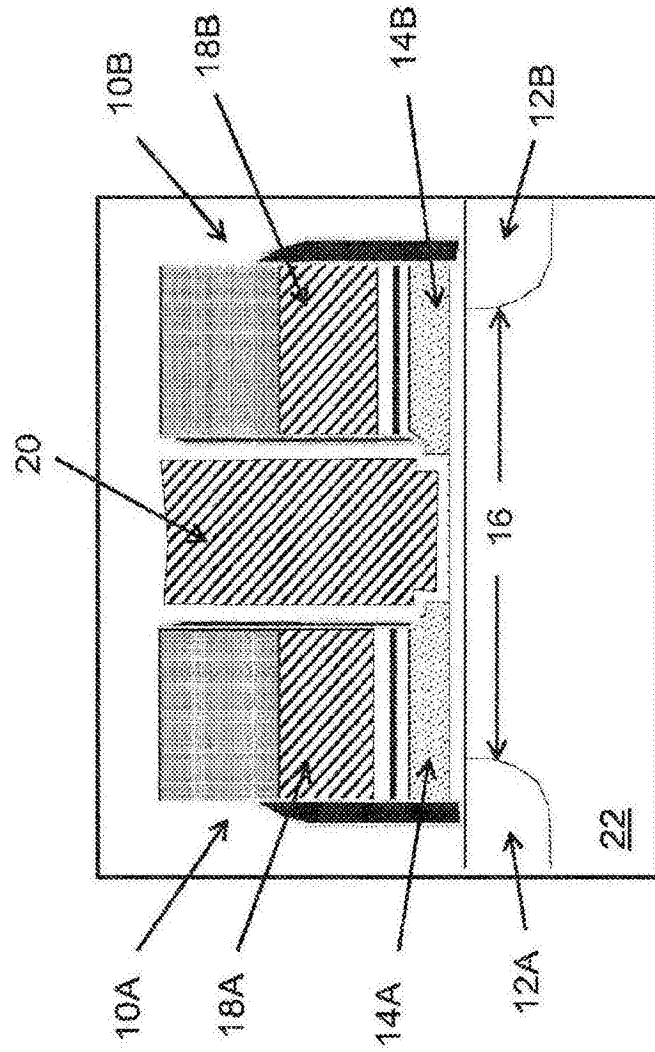


图3

	擦除栅 20	耦合栅 18A	耦合栅 18B	位线 12A	位线 12B
擦除单元10A/10B	8V	-8V	-8V	0V	0V
编程单元10A	1~2V	8~10V	2~3V	-5V	~1-2 μ A
编程单元10B	1~2V	2~3V	8~10V	~1-2 μ A	~5V
读取单元10A	1~3V	0V	3~5V	0	~1V
读取单元10B	1~3V	3~5V	0V	~1V	0V

图4

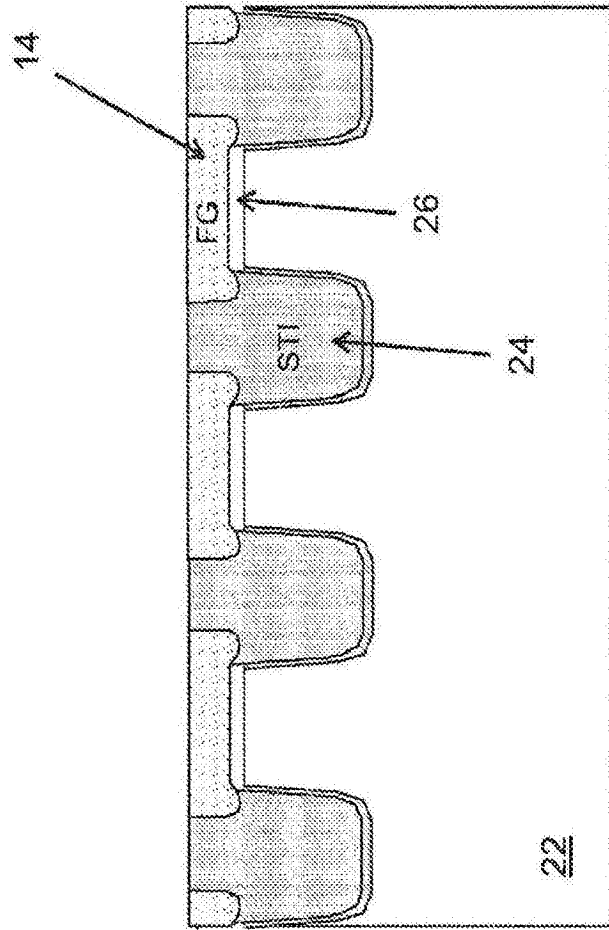


图5A

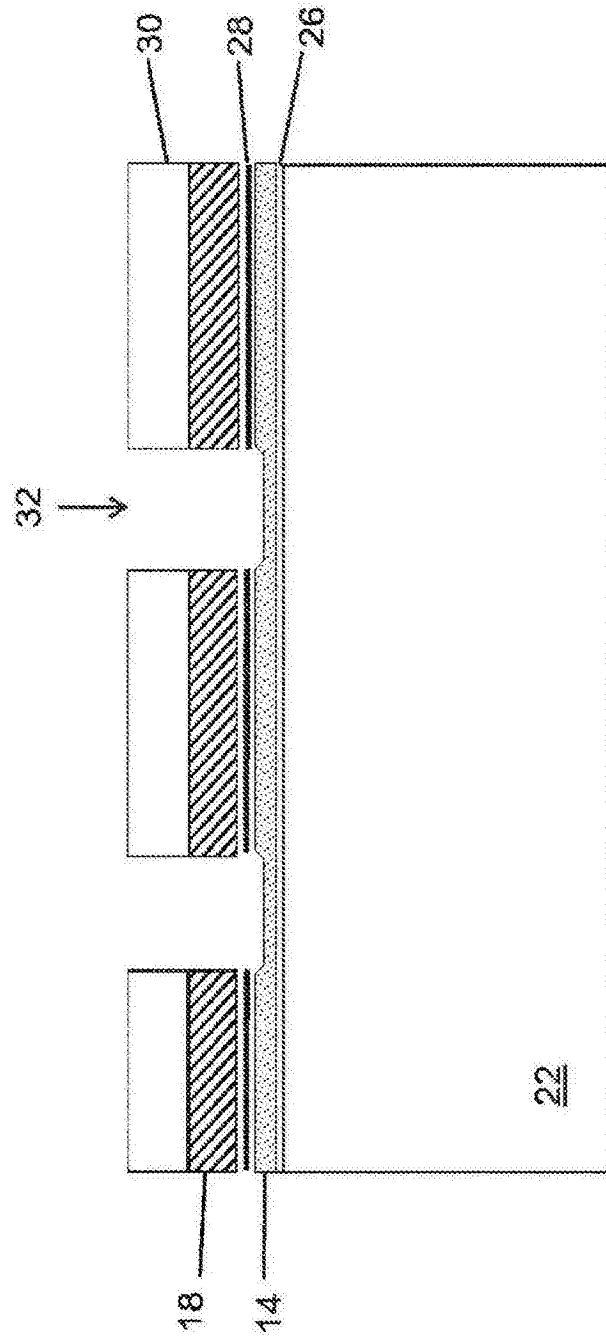


图5B

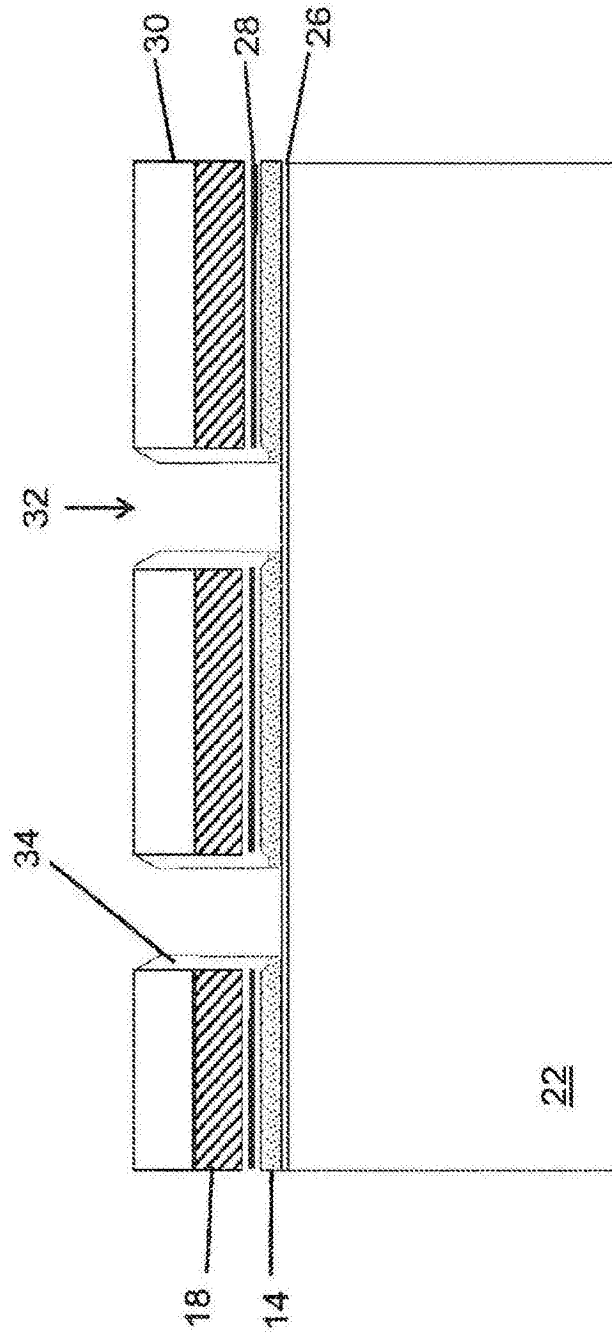


图5C

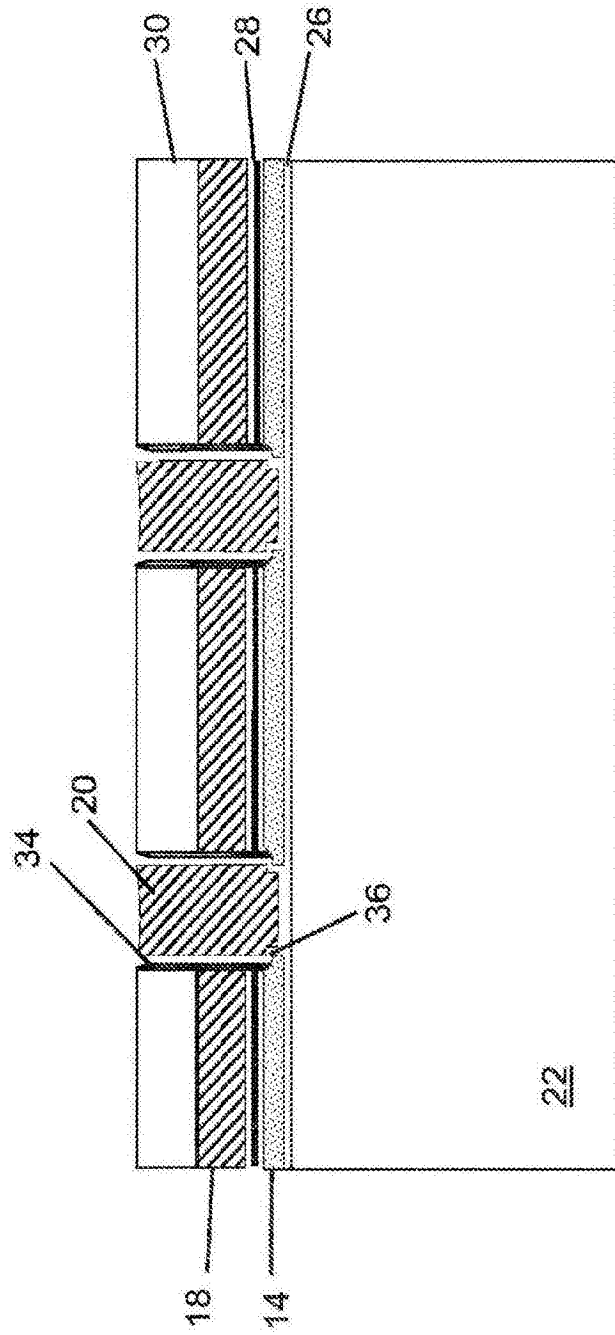


图5D

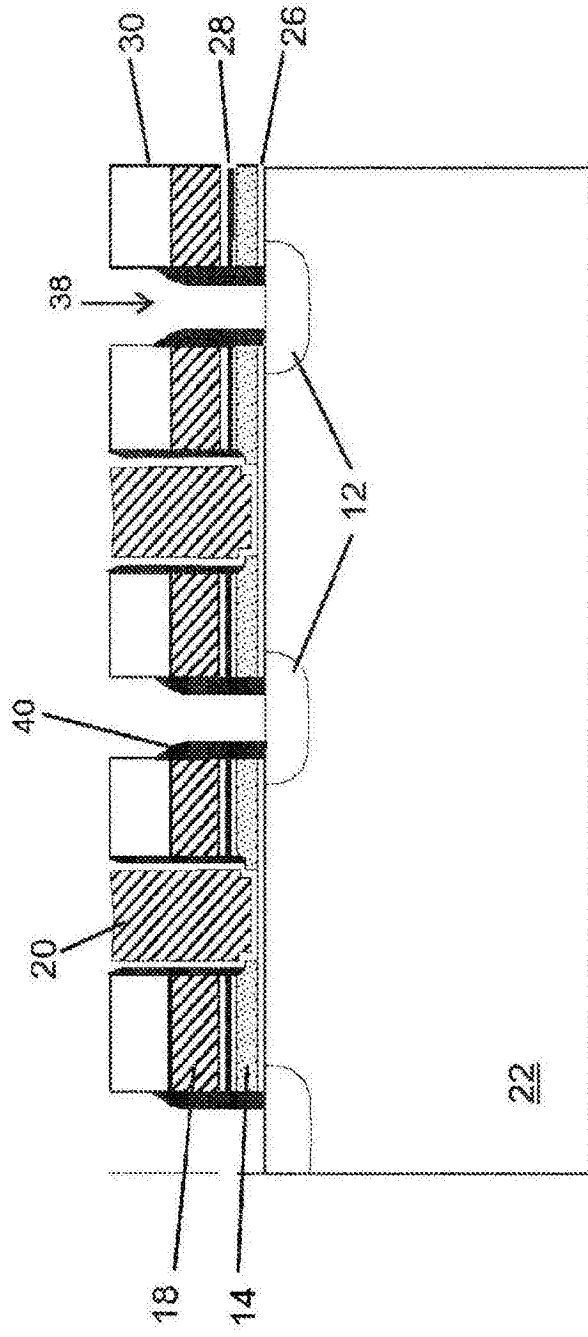


图5E