(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3842313号

(P3842313)

(45)発行日　平成18年11月8日(2006.11.8)　(24)登録日　平成18年8月18日(2006.8.18)

(51)Int.Cl.			F I		
H04N	1/405	(2006.01)	H04N	1/40	B
B41J	2/52	(2006.01)	B41J	3/00	A
G03G	21/00	(2006.01)	G03G	21/00	370

請求項の数 1　(全 28 頁)

(21)出願番号　特願平7-128208
(22)出願日　平成7年5月26日(1995.5.26)
(65)公開番号　特開平7-336538
(43)公開日　平成7年12月22日(1995.12.22)
審査請求日　平成14年5月27日(2002.5.27)
(31)優先権主張番号　252872
(32)優先日　平成6年6月2日(1994.6.2)
(33)優先権主張国　米国(US)

(73)特許権者　596170170
ゼロックス　コーポレイション
ＸＥＲＯＸ　ＣＯＲＰＯＲＡＴＩＯＮ
アメリカ合衆国　コネチカット州　スタンフォード、ロング・リッジ・ロード　８００
(74)代理人　100079049
弁理士　中島　淳
(74)代理人　100084995
弁理士　加藤　和詳
(72)発明者　ダグラス　エヌ．カリー
アメリカ合衆国　カリフォルニア州　９４０２５　メンロ　パーク　レランド　アヴェニュー　２２１

最終頁に続く

(54)【発明の名称】超鮮明印刷システム

(57)【特許請求の範囲】

【請求項１】

記録媒体上にハーフトーン画像データをレンダリングする超鮮明印刷システムであって、

グレースケール入力画像データを供給するデータソースと、

前記グレースケール入力画像データを前記データソースから受け取るとともに、前記グレースケール入力画像データをマルチビット値の出力データに変換するハーフトーン処理回路であり、該ハーフトーン処理回路が、前記マルチビット値の出力データを提供するルックアップテーブルを含み、前記マルチビット値の出力データが非回転対称のハーフトーンドットを規定し、該ハーフトーンドットが、前記グレースケール入力画像データに対応する最低濃度値から最高濃度値までの連続体として前記ルックアップテーブルに配置される、ハーフトーン処理回路と、

メモリ中に格納されるスクリーンを規定する第１のアドレスライン集合と第２のアドレスライン集合を提供するアドレッシング回路であり、前記第１のアドレスライン集合と前記第２のアドレスライン集合が、望ましいスクリーン角度により規定されるｘアドレス値とｙアドレス値を提供し、前記アドレッシング回路が回転回路を含み、前記回転回路が、前記ハーフトーンドットが前記ルックアップテーブルから読み出されている間に前記ｘアドレスおよび前記ｙアドレス値を変更することにより前記ハーフトーンドットを個別に回転する、アドレッシング回路と、

前記ハーフトーン処理回路から前記マルチビット値の出力データを受け取るとともに、

前記記録媒体に前記マルチビット値の出力データを書き込む書込みデバイスにより直接的に使用されることのできる形態に、前記マルチビット値の出力データを変換する変調デバイスと、

を含み、

前記アドレッシング回路は、さらに、前記非回転対称のハーフトーンドットの中心位置を個別にシフトする、

超鮮明印刷システム。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、埋込みデータを有するハーフトーン画像データをレンダリング（描画）するための超鮮明（hyperacuity ）印刷システムに関する。

【０００２】

【従来の技術及び発明が解決しようとする課題】

理解されるように、ハーフトーン処理は、バイナリー印刷技術を用いて印刷されるトーンアート（色調）画像の陰影の様相を保持するための重要な技術（ツール）である。光学的にスクリーン処理されるリトグラフィックハーフトーン処理は、画像形成忠実度の、対抗意識を駆り立てる基準を確立してきたが、その基準は、高ガンマの感光記録媒体（即ち記録媒体は、急なスロープの露光対コントラスト特性を有する）上にハーフトーン画像を印刷することにより達成されることができる。現在のゼログラフィック（静電写真）プリンタは、リトグラフにより印刷されるラインアートの忠実度に近いラインアート画像を印刷するために、高ガンマの受光体（例えば感光体）を使用する。しかしながらこれまで、ゼログラフィックプリンタでの使用に利用されてきた電子的ハーフトーン処理は、ゼログラフィックプリンタを、忠実度の高いハーフトーン画像の印刷においてリトグラフィック印刷処理に効果的に対抗させるのに十分な画像形成忠実度を所有しなかった。ゼログラフィック印刷は、そのコストの面からの利点と画像形成忠実度の改良とのために、リトグラフィック印刷市場にかなり侵入してきた。この傾向は続くと思われるが、ハーフトーン画像の印刷に対してリトグラフィックプリンタに完全に代わり得ると容認されるようになるために、ゼログラフィックプリンタの電子的ハーフトーン処理の忠実度をさらに向上する必要があるのは、明らかである。

【０００３】

本発明の目的は、ゼログラフィックプリンタの電子的ハーフトーン処理の忠実度をさらに向上させることである。

【０００４】

【課題を解決するための手段】

本発明の一態様は、記録媒体上にハーフトーン画像データをレンダリングする超鮮明印刷システムであって；グレースケール入力画像データを供給するデータソースと；前記グレースケール入力画像データを前記データソースから受け取ると共に、前記グレースケール入力画像データをマルチビット値の出力データに変換するハーフトーン処理回路であり、該ハーフトーン処理回路が、前記マルチビット値の出力データを提供するルックアップテーブルを含み、前記マルチビット値の出力データがハーフトーンドットを規定し、該ハーフトーンドットが、前記グレースケール入力画像データに対応する最低濃度値から最高濃度値までの連続体として前記ルックアップテーブルに配置される、ハーフトーン処理回路と；メモリ中に格納されるスクリーンを規定する第１のアドレスライン集合と第２のアドレスライン集合を提供するアドレッシング回路であり、前記第１のアドレスライン集合と前記第２のアドレスライン集合が、望ましいスクリーン角度により規定されるｘアドレス値とｙアドレス値を提供し、前記アドレッシング回路が回転回路を含み、前記回転回路が、前記ハーフトーンドットが前記ルックアップテーブルから読み出されている間に前記ｘアドレス値及び前記ｙアドレス値を変更することにより前記ハーフトーンドットを回転し、そしてそれが回転されたハーフトーンドットとなる、アドレッシング回路と；前記ハー

フトーン処理回路から前記マルチビット値の出力データを受け取ると共に、前記記録媒体に前記マルチビット値の出力データを書き込む書込みデバイスにより直接的に使用されることのできる形態に、前記マルチビット値の出力データを変換する変調デバイスと；を含む。

【０００５】

【実施例】

図１は、ラスタ走査パターンに従って回転ドラム上のゼログラフィック（静電写真）受光体１４上でデータ変調光ビーム１３を走査するためのフライングスポットＲＯＳ１２を有するゼログラフィックプリントエンジン１１を示す。ＲＯＳ１２は、複数のファセット１８を有するポリゴンスキャナ１７と共に、光ビーム１３を発射するレーザダイオード１５を含む。

【０００６】

スキャナ１７をその中心軸の回りで矢印２２の方向に回転させるモータ２１が図示される。スキャナ１７は、レーザ１５と受光体１４の間で光学的に位置合わせされ、レーザビーム１３をスキャナファセット１８から反射させ、ビーム１３を主走査方向において受光体１４を横切るように掃引する。受光体１４は、主走査方向と直交するプロセス方向においても同時に実質的に一定の線形速度で前進され（矢印２３）、その結果レーザビーム１３が受光体１４を走査する。ＲＯＳ１２はまた、プレスキャン光学系２５とポストスキャン光学系２６とを含み、ポストスキャン光学系２６は、受光体１４の近くで略円形の焦点にレーザビーム１３を合わせる。

【０００７】

レーザビームの振幅、デューティサイクル、及び／又はパルス幅は、連続するマルチビットディジタルデータ値に従って強度変調器２８により連続的に変調される。これらのデータ値は、データクロックパルスに応答してシリアルにバッファデータソース２３（通常はグレーソースデータ）からクロック出力され、該データクロックパルスは、ラスタ走査パターン内でビットマップロケーションからビットマップロケーションへと走査される走査スポットの走査と時間同期される。従って、主走査方向とプロセス方向において同一の解像度あるいは異なる解像度を用いて、あらゆる望ましい解像度のサブピクセル精度によりラスタ走査パターンにデータをマッピングするように、データクロックの周波数が選択されることができる。

【０００８】

主走査方向とプロセス方向の両方向においてサブピクセル又はサブスキャン精度によりピクセルの位置を調整することが重要な理由は、「超鮮明度（hyperacuity ）」のためであり、該超鮮明度とは、ビジュアルシステムの鮮明度（解像度）より１０～６０倍精密にエッジ配置の精度を感知するフューマンビジュアルシステムの能力である。しかしながらビットマップは、グレーソースデータにより最良のインフォメーションが提供されても、超鮮明度インフォメーションのソースとしては乏しい。

【０００９】

図２は、画像生成回路５１からのデータソースを含むプリンタ５０を示す。画像生成器５１は、グレースケール画像生成回路５２、バイナリー画像生成回路５４、及びグレースケール変換回路５６を含む。さらにプリンタ５０は、ＦＩＦＯ（先入れ先出し）メモリ５８、リサンプリング補間回路６０、セグメンテーション回路６２、位相／解像度コントロール回路６６、ハーフトーン回路７０、Ｄ／Ａ変換回路７６、レーザダイオード１５、直線性・位置合わせコントロール回路７８を含む。リサンプリング補間回路６０、ハーフトーン回路７０、しきい値回路６８、及びＤ／Ａ（ディジタル－アナログ）変換回路７６は、レーザダイオード１５を介する受光体への伝送のために、サンプリングされた表現を広帯域幅で高解像度のビットストリームに変換する役目を負う。

【００１０】

図３は、２つのレーザダイオードを有する２チャネル超鮮明プリンタの図である。図３のシステムは、追加したインタレースフォーマッタ以外は、図２で示されるシステムと同じ

構成要素を含む。プリントシステムで使用される画像生成回路は、バイナリー又はグレーであることが可能であると共に、特定の解像度又はグレー（マルチビット）深度に限定されない。図２で示されるように、画像データは、ピクセルデータ毎にマルチビットをＦＩＦＯ５８に提供するグレースケール画像生成回路５２により供給され得る。又は画像データは、バイナリー画像生成回路５４によって、バイナリーフォーマット（即ち１ピクセル当り１ビット）で提供され得る。バイナリー画像生成回路５４からのこのバイナリーデータは次に、処理の前にグレースケール変換回路５６によりグレースケールに変換されることができる。

【００１１】

画像生成回路５１はまた、イメージャ（画像形成装置）の特定的な特性と望ましい画像形成応答とに適合されたハーフトーン処理（halftoning）及びしきい値処理（thresholding）インフォメーションをダウンロードすることができる。このダウンロードファイルは画像データではなく、ハーフトーン処理又はしきい値処理に使用されるルックアップテーブルの内容である。

【００１２】

ＦＩＦＯ５８は、マルチダイオード構成における使用のためにデータを遅延させ、且つ補間のために２つの隣接する走査をアクセスするようにデータを遅延させることのできるバファリングを提供する。図３のようなマルチチャネル構成におけるＦＩＦＯバッファの制御は、位相／解像度コントローラ６６と協働するインタレースフォーマッタ８０の役目である。画像インフォメーションは、連続するラスタの形態で画像生成回路から一度だけ送られるので、ＦＩＦＯは、レーザダイオードによりプロセス方向においてスパンされるラスタ数をバファリングする。

【００１３】

画像生成回路と出力回路との間の電子経路においてリサンプリング補間回路６０が存在することにより、解像度変換を与える通常の使用だけでなく、データの空間ポジションを、イメージャ及びその機械的プロセスの任意のミスアラインメントに電子的にマッピングする独特の機会が許容される。データをエンジン及びレーザスキャナの不完全性に等角マッピングするのに必要なインフォメーションは、直線性・位置合わせコントロール回路７８から得られると共に、位相／解像度コントロール回路６６を介して処理され、それはダイナミック（動的）解像度制御と考えられることができる。正確に測定が行われることのできるプラットフォームにおけるあらゆる不完全性は、等角的な電子的位置合わせのために電子的にサーボ制御されることが可能である。

【００１４】

リサンプリング補間回路６０は、標準的な画像処理ファンクションである補間を実行するが、補間は、処理の単純化のために線形的な補間であることが可能である。超鮮明プリンタ５０の場合、受光体上のスポットは、電子的位置合わせの要求を考慮する適切な電子回路により追跡される。

【００１５】

リサンプリング補間回路６０からのスポット強度のリサンプルを得るために、ｘ（高速走査又は主走査）及びｙ（低速走査又はプロセス）次元におけるアドレス可能度を単位として測定されるスポットの現ポジションが決定される。補間回路は、４つの最近傍の強度を補外するすることにより現ポジションにおけるサンプル強度を評価するアルゴリズムを実行する。この算定の最も単純な形態は、強度が線形的に変化すると仮定するものである。リサンプリング補間回路６０はまた、強度の変化の局所変化率（スロープ）を計算すると共に、ライン８５により示されるようにしきい値回路６８にこのインフォメーションを渡す。このインフォメーションが使用されて、ラインアート（線画）の露光強度がゼログラフィックしきい値を越える場所を予測することが可能となる。

【００１６】

しきい値回路６８は、フォント及びライン等のラインアートがレンダリングされる場合に、補間回路６０からのリサンプリングされたインフォメーションを、Ｄ／Ａ変換回路を駆

動するグレーデータストリームに変換する。しきい値回路は、サンプリングされた表現がゼログラフィックしきい値を越える場所を評価することにより、サンプリングされたデータをレンダリングしようとする。しきい値処理ファンクションを実行するハードウェアの１つの形態は、ルックアップテーブルとして動作するキャッシュメモリである。しきい値回路６８は、リサンプリング補間回路６０により生成された２次元スロープインフォメーション即ちライン８５を使用して、サブピクセル精度により入力ファイルのしきい値超過を予告する。

【００１７】

ドット生成回路７２とスクリーン回路７４とを含むハーフトーン回路７０は、ピクトリアル（絵画）がレンダリングされる場合に、リサンプリング補間回路６０からのリサンプリングされたインフォメーションをバイナリーマップに変換する。

【００１８】

印刷される画像を適切にレンダリングするためには、ゼログラフィ及びオフセットリトグラフィ等のバイナリー表現を使用する全てのディスプレイシステムは、グレー画像［トーンアート（色調画像）又はピクトリアル］と総合画像（テキスト及びラインを含むラインアート）との差を見極めることができなければならない。このことは、セグメンテーション回路６２を介して実行される。サンプリングされた表現を印刷する場合、サンプルは、ハーフトーン回路７０（トーンアートの場合）としきい値回路６８（ラインアートの場合）とを介して同時に送られる。セグメンテーションビット又はタグビットとして知られる付加的なビット、即ちＦＩＦＯ５８からのライン６３は、マルチビットサンプルピクセルと共に運ばれるとともに、適切な時間遅延の後、セグメンテーション回路６２によりハーフトーン回路及びしきい値回路に運ばれる。このビットは、ハーフトーン回路からのトーンアートか、しきい値回路からのラインアートかのどちらがレンダリングされるべきかによって、印刷中にこれら２つのデバイス間で（出力６４を介して）スイッチするように使用される。

【００１９】

直線性・位置合わせコントロール回路７８は、ライン８１を介して位相／解像度コントロール回路にスポットエラーインフォメーションを送る。コントロール回路７８はまた、ライン８３を介して圧縮解除電子回路（ハーフトーン回路７０）にサンプルを適切に送る。さらに、ｘ－ｙポジション位置合わせ、走査の直線性修正、速度のサーボ制御、そして受光体のスキュー及びランアウト（ふれ、ずれ）の修正が、電子的に実行されることができる。

【００２０】

図４は、ＦＩＦＯ５８と位相／解像度コントロール回路６６の図である。ＦＩＦＯ５８は、中に記憶される画像データ上で２次元（２－Ｄ）ウィンドウ［主走査（ｘ）次元及び低速走査（ｙ）次元］として使用されるように構成されたメモリデバイスである。位相／解像度コントロール回路６６及びインタレースフォーマッタ８０は、その２－Ｄウィンドウにアドレスを提供することを手助けする。

【００２１】

ＦＩＦＯ５８は、多数のラスタが格納されるメモリ８２を有する。セグメンテーションビットは、ライン６３を介してセグメンテーション回路に運ばれると共に、ＦＩＦＯにおいてピクセルと共に格納され、ハーフトーン処理又はしきい値処理アルゴリズムの適用において正確な時間遅延が保証される。メモリ８２は、ビームの離間と、リサンプリング補間回路６０により使用される１つのラスタの収容と、１つのラスタを書き込む間に別のラスタを読み出すことを可能にするための１つ又は２つのラスタの収容と、を補償するのに十分に大きい。ＦＩＦＯ５８は、１つの書込みポートと２つの読出しポートを有する３ポートメモリであるように構成される。メモリ８２がアドレス指定されると、画像生成回路は、２つのラスタが処理のために読み出される時に、生成されたラスタをＦＩＦＯの中にロードする。

【００２２】

メモリ８２は、Ｘアドレスデマルチプレクサ（X Address DEMUX ）８４によりｘ方向においてアドレス指定される。位相／解像度コントロール回路６６は、X Address （Ｘアドレス）ライン１１１を介して１４ビット数をデマルチプレクサ８４に供給し、それによりデマルチプレクサ８４はメモリ８２に格納されるラスタに沿って2^{14}個のピクセルをアドレス指定することができる。位相／解像度コントロール回路６６は、2^{4} 個のアドレスを形成する Y Address（Ｙアドレス）ライン９９を介して４ビット数を供給する。ｙ方向においては、メモリ８２の読出しと書込みを同時に収容するためにアドレス指定においてオフセットが生じる必要がある。ｙ方向のアドレス指定に対して必要なオフセットを生成するために、全加算回路９２は、 Y Addressライン９９に固定値を加算し、そしてそれが書込みポートのアドレス指定のためにＹアドレスデマルチプレクサ（Y Address DEMUX ）８６により使用される。同様に、全加算回路９４は、２つの読出しポートのうちの１つに固定オフセットを供給する。メモリ８２中に格納される全ラスタは同時に利用可能であるので、マルチプレクサ（ＭＵＸ）８８及びマルチプレクサ（ＭＵＸ）９０は、一度に処理される全ラスタ中の２つのラスタを選択するように使用される。ＭＵＸ８８からのデータは、Lastライン８９として示され、一方ＭＵＸ９０からのデータはNextライン９１として示される。

【００２３】

位相／解像度コントロール回路６６は、Ｙアキュムレータ９６とＸアキュムレータ１０８を有する。Ｙアキュムレータ９６はレジスタ９８と全加算回路１００を含む。レジスタ９８は１６ビットレジスタであるので、最も左の４ビットが整数部を示し、残りの１２ビットが１６ビット数のうちの少数部を示す。整数部は、 Y Addressライン９９として使用され、また少数部は乗算ファクタライン Y Fract１０１として使用される。

【００２４】

Ｘアキュムレータ１０８はレジスタ１１０と全加算回路１１２を含む。レジスタ１１０は２４ビットレジスタであるので、最も左の１４ビットが整数部を示し、残りの１０ビットが２４ビット数のうちの少数部を示す。整数部は、X Address ライン１１１として使用され、一方少数部は乗算ファクタライン X Fract１１３として使用される。

【００２５】

各アキュムレータは、 INC（増分）レジスタ１０２とロード可能な Start Phase（開始位相）レジスタ１０４と協働される。ページの開始時に、Ｙアキュムレータ９６のレジスタ９８が Start Phase値をロードされる。各走査開始クロック信号 SOS CLKにより、Ｙアキュムレータ９６は INCレジスタ１０２に格納された値を増分される。この例では、レジスタ１０２及び１０４はそれぞれ１３ビットである。走査開始時に、Ｘアキュムレータ１０８のレジスタ１１０は、レジスタ１１６からの Start Phase値をロードされる。各システムクロック信号 SYS CLKにより、Ｘアキュムレータ１０８は INCレジスタ１１４に格納された値を増分される。この例では、レジスタ１１４及び１１６はそれぞれ１１ビットである。

【００２６】

位相／解像度コントロール回路はインタレースフォーマッタと共に、解像度変換、位置合わせ修正、及びインタレース処理を容易にする。図５に関しては、この例の２チャネルシステムにおいて、インタレースフォーマッタは、チャネルのビームポジションに等しいデータ中のポイントにおいて各チャネルにＦＩＦＯのラスタデータをアクセスさせるために、オフセットを用いて位相／解像度コントロール回路においてｙ成分を複製する。 Start Phaseレジスタにロードされたオフセットは、フォトダイオード同士間のビーム離間を供給する。チャネル同士間には接続（ライン９９）があり、該接続は、両チャネルに対する書込みアドレスを維持し、それにより両チャネルに対する書込みアドレスが同一であることが可能である。インタレースフォーマッタは、メモリ中のデータを２つの位置において同時にアクセスすることを容易にし、自動的にインタレース処理を行う。

【００２７】

図５で示される２チャネルインタレースフォーマッタには、マスターチャネル（チャネル

０）とスレーブチャネル（チャネル１）がある。図５では、Start Phase レジスタ１０４はチャネル０にあるため、０をロードされる。 Start Phaseレジスタ１０４’は、インタレース処理に必要とされるメモリへのオフセットをロードされる。 INCレジスタ１０２、１０２’における値は、１ファセット当り受光体がいくつのラスタを移動するかを示す。

【００２８】

図６に関しては、リサンプリング補間回路６０は、隣接するラスタデータの２つのライン、即ち適切にラベルづけされたNextライン９１及びLastライン８９をＦＩＦＯから受け取る。ラスタデータはまずＹ補間回路１２０により処理され、次いでデータライン１２６を介してＸ補間回路１２２に渡される。ラスタデータが処理されているのと同時に、スロープインフォメーションがＹ補間回路１２０とＸ補間回路１２２により供給されている。Ｙスロープインフォメーションは、スロープ補間回路１２４により処理される。ラスタデータとスロープデータの両方の処理を行う際、Ｙ補間回路１２０は、Ｙアキュムレータ９６からのビット数のうちの少数部即ち Y Fract１０１を使用する。同様に、Ｘ補間回路１２２とスロープ補間回路１２４の両回路は、Ｘアキュムレータ１０８からのビット数のうちの整数部である X Fract１１３を使用する。リサンプリング補間回路６０の出力は、補間されたラスタデータInterp Y Interp X １２８と、対応するスロープインフォメーション Slope X１３２と、補間されたスロープデータSlope Y Interp X１３４である。

【００２９】

図７では、Ｙ補間回路１２０、Ｘ補間回路１２２、及びスロープ補間回路１２４の詳細図が示される。Nextライン９１及びLastライン８９の形態であるＦＩＦＯからのラスタデータは、Ｙ補間回路１２０に供給される。図示されるように、ラスタLastライン８９は全加算回路１３６を用いてラスタNextライン９１から減算される。減算は、２の補数演算により実行され、それにより加算回路１３６のＢ入力上のバブル１３７は逆関数を示し、C_{IN}入力上の＋１は２の補数演算を実行するのに必要な＋１を加算する。この減算の結果得られた値は次いで、Ｙアキュムレータ９６（図６）中に格納されたビット数の少数部である Y Fract１０１を乗算される。またこの減算の結果、対応するＹスロープインフォメーションはSlope Y ライン１３０として示される。乗算回路１３８は、得られた値の最上位の８ビット（ライン１３９）が全加算回路１４０に渡される８×８乗算を実行する。全加算回路１４０は、乗算の結果得られた値とラスタLastライン８９を加算して、ｙの補間を完了し、得られた値はラインInterp Y１２６である。Interp Y１２６はｙの補間されたデータを示す。

【００３０】

Ｘ補間回路１２２はＹ補間回路１２０の出力を入力として受け取る。ラインInterp Y１２６は全加算回路１４２へのＡ入力となる。また、ラインInterp Y１２６は、レジスタ（REG ）１４１により１ピクセル遅延される。この遅延の結果得られたLast Interp Y は、バブル１４３により逆転され、次いで繰上げを行う加算回路１４３のＢ入力に入力される。従って、２の補数演算を用いて、Last Interp Y はInterp Yから減算される。この減算の結果、対応するＸスロープインフォメーション Slope X１３２が生成される。また、この減算の結果得られた値は乗算回路１４４への入力となる。乗算回路１４４は、Ｘアキュムレータ１０８（図６）中のビット数の少数部に由来する X Fract１１３に加算回路１４２の出力を乗算する。乗算の結果得られた値の最上位８ビットは次に、加算回路１４６によりLast Interp Y に加算され、その結果補間データInterp Y Interp X １２８が得られる。

【００３１】

スロープ補間回路１２４は、Ｙ補間回路１２０からのＹスロープインフォメーションライン Slope Y１３０を、加算回路１４８へのＡ入力として使用する。Slope Y １３０は、レジスタ（REG ）１４７により１ピクセルクロック遅延され、Last Slope Yとなる。Last Slope Yはバブル１４９を介して逆転され、それにより、繰上げを行う加算回路１４８のＢ入力に入力される。その結果得られる値は、Slope Y からLast Slope Yを減算したものである。加算回路１４８の出力は次に、乗算回路１５０により X Fract１１３を乗算される

。乗算回路１５０は５×５ビット乗算回路であり、それから得られる値は、乗算の結果生じる最上位５ビットである５ビット数である。最終的な演算において、乗算の結果であるライン１５１は、加算回路１５２により Last Slope Y に加算され、その結果Slope Y Interp X ライン１３４として示される対応する補間スロープインフォメーションが得られる。

【００３２】

図８は、スロープしきい値回路のレンダリングソフトウェアが、エッジを高精度で配置するために、補間回路により生成された２次元スロープインフォメーションと強度を如何に使用するかを示す。強度１５３と、レーザスポットの現ポジションにおけるＸスロープ及びＹスロープは、補間回路により生成される。レンダリングソフトウェアは、強度１５３に垂直に位置すると共に、強度１５３の可能な最大強度の５０％の公称高さを有する平面１６５として、仮想ゼログラフィックしきい値を構築する。

【００３３】

ｘ（主走査）方向において、レンダリングソフトウェアは、Ｘスロープにより決定される角度１５４を持たせて強度１５３の頂点から仮想レイ１５５を生成する。この仮想レイ１５５は、標準のゼログラフィックしきい値１６５と点１５６において交差する。ｙ（低速走査）方向においては、レンダリングソフトウェアは、Ｙスロープにより決定される角度１５７を持たせて、強度１５３の頂点から仮想レイ１５８を生成する。この仮想レイ１５８は、標準のゼログラフィックしきい値１６５と点１５９において交差する。このように点１５６及び点１５９は生成され、スポットの現ポジションにおいてレンダリングされるべき特徴エッジの見積りであるライン１６６を決定する。

【００３４】

レンダリングされるべき特徴エッジが主走査方向に主に垂直である場合には、タイミングが用いられてエッジがレンダリングされ、レンダリングアルゴリズムは、可能な露光において最も急なスロープを実行するために中間的なグレー値を有さないオンからオフへの切替え又はオフからオンへの切替えを使用する。レンダリングされるべき特徴エッジが主走査方向と主に並行である場合には、エッジのサブスキャン精度を達成するためにグレーが用いられ、適切なグレー値がメモリのロケーションに割り当てられる。

【００３５】

図９に関しては、しきい値回路６８とＤ／Ａ変換回路７６を含むブロック図が示される。しきい値回路６８には、しきい値ファンクションブロック１６０とシフトレジスタ１６２が含まれる。図示されるように、しきい値ファンクション１６０は、補間データを表すInterp Y Interp X １２８、Ｘスロープを表す Slope X１３２、そして補間されたＹスロープを示すSlope Y Interp X １３４といった３つの入力ラインを受け取る。これらの入力値を用いて、しきい値ファンクションブロック１６０は次に、レーザダイオードにより使用されるべきマルチビット強度値を与える。この値は、実時間中に計算されたり、又はメモリブロックにより実行されるルックアップテーブル中に格納されたりすることが可能である。

【００３６】

しきい値ファンクションブロック１６０がルックアップテーブルとして実行される場合、得られる強度値Ｃは予め計算されてメモリブロックに格納される。実行時間動作中に、 Slope X１３２、Slope Y Interp X １３４、及びInterp Y Interp X １２８が使用されて、入力に対応する強度値Ｃの値を求めてメモリブロックをアドレス指定する。スロープ値は、絶対ページ座標の代わりをして、アドレス指定を手助けする。従って、各可能なアドレスの組合せに対して、各アドレスに対応する予め計算された強度値がある。

【００３７】

図１０は、ハーフトーンセル１７０［この例では一辺が約０．１６９３㎜（ 1/150インチ）である］と、レンダリングされるべきハーフトーンドット１７２を示す。この例ではスポット１８２は、約０．００５３㎜（1/4800インチ）のアドレス可能度の単位（ユニット）マーカー１７６及び１７８により示されるように、主走査方向及び低速走査方向の両方

向においてセル１７０内で約０．００４２３㎜（1/600 インチ）という大きさである。セル１７０の上及び左の波形は、レーザダイオードがハーフトーンドット１７２を書く時のレーザダイオードの主走査及び低速走査露光プロファイルを示す。主走査露光プロファイルは断面Ａ－Ａを介して得られ、プロセス方向即ち低速走査方向露光プロファイルは、セクションＢ－Ｂを介して得られる。ライン１７４は、走査の軌道を示し、約０．００２１２㎜（1/1200インチ）ずつ離間されている。これは、スキャナがオーバースキャンされることを意味し、それによりスポットが約０．００２１２㎜（1/1200インチ）である場合よりも強度調整に対してエッジ配置のより線形的な応答が送られる。

【００３８】

図１１～図２６に関しては、その各々の図が、対応する強度プロファイル１８０を用いてハーフトーンドット１７２を生成することにおけるステップを示す。まず図１１には、第１の走査線、即ち強度２の第１境界スキャンが示され、該第１の走査線は、主走査方向において２つのアドレス可能度ユニットに対して存在する。次に図１２及び図１３は、いくつかの主走査クロックに対して強度を３に増した境界走査を示し、そして次に図１４では、いくつかの走査クロックに対して強度２の走査に戻り、走査線１が終了する。次の走査線及び図１５に進むと、境界走査の強度はレベル４即ちフルオン（full on ）で始まり、図１６で示されるように走査線の終了までそれが続く。走査線３及び４は、走査線２と同様に描かれ、図１７、図１８、図１９、及び図２０により示される。図２１を参照すると走査線５は強度レベル３で始まり、図２２及び図２３ではフルオンに達し、そして図２４でレベル３の強度で終了する。最終的に、ハーフトーンドット１７２は図２５及び図２６で示されるように、走査線６が強度レベル１という値を描いて終了する。

【００３９】

図２７を参照すると、アドレス可能度の高いハーフトーン回路７０のブロック図が示される。ハーフトーン回路７０は、メモリブロック１９０（ドット生成回路７２に相当する）と、アキュムレータ１９４及び１９６（スクリーン生成回路７４に相当する）を有する。メモリブロック１９０は、アドレス可能度ユニット１９２のアレイに分割される。メモリブロック１９０はまた、２５６個の異なるドット平面に分割され、その１つ１つは各グレースケールデータレベルに対するものである。矢印１９５で示される主走査方向におけるアドレス可能度は約０．００５３㎜（1/4800インチ）であり、矢印２０４で示されるように低速走査方向における走査離間は約０．００２１２㎜（1/1200インチ）である。バイナリー強度の代わりに４つのレベルの強度（０％、２５％、５０％、７５％、１００％の５つの値により生成される）を使用することにより、低速走査方向におけるアドレス可能度が約０．００５３㎜（1/4800インチ）であることも許容される。

【００４０】

メモリ１９０は、そのアドレスラインを３つのセットに分けることによる３次元オブジェクト、即ちｘ次元、ｙ次元、及び強度次元、のうちの強度次元を通るスライスとして表される。これらのアドレスは、Ｘアドレスアキュムレータ１９４、Ｙアドレスアキュムレータ１９６、及びグレースケールデータ入力ライン１９７により提供される。Ｘ及びＹアドレスアキュムレータは、角度２０２で示されるように、スクリーンを回転するのに使用されるスクリーンアドレスのｘ及びｙ成分を提供する。このアドレスインフォメーションは、ｘ及びｙ平面におけるレーザダイオードスポット２００のポジションを表す。

【００４１】

強度次元に関して言えば、補間回路からのグレースケールデータ入力１９７は、２５６個のドット平面（例えば平面２０６又は２０７）のうちのどれがアクセスされるかを決定する。典型的には、この図の３次元「弾丸」形状１９９で示されるように、グレースケールデータ１９７の値が変化するにつれて、ハーフトーンドット変化の半径（又は他の濃度決定パラメータ）が変化する。２５６個のハーフトーンドットのうち、メモリがスライスされた中間域における１つが、ドット平面２０６におけるハーフトーンドットプロファイル１９８として示される。ハイライトドットがレンダリングされるべき場合は、グレースケールデータ入力１９７は、例えば平面２０７におけるような小さい半径を持ったドットプ

ロファイルを有するドット平面を選択する。シャドードットは、平面２０７から見て平面２０６とは別の側にある。

【００４２】

ハーフトーンスクリーンは、全体的な画像をカバーするドットポジションの正方形アレイである。アキュムレータ１９４及び１９６は、ライン１９５で示されるようなレーザスポット２００の軌道を追跡する。その軌道は、矢印２０２で示されるスクリーン角度θを有してメモリを通って移動する。アキュムレータの各々からの５ビットは、グレースケール入力値１９７によりアドレス指定される２５６個のハーフトーンドットのうちの各々に対してハーフトーンドットを規定するために３２×３２ポジションハーフトーンタイルを提供する。従って、所与のハーフトーンドットを規定する各タイル内には総計１０２４個のポジションがある。図２８に関して述べられるように、アキュムレータ１９４及び１９６は少数部で増大するが、メモリ１９０に対してX ADDR及びY ADDRとして最上位５ビットを提供する。増大するにつれて、アキュムレータはｘ及びｙにおいて周期的にロールオーバーし、それによりハーフトーンセルが全体の画像領域上で規則的な２次元アレイの中に複製される。このようなことが起こっている一方で、強度が変化して、異なるドット層がアクセスされ、それによって画像の濃度が変更される。各メモリロケーションにおいて取り出されるデータは、図１０～図２６において示されたようにハーフトーンドットをレンダリングするのに必要な強度をレーザスポットに所有させるためにＤ／Ａ変換回路により要求される５つの値（０％、２５％、５０％、７５％、又は１００％）のうちの１つである。

【００４３】

図２８に関しては、Ｘアドレスアキュムレータ１９４とＹアドレスアキュムレータ１９６両方の詳細図が示される。Ｘアドレスアキュムレータは、５ビットの整数部と１１ビットの少数部とを有する値をアキュムレートするレジスタ２１０を有する。５ビットの整数部は、ハーフトーン回路のメモリブロック１９０に対して信号X ADDR又はX Address を供給する。アキュムレータ１９４は全加算回路２１２とマルチプレクサ（ＭＵＸ）２１４を含む。マルチプレクサ２１４は、全加算回路２１２へのINC レジスタ２１６かレジスタ２１８かのどちらかを選択する。レジスタ２１８は、５ビットの整数部と１１ビットの少数部を有する値をアキュムレートする。アキュムレータ１９４はさらに、全加算回路２２０とマルチプレクサ２２４を含む。マルチプレクサ２２４は、全加算回路２２４へのINC レジスタ２２６か Firstレジスタ２２８のどちらかを選択する。

【００４４】

Ｙアキュムレータ１９６のハードウェアは、Ｘアキュムレータ１９４のものと同じである。理解されるように、レジスタはスクリーン角度のｘ及びｙ成分を示すので、違いはレジスタにロードされる値にある。Ｙアドレスアキュムレータ１９６は、５ビットの整数部と１１ビットの少数部とを有する値をアキュムレートするレジスタ２３０を有する。５ビットの整数部は、ハーフトーン回路のメモリブロック１９０に信号 Y ADDR 又は Y Address を供給する。アキュムレータ１９６は、全加算回路２３２とマルチプレクサ２３４を含む。マルチプレクサ２３４は、全加算回路２３２へのINC レジスタ２３６かレジスタ２３８のどちらかを選択する。レジスタ２３８は、５ビットの整数部と１１ビットの少数部を有する値をアキュムレートする。アキュムレータ１９６はさらに、全加算回路２４０とマルチプレクサ２４２を含む。マルチプレクサ２４２は、全加算回路２４０への入力として、INC レジスタ２４４か Firstレジスタ２４６のどちらかを選択する。

【００４５】

動作上、Ｘアキュムレータ１９４において３つ、そしてＹアキュムレータ１９６において３つの、予めロードされなければならない６つのレジスタがある。レジスタにおける値は、ページを印刷する前に利用可能であると共に計算されなければならない。以下は、それらそれぞれのレジスタに対する変数の割当である：XFastStepINCは INCレジスタ２１６にロードされる；XSlowBoLINC は INCレジスタ２２６にロードされる；XSlowBoLFIRST は Firstレジスタ２２８にロードされる；YFastStepINCは INCレジスタ２３６にロードされる

；YSlowBoLINC は INCレジスタ２４４にロードされる；YSlowBoLFIRST は Firstレジスタ２４６にロードされる。

【００４６】

図２９では、矢印２５０は、XFastStepINC及びYFastStepINC両ベクトルを示す。同様に、矢印２５２はXSlowBoLINC 及び YSlowBoLINC両ベクトルを示す。矢印２５４は、０より大きいチャネル（ch）、この場合にはチャネル１に対するXSlowBoLFIRST 及び YSlowBoLFIRST両ベクトルを示す。矢印２５６は、矢印２５０を大きさｎだけ延長したものを示し、ここでｎは１つのメモリアクセス上で取り出される値の数である。図２８に示されるように１６ビットレジスタの場合には、（６進：heximal ）少数点の上の５ビットは、小数点以下に１１ビットを少数部として有するということに留意する。

【００４７】

動作上、レジスタ２１６、２２６、２２８、２３６、２４４及び２４６は予めロードされる。ページ印刷の開始時に、First レジスタ２２８に格納された値は、ＭＵＸ２２４を介する全加算回路２２０への入力となる。同様に、First レジスタ２４６に格納された値は、ＭＵＸ２４２を介する全加算回路２４０への入力となる。ページが一旦開始すると、ＭＵＸ２２４は、全加算回路２２０への入力が INCレジスタ２２６に格納される増分値であるようにスイッチする。同様に、ＭＵＸ２４２は、 INCレジスタ２４４にスイッチする。レジスタ２１８は、SOS （走査開始）CLK 信号毎に INCレジスタ２２６からの値を増分される。レジスタ２３８もまた、SOS CLK 信号毎に INCレジスタ２４４における値を増分される。このようにして、ハーフトーンスクリーン内の走査線に対する開始ポジションは、印刷が進行するにつれて計算される。

【００４８】

各走査の開始時に、レジスタ２１８の値は、ＭＵＸ２１４を介する加算回路２１２への入力となり、またレジスタ２３８における値はＭＵＸ２３４を介する加算回路２３２への入力となる。ＭＵＸ２１４は次に、 INCレジスタ２１６を加算回路２１２に接続するようにスイッチし、またＭＵＸ２３４は INCレジスタ２３６を加算回路２３２に接続するようにスイッチする。レジスタ２１０は次いで、SYS CLK （システムクロック）毎に INCレジスタ２１６からの値を増分される。レジスタ２３０もまた、SYS CLK 毎に INCレジスタ２３６における値を増分される。この例の値を用いて定義すると、SYS CLK は約０．００５３mm（1/4800インチ）毎に発生する。このようにして、ハーフトーンスクリーン内のスポットの増分ポジションは、印刷が進行するにつれて計算される。これらの値は次に、メモリのフェッチオペレーションに対するメモリアドレスとして使用される。

【００４９】

図２７のメモリ１９０に記憶されるインフォメーションも、ページ印刷の前に予め計算されなければならない。一般に、メモリへの各々の規定された強度１９７の入力に対して、それに対応したハーフトーンドットが規定され、且つ平面２０６又は２０７等のメモリの平面に格納されなければならない。ハーフトーンドットの形状及びサイズがメモリアレイのサイズに対して一旦規定されると、各ドットはスケーリングされる必要がなく、従って各ドットは、主走査方向ではSYS CLK 数として規定され、また低速走査方向ではレベル数として規定される。最終的に、各ハーフトーンドットは、ハーフトーンドットを規定する各メモリロケーションが、レーザダイオードにより書かれる信号の強度に対応する値を割り当てられるようにして、レンダリングされなければならない。

【００５０】

ハーフトーンルックアップテーブルに対する値を計算するために、いくつかのパラメータが規定されなければならない。これらのパラメータは、主走査方向及び低速走査方向の両方向におけるスクリーン角度及びスクリーン周波数、主走査方向におけるモジュラス及びアドレス可能度、低速走査方向における１走査当りのレベル数、１インチ当りのファセット数、及び１ファセット当りの走査数（Ｑ）である。

【００５１】

図３０～図３３では、複数のハーフトーンドットの例を有するハーフトーンドット平面を

示す。前述のように、ハーフトーンメモリに対して値を決定する第１のステップは、２５６個のハーフトーンドットの各々を成長又は規定することである。ドットは、ＴＲＣ（トーン再生曲線）とドットの形状を考慮するアルゴリズムを用いて成長されることが可能である。図３０～図３３は、このようなドットの４つの例を示す。ハーフトーンドットは多くの方法で成長し且つ多くの形状を有することができるということが、理解される。

【００５２】

まず図３０を参照すると、ハーフトーンドット平面２６０は、ハーフトーンドット２６１を規定する３２×３２ビットアドレス空間を示す。図に見るように、ハーフトーンドット２６１は略円形であると共に、ある濃度を示す。濃度が増すにつれて、ハーフトーンドットは図３１に見るように成長する。図３１は、対応するドット２６３を有するハーフトーンドット平面２６２を示す。図３０と図３１の間には、ハーフトーンドットの多くのレベルと多くのサイズがあるということが理解されるべきである。ダイアモンド領域２６４も示される。ハーフトーンドットが成長する時に、ハーフトーンドットはダイアモンド領域２６４の境界に当たるまで円形を保つ。次いで、ドットはダイアモンド領域一杯まで放射状に成長し、そしてついに図３２で示されるようにダイアモンド領域全体が満たされるようになる。図３２は対応するドット２６７を有するドット平面２６６を示す。ドット２６７はハーフトーンセルの５０％をブラックとしてレンダリングしようとする試みを示すので、ドット２６７は、１２８に近い濃度レベルを示すことができる。しかしながらプリンタのＴＲＣを考えると、この５０％の被覆度は、強度レベル１２８と正確には一致し得ない。図３３は、前と同じく放射状にダイアモンド領域２６４の外部まで成長したドット２６９を有するハーフトーンドットプレーン２６８を示す。しかしながら、放射状に成長したものでないものの中心（複数）が、ドットセル２６８の角にある。セル２６８の角にある白い半円形空間は、他のセルと一緒になってサイズの小さい丸いスポットを形成する。想像することができるように、ハーフトーンドットは、ドット平面が濃度レベル２５５（図示せず）で完全に満たされるまで成長し続ける。

【００５３】

ハーフトーンメモリに対する値を決定する次のステップは、成長したハーフトーンドットを、主走査方向における SYS CLKと低速走査方向における強度レベルとからなるプリンタ規定空間へスケーリングすることである。主走査方向における距離の成分は、メモリロケーション毎にSYS CLK の数を乗算される。同様に、低速走査方向における距離の成分は、レベルにおいて距離を生じるように、メモリロケーション毎にレベル数を乗算される。最終的に、２６５個のハーフトーンドット平面の各々における各エッジは、メモリロケーションに対して強度値を割り当てることにより与えられる必要がある。

【００５４】

図３４に関しては、可変モジュラスアドレスアキュムレータ２７０のブロック図が示される。アドレスアキュムレータ２７０は、Ｘアドレスアキュムレータ１９４とＹアドレスアキュムレータ１９６（図２７及び図２８）のどちらか一方又は両方の代わりに使用されることが可能である。アドレスアキュムレータ２７０を使用することにより、より小さいメモリブロック又は異なるサイズのハーフトーンセルを使用する機会が提供される。

【００５５】

可変モジュラスアドレスアキュムレータ２７０は、５ビット整数値 Addressライン２７４を提供するレジスタ２７２を含み、レジスタ２７２はハーフトーン回路のメモリブロックをアドレス指定することにおいて使用される。 Addressライン２７４は、 X Addressライン又は Y Addressラインの代わりに使用されることができる。アドレスアキュムレータ２７０はまた、ＭＵＸ２７６、スタートブロック２７８、ＭＵＸ２８０、全加算回路２８２、INC レジスタ２８４、及び減算回路２８６を含む。

【００５６】

スタートブロック２７８における構成要素は、図２８で述べられた構成要素と同じであると共にそれと同じようにオペレートされる。詳細には、レジスタ２９２はレジスタ２１８及び２３８に等しい。全加算回路２９４は、加算回路２２０及び２４０に等しい。同様に

、ＭＵＸ２９６はＭＵＸ２２４及びＭＵＸ２４２と同じであり、INC レジスタ２９８は INCレジスタ２２６及びINC レジスタ２４４に等しい。 INCレジスタ２９８はSlowBoLINC値をロードされ、ｘアドレスとして使用されている場合にはXSlowBoLINC 値を、そしてｙアドレスとして使用されている場合にはYSlowBoLINC 値をロードされる。最終的に Firstレジスタ２９９は、 Firstレジスタ２２８及び Firstレジスタ２４６と同じであると共に、XSlowBoLFIRST 値及びYSlowBoLFIRST 値をロードされる。アドレスアキュムレータ２７０の他の構成要素をアドレスアキュムレータ１９４及び１９６と比較すると、レジスタ２７２はレジスタ２１０及びレジスタ２３０と同じである。ＭＵＸ２７６は、ＭＵＸ２１４及びＭＵＸ２３４と等しい。そして、加算回路２８２は加算回路２１２及び加算回路２３２と同じである。

【００５７】

アドレスアキュムレータ２７０の可変モジュラスオペレーションに戻ると、望ましいモジュラス数は減算回路２８６に供給される。 INCレジスタ２８４は FastStepINC値を予めロードされる。加算回路２８２及びレジスタ２７２が FastStepINC値の増分値をアキュムレートする時に、減算回路２８６は、アキュムレートされる値を評価して、その値がモジュラスライン２８８の値よりも大きいかどうかを決定する。アキュムレート値がモジュラス値より大きい場合には、減算回路２８６の実行線２９０が、減算回路中の値をレジスタ２７２にロードさせるようにＭＵＸ２８０をスイッチする。このスイッチングは実質上、レジスタ２７２中のモジュラス値を減算して５整数アドレスビットをクリアし、それはロールオーバーに相当する。レジスタ２７２における値は次に、再びアキュムレートし始めることができる。従って Addressライン２７４上の値は、モジュラス値より決して大きくはならないと共に、ハーフトーンメモリは、セットされたモジュラスにおけるアドレスである。

【００５８】

ハーフトーンドットの変換の目的は、レンダリングされるハーフトーンドットを介してハーフトーン画像にデータを埋め込む手段を提供することである。ハーフトーンドットの回転を、図３５～図４１に関して以下に述べる。非回転対称のハーフトーンドットに対して印刷中に回転の様々な角度を適用することにより、多様な形態の符号化データがハーフトーン構造の中に埋め込まれることができる。さらに、このように変換を適用することにより、スクリーン周波数、スクリーン角度、又はハーフトーンドット濃度に影響を与えることなくハーフトーンドットが回転される。

【００５９】

図３５は、横方向の実数軸Ｒｅ及び垂直方向の虚数軸Ｉｍと、角度θ_0に対すると共に半径ベクトルr_0を有する点ａ＋ｉｂと、を有する複素平面を示す。図から、$a = r_0 \cdot \cos\theta_0$、$b = r_0 \cdot \sin\theta_0$である。点がユニットサークル上にあるように$r_0 = 1$とすると、$a = \cos\theta_0$、及び$b = \sin\theta_0$である。

【００６０】

半径ｒを有し且つ角度θに対する点ｘ＋ｉｙを複素平面におけるあらゆる第２の点とする。目的は、起点の回りで点ｘ＋ｉｙを角度θ_0だけ回転させた後の点ｘ’＋ｉｙ’を見い出すことである。これは点ｘ＋ｉｙが、

【００６１】

【外１】

$$r \cdot e^{i\theta},$$

【００６２】

により表され得ると見ることにより実行され、またａ＋ｉｂは、

【００６３】

【外２】

$$e^{i\theta_0}$$

【００６４】
により表されることができ、その結果回転後の点は、
【００６５】
【外３】

$$r \cdot e^{i(\theta_0 + \theta)}$$

により表される。
【００６６】
よって、
【００６７】
【数１】

$$r \cdot e^{i(\theta_0 + \theta)} = r \cdot (e^{i\theta_0}) \cdot (e^{i\theta}) = r \cdot (a + ib) \cdot (x + iy)$$
$$= (ax - by) + i(ay + bx) = x' + iy'$$

である。
【００６８】
よってｘ’＝ａｘ－ｂｙ、ｙ’＝ａｙ＋ｂｘであり、新たな点は計θ＋θ$_0$回転されることとなると共に、前と同じ半径ｒを有することとなる。従って、この変換を実行するためのハードウェアの目的は、ｘ’＝ａｘ－ｂｙという式を実行することにより、変換後のｘアドレス（ｘ’）をメモリの中に提供することである。同様に、ハードウェアはまた、ｙ’＝ａｙ＋ｂｘという式を実行することにより、変換後のｙアドレス（ｙ’）をメモリの中に提供する。
【００６９】
図３６は、メモリ１９０中に格納される楕円形のハーフトーンドットを回転するのに必要な一例の付加的アドレッシング回路又はハードウェアのブロック図を示す。メモリ１９０は、ドット生成回路７２（図２及び図３）と同じであると共に、図３６で示される残りの全ての構成要素は、ハーフトーン回路７０のスクリーン生成回路７４（図２及び図３）の別の実施例を構成するということを留意する。
【００７０】
概して、第１のオペレーションは、ｘ及びｙ入力値からオフセット定数を減算することにより、回転の中心を起点３０１から、起点から所定の位置にあるハーフトーンドットの中心へと変換する。ｙオフセット座標はレジスタ３０２に格納され、ｘオフセット座標はレジスタ３０４に格納される。乗算回路及び加算回路は次に、上記計算のように、ｘ座標に対する変換後の出力（ａｘ－ｂｙ）とｙ座標に対する変換後の出力（ａｙ＋ｂｘ）を提供するように構成される。最終的に、座標は、最初に減算された同じ定数を加算することにより、起点に変換し直される。ハーフトーンドットの中心の回りでシフトすることを示したが、回転の中心点は、ハーフトーンドットの中心である必要はないことを理解することができる。
【００７１】
この例を単純化する目的で、レジスタ３０２及び３０４における値を０に等しいと仮定す

る。（この明細書で、０でない値についても説明する。）ｙ’を処理する場合、レジスタ３０２における値が減算回路３０６により変数ｙ（これはｙアドレスアキュムレータ１９６中にある）から減算される。レジスタ３０２における値はこの例では０であるので、減算の結果得られる値は単純にｙである。この値ｙは次に、乗算回路３０８における値ａを乗算され、その結果ａｙという値が得られる。

【００７２】

式のｂｘ成分を計算する場合、減算回路３１０によりレジスタ３０４中の値が変数ｘ（これはＸアドレスアキュムレータ１９４内にある）から減算される。レジスタ３０４における値はこの例では０であるので、減算の結果得られる値は単純にｘである。変数ｘは次に、乗算回路３１２において変数ｂを乗算され、その結果ｂｘが得られる。加算回路３１４は次に、ａｙとｂｘを加算し、それによりａｙ＋ｂｘが得られる。次に加算回路３１６は、レジスタ３０２に記憶される値をａｙ＋ｂｙの式に再び加算する。レジスタ３０２における値は０であるので、加算回路３１６の出力は、変換後のｙアドレス即ちｙ’に等しいａｙ＋ｂｘである。

【００７３】

ｘ’を処理する場合、前述と同じく減算回路３１０により、レジスタ３０４中の値が変数ｘから減算される。この減算の結果得られる値即ちｘは、乗算回路３１８において変数ａを乗算され、ａｘという値が得られる。減算回路３２２は次いで、乗算回路３２０の出力を、乗算回路３１８の出力から減算し、ａｘ－ｂｙという値が得られる。加算回路３２４は、レジスタ３０４中に記憶された値を再びａｘ－ｂｙという式に加算する。レジスタ３０４における値は０であるので、加算回路３２４の出力はａｘ－ｂｙであり、これは変換後のｘアドレスｘ’に等しい。

【００７４】

レジスタ３０２及びレジスタ３０４が０を含む場合、回転は起点３０１の回りで行われる。これらのレジスタが０でない値を含む場合、レジスタは回転の中心の位置を変換するように作用する。ハーフトーンドットをその中心の回りで回転するために、レジスタ３０２及び３０４は、ハーフトーンドットの中心の座標を含むと共に、上記式と同じ式に数値を与える。従って、ａ、ｂ、ｘ、及びｙという値を与えられれば、ハーフトーンドットは、上述の回転アドレッシング回路を用いて、メモリから読み出されながら回転される。

【００７５】

図３７は、ハーフトーンドット３００を回転し、その後新たなロケーションにドットの中心をシフトするのに必要なアドッシング回路又はハードウェアを示す。実質上、ハーフトーンドットの中心は、それがメモリ中に格納される場合、起点から或る所定の位置にある。ドットが一旦回転されると、アドレッシング回路の一部である追加的シフト回路を用いて、ドットはその所定の位置からシフトされることができる。図示されるように、レジスタ３３２及び３３４は、ハーフトーンドットが回転された後ハーフトーンドットのロケーションをシフトすることにおいて使用されるように加えられた。オフセット値がレジスタ３０２及び３０４に置かれて、ドットの中心に回転の中心をシフトすることができる。レジスタ３３２及び３３４中に格納されるシフト値は、メモリ１９０をアクセスする直前に、回転されるドットの中心を新たなロケーションにシフトするように使用されることができる。ドットの中心位置をシフトすることに関する１つの利点は、モアレ等の画像の歪みをなくすことである。レジスタ３３２及び３３４に対するランダムな再配置オフセット値を生成するために白色ノイズを用いて、ハーフトーンの配置及びグレー量子化のラウンドオフによりもたらされる体系的なエラーの影響を覆い隠すことを助長することが可能である。理解されるように、ハーフトーンドットの位置をシフトすることには、円形又は対称的なドット、そしてさらには非回転対称のドットが用いられることができる。

【００７６】

図３８～図４１は、ドット平面３４０における楕円形のドット３４２の例としての種々の回転及び配置を示す。図３８は、ドット平面３４０の中心に中心を置く典型的な楕円形ドット３４２の例である。図３９は、その中心の回りで回転されたドット３４２を示す。図

４０は、ドット平面３４０の中心からシフトされた、回転されていない楕円形ドット４１を示す。そして最後に図４１は、ドット平面３４０の中心からシフトされた、回転された楕円形ドット３４２を示す。

【００７７】

【発明の効果】

以上説明したように、本発明によれば、記録媒体上にハーフトーン画像データをレンダリングする超鮮明印刷システムが提供される。

【図面の簡単な説明】

【図１】本発明を実行する設備を備えたゼログラフィックプリンタの単純化された概略図である。

【図２】本発明による単一チャネル型超鮮明画像形成サブシステムのブロック図である。

【図３】本発明による２チャネル型超鮮明画像形成サブシステムの図である。

【図４】図２及び図３で示されるＦＩＦＯ及び位相／解像度コントロール回路に含まれる構成要素を示すブロック図である。

【図５】図３で示されるグレーインタレースフォーマッタに含まれる構成要素を示すブロック図である。

【図６】図２及び図３で示されるリサンプリング補間回路及び位相／解像度コントロール回路に含まれる構成要素を示すブロック図である。

【図７】図６で示されるＹ補間回路、Ｘ補間回路、及びスロープ補間回路に含まれる構成要素を示すブロック図である。

【図８】２次元におけるスロープしきい値処理の概念を示す図である。

【図９】スロープしきい値回路の構成要素を示すブロック図である。

【図１０】ハーフトーンドットの完全な形成を示す概略図である。

【図１１】ハーフトーンドットの形成における１ステップを示す概略図である。

【図１２】ハーフトーンドットの形成における１ステップを示す概略図である。

【図１３】ハーフトーンドットの形成における１ステップを示す概略図である。

【図１４】ハーフトーンドットの形成における１ステップを示す概略図である。

【図１５】ハーフトーンドットの形成における１ステップを示す概略図である。

【図１６】ハーフトーンドットの形成における１ステップを示す概略図である。

【図１７】ハーフトーンドットの形成における１ステップを示す概略図である。

【図１８】ハーフトーンドットの形成における１ステップを示す概略図である。

【図１９】ハーフトーンドットの形成における１ステップを示す概略図である。

【図２０】ハーフトーンドットの形成における１ステップを示す概略図である。

【図２１】ハーフトーンドットの形成における１ステップを示す概略図である。

【図２２】ハーフトーンドットの形成における１ステップを示す概略図である。

【図２３】ハーフトーンドットの形成における１ステップを示す概略図である。

【図２４】ハーフトーンドットの形成における１ステップを示す概略図である。

【図２５】ハーフトーンドットの形成における１ステップを示す概略図である。

【図２６】ハーフトーンドットの形成における１ステップを示す概略図である。

【図２７】ハーフトーン回路のブロック図である。

【図２８】図２７のハーフトーン回路のＸ及びＹアキュムレータのブロック図である。

【図２９】図２８のＸ及びＹアキュムレータにロードされる値をグラフで示す図である。

【図３０】ハーフトーンドットのグラフ図である。

【図３１】ハーフトーンドットのグラフ図である。

【図３２】ハーフトーンドットのグラフ図である。

【図３３】ハーフトーンドットのグラフ図である。

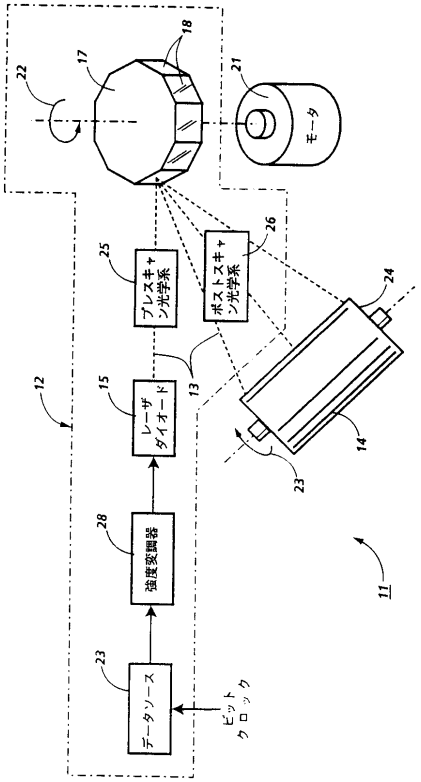
【図３４】ハーフトーンメモリブロックをアドレス指定するのに使用される可変モジュラスアキュムレータのブロック図である。

【図３５】ハーフトーンドットの回転とそれに関連する演算とを示すグラフ図である。

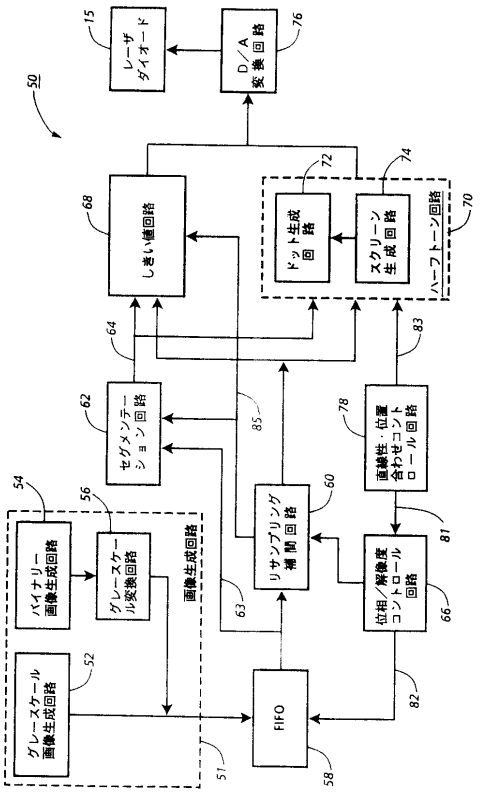
【図３６】本発明によるハーフトーン回路の変更実施例を示すブロック図である。

【図３７】本発明によるハーフトーン回路の別の変更実施例を示すブロック図である。
【図３８】起点に中心を有する、回転していない楕円形のハーフトーンドットのグラフ図である。
【図３９】起点に中心を有する、回転された楕円形のハーフトーンドットのグラフ図である。
【図４０】起点からオフセットされた所にその中心を有する、回転していない楕円形のハーフトーンドットのグラフ図である。
【図４１】起点からオフセットされた所にその中心を有する、回転された楕円形のハーフトーンドットのグラフ図である。
【符号の説明】
１１　ゼログラフィックプリントエンジン
１４　受光体
１５　レーザダイオード
２３　データソース
２８　強度変調器
５０　プリンタ
５１　画像生成回路
５２　グレースケール画像生成回路
５４　バイナリー画像生成回路
５６　グレースケール変換回路
５８　ＦＩＦＯ
６０　リサンプリング補間回路
６２　セグメンテーション回路
６６　位相／解像度コントロール回路
６８　しきい値回路
７０　ハーフトーン回路
７２　ドット生成回路
７４　スクリーン生成回路
７６　Ｄ／Ａ変換回路
７８　直線性・位置合わせコントロール回路
１９０　メモリブロック
１９４　Ｘアドレスアキュムレータ
１９６　Ｙアドレスアキュムレータ

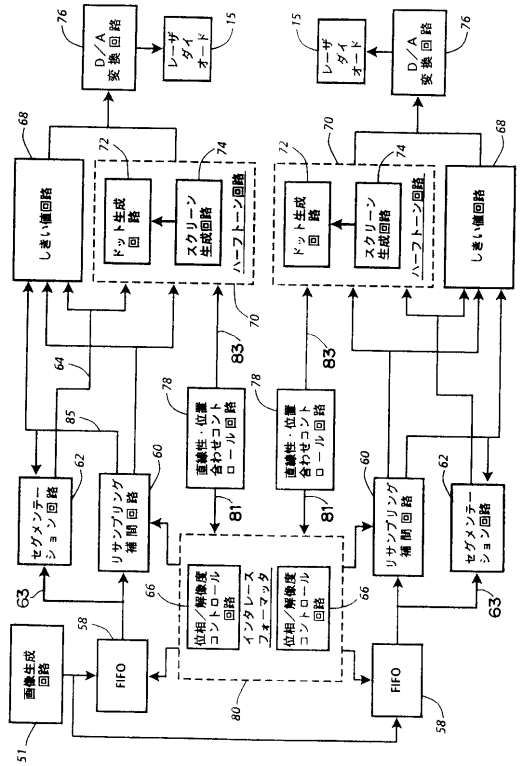
【図１】


モータ
プレスキャン光学系
ポストスキャン光学系
レーザダイオード
強度変調器
データソース
ビットクロック

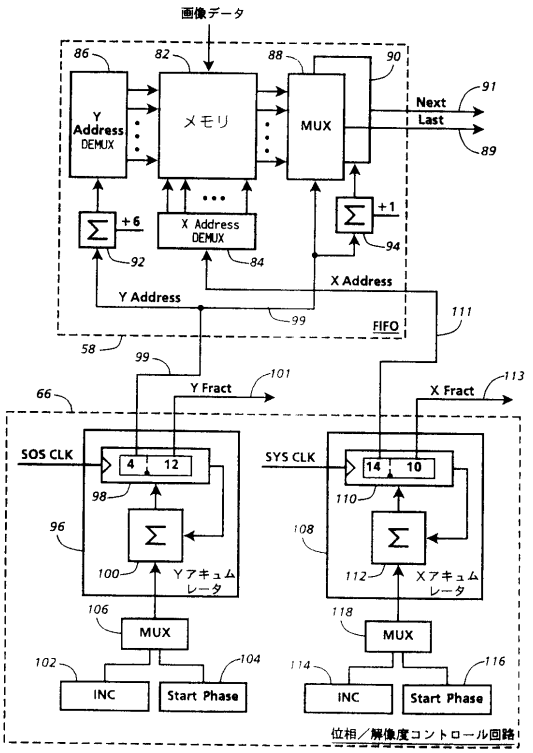
【図２】


レーザダイオード
D/A変換回路
しきい値回路
ドット生成回路
スクリーン生成回路
ハーフトーン回路
セグメンテーション回路
リサンプリング補間回路
直線性・位置合わせコントロール回路
バイナリー画像生成回路
グレースケール変換回路
画像生成回路
グレースケール画像生成回路
位相／解像度コントロール回路
FIFO

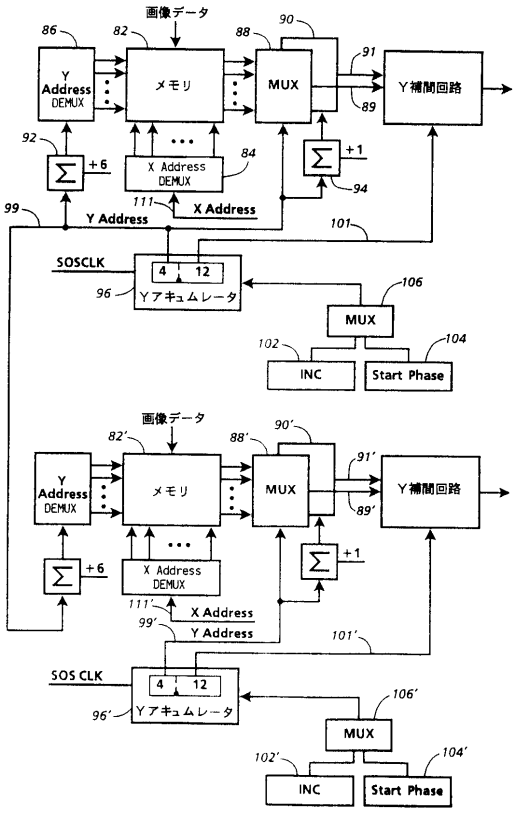
【図３】


D/A変換回路
レーザダイオード
しきい値回路
ドット生成回路
スクリーン生成回路
ハーフトーン回路
セグメンテーション回路
リサンプリング補間回路
直線性・位置合わせコントロール回路
位相／解像度コントロール回路
インタレースフォーマッタ
画像生成回路
FIFO

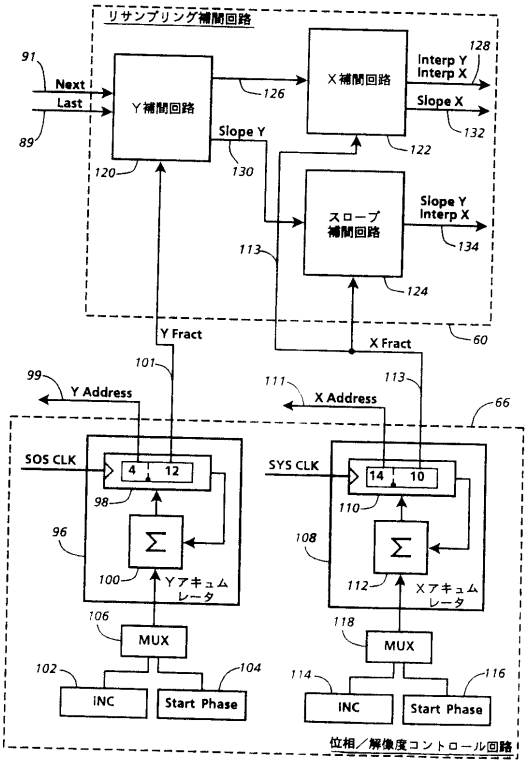
【図４】


画像データ
Y Address DEMUX
メモリ
MUX
Next
Last
+6
X Address DEMUX
+1
X Address
Y Address
FIFO
Y Fract
X Fract
SOS CLK
SYS CLK
4
12
14
10
Yアキュムレータ
Xアキュムレータ
MUX
INC
Start Phase
位相／解像度コントロール回路

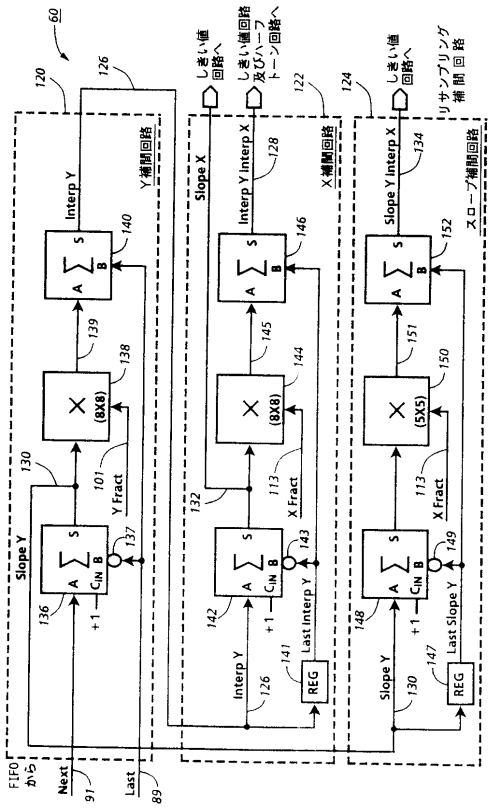
【図５】


画像データ
Y Address DEMUX
メモリ
MUX
Y補間回路
X Address DEMUX
+6
+1
Y Address
X Address
SOSCLK
4 12
Yアキュムレータ
MUX
INC
Start Phase
SOS CLK

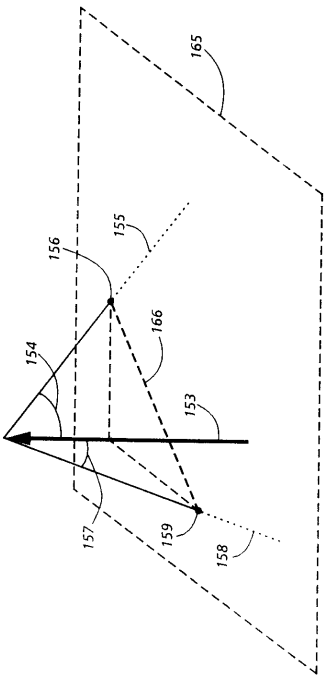
【図６】


リサンプリング補間回路
Next
Last
Y補間回路
X補間回路
スロープ補間回路
Interp Y
Interp X
Slope X
Slope Y
Slope Y Interp X
Y Fract
X Fract
Y Address
X Address
SOS CLK
SYS CLK
4 12
14 10
Yアキュムレータ
Xアキュムレータ
MUX
INC
Start Phase
位相／解像度コントロール回路

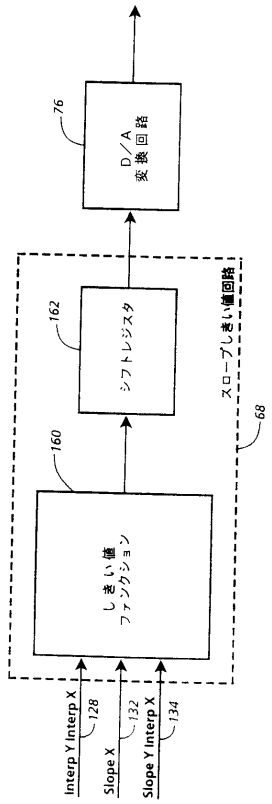
【図７】


Y補間回路
X補間回路
スロープ補間回路
リサンプリング補間回路
しきい値回路へ
しきい値回路へ及びトーン回路へ
Interp Y
Slope X
Interp Y Interp X
Slope Y Interp X
(8X8)
(5X5)
Y Fract
X Fract
Slope Y
Last Interp Y
Last Slope Y
Interp Y
Slope Y
REG
FIFOから
Next
Last

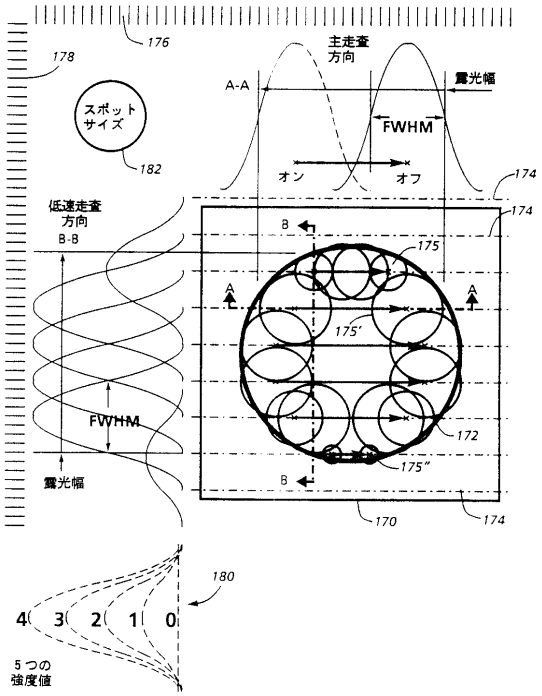
【図８】


165
155
156
166
154
153
157
159
158

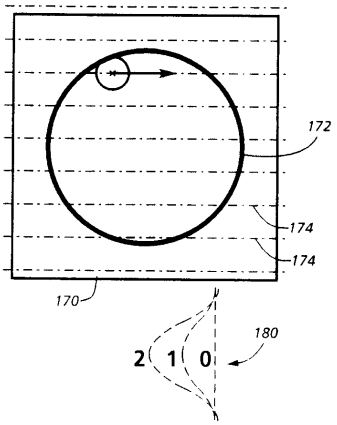
【図９】



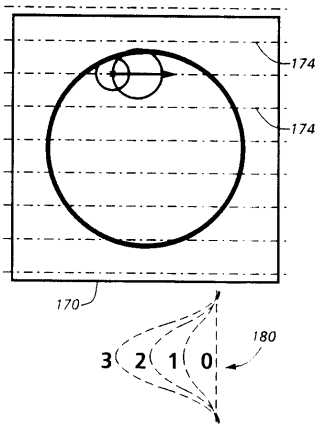
【図１０】



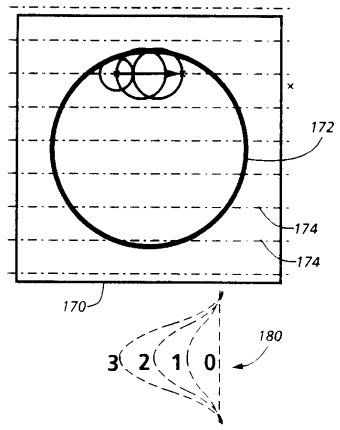
【図１１】



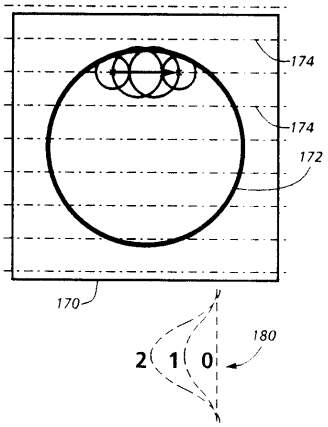
【図１２】



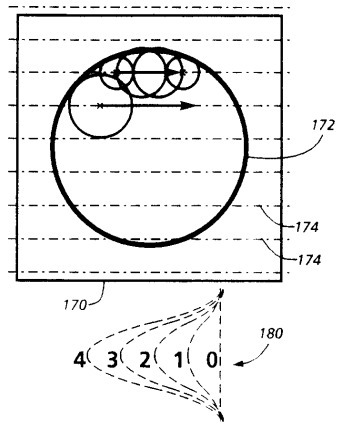
【図１３】



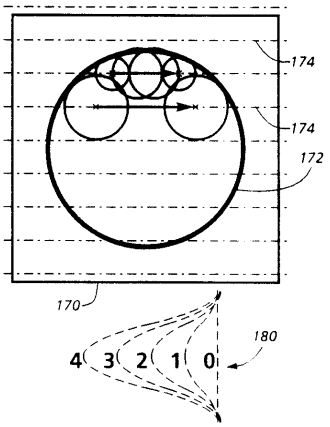
【図１４】



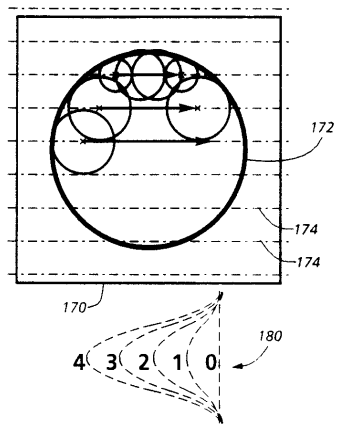
【図１５】



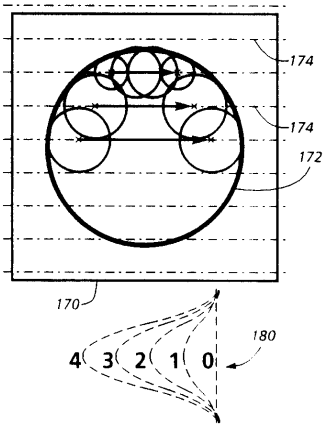
【図１６】



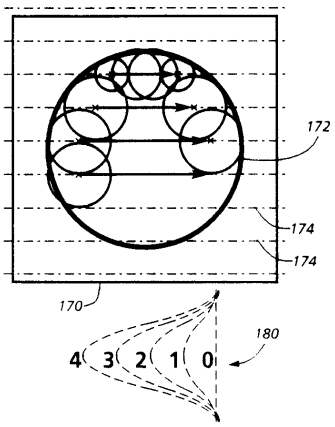
【図１７】



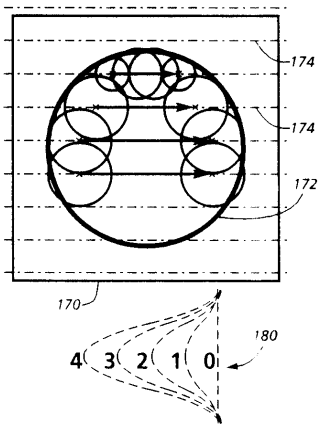
【図１８】



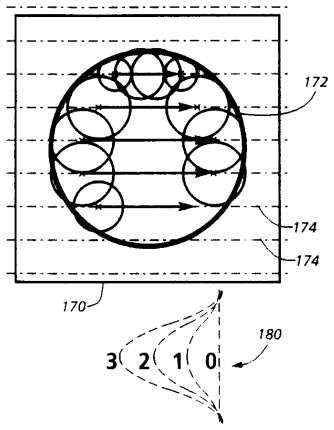
【図１９】



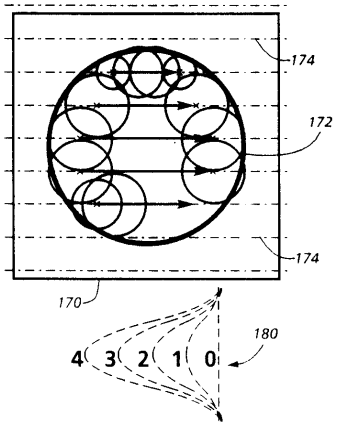
【図２０】



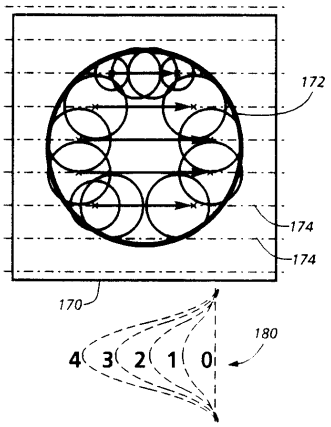
【図２１】



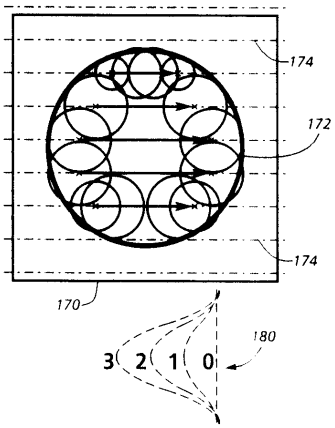
【図２２】



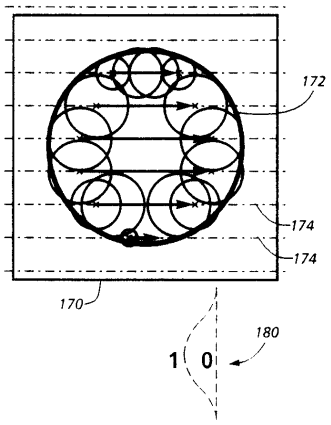
【図２３】



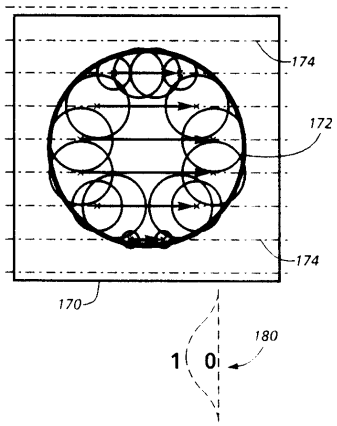
【図２４】



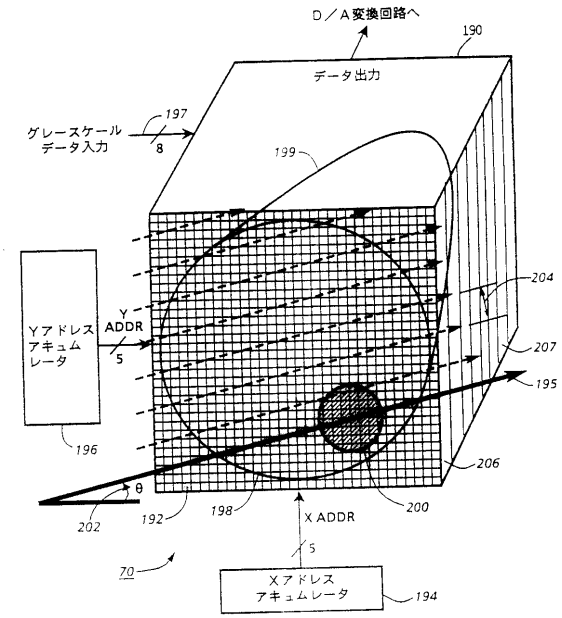
【図２５】



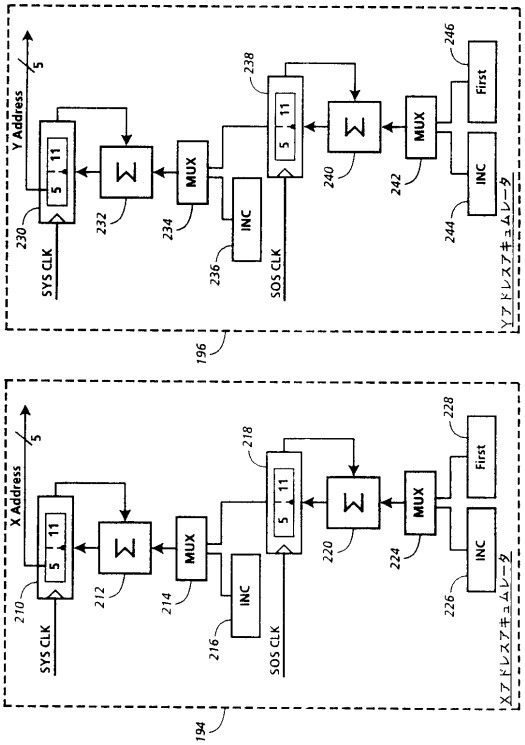
【図２６】



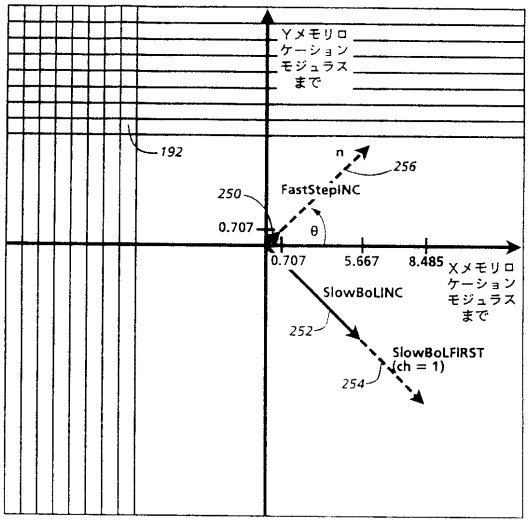
【図２７】



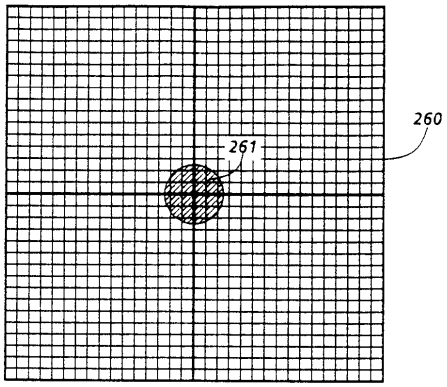
【図２８】



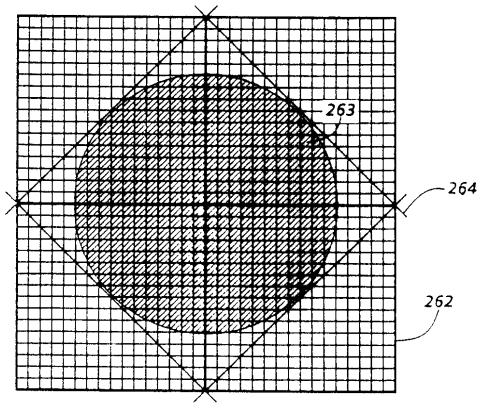
【図２９】



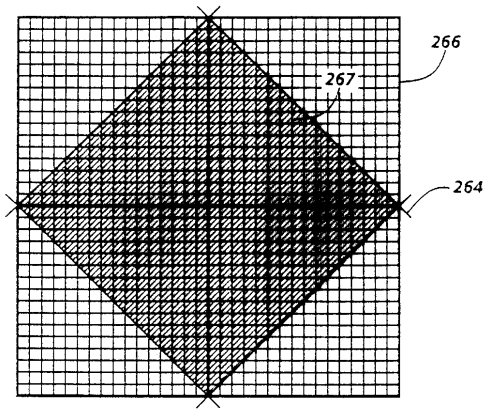
【図３０】



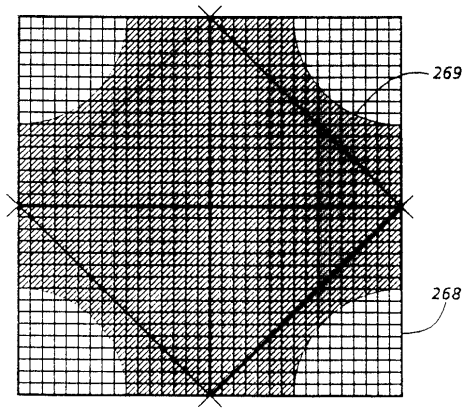
【図３１】



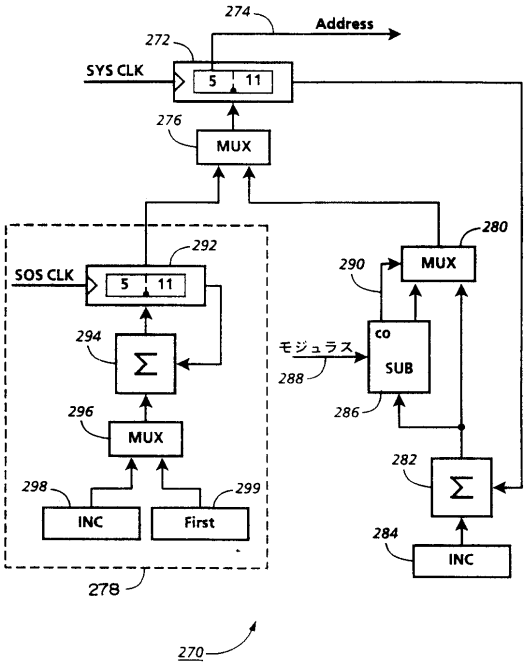
【図３２】



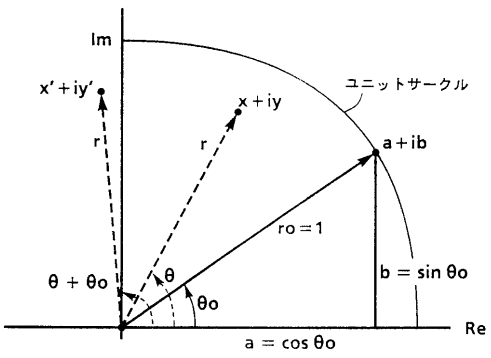
【図３３】



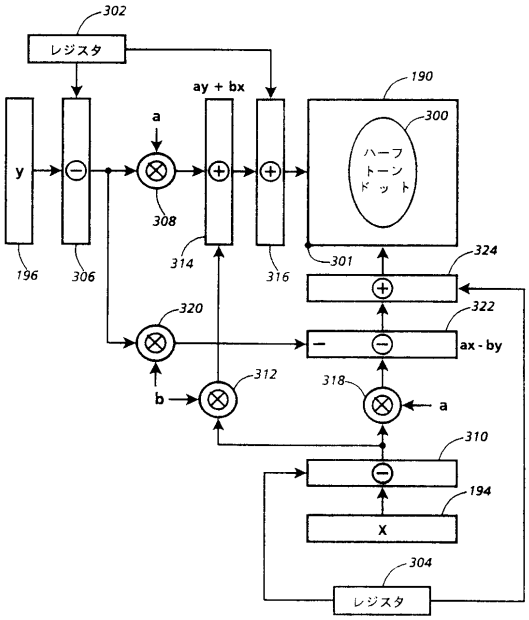
【図３４】



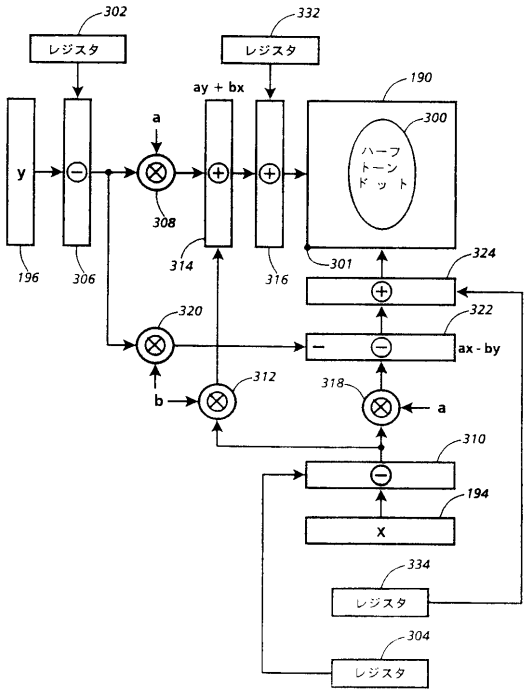
【図３５】



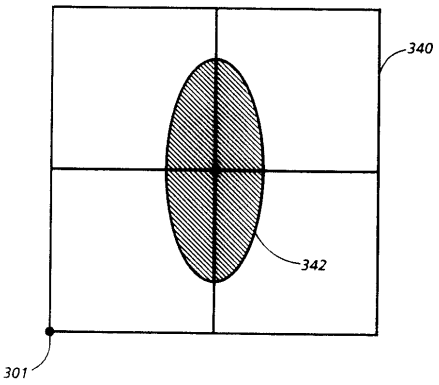
【図３６】



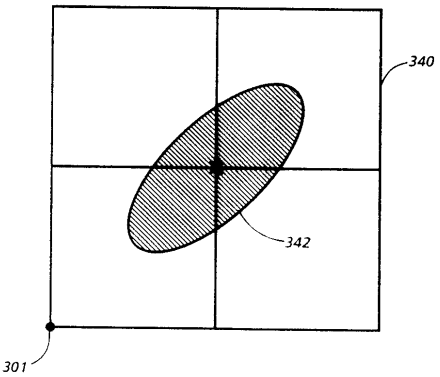
【図３７】



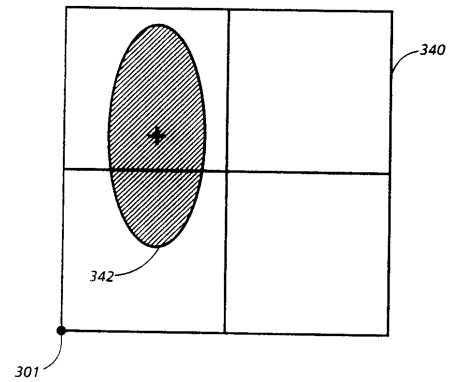
【図３８】



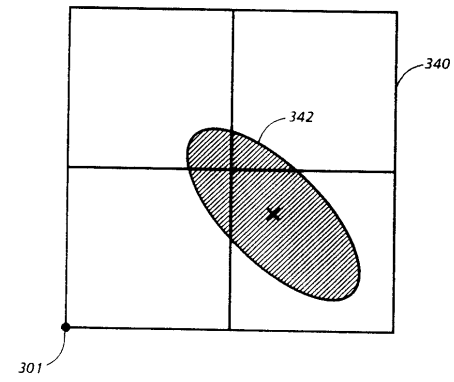
【図３９】



【図４０】



【図４１】



フロントページの続き

審査官　松永　稔

(56)参考文献　特表平０５－５００５８９（ＪＰ，Ａ）
特開平０５－０３１９５８（ＪＰ，Ａ）
特表平０４－５０１７９８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N 1/405
B41J 2/52
G03G 21/00