



(12)发明专利



(10)授权公告号 CN 104685605 B

(45)授权公告日 2017. 05. 17

(21)申请号 201380038733.8

(22)申请日 2013.07.22

(65)同一申请的已公布的文献号

申请公布号 CN 104685605 A

(43)申请公布日 2015.06.03

(30)优先权数据

1257037 2012.07.20 FR

(85)PCT国际申请进入国家阶段日

2015.01.20

(86)PCT国际申请的申请数据

PCT/FR2013/051768 2013.07.22

(87)PCT国际申请的公布数据

W02014/013209 FR 2014.01.23

(73)专利权人 等离子瑟姆有限公司

地址 美国佛罗里达州

(72)发明人 吉勒·包洪 埃曼努埃尔·圭多蒂

扬妮克·皮尤 帕特里克·拉比松

朱利安·里查德 马尔科·塞格斯

文森特·吉罗

(74)专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 穆森 戚传江

(51)Int.Cl.

H01J 37/32(2006.01)

(56)对比文件

US 5296272 A, 1994.03.22,

CN 1806310 A, 2006.07.19,

US 2005/0178746 A1, 2005.08.18,

CN 201228282 Y, 2009.04.29,

审查员 郭冰冰

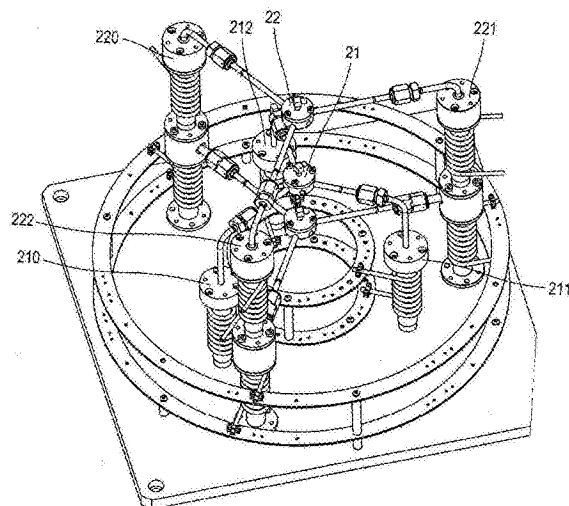
权利要求书2页 说明书12页 附图11页

(54)发明名称

利用等离子体用于处理物体的装置

(57)摘要

本发明涉及利用等离子体用于处理物体(3)的系统(1),包括:包括将待处理的物体置于其上的支撑部的真空处理室(10);至少两个子组件(21,22),每个子组件包括至少一个能够产生等离子体的等离子体源(210,220),并对其提供射频功率 P_i 和独立的流速 n_i 的气体 i 。根据本发明,由一个子组件(21)产生的等离子体是部分离子化的气体,或来自由另一个子组件或多个子组件(22)产生的等离子体的不同化学性质的气体混合物。本发明还涉及采用这样的装置用于选择性处理复合物体的方法。



1. 用于通过等离子体对物体进行处理的系统,所述系统包括:
处理真空室(10),包括将待处理的所述物体置于其上的支撑部;以及
内子组件,包括至少三个放电室,通过第一独立射频功率 P_i 并通过第一独立流速 n_i 的气体 i 供应所述内子组件,
中间子组件,包括至少六个放电室,通过第二独立射频功率 P_i 并通过第二独立流速 n_i 的气体 i 供应所述中间子组件,
其特征在于,由所述内子组件产生的等离子体是部分离子化的气体,或来自所述中间子组件产生的等离子体的不同化学性质的部分离子化的气体混合物,其中所述内子组件旨在处理待处理的所述物体的与所述中间子组件不同的特定区域。
2. 根据权利要求1所述的系统,其中,控制装置通过施加对所述内子组件和所述中间子组件来说特定的射频功率 P_i 和/或气体流速 n_i ,取决于具体参数,来控制所述内子组件和所述中间子组件。
3. 根据权利要求1或2所述的系统,其特征在于,所述内子组件和所述中间子组件沿着同心环布置。
4. 根据权利要求1或2所述的系统,其中,所述内子组件和所述中间子组件平行地布置。
5. 根据权利要求1或2所述的系统,进一步包括外子组件,所述外子组件包括八到十六个放电室,通过第三独立射频功率 P_i 并通过第三独立流速 n_i 的气体 i 供应所述外子组件。
6. 包括至少两种不同材料A和B的复合物的选择性等离子体处理方法,所述方法实施根据权利要求1或2所述的系统并且包括以下步骤:
通过所述内子组件产生第一等离子体并使用所述第一等离子体处理物体的步骤;
包括通过所述中间子组件产生第二等离子体并使用所述第二等离子体处理物体的步骤。
7. 根据权利要求6所述的方法,其中,交替地,或者以部分或全部重叠的方式重复等离子体产生的步骤。
8. 根据权利要求6或7所述的方法,其中,以最多25%的步骤的部分重叠的方式,重复等离子体产生步骤。
9. 根据权利要求6或7所述的方法,包括通过对复合物体蚀刻的处理,所述复合物体包括不同材料A和B的至少两个层,材料A的层至少部分地覆盖材料B的层,所述方法包括:
在表面上包括材料B的所述物体的至少第一区域(31)的使用第一等离子体的处理,使用第一等离子体的所述处理包括材料B的钝化或活化的步骤;以及
在表面上包括材料A的所述物体的至少第二区域(32)的使用第二等离子体的处理,使用第二等离子体的所述处理包括部分或全部去除材料A,当全部去除时,其会导致在表面上包括材料B的区域(32)的形成,
所述方法能够通过使用第一等离子体进行钝化或活化的步骤,或通过使用第二等离子体去除的步骤开始。
10. 根据权利要求9所述的方法,其中,根据在0.5秒至120秒之间变化的周期性,并且优选从2至30秒,以交替方式进行使用第一等离子体的处理步骤和使用第二等离子体的处理步骤,以便重复使用所述第一等离子体的处理步骤和使用所述第二等离子体的处理步骤的顺序多次,直到获得材料A的期望去除。

11. 根据权利要求9所述的方法, 其中, 活化步骤或钝化步骤的持续时间与去除的持续时间的比率在0.1至10之间, 并且优选在0.5至2之间变化。

12. 根据权利要求9所述的方法, 其中, 第一材料A是氮化硅 Si_3N_4 , 第二材料B是硅氧化物 SiO_2 。

13. 蚀刻的复合物体, 能够通过诸如根据权利要求9至12中任一项所限定的方法获得。

14. 根据权利要求13所述的复合物体, 包括集成电路晶片、或用于平面屏幕的基板、或用于太阳能电池的基板、或用于电子印刷装置的基底。

15. 根据权利要求6或7所述的方法, 进一步包括通过外子组件产生第三等离子体并使用所述第三等离子体处理物体的步骤。

利用等离子体用于处理物体的装置

技术领域

[0001] 本发明涉及等离子体表面处理的领域。

[0002] 在本发明的意义上,等离子体表面处理被理解为不同的应用类型。

[0003] 特别地可引用下述应用场合:包括去除(或蚀刻)材料(特别是诸如光敏树脂、金属、介电体或还有半导体等的材料);在硅基底或由金属、介电体或其他物质组成的层中蚀刻诸如空穴或沟槽的结构,典型地,在通过光刻法在光敏树脂中印刷的表面图案的下面;或者,还包括去除牺牲层的应用场合。

[0004] 还可引用下述应用场合:包括清洁残留物和污染物,或活化表面(即,“极端表面”的物理和/或化学改性),或还有表面的钝化(即,保护防止后者的物理和/或化学侵蚀)。

[0005] 这些应用场合特别地涉及微电子学和半导体领域,而且涉及例如平面屏幕(flat screen)和光伏板(photovoltaic panel)的制造。

背景技术

[0006] 等离子体是一种部分离子化的气体,包含带电物质(粒子和电子),以及电中性的但是化学活性非常高的物质,自由基:这些是处于电“激励”状态的原子和分子,但是已经失去了电子。通过这些自由基和/或离子,并通过可控真空环境,等离子体对材料的沉积、蚀刻和去除提供了独特的可能性。

[0007] 目前,对半导体的表面处理存在两种主要类型的等离子体技术:微波等离子体和感应耦合等离子体。这两种技术都具有优点和不便。

[0008] 微波等离子体的主要优点来自于其产生高密度的活性化学物质(大于 10^{17}cm^{-3})的能力。然而,此技术具有许多不便,例如,等离子体源的复杂性和处理的不均匀性。等离子体源使得必须垂直装配许多零件(波导、磁电管等),其产生非常大的体积并使得其不可靠。另外,将等离子体源(相对于气流)定位在上游和处理室的中心,这会使活性等离子体物质的密度不够均匀,从而使(定位在处理室中的)基底在处理室的中心(在那里,活性物质的密度非常高)和其边缘(在那里,活性物质的密度非常低)之间的处理不够均匀。而且,此类型的等离子体源具有这样的不便:需要非常高的电功率,以及非常高的气流速度。所有这些不便都使得此等离子体源很昂贵,难以变得可靠,且难以控制。

[0009] 感应耦合等离子体或ICP比微波等离子体更容易实现:该技术比微波技术更简单,更便宜,且更容易控制。然而,此技术的主要不便来自于由此获得的化学活性物质的低密度(大约 10^{15}cm^{-3})。而且,与微波等离子体类似,ICP等离子体也具有这样的问题:处理室的中心(在那里,活性物质的密度更高)和其边缘(在那里,活性物质的密度更低)之间的活性物质的密度不均匀,这使得表面处理不均匀。用户所需的处理速度使得使用高功率RF发生器,其非常昂贵并会导致加热所使用的气体。最后,根据处理室的设计,ICP源所产生的等离子体会引起基底(例如半导体晶片)的剧烈的离子轰击,不管是否是自发地(RIE模式(活性离子蚀刻))。

[0010] 因此,目前的等离子体技术所遇到的一个主要问题是,活性物质的密度不均匀,且

由此适合于增加基底的尺寸(或按比例增加)的装置的设计也不均匀。实际上,对于进行等离子体技术的设备制造商来说,从200mm直径的基底发展到300mm直径的基底已经很难。基底的此尺寸变化实际上使得等离子体源的尺寸必须大幅度增加,不管是感应耦合等离子体源(或IPC)还是微波源,并且,增加各种零件(例如扩散器或磁铁)会人为地减少不均匀。因此,这两种技术(ICP和微波)现在非常昂贵,并且对于其使用者、半导体的制造商来说比较复杂。因此,从300mm直径的基底通向450mm直径的基底的可行性是一个仍有待解决的复杂问题。

[0011] 而且,ICP和微波源达到不超过30%的气体的离解速度,这导致所产生的活性物质会相当大程度地稀释并会消耗大量气体。其以统一的方式使用:每个处理室使用一个源,并且,该源的尺寸与所处理的体积成正比。所有这些都使得使用许多以高功率运行的源,在基底上产生不需要的热效应,并明显增加这些系统的成本。在这两种类型的源中,微波等离子体在化学活性物质方面的密度最大,但是,处理控制较难。

[0012] 因此,中等化学活性物质密度下的ICP等离子体技术目前是主流的。

[0013] 而且,除了电中性的自由基以外,等离子体还包含离子、电子和损坏半导体装置的高能光子形式的紫外辐射。通过纳米级的小型化,后者变得对此损坏越来越敏感。

[0014] 在基底(或“晶片”)上存在金属会产生与微波耦合的危险,并会产生非常高的损坏部件的加热。这是微机电系统(也用首字母缩略词MEMS表示)的超敏结构,以及将在下一代半导体中实现的三维组件和互连的情况。

[0015] 最后,在集成电路的制造框架中,对等离子体处理来说,半导体装置由非常不同的材料的组件组成,目前尤其是一堆薄层的形式。为了用半导体装置制造集成电路,等离子体处理必须作用于一种材料,不影响该组件的其他材料。这是为什么叫做选择性的原因。此特征不足以在此时提升,这会使部件的性能变差。

[0016] 为了在硅片(其是用于制造集成电路晶片的普通基材)上制造集成电路,纳米级的集成电路的集成度目前使用了具有极端敏感度的表面处理的新技术,不会消耗其他暴露的材料。

[0017] 选择性的问题对于使用“高k”类型的多层金属格栅和介电格栅以及“低k”类型的介电互连网络来说特别重要。这些材料特别容易受到物理-化学改变并会损失材料。

[0018] 到目前为止,可容许由表面处理导致的材料的少量损失,因为其对电路的性能没有负面影响,并且,主要目的是清除所有不需要的材料和污染物。现在,表面处理,特别是剥离和清洗,通过尺寸和/或材料的改变,会直接影响集成电路的性能。因此,表面处理的另一目的是,将这些改变最小化并控制这些改变。

[0019] 因此,由于集成电路的尺寸的减小和使用新的材料(特别是对逻辑元件使用,典型地,是微处理器和存储电路),选择性的问题已经越来越多。

[0020] 因此,目前的等离子体技术遭遇四个主要不便:离子化物质会损坏装置,ICP等离子体的主要的化学活性物质的低密度,低均匀性和缺少选择性。

[0021] 因此,对弥补现有技术的这些缺点、不便和障碍的等离子体处理系统存在实际需求,特别是为了增加等离子体处理的选择性,并为了提高对例如300或450mm的大直径的基底来说主要的等离子体处理的均匀性。

[0022] 本领域的技术人员知道使用多个等离子体源的等离子体处理系统,例如,在美国

专利申请US 2005/0178746中描述的。该系统的目的是,通过将多个发射相同的化学均匀的等离子体的等离子体源平行放置,来提高等离子体处理的均匀性。

发明内容

[0023] 因此,本发明具有下述主题,提供一种用于对物体(object)进行等离子体处理的系统、和一种实现将弥补这些不便的这样的装置的方法。

[0024] 为了解决这些缺点和不便,申请人已经开发了一种等离子体处理的系统,包括处理真空室和多个构造在独立子组件(subassembly)中的等离子体源,每个子组件产生化学上不同的等离子体。

[0025] 更特别地,本发明具有下述主题,一种用于对物体进行等离子体处理的系统,所述系统包括:

[0026] ●处理真空室,包括将待处理的物体置于其上的支撑部(支架,support);以及

[0027] ●至少两个子组件,每个子组件包括至少一个允许产生等离子体的等离子体源,子组件的每个等离子体源独立地通过射频功率(radiofrequency power) P_i 并通过流速 n_i 的气体 i 供应。

[0028] 根据本发明,由子组件产生的等离子体是部分离子化的气体,或来自另一个子组件或多个子组件产生的等离子体的不同化学性质的气体混合物。

[0029] 有利地,子组件的每个等离子体源包括:

[0030] ○进气系统;

[0031] ○以对等离子体惰性的材料的放电室(排放室,discharge chamber),例如,以管的形式;

[0032] ○用于将射频(RF)功率耦接至放电室的装置;以及

[0033] ○出气口(gas outlet)。

[0034] 有利地,控制装置取决于具体结构,通过施加对每个子组件来说特定的射频功率 P_i 和/或气体流速 n_i ,来控制每个子组件。

[0035] 有利地,每个子组件包括对连接至子组件的每个等离子体源的进气口的子组件来说特定的进气口。

[0036] 有利地,每个子组件包括连接至子组件的每个等离子体源的耦接装置(连接装置,coupling device)的导体元件(导电元件)。

[0037] 有利地,子组件以同心环布置。

[0038] 有利地,子组件平行地布置。

[0039] 有利地,在包括至少两个等离子体源的每个子组件中,每个等离子体源包括至少两个串联的放电室(排放室)。

[0040] 本发明还具有下述主题,一种用于处理包括至少两种不同材料A和B的复合物体的选择性等离子体处理方法,所述方法实施根据本发明的处理系统,并包括以下步骤:

[0041] ●通过第一子组件产生第一等离子体并使用所述第一等离子体处理物体的步骤;

[0042] ●通过第二子组件产生第二等离子体并使用所述第二等离子体处理物体的步骤。

[0043] 就复合物体而言,如本发明所限定的,应将其理解为是非常不同的性质的材料的集合,特别地能够采用一堆薄膜的形式。作为能够由本发明的方法处理的复合物体的实例,

可举出半导体装置,特别是包括晶体管结构和材料的硅片(硅晶片,silicon wafer),以及其他由一个或多个氧化硅 SiO_2 层(被氮化硅 Si_3N_4 覆盖)覆盖的集成电路的组成元件。

[0044] 有利地,交替地重复等离子体产生的步骤,或者,以部分或全部重叠的方式进行,以及优选地以最多25%的步骤的部分重叠进行。

[0045] 根据一个特别有利的实施方式,根据本发明的方法可以包括复合物的蚀刻处理,所述复合物包括不同材料A和B的至少两个层,材料A的层至少部分地覆盖(重叠,overlap)材料B的层,所述方法包括:

[0046] ●在表面上包括材料B的物体的至少第一区域的使用第一等离子体的处理,使用第一等离子体的所述处理包括材料B的钝化或活化的步骤,以及

[0047] ●在表面上包括材料A的物体的至少第二区域的使用第二等离子体的处理,使用第二等离子体的所述处理包括部分或全部去除材料A,当全部去除材料A时,这会导致形成在表面上包括材料B的区域,

[0048] 所述处理能够以使用第一等离子体进行钝化或活化的步骤,或以使用第二等离子体去除的步骤开始。

[0049] 作为根据本发明方法的选择性地蚀刻的复合物的实例,可举出隔离片(更特别地,使隔离片变薄或去除),STI(“浅沟槽隔离”)结构(更特别地,全部或部分“拉回”去除STI掩模),晶体管和高级CMOS电路(处理器,存储器),其在氧化硅 SiO_2 (材料B)的层上包括氮化硅 Si_3N_4 (材料A)的层,氮化硅通常是牺牲材料。

[0050] 本发明的方法的此实施方式具有以高蚀刻速度结合高选择性的主要优点。

[0051] 在本发明中,将选择性理解为,目标材料(靶材料)(材料A,例如 Si_3N_4)的蚀刻速度与另一暴露材料或在处理过程中会暴露的材料(这里是材料B,例如 SiO_2)的蚀刻速度的比值,理想地,材料B不应被蚀刻。

[0052] 这是材料的去除(或蚀刻)过程的基本特性,其对“干法”型处理(例如根据本发明的等离子体处理)和对“湿法”处理(例如使用磷酸)一样关键。

[0053] 例如,高级CMOS电路(处理器,存储器)的制造必须以非常高的选择性去除氮化硅 Si_3N_4 ,特别是与 SiO_2 和/或Si相比:去除 Si_3N_4 一定不会损坏其他材料。此时,用来进行去除氮化硅的此步骤的两种方法一方面是使用磷酸的“湿法”处理,另一方面是使用包含气体混合物 $\text{C}_x\text{F}_y\text{H}_z/\text{O}_2/\text{H}_2/\text{N}_2$ 的碳氟化合物等离子体的“干法”等离子体处理。这些目前的方法在去除氮化硅时都不允许实现非常高的选择性,因为它典型地仅是50。

[0054] 而且,通过定向蚀刻之前沉积的 Si_3N_4 层,来制造 Si_3N_4 隔离片。根据Lam公司在2012年4月固态技术学报(journal,Solid State Technology)中发表的科学研究文章“FinFET晶体管的等离子体蚀刻挑战(Plasma Etch Challenges for FinFET transistors)”(第15,16,17和26页),目前的蚀刻方法的主要困难是不消耗硅基底地获得具有非常特定的形状的隔离片。此文章中提出的用于达到此目的的解决方案是,调节等离子体条件(“等离子体参数的时间调制”)。例如,同步脉冲是这样一种技术,其包括接通/断开RF源的功率和具有大约100 μs 的周期的基底载体的RF功率。此类型的定向蚀刻通常用于之后去除隔离片。然而,这种方法具有这样的不便:导致隔离片底部的硅损失,以及切割(facet)相邻的图案,例如有源区域的边缘或格栅的边缘。

[0055] 根据本发明的蚀刻方法解决了现有技术的不便,并允许以高蚀刻速度组合高灵敏

度。

[0056] 有利地,根据在0.5秒和120秒之间变化的周期性,优选地从2至30秒,以交替方式进行使用第一等离子体的处理步骤和使用第二等离子体的处理步骤,以便重复等离子体处理步骤的顺序多次,直到获得材料A的所期望去除为止。

[0057] 有利地,活化步骤(activation step)或钝化步骤(passivation step)的持续时间与去除的持续时间的比率在0.1和10之间变化,优选地在0.5和2之间变化。

[0058] 本发明的主题还是蚀刻的复合物体,可能通过例如如上限定的蚀刻方法获得。其特别地可以是集成电路晶片、或用于平面屏幕(flat screen)的基板(substrate)、或用于太阳能电池的基板、或用于电子印刷装置的基底。

附图说明

[0059] 从作为非限制性实施例给出并且参考附图和实施例的以下描述中将得到本发明的其他优点和特性:

[0060] 图1是根据一个实施方式的处理室的横截面功能图,其与现有技术的等离子体处理系统相应;

[0061] 图2是图1所示的系统的等离子体源的横截面功能图;

[0062] 图3是根据本发明的一个实施方式的两个独立子组件中的等离子体源的结构的功能透视图;

[0063] 图4是根据本发明的另一个实施方式的等离子体处理的系统的等离子体源的透视功能图,包括两个串联的放电室(排放室);

[0064] 图5示出了现有技术的等离子体蚀刻机,其是比较例2中实施的;

[0065] 图6示出了现有技术的另一个等离子体蚀刻机,其是比较例3中实施的;

[0066] 图7示出了通过进行图6(比较例3)的机器的方法来获得的选择性和蚀刻速度;

[0067] 图8示出了作为在比较例3中进行的方法过程中测量的气体混合物的函数的蚀刻速度和选择性发展;

[0068] 图9和图10示出了使用两个根据本发明的、在根据本发明的实施例中实施的装置的等离子体源组件;

[0069] 图11A、11B、11C示出了图10的两个子组件的操作的时间图;

[0070] 图12至图14示出了通过在根据本发明的实施例中描述并实施图9和图10中示意性地示出的装置的方法获得的结果;

[0071] 图15示出了根据所述方法在氧化硅层上蚀刻的结果,氧化硅层与氮化硅重叠用于制造绝缘复合结构。

具体实施方式

[0072] 如图1所示,根据现有技术的用于等离子体处理的装置包括不同的元件:处理室10,等离子体源201,202,203的组件20,散气系统30和/或防止处理室10损坏由每个等离子体源产生的物质的系统,气封系统和泵浦系统40。处理室10由特定处理的材料的室构成,以不会与在等离子体中产生的活性物质相互作用,并且不会与适于期望部件的处理的形状相互作用,该形状可以是圆柱形的、立方体的或其他将允许室的工业使用的形状。处理室的一

个面旨在用于装载。其是“门”。其他面旨在用于使物质进入，其是等离子体源201,202,203所附接的，并且，另一个通常与这些源相对的或处于室10的底部的面其在用于对室进行抽吸。

[0073] 每个等离子体源，例如图2所示的，在这里包括进气系统25，以管201,202,203形式的放电室，以及对等离子体惰性的材料，并且，其直径适于通过经由耦接装置26（例如天线）与几个线圈感应，来优化射频功率的传递，该线圈在上游连接至调谐器和RF发生器，在下游连接至绝缘放电电容器，这些未示出。

[0074] 用于产生等离子体和用于气体循环所必需的处理室10中的真空，通过使用泵40抽吸来获得。泵40是，例如，低真空泵或涡轮分子泵，其连接至室10的底部，通常面向源201,202,203。富含活性物质的气体，在抽吸之前，在室10中循环。

[0075] 在图3中，示出了根据按照本发明的处理系统的一个实施方式的两个独立子组件21,22中的等离子体源的结构的功能透视图。在图3所示的实施方式中，将子组件21,22按照同心环布置。然而，取决于将获得的所需最终结果，其他结构是可能的。

[0076] 每个子组件21,22包括至少一个允许等离子体产生的等离子体源。图3示出，每个子组件包括用于子组件21的三个等离子体源210,211和212和用于子组件22的三个等离子体源220,221,222。在子组件21中，每个源包括单个放电室（在这里，以管的形式），而在子组件22中，每个源220,221和222包括两个串联的放电室（在这里，也以管的形式：如图4所示的管2201和2202）。

[0077] 通过射频功率 P_i 并且通过以流速 n_i 的气体 i 独立地供应子组件的每个等离子体源。通过子组件（例如子组件21）产生的等离子体是部分离子化的气体，或来自另一个子组件22产生的等离子体的不同化学性质的气体混合物。

[0078] 控制装置通过对每个子组件施加射频功率和气体流速，取决于具体结构，控制每个子组件21,22。

[0079] 根据本发明的等离子体处理系统允许通过对这些源的每个子组件施加不同的射频功率和/或气体流速，来彼此独立地控制等离子体源，以便能够控制处理的均匀性，尤其是待处理部件的中心和边缘之间的均匀性。

[0080] 有利地，不同的等离子体源210,211,212,220,221,222的尺寸较小，并具有小尺寸的放电室，在这里是小直径管的形式，从而允许其在子组件中倍增(multiplication)（在源包括单个放电室的情况下，在这里是管的形式），或是源的倍增（在其中源包括串联的放电室的情况下）。

[0081] 另外，源的倍增允许增加由处理室中的所述子组件产生的活性物质的量。其还允许优化处理，甚至对于大直径晶片，允许使处理均匀化。实际上，通过将源的扩散锥适当地组合，使用其重叠和/或其叠加(superposition)，并通过经由对室抽吸来管理气体的循环，可以获得表面的均匀处理。

[0082] 另一方面，可将这些等离子体源放在不同的策略位置中，以便与待处理的形状相应，从而优化其处理或其处理的均匀性。

[0083] 关于独立子组件中的等离子体源的结构，其小体积，以及气体和射频功率中的子组件的独立管理，可以在等离子体处理系统对处理室中的不同的几何形状区域分配不同的子组件。这些区域彼此独立，其在气体和射频功率中或多或少地活化，以便允许控制处理

室10中的局部活化物质的作用。

[0084] 因此,在通过区域并利用独立子组件操作中,可主动地控制该处理的几何形状。

[0085] 此布置不仅允许控制基底(基板)上的处理的均匀性,而且可不限处理物体的尺寸地进行开展,特别是对于从300mm到450mm的晶片的直径,通过依次增加额外的外围区域来实现。

[0086] 对于300mm直径的基底(基板)或晶片,可使用这样的处理系统,其包括,例如,以两个同心环布置的两个子组件,如图3所示。

[0087] 在这里,同心环21包括三个放电室(在这里,以管210,211和212的形式),其包括布置在源的中心,并通过射频功率P1和通过气体供应的等离子体源(通常在一个和六个放电室之间),该气体包括,例如, O_2 、Ar、 CF_4 、 CHF_3 、 NF_3 、 H_2O 、 H_2 、 Cl_2 、 CF_3Br 、 $C_xH_yF_z$ 等的混合物,混合在区(block)F1中,其中,F1实现与流速1.1的气体1,流速2.1的气体2,流速3.1的气体3等,直到流速n.1的气体n的混合操作。

[0088] 第二环22包围中心环,其包括,例如,三个源(但是优选地在四个和八个源之间),每个源包括两个串联的放电室,环22与中心环21同心。对环22的不同的放电室(在这里,以管的形式)供应射频功率P2和在区F2中混合的气体,在这里,是例如气态 O_2 、Ar、 CF_4 、 CHF_3 、 NF_3 、 H_2O 、 H_2 、 Cl_2 、 CF_3Br 、 $C_xH_yF_z$ 等的混合物,其中,区F2实现与流速1.2的气体1,流速2.2的气体2,流速3.2的气体3等,直到流速n.2的气体n的混合操作。

[0089] 还可以使用三个或更多个300mm的区域。

[0090] 对于450mm直径的晶片,有利地,使用相同的原理,可对已经存在的那些添加一个或几个等离子体源的同心环(每个环与一个子组件相对应),取决于均匀性的要求。

[0091] 例如,可使用第三环,包围之前描述的环22,此环包括8个至16个放电室(在这里,以管的形式),对管提供射频功率P3和在区F3中混合的气体,所述气体是例如 O_2 、Ar、 CF_4 、 CHF_3 、 NF_3 、 H_2O 、 H_2 、 Cl_2 、 CF_3Br 、 $C_xH_yF_z$ 等,其中,区F3实施与流速1.3的气体1,流速2.3的气体2,流速3.3的气体3等,直到流速n.3的气体n的混合操作。

[0092] 通过在气体流速F1,F2,F3和射频功率P1,P2,P3方面,独立控制源的不同区域,来确保处理的均匀性。

[0093] 对此,每个环与源的子组件相对应,该子组件包括对所述子组件特定的进气口,连接至所考虑的子组件的每个等离子体源的进气口。控制装置控制每个子组件的进气口中的气体的流速。该控制装置还控制在每个子组件的进气口中注入的气体的混合物。

[0094] 就电气实现方式而言,每个子组件在这里包括连接至子组件的每个放电室(在这里以管的形式)的天线26的导电元件。控制装置控制提供给子组件的导电元件的射频功率。

[0095] 根据有利的布置,另外,转动基底,以使处理速度平均,从而提高均匀性。

[0096] 根据另一个有利的布置,典型地在每个源和处理基底(基板)之间,典型地在处理室10的上部中,添加以阳极化处理的铝或石英的同心环,这些环是莲蓬头(showerhead),例如,目前用在半导体制造设备中的莲蓬头,以在几百个注射点上分配化学物质的注射。这种环形成有刺入其下面的小孔,与待处理基底相对。在本情况中,其允许甚至更大程度地提高处理的均匀性,甚至减小处理300mm和450mm的基底所必需的放电室的数量。

[0097] 根据另一个有利的布置,在处理的均匀性方面,从性能的测量结果来调节气体流速和射频功率的参数。

[0098] 使用用于测量处理(方法)的局部性能的装置,不管是例如直接通过光谱学还是间接通过厚度测量,都可以通过使源的倍增(multiplexing)来主动地校正处理,以便在速度、同质性和均匀性方面优化处理的质量,同时保证处理的无害性。

[0099] 例如,以闭环的形式,或以前馈循环(feed forward cycle)的形式,来进行气流和射频功率的参数的这种调节。

[0100] 前馈调节在这里包括,在处理之前,测量晶片的表面的状态(诸如,例如,树脂的厚度),以便调节处理参数,从而补偿已经存在的非均匀性。

[0101] 闭环在这里包括,在处理之后,测量晶片的表面的状态,以便在处理之后的晶片之前调节处理参数。

[0102] 显著地,所述等离子体处理系统所带来的优点是更好的均匀性和处理速度方面更好的效率。另外,在量、离解速率、化学组成和一些工作区域上的能量方面,源的倍增可允许独立控制活性物质的流量,从而允许处理待主动校正的灵敏组件。因此,该系统允许不限制尺寸地处理基底(基板),这实现了非常大的应用潜力,超过清洗和剥离的应用。

[0103] 该系统还允许使将获得的活性物质的气态通量均匀地分布。其允许提高残余物清洗的效率和蚀刻速度,同时,与目前的性能相比,大幅度增加选择性。

[0104] 该选择性是目标材料(例如氮化硅 Si_3N_4)的蚀刻速度与另一理想地必须不能蚀刻的暴露材料(例如氧化硅 SiO_2)的蚀刻速度的比率。选择性是关键的,并且,随着新一代技术的出现,必须不断增加。具有其多个放电室(在这里以管的形式)的装置,允许通过独立地控制目标材料的蚀刻速度和一种或多种其他暴露材料的蚀刻速度,来增加等离子体处理的选择性。该装置允许获得无限的选择性。

[0105] 特别地,子组件产生的剥离等离子体,以及另一子组件产生的钝化等离子体的交替使用或部分重叠,允许大幅度增加此选择性。

[0106] 实施例

[0107] 产品

[0108] ●硅半导体基底(晶片),覆盖有作为待蚀刻的目标材料的氮化硅(Si_3N_4)的层,并覆盖有作为不被蚀刻的材料氧化硅 SiO_2 的层,或覆盖有前述材料的复合区域;

[0109] ●硅半导体基底(基板)(晶片),覆盖有氧化硅 SiO_2 (不被蚀刻的材料)的层,其覆盖有 Si_3N_4 (待蚀刻的目标材料)的层;

[0110] ●硅半导体基底(基板)(晶片),包括前述叠层的复合区域。

[0111] 试验:选择性的测量

[0112] 对于相同的处理时间,通过在处理之后得到从材料A去除的厚度与从材料B去除的厚度相比的比率,来测量选择性。这也可用两种材料的蚀刻或剥离速度的比率的形式来表示。

[0113] 比较例1

[0114] 覆盖有氮化硅(Si_3N_4)的层的硅的基底和覆盖有氧化硅(SiO_2)的层的硅的基底,已经分别通过磷酸湿法处理来蚀刻。

[0115] 结果

[0116] 获得50:1的选择性。

[0117] 比较例2

[0118] 为了确定SiO₂的蚀刻速度,使用仅以SiO₂覆盖的Si基底,即,SiO₂/Si,从其部分地去除SiO₂。为了确定Si₃N₄的蚀刻速度,使用仅以Si₃N₄覆盖的Si基底,即,Si₃N₄/Si,或最通常使用在SiO₂上具有Si₃N₄的Si基底,即,Si₃N₄/SiO₂/Si,从其部分地去除Si₃N₄。

[0119] 然后,对Si基底上的实际结构施加该处理。该实际结构最通常是复合物,即,由SiO₂区域和Si₃N₄/SiO₂区域构成。该区域的几何形状和地形取决于制造步骤(图15是其实例)。

[0120] 通过在格勒诺布尔的PESM 2012会议期间由IMEC研发中心(IMEC R&D Centre)(比利时)提出的现有技术的等离子体处理,来蚀刻例如上述的试验晶片。在例如图5所示的LAM研究(Lam Research)公司的蚀刻机中,进行等离子体蚀刻处理,该蚀刻机包括单个放电室和单种化学物质。

[0121] 结果

[0122] ●等离子体(所使用的气体混合物)NF₃/O₂/CH₃F

[0123] ●Si₃N₄的蚀刻速度v1 44nm/min

[0124] ●SiO₂的蚀刻速度v2 0.8nm/min

[0125] ●选择性v1/v2 55:1

[0126] 比较例3

[0127] 申请人已经基于包含等离子体源的设备,进行了Si₃N₄的选择性蚀刻实验,该等离子体源包括几个放电室(在这里以管的形式),例如图6所示。在此装置中,放电管(排气管)全部并联连接,并通过单个发电机控制。不可能独立地控制管,也就是说,不可能对不同的管施加不同的射频(RF)功率。在注入到放电管中之前,将O₂、N₂、CF₄等类型的活性气体混合。也不可能将不同的气体注入不同的管中。虽然包括多个放电管,但是,申请人所使用的等离子体源在处理室中产生单种类型的等离子体,就和传统的等离子体源(微波或通过感应耦合)一样。

[0128] 图7示出了作为不同的气体混合物的函数的选择性和蚀刻速度。此图表明:

[0129] ●O₂的添加是增加Si₃N₄的蚀刻速度的主要参数;并且

[0130] ●H₂的添加大幅度提高Si₃N₄:SiO₂选择性,但是Si₃N₄的蚀刻速度保持较低。

[0131] 图8示出了作为气体混合物中的H₂的量的函数的选择性和蚀刻速度。其指出:

[0132] ●Si₃N₄的蚀刻速度和Si₃N₄:SiO₂选择性是紧密相关的:当SiO₂选择性增加时,Si₃N₄的蚀刻速度减小。不可能在传统的等离子体源结构中使二者不相关(de-correlate)(也就是说,在处理室中产生单种类型的等离子体);

[0133] ●对于110:1的选择性Si₃N₄:SiO₂,Si₃N₄的蚀刻速度是大约80 Å/min;

[0134] ●对于大约35:1的选择性Si₃N₄:SiO₂,Si₃N₄的蚀刻速度是大约250 Å/min。

[0135] 因此,这些比较例表明,不可能使高选择性与高蚀刻速度组合(见图8和比较例2中提供的结果)。

[0136] 根据本发明的实施例1

[0137] 使用根据本发明的一个实施方式的等离子体蚀刻方法,来蚀刻例如之前描述的以氧化硅覆盖和/或以氮化硅覆盖(Si₃N₄/SiO₂)的硅的基底,包括重复两个以下基本步骤,直到获得所期望的结果:

[0138] ●钝化步骤:其用来防止(或“钝化”)一些表面受到在蚀刻步骤过程中出现的化学

侵蚀。钝化包括,在基底上沉积例如 $C_xF_yH_z$ (例如, CF_4 、或 C_4F_8 或 C_2F_6 、 CHF_3 、 CH_3F 等) 类型的聚合物,

[0139] ● 去除或蚀刻步骤:其用来部分地或完全地去除(“蚀刻”)材料。在步骤2的过程中,可部分地或完全地去除钝化层,

[0140] 每个步骤的持续时间是几秒的级别,如果不是几十秒,但也会是非常短,0.1s的级别。

[0141] 用根据本发明的等离子体处理装置来进行此方法,该装置包括两个不同等离子体源(在这里,图9中用管1和2表示)的子组件,每个管进行本发明(如图10所示)的步骤(钝化或蚀刻)。在图11A、11B和11C中示出了每个源的操作的时间图,这些图分别是,没有重叠地交替进行去除和钝化的步骤的操作(图11A),部分重叠地进行去除和钝化步骤的操作(图11B),以及全部重叠地进行去除和钝化步骤的操作(图11C)。

[0142] 如图12至图14所示,

[0143] -所述方法允许不明显消耗 SiO_2 地控制 Si_3N_4 的蚀刻速度;

[0144] -对于利用 $CF_4/O_2/H_2$ 等离子体的大约700:1的选择性 $Si_3N_4:SiO_2$, Si_3N_4 的蚀刻速度是大约120 Å/min。

[0145] 因此这些试验表明,根据本发明的等离子体蚀刻方法允许独立地控制 Si_3N_4 和 SiO_2 的蚀刻速度,从而获得非常高的选择性。

[0146] 下面详细描述了根据本发明的蚀刻试验的实验条件,并在图11A、11B和11C中示出。

[0147] 每个管使用的处理:值 最小 最大

[0148] 钝化步骤(管2):

[0149] 条件1

- RF 功率=	120 W	80	360
- 流速 CF_4 =	40 sccm	20	80
[0150] - 流速 H_2 =	13.5 sccm	5	30
- t 开启 ₂ (t_{ON2}) =	20 s	2	35
- 周期 2=	35 s	3	80

[0151] 或

[0152] 条件2

- RF 功率=	360 W	120	360
- 流速 C_4F_8 =	45 sccm	20	50
[0153] - 流速 O_2 =	5 sccm	0	20
- t 开启 ₂ =	20 s	2	35
[0154] - 周期 2=	35 s	3	80

[0155] 或

[0156] 条件3

	- RF 功率=	240 W	120	360
	- 流速 C_2F_6 =	30 sccm	30	70
[0157]	- 流速 O_2 =	0 sccm	0	5
	- t 开启 ₂ =	20 s	2	35
	- 周期 2=	35 s	3	50
[0158]	去除步骤(管1)			
[0159]	<u>条件1</u>			
	- RF 功率=	120 W	120	360
	- 流速 CF_4 =	40 sccm	20	80
[0160]	- 流速 O_2 =	5 sccm	0	10
	- t 开启 ₁ =	15 s	1	35
	- 周期 1=	35 s	3	85
[0161]	或			
[0162]	<u>条件2</u>			
	- RF 功率=	240 W	120	360
	- 流速 CHF_3 =	40 sccm	0	100
[0163]	- 流速 O_2 =	30 sccm	0	60
	- t 开启 ₁ =	15 s	1	35
	- 周期 1=	35 s	3	85
[0164]	<u>其他参数:</u>			
[0165]	-基底(基板)的温度=135℃和150℃之间			
[0166]	-压力=200毫托至1托			
[0167]	-总处理时间=从1分钟到3分钟			
[0168]	-RF功率=50至1000W/放电管,对于由多个放电管构成的子组件,高达5000W			
[0169]	-气体流速=1sccm至5000sccm			
[0170]	-t开启=0.1秒至30秒			
[0171]	<u>在本发明的框架中可使用的其他等离子体气体:</u>			
[0172]	●对于钝化步骤: CF_4 , CHF_3 , CH_3F , C_2F_6 , C_4F_8 , CF_3Br , HBr , 具有或没有 H_2 , 具有或没有 N_2 , 及它们的混合物			
[0173]	●对于蚀刻步骤: CF_4 , CHF_3 , CH_3F , NF_3 , Cl_2 , HBr , SF_6 , 具有或没有 O_2 , 具有或没有 N_2 , 及它们的混合物			
[0174]	●添加气体: O_2 , N_2 , Ar , H_2 , Xe , He			
[0175]	根据本发明的实施例2			
[0176]	从包含覆盖有氧化硅和/或以氮化硅覆盖的硅的基底,选择性地蚀刻氮化硅 Si_3N_4 层,其用作制造所谓的复合STI(浅沟槽隔离)结构的掩模。			

[0177] 为此,将进行实施例1的条件1的钝化和去除的步骤的顺序重复八次,分别是7和15秒的周期。图15A(左侧)中示出了去除之前的复合结构,而在图15B(右侧)中示出了处理之后的复合结构。将氮化硅 Si_3N_4 表示为151,并将氧化硅表示为153。注意到去除(suppression)了氮化硅,但是氧化硅是完整的。

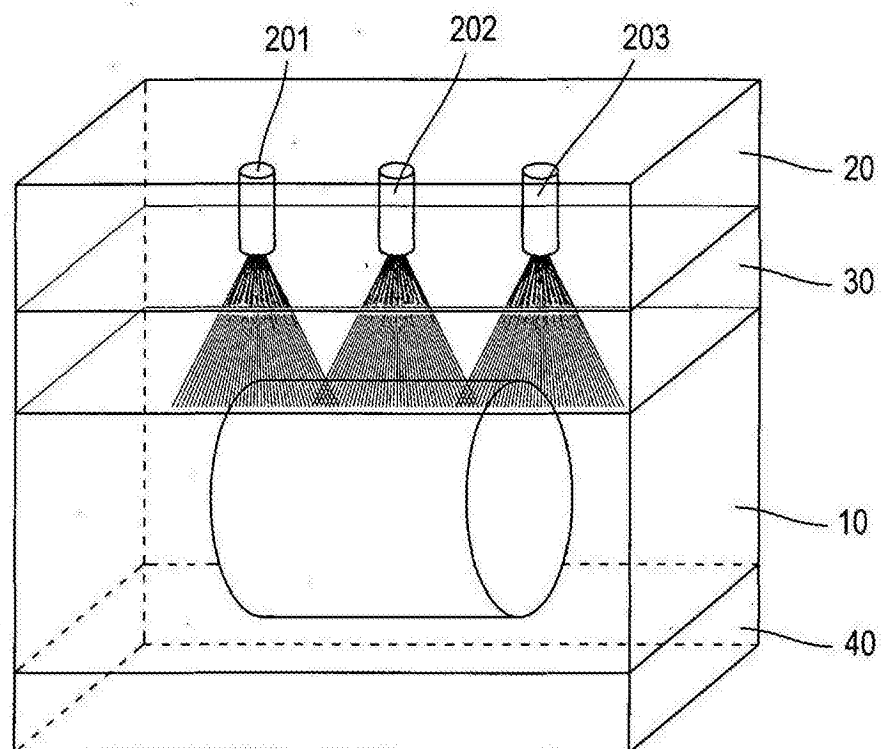


图1 (现有技术)

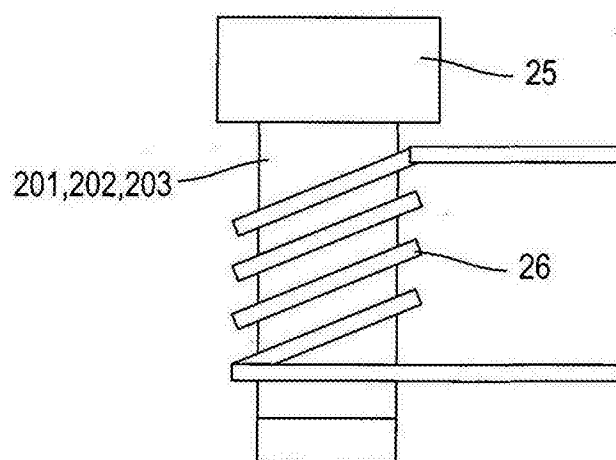


图2 (现有技术)

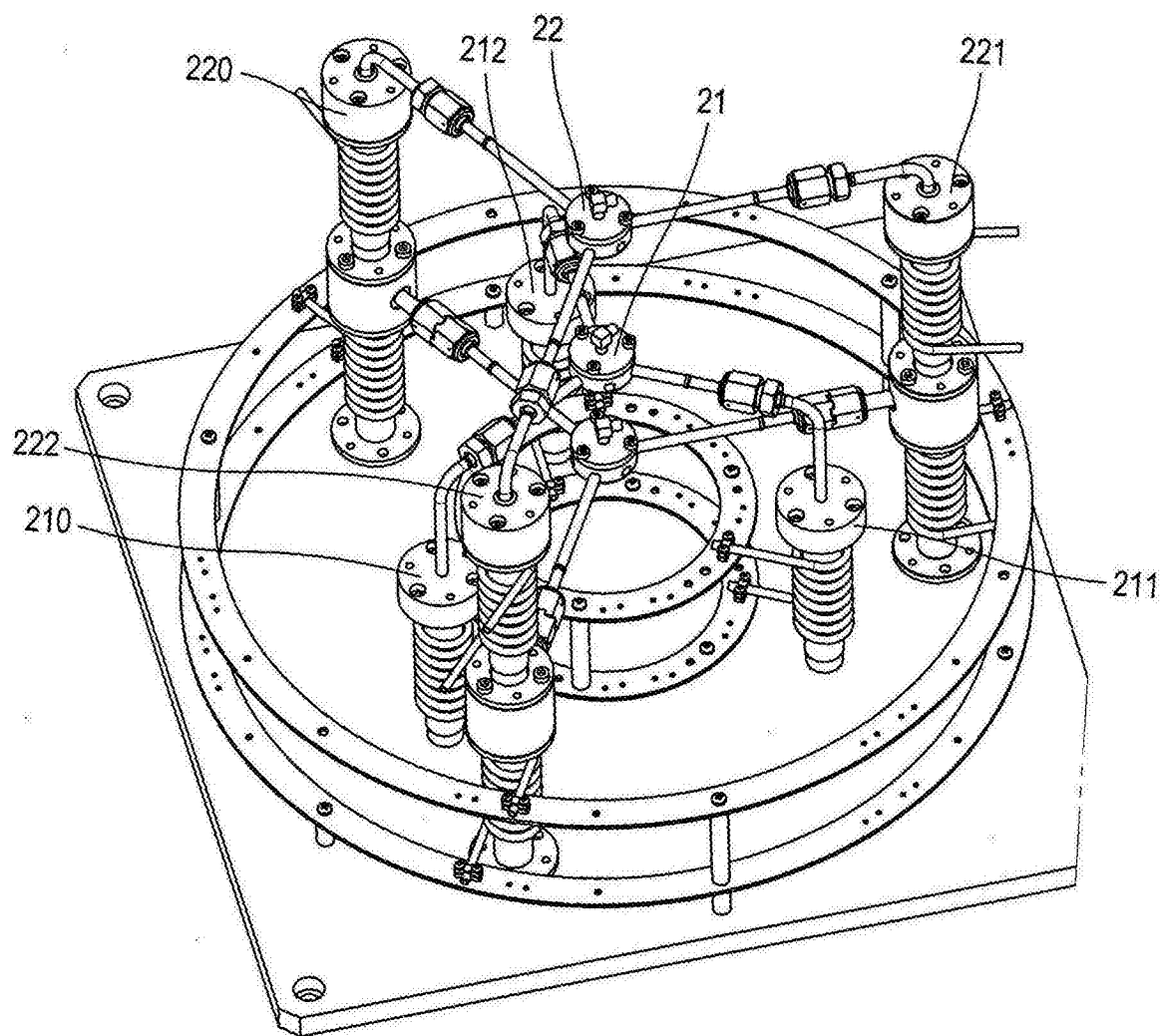


图3

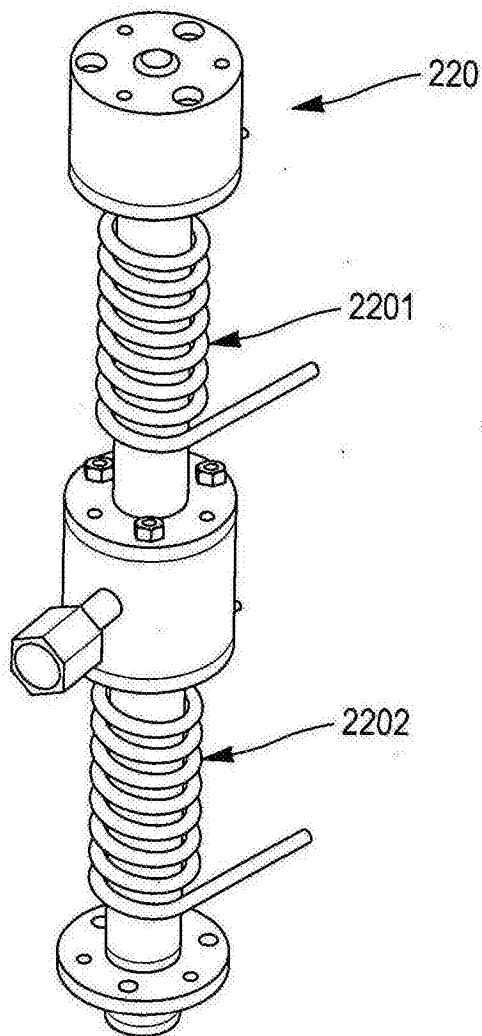


图4

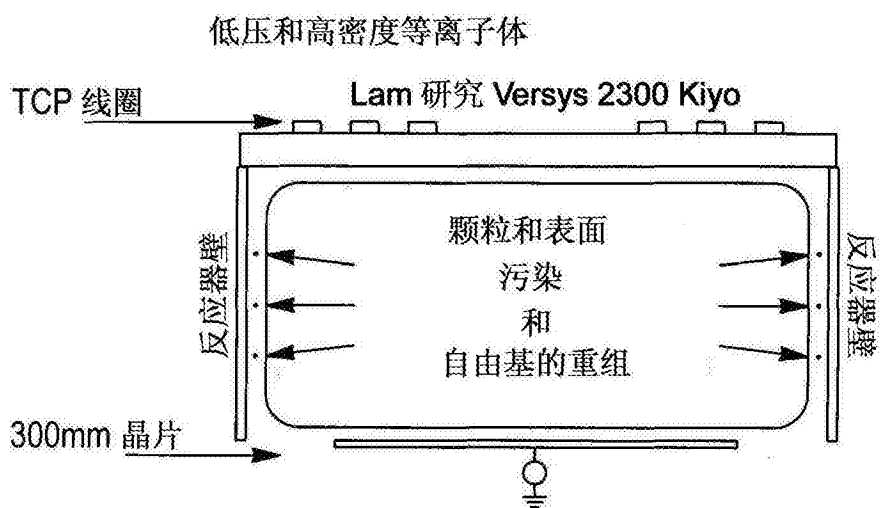


图5 (现有技术)

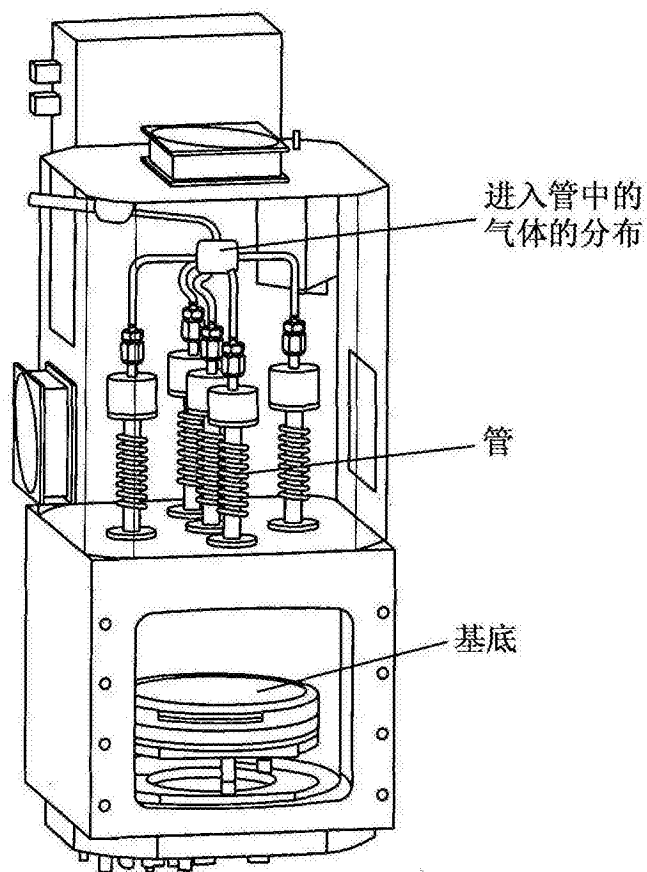


图6 (现有技术)

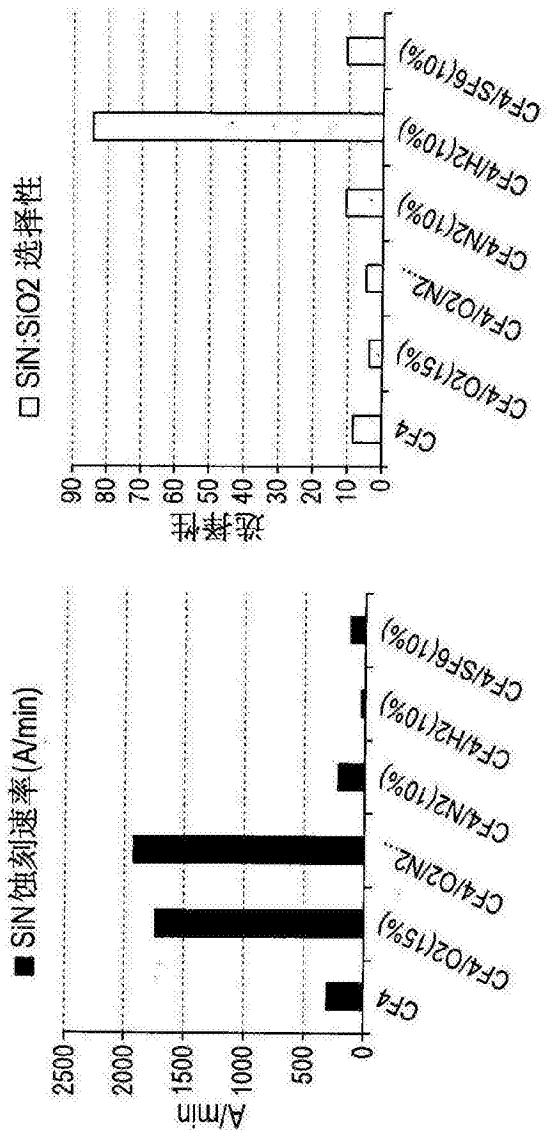


图7 (现有技术)

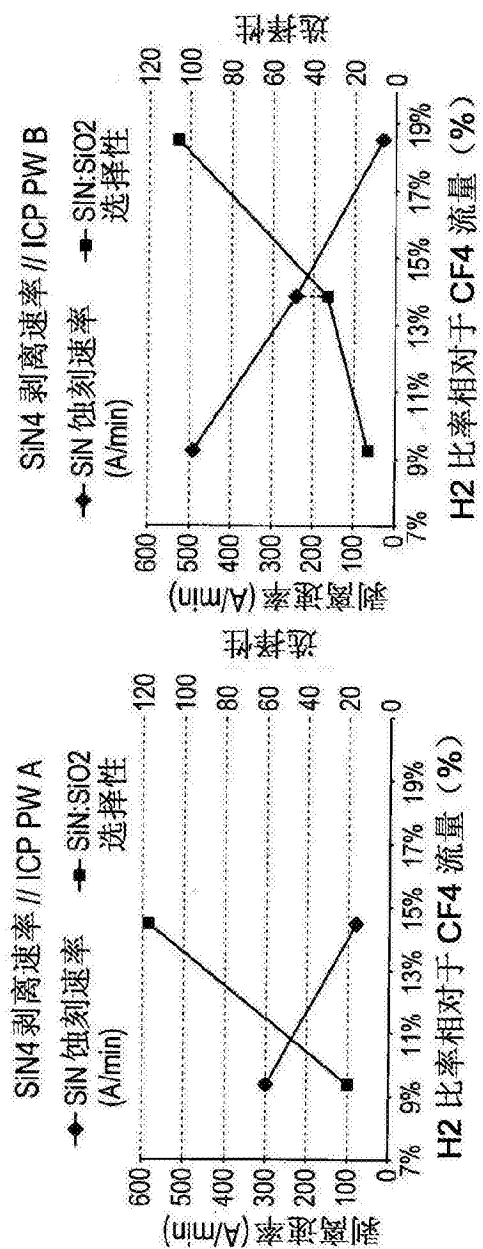


图8(现有技术)

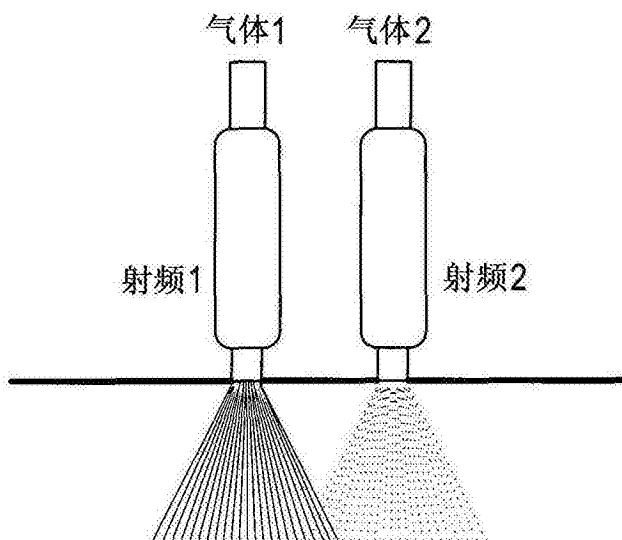


图9

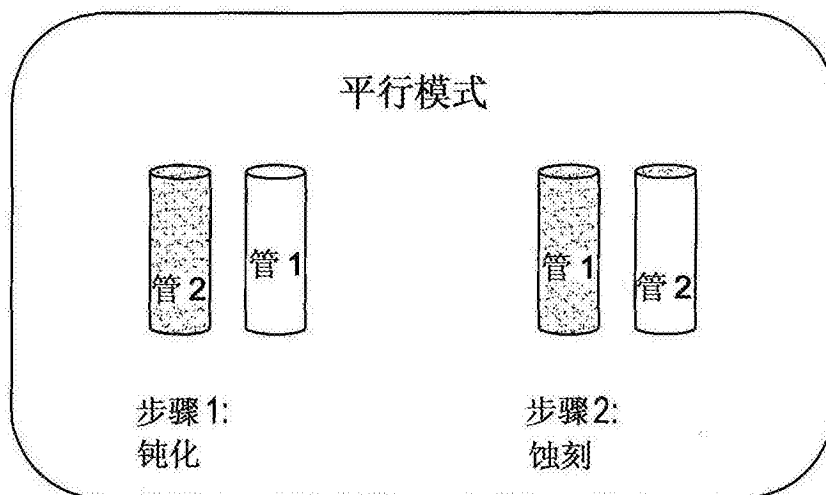


图10

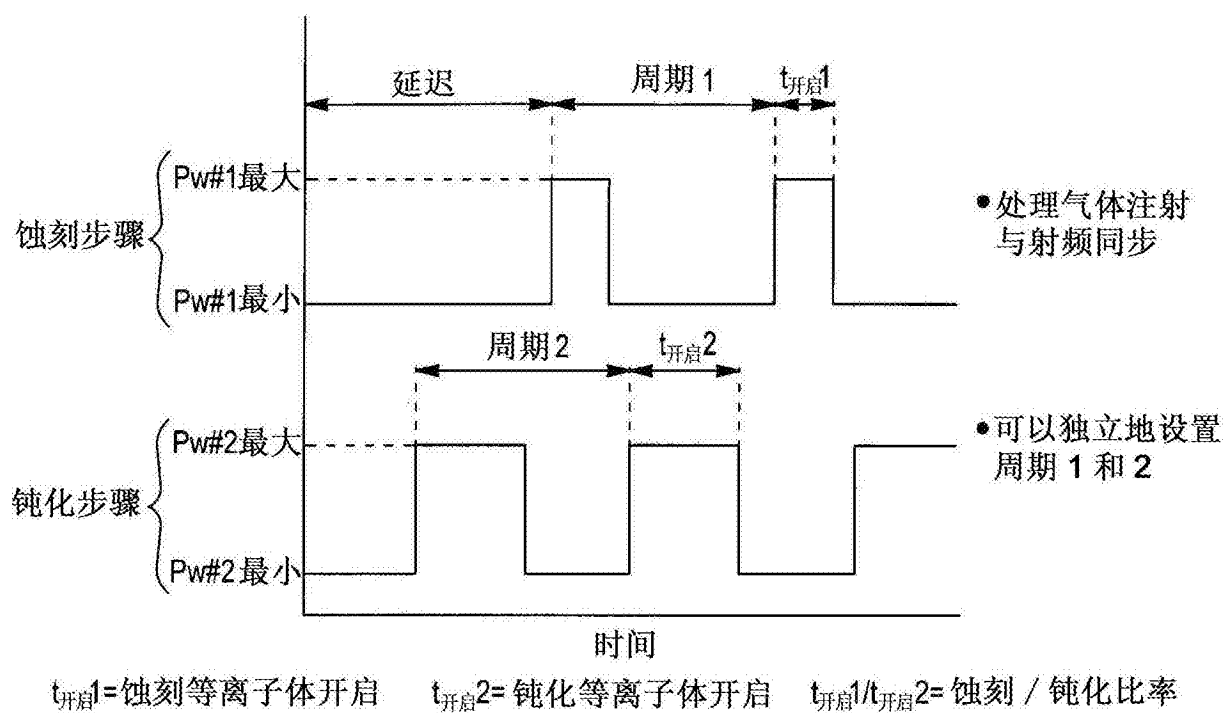


图11A

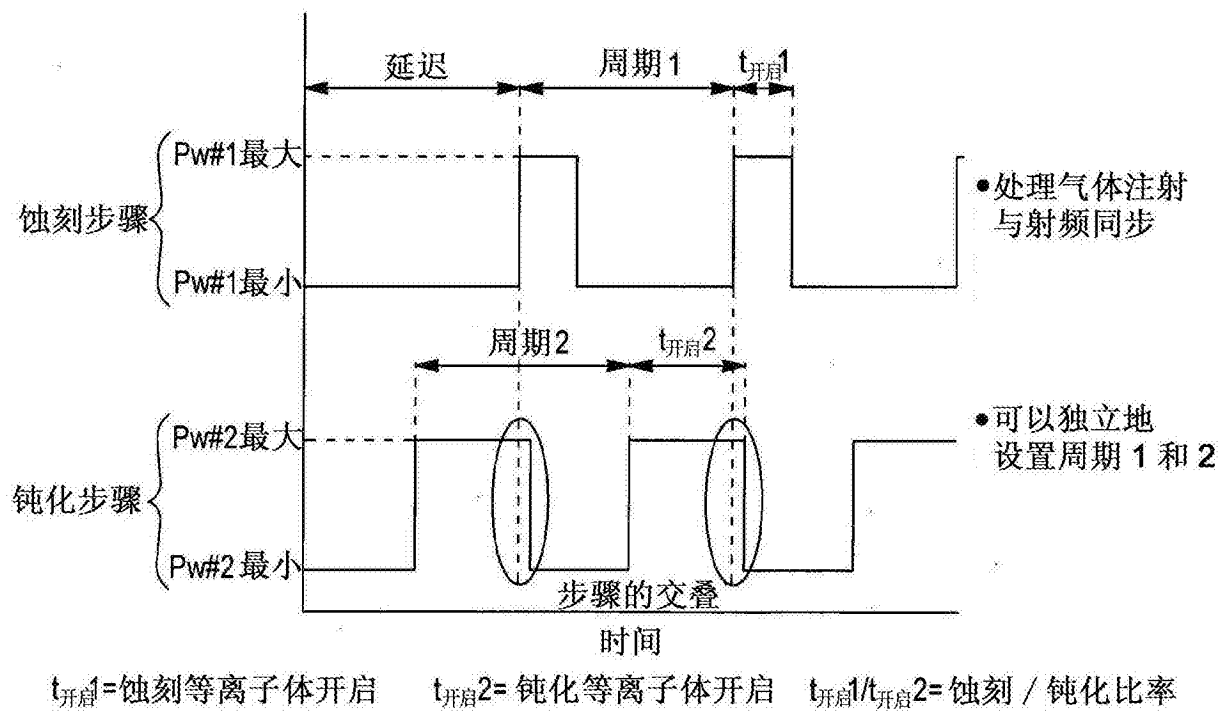


图11B

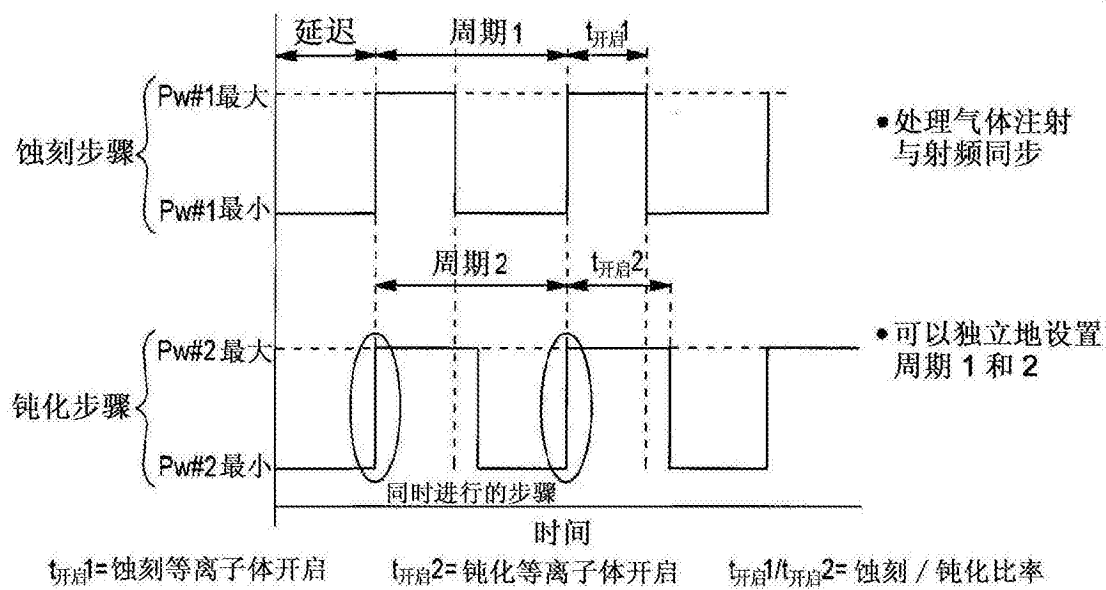


图11C

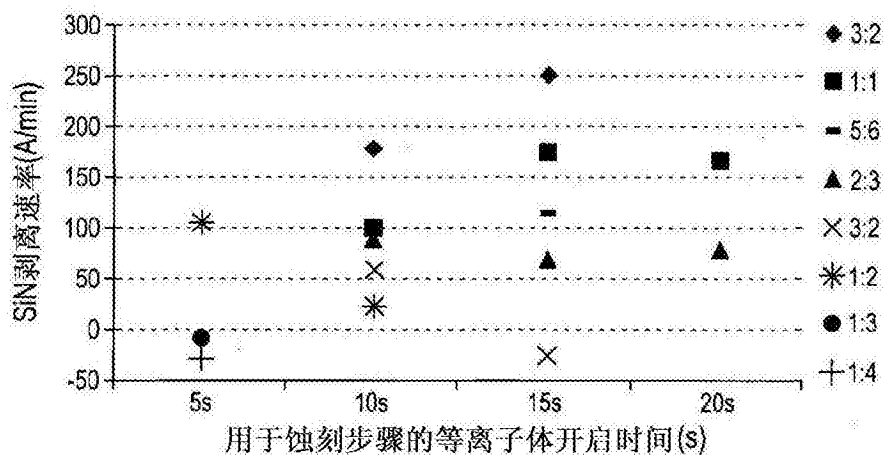


图12

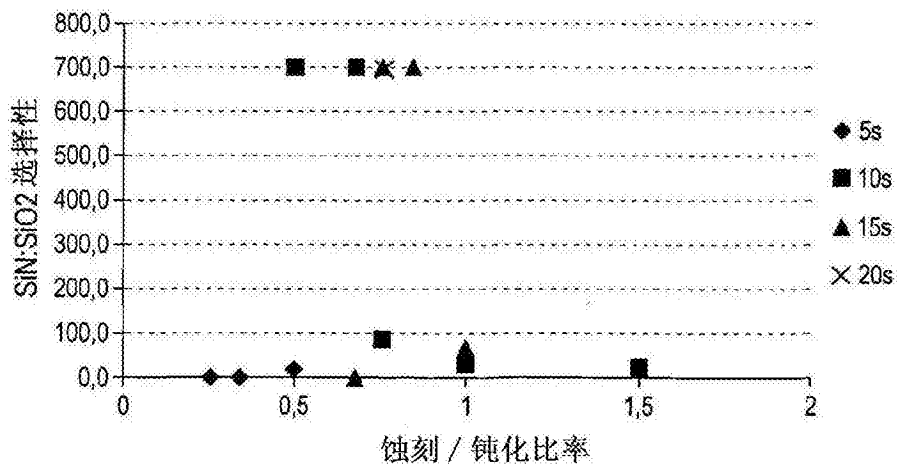


图13

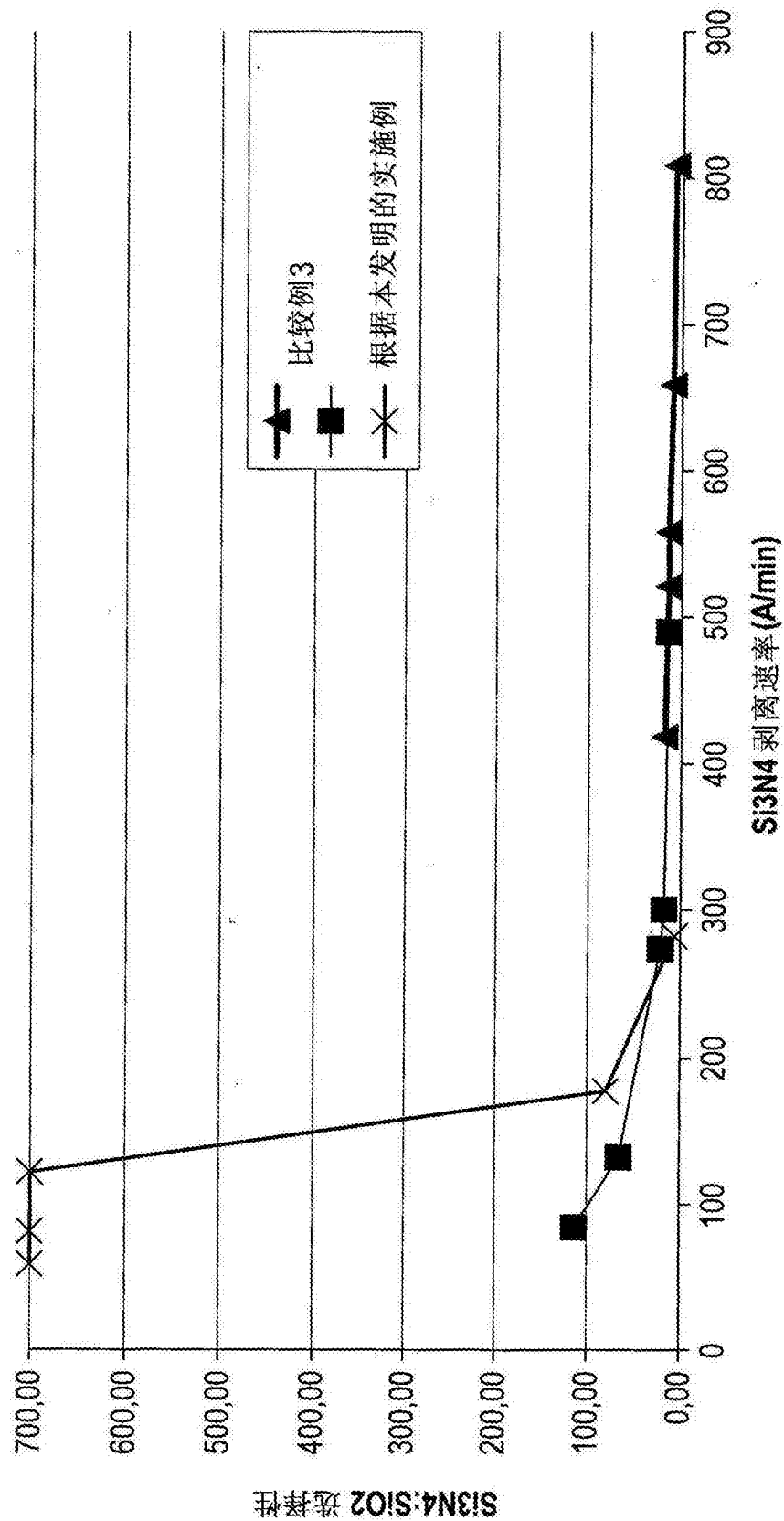


图14

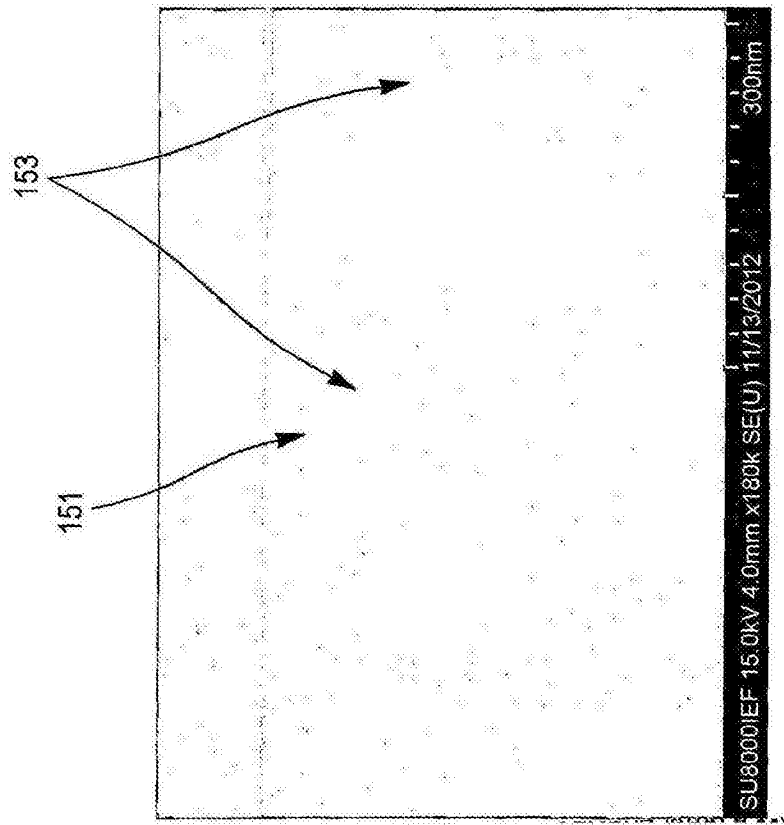


图15A

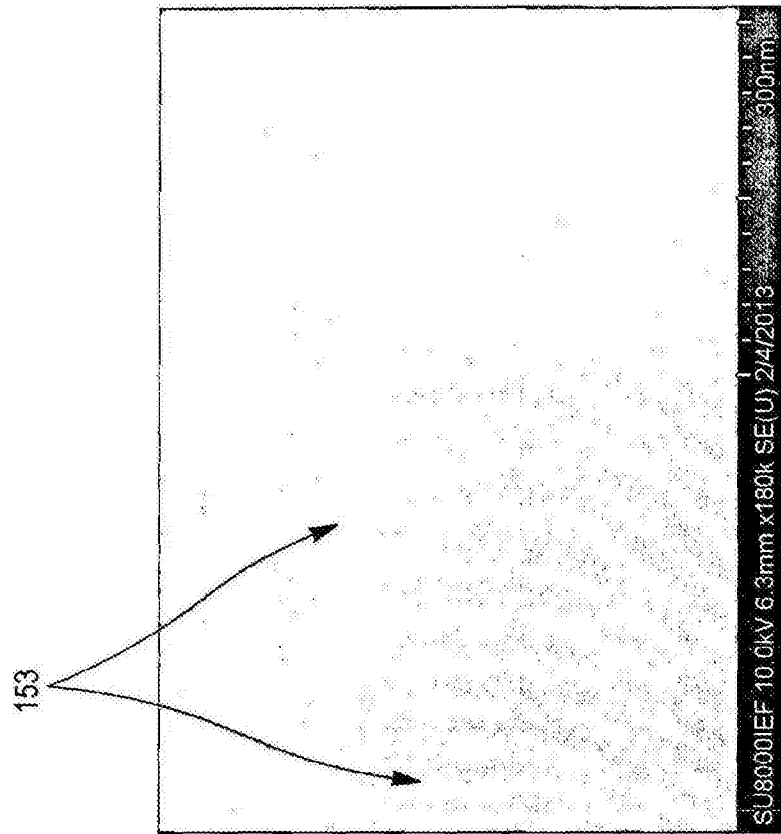


图15B