

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月26日(26.10.2017)



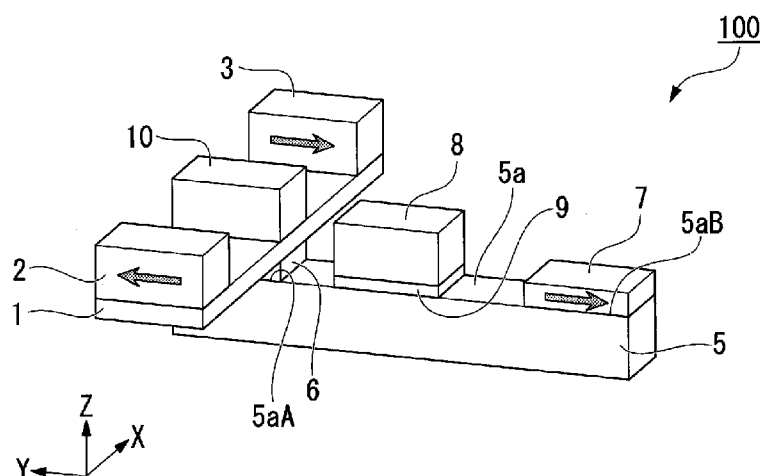
(10) 国際公開番号

WO 2017/183574 A1

- (51) 国際特許分類:
H01L 29/82 (2006.01) H01L 27/105 (2006.01)
G06N 3/06 (2006.01) H01L 43/08 (2006.01)
H01L 21/8239 (2006.01)
- (21) 国際出願番号: PCT/JP2017/015264
- (22) 国際出願日: 2017年4月14日(14.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-085531 2016年4月21日(21.04.2016) JP
- (71) 出願人: T D K 株式会社(TDK CORPORATION)
[JP/JP]; 〒1080023 東京都港区芝浦三丁目
9番1号 Tokyo (JP).
- (72) 発明者: 佐々木 智生(SASAKI Tomoyuki);
〒1080023 東京都港区芝浦三丁目9番1号
T D K 株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.);
〒1006620 東京都千代田区丸の内一丁
目9番2号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: DOMAIN WALL-UTILIZING SPIN MOSFET AND DOMAIN WALL-UTILIZING ANALOG MEMORY

(54) 発明の名称: 磁壁利用型スピนมオスフェトおよび磁壁利用型アナログメモリ



(57) Abstract: This domain wall-utilizing spin MOSFET (100) is provided with: a domain wall drive layer (1) comprising a domain wall (DW), a first region (1a), a second region (1b), and a third region (1c) positioned between the first region and the second region; a channel layer (5); a magnetization free layer (6) provided on a first end (5aA) on a first surface of the channel layer and arranged so as to contact the third region of the domain wall drive layer; a magnetization fixed layer (7) disposed on the second end (5aB) opposite of the first end; and, disposed between the first end and the second end of the channel layer, a gate electrode (8) provided on the channel layer with a gate insulating layer (9) interposed therebetween.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：磁壁利用型スピนมオスフェット(100)は、磁壁(DW)と、第1領域(1a)と、第2領域(1b)と、第1領域および第2領域の間に位置する第3領域(1c)と、を有する磁壁駆動層(1)と、チャネル層(5)と、チャネル層の第1面の第1端部(5aA)に設けられ、磁壁駆動層の第3領域に接するように配置されている磁化自由層(6)と、第1端部の反対の第2端部(5aB)に設けられた磁化固定層(7)と、チャネル層の第1端部及び第2端部の間に、ゲート絶縁層(9)を介して設けられたゲート電極(8)と、を備える。

明 細 書

発明の名称：

磁壁利用型スピンMOSFETおよび磁壁利用型アナログメモリ

技術分野

[0001] 本発明は磁壁利用型スピンMOSFETおよび磁壁利用型アナログメモリに関する。

本願は、2016年4月21日に、日本に出願された特願2016-085531号に基づき優先権を主張し、これらの内容をここに援用する。

背景技術

[0002] 微細化に限界が見えてきたフラッシュメモリ等に代わる次世代の不揮発性メモリとして、抵抗変化型素子を利用してデータを記憶する抵抗変化型メモリ例えば、MRAM (Magnetoresistive Random Access Memory)、ReRAM (Resistance Random Access Memory)、PCRAM (Phase Change Random Access Memory) などが注目されている。

[0003] メモリの高密度化（大容量化）の方法としては、メモリを構成する素子自体を小さくする方法の他に、メモリを構成する素子一つあたりの記録ビットを多値化する方法があり、様々な多値化方法が提案されている（例えば、特許文献1～3）。

[0004] MRAMの一つに、磁壁駆動型あるいは磁壁移動型と呼ばれるタイプがある（例えば、特許文献4）。磁壁駆動型MRAMは、電流を磁壁駆動層（または磁化自由層）の面内方向に流し、スピン偏極電子によるスピントランスファー効果によって磁壁を移動させ、強磁性膜の磁化を書き込み電流の方向に応じた向きに反転させることでデータ書き込みを行う。

特許文献4には、磁壁駆動型MRAMについて、多値記録やアナログ記録の方法について記載されている。

MRAMでは、データの異なる書き込み方法が提案されており、磁壁駆動型MRAM以外にも、磁場書き込み型、ヨーク磁場書き込み型、STT (Spi

n Transfer Torque) 型、S O T (Spin Orbit Torque) 型M R A Mなどが知られている。

[0005] 一方、従来のM O S F E Tをベースとして、ソース電極及びドレイン電極に磁性体を用いることで、通常のM O S F E Tの機能に磁気抵抗効果素子の機能が付加されたスピンM O S F E Tが注目されている（例えば、特許文献5参照）。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開2015-088669号公報

特許文献2：国際公開第2009/072213号

特許文献3：日本国特開2016-004924号公報

特許文献4：国際公開第2009/101827号

特許文献5：日本国特開2009-158592号公報

特許文献6：国際公開第2009/054180号

発明の概要

発明が解決しようとする課題

[0007] 特許文献4には、磁壁駆動型M R A Mについて、多値的あるいはアナログ的に情報を書き込む方法は開示されている。しかし、従来の磁壁駆動型M R A Mでは読み出し時に磁壁駆動層の面内方向に電流を流す必要があるため、読み出し時に流した電流によって磁壁駆動層の磁壁が移動する可能性がある。磁壁駆動層と磁気抵抗効果素子とが重なる部分よりも外側に磁壁が移動すると、磁壁駆動型M R A Mにおいて信号が最終的には0か1のデジタルの信号となり、アナログメモリとして使用することは困難である。

[0008] 逆に、平面視して、磁壁駆動層（または磁化自由層）と磁気抵抗効果素子とが重なる部分よりも外側に磁壁移動が完了していないと、読み込み時に磁壁が移動して誤書き込みや読み出し初期時の信号が変化する。すなわち、従来の磁壁駆動型M R A Mでは、データを多値的あるいはアナログ的に書き

込みはできても、データを安定的に読み出す方法がなかった。アナログ的に書き込んだデータを安定的に読み出すことができれば、多值的に書き込んだデータも安定的に読み出すことができる。

[0009] また、磁壁駆動型MRAM技術とスピンMOSFET技術とを融合することはこれまでに試みられていない。

[0010] 本発明は、上記事情に鑑みてなされたものであり、アナログ記録データを安定的に読み出すことができかつ出力信号を一素子で増幅できる磁壁利用型スピンMOSFETおよび磁壁利用型アナログメモリを提供する。

課題を解決するための手段

[0011] 本発明の第1態様は、磁壁利用型スピンMOSFETであって、磁壁と、第1領域と、第2領域と、前記第1領域および前記第2の領域の間に位置する第3領域と、を有する磁壁駆動層と、チャネル層と、前記チャネル層の第1面の第1端部に設けられ、前記磁壁駆動層の前記第3領域に接するように配置されている磁化自由層と、前記第1端部の反対の第2端部に設けられた磁化固定層と、前記チャネル層の前記第1端部及び前記第2端部の間に、ゲート絶縁層を介して設けられたゲート電極と、を備える。

[0012] 本発明の第2態様は、上記第1態様に係る磁壁利用型スピンMOSFETにおいて、前記磁壁駆動層の前記第3領域の、前記磁化自由層が設けられた第3面の反対の第4面に、平面視して前記磁化自由層と重なる位置に設置された読み出し電極層を備えてもよい。

[0013] 本発明の第3態様は、上記第1又は第2態様に係る磁壁利用型スピンMOSFETにおいて、前記磁化自由層及び前記磁化固定層のうちの少なくとも一方と、前記チャネル層との間にトンネルバリア層を備えてもよい。

[0014] 本発明の第4態様は、上記第1～第3態様のいずれか一態様に係る磁壁利用型スピンMOSFETにおいて、前記磁壁駆動層と平面視して前記磁化自由層と重なる位置に設置された読み出し電極層との間に高抵抗層を備えてもよい。

[0015] 本発明の第5態様は、上記第1～第4態様のいずれか一態様に係る磁壁利

用型スピンMOSFETにおいて、前記磁壁駆動層の長さが60nm以上であってよい。

[0016] 本発明の第6態様は、上記第1～第5態様のいずれか一態様に係る磁壁利用型スピンMOSFETにおいて、前記第1領域に接し、第1の磁化の向きを有する第1磁化供給層と、前記第2領域に接し、前記第1の磁化の向きと反対向きの第2の磁化の向きを有する第2磁化供給層と、をさらに備えてもよい。

[0017] 本発明の第7態様は、上記第6態様に係る磁壁利用型スピンMOSFETにおいて、前記磁壁駆動層、前記第1磁化供給層、前記第2磁化供給層、前記磁化自由層、および前記磁化固定層のそれぞれの磁化の向きが、それぞれの層に平行であってよい。

[0018] 本発明の第8態様は、上記第6態様に係る磁壁利用型スピンMOSFETにおいて、前記磁壁駆動層、前記第1磁化供給層、前記第2磁化供給層、前記磁化自由層、および前記磁化固定層のそれぞれの磁化の向きが、それぞれの層に垂直であってよい。

[0019] 本発明の第9態様は、上記第1～第8態様のいずれか一態様に係る磁壁利用型スピンMOSFETにおいて、前記磁壁駆動層が磁壁トラップ部を有してもよい。

[0020] 本発明の第10態様は、上記第6～第9態様のいずれか一態様に係る磁壁利用型スピンMOSFETにおいて、前記第1磁化供給層又は前記第2磁化供給層のいずれか一方にバイポーラ素子が接続されていてもよい。

[0021] 本発明の第11態様は、磁壁利用型アナログメモリであって、上記第1～第10態様のいずれか一態様に係る磁壁利用型スピンMOSFETを複数備えている。

[0022] 本発明の第12態様は、上記第11態様に係る磁壁利用型アナログメモリにおいて、読み出し時に前記読み出し電極層と前記磁化自由層との間の抵抗変化を読み出す機構を備えていてもよい。

[0023] 本発明の第13態様は、不揮発性ロジック回路であって、上記第1～第1

0 態様のいずれか一項に係る磁壁利用型スピンMOSFETがアレイ状に配置された磁壁利用型アナログメモリと、STT-MRAMとを備え、記憶機能と論理機能を有し、記憶機能として前記磁壁利用型アナログメモリ及び前記STT-MRAMを備える。

[0024] 本発明の第14態様は、磁気ニューロン素子であって、上記第1～第10態様のいずれか一態様に係る磁壁利用型スピンMOSFETを備え、前記磁壁駆動層の前記第3領域が長手方向に並ぶ、第1記憶部と該第1記憶部を挟む第2記憶部および第3記憶部とからなり、前記第1記憶部、前記第2記憶部および前記第3記憶部のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を流すように制御可能な制御回路を有する電流源を備える。

発明の効果

[0025] 上記本発明に係る態様によれば、多値記録データあるいはアナログ記録データを安定的に読み出すことができると共に、出力信号を一素子で増幅することができる。

図面の簡単な説明

[0026] [図1]本発明の一実施形態に係る磁壁利用型スピンMOSFETの一例を模式的に示した立体斜視図である。

[図2]本発明の一実施形態に係る磁壁利用型スピンMOSFETの一例の断面模式図である。

[図3]本発明の一実施形態に係る磁壁利用型スピンMOSFETの他の例の断面模式図である。

[図4A]従来の磁壁駆動型の磁気抵抗効果素子において、磁壁の移動方法を説明するための断面模式図である。

[図4B]図4Aと逆向きに磁壁を移動させる磁壁の移動方法を説明する断面模式図である。

[図5]従来の磁壁駆動型の磁気抵抗効果素子において、読み出し電流の流れる経路を説明する断面模式図である。

[図6A]図2で示した磁壁利用型スピンMOSFETを磁壁駆動層の長手方向の中央線に沿って切った断面において、電流の流れを示す断面模式図である。

[図6B]図6Aとは逆の電流の流れを示す断面模式図である。

[図7]本発明の磁壁利用型スピンMOSFETにおいて、読み出し電流の流れる経路を説明する断面模式図である。

[図8]本発明の他の実施形態に係る磁壁利用型スピンMOSFETにおいて、読み出し電流の流れる経路を説明する断面模式図である。

[図9]本発明の磁壁利用型スピンMOSFETの書き込み及び読み出しの原理を説明する断面模式図である。

[図10]磁化固定層の磁化の向きと平行な部分の面積の割合と磁気抵抗効果素子部の抵抗値との関係を概念的に示すグラフである。

[図11]図1で示した磁壁利用型スピンMOSFETをチャンネル層の長手方向の中央線に沿って切った断面模式図である。

[図12]磁壁利用型アナログメモリ中のセルの要部の磁壁駆動層の長手方向の中央線に沿って切った断面模式図である。

[図13]本発明の磁壁利用型アナログメモリの回路構造の一例を模式的に示した図である。

[図14]本発明の一実施形態に係る磁気ニューロン素子の一例の断面模式図である。

[図15]本発明の一実施形態に係る磁気ニューロン素子を用いた人工的な脳概念を示す図である。

発明を実施するための形態

[0027] 以下、本発明を適用した磁壁利用型スピンMOSFET及び磁壁利用型アナログメモリについて、図面を用いてその構成を説明する。なお、以下の説明で用いる図面は、特徴をわかりやすくするために便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などは実際と同じであるとは限らない。また、以下の説明において例示される材料、寸法等は一

例であって、本発明はそれらに限定されるものではなく、本発明の効果を奏する範囲で適宜変更して実施することが可能である。本発明の素子において、本発明の効果を奏する範囲で他の層を備えてもよい。

[0028] (磁壁利用型スピンMOSFET)

図1は、本発明の一実施形態に係る磁壁利用型スピンMOSFETの一例を模式的に示した立体斜視図である。図2は、図1で示した磁壁利用型スピンMOSFETを磁壁駆動層の長手方向の中央線に沿って切った断面模式図である。

図1及び図2に示す磁壁利用型スピンMOSFET100は、磁壁DWを有し、第1領域1aおよび第2領域1bとそれらの領域の間に位置する第3領域1cとからなる磁壁駆動層1とを備え、また、チャネル層5と、チャネル層5の一面5aの第1端部5aAに設けられた磁化自由層6と、第1端部の反対の第2端部5aBに設けられた磁化固定層7と、チャネル層5の一面5aの第1端部5aA部及び第2端部5aBの間に、ゲート絶縁層9を介して設けられたゲート電極8と、をさらに備え、磁化自由層が、磁壁駆動層の第3領域に接するように配置されている。

図1に示す磁壁利用型スピンMOSFET100はさらに、第1領域1aに接し、第1の磁化の向きを有する第1磁化供給層2と、第2領域1bに接し、第1の磁化の向きと反対向きの第2の磁化の向きを有する第2磁化供給層3と、を備えている。

図1に示す磁壁利用型スピンMOSFET100はさらに、磁壁駆動層1の第3領域1cの、磁化自由層6が設けられた面6aの反対の面6bに、平面視して磁化自由層6と重なる位置に、高抵抗層11を介して設置された読み出し電極層10を備えている。高抵抗層11は磁壁駆動層1よりも電気抵抗率が高い層である。なお、高抵抗層11は、磁壁駆動層1の磁壁を駆動する際に、電流が読み出し電極層10に流れることで磁壁の駆動が阻害されることを防止する層であり、上記防止機能を奏する材料であれば、高抵抗層11の材料に特に制限はない。非磁性の材料でもよい。高抵抗層11は、トン

ネルバリア層であってもよい。従って、高抵抗層 11 は、トンネル電流を流すことができる絶縁材料であってもよい。

また、図 1 に示す磁壁利用型スピノ MOSFET 100 はさらに、磁化自由層 6 と磁壁駆動層 1 との間に、磁気結合層 12 を備えている。磁気結合層 12 は磁化自由層 6 と磁壁駆動層 1 を磁氣的に結合させる層であり、磁性材料であっても良いし、Ru などの RKKY 相互作用によって磁化自由層 6 と磁壁駆動層 1 を磁氣的に結合させるための非磁性材料であっても良い。

図 2 において、各層の積層方向すなわち、各層の主面に直交する方向（面直方向）を Z 方向として定義している。各層は Z 方向に直交する XY 面に平行に形成されている。

[0029] 磁壁駆動層 1 は強磁性体材料からなる磁化自由層であり、その磁化の向きは反転可能である。磁壁駆動層 1 は、磁壁を有し、磁壁を貫通する方向（X 方向）に閾値以上の電流を流すことにより、磁壁駆動層 1 のドメイン（磁区）中で生成されたスピノ偏極電流によって、磁壁を伝導電子が流れる方向に移動させることができる。

[0030] 第 1 磁化供給層 2、第 2 磁化供給層 3 および磁化固定層 7 はいずれも、磁化が固定された強磁性体材料からなる層（強磁性層）である。第 1 磁化供給層 2 及び第 2 磁化供給層 3 は、磁壁駆動層 1 を挟んで磁化自由層 6 と対向するように配置されている。また、第 1 磁化供給層 2 及び第 2 磁化供給層 3 は、磁壁駆動層 1 と磁氣的に結合している。データ書き込み時は書き込み電流が磁壁駆動層 1 の一端から他端に流される。

[0031] 図 2 において、矢印 M1、矢印 M2 および矢印 M3 は各層の磁化の向きを示しており、矢印 M4 および矢印 M5 はそれぞれ、磁壁駆動層 1 のうち、磁壁 DW を境界として第 1 磁化供給層 2 側の部分の磁化の向き、磁壁 DW を境界として第 2 磁化供給層 3 側の部分の磁化の向きを示す。

図 1 及び図 2 に示す例では、磁壁駆動層 1、第 1 磁化供給層 2、第 2 磁化供給層 3、磁化自由層 6 および磁化固定層 7 は、面内磁気異方性（面内磁化容易軸）を有する面内磁化膜であるが、図 3 に示すように、それらの層は垂

直磁気異方性（垂直磁化容易軸）を有する垂直磁化膜であってもよい。面内磁化膜を形成しやすい材料としては例えば、NiFeがある。また、垂直磁化膜を形成しやすい膜としては例えば、Co/Ni積層膜がある。

面内磁化膜を用いると、高いMR比を有し、読み込み時にSTTによる書き込みがされ難いために大きな読み取り電圧を用いることができる。一方、素子を微小化したい場合には磁気異方性が大きく、反磁界が小さい、垂直磁化膜を用いることが好ましい。熱擾乱に対する耐性が大きいため、データが消去されにくくなる

[0032] 以下、従来の磁壁駆動型MRAMについて説明する。

MRAMは、GMR（Giant Magneto Resistance）効果やTMR（Tunnel Magneto Resistance）効果などの磁気抵抗効果を利用する磁気抵抗効果素子をメモリセルとして備える。磁気抵抗効果素子は例えば、非磁性層を介して2層の強磁性層が積層された積層構造を有する。2層の強磁性層は、磁化の向きが固定された磁化固定層（ピン層）と、磁化の向きが反転可能な磁化自由層（フリー層）である。磁気抵抗効果素子の電気抵抗の値は、磁化固定層と磁化自由層の磁化の向きが反平行であるときの方が、それらの向きが平行であるときよりも大きい。MRAMのメモリセルである磁気抵抗効果素子では、上記電気抵抗の値の差を利用して磁化が平行の状態をデータ“0”に、反平行の状態をデータ“1”に対応づけることにより、データを不揮発的に記憶される。データの読み出しは、磁気抵抗効果素子を貫通するように（積層構造を貫くように）読み出し電流を流し、磁気抵抗効果素子の抵抗値を測定することにより行なわれる。一方、データの書き込みは、スピン偏極電流を流して磁化自由層の磁化の向きを反転させることによって行われる。

[0033] 現在主流のデータの書き込み方式として、スピントランスファートルク（Spin Transfer Torque）を利用した「STT方式」が知られている。STT方式では、磁化自由層にスピン偏極電流が注入され、スピン偏極電流を担う伝導電子のスピンと磁化自由層の磁気モーメントとの間の相互作用によって、磁化自由層にトルクが発生し、トルクが十分大きい場合に磁化が反転する。

磁化の反転は電流密度が大きいほど起こりやすくなるため、メモリセルサイズが縮小されるにつれ、書き込み電流を低減させることが可能となる。

[0034] また、S T T方式として、磁気抵抗効果素子を貫通するように書き込み電流を流す方式（例えば、特許文献1）と、磁気抵抗効果素子を貫通させず、磁化自由層の面内方向に書き込み電流を流す方式（例えば、特許文献4）とが知られている。

前者の方式では、磁化固定層と同じスピン状態を有するスピン偏極電子が磁化固定層から磁化自由層へ供給される、あるいは、磁化自由層から磁化固定層に引き抜かれる。その結果、スピントランスファー効果により、磁化自由層の磁化が反転する。上記のように、磁気抵抗効果素子を貫通する書き込み電流の方向により、磁化自由層の磁化方向を規定することができる。なお、前者の方式の磁気抵抗効果素子を複数備える磁壁駆動型磁気メモリは、磁壁駆動型M R A Mと呼ばれる。

[0035] 一方、後者の方式について図4を参照して説明する。図4は、従来の磁壁駆動型の磁気抵抗効果素子の一例を示す断面模式図である。なお、図4において、図1～図3に比べて、磁壁駆動層に対する第1磁化供給層および第2磁化供給層の位置が上下逆であるが、それ自体は技術的な差異を意図していない。

[0036] 図4に示す従来の磁壁駆動型の磁気抵抗効果素子において、データの書き込みは磁壁駆動層1内に形成される磁壁DWを移動させることによって行われる。

図4において、図1～図3と同じ符号の層は同じ機能を有する層である。符号15は、強磁性層であり、非磁性層16を介して、磁壁駆動層1の第3領域上に設けられており、強磁性層15と非磁性層16と磁壁駆動層1の第3領域とからなる磁気抵抗効果素子（以下、「磁気抵抗効果素子部」ということがある）が形成される。

磁壁駆動層1は磁化が互いに略反平行に固定された第1領域1aと第2領域1bと、第1領域1aと第2領域1bとの間に位置する第3領域1cを有

し、第3領域1cの磁化は第1領域1aか第2領域1bのいずれかと略平行方向となる。このような磁化状態の制約によって、磁壁駆動層1内には磁壁が導入される。磁壁は、磁壁駆動層1内にスピン偏極電流を流すことによって位置を移動させることができる。

例えば、図4Aの点線で示す向きに、第2磁化供給層3から磁壁駆動層1へさらに第1磁化供給層2へと電流を流すと、伝導電子は電流の向きとは逆に実線で示す向きに流れる。第1磁化供給層2から電子が磁壁駆動層1へ入ると、電子は第1磁化供給層2及び磁壁駆動層1の第1磁化供給層2と磁気結合したドメインの磁化の向きに対応したスピン偏極電子となる。スピン偏極電子が磁壁に到達すると、磁壁においてスピン偏極電子が持つスピンの磁壁に対してスピントランスファーを起こし、磁壁は伝導電子の流れる向きと同じ向きに移動する。同様に、図4Bの点線で示す向きに、第1磁化供給層2から磁壁駆動層1へさらに第2磁化供給層3へと電流を流すと、伝導電子は電流の向きとは逆に実線で示す向きに流れる。第2磁化供給層3から電子が磁壁駆動層1へ入ると、電子は第2磁化供給層3及び磁壁駆動層1の第2磁化供給層3と磁気結合したドメインの磁化の向きに対応したスピン偏極電流となる。スピン偏極電子が磁壁に到達すると、磁壁においてスピン偏極電子が持つスピンの磁壁に対してスピントランスファーを起こし、磁壁は伝導電子の流れる向きと同じ向きに移動する。

上記のような磁壁の移動により、磁壁駆動層1のうち、強磁性層15の直下の部分の磁化を強磁性層15の磁化の向きと平行の状態にしたり、あるいは、反平行の状態にすることができる。従って、“0”状態と“1”状態との間での情報の書き換えが可能である。

従来の磁壁駆動型の磁気抵抗効果素子を用いたMRAMにおいては、データの書き込み電流は磁気抵抗効果素子部を貫通せず、磁壁駆動層の面内方向（積層方向に平行な方向）に流す（図4参照）。

データの読み出しは、非磁性層16を介した強磁性層15と磁壁駆動層1との間で電流を流し、強磁性層15の磁化と磁壁駆動層1の磁化との相対角

に応じた抵抗の変化を検出することで行う。磁壁駆動層 1 のうち、強磁性層 15 の直下の部分の磁化を強磁性層 15 の磁化の向きと平行の状態のときは低抵抗であり、一方、反平行の状態のときは高抵抗であり、このような抵抗の変化を検知することにより、データが判別される。

[0037] 従来の磁壁駆動型の磁気抵抗効果素子を用いたMRAMにおいては、データの書き込み電流は磁気抵抗効果素子（図3における、非磁性層6を介した磁化固定層5及び磁壁駆動層1からなる積層構造）を貫通せず、磁壁駆動層の面内方向（積層方向に平行な方向）に流す（図4参照）。一方、データの読み出し電流は、図5の1点鎖線で示すように、磁気抵抗効果素子（非磁性層6を介した磁化固定層5及び磁壁駆動層1からなる積層構造）を積層方向に貫通し、その後、書き込み電流が流れる経路の一部を流れる（例えば、特許文献6参照）。すなわち、読み出し電流の経路は、書き込み電流の経路と一部が重なる。この場合、読み出し時に、磁壁駆動層の磁壁駆動の方向（面内方向）に電流を流す必要がある。そのため、得られる出力信号は最終的には0か1のデジタルの信号になる。また、平面視して、磁壁駆動層と磁気抵抗効果素子部とが重なる部分よりも外側に磁壁移動が完了していないと、読み込み時に磁壁が移動して誤書き込みや読み出し初期時の信号が変化するが生じる場合がある。

[0038] 図6A及び図6Bは、図2で示した本実施形態の磁壁利用型スピンMOSFETを磁壁駆動層の長手方向の中央線に沿って切った断面模式図において、電流の流れを示す図である。本実施形態の磁壁利用型スピンMOSFETにおいても、データの書き込み電流は磁気抵抗効果素子部を貫通せず、磁壁駆動層の面内方向（積層方向に平行な方向）に流すことができる点は、従来の磁壁駆動型の磁気抵抗効果素子と同様である。

これに対して、読み出し電流の経路は異なる。すなわち、本実施形態に係る磁壁利用型スピンMOSFETでは、磁壁駆動層1の第3領域1cの、磁化自由層6が設けられた面6aの反対の面6bに、平面視して磁化自由層6と重なる位置に読み出し電極層10を備えているため、読み出し電流は、図

7において2点鎖線で示すように、磁壁駆動層1を面直方向に流れる。従って、読み出し電流は磁壁駆動層の磁壁駆動の方向（面内方向）に流れることがないため、読み込み時の磁壁の移動が抑制でき、また、読み出し電流が流れる磁壁駆動層の距離が短いため、磁気ノイズを低減できる。

[0039] 閾値を超える電流が流れたときに磁壁が移動する。従って、図8に示すように、読み出し電極層を備えない構成でも、読み出し電流の条件を調整することにより、読み込み時の磁壁の移動や磁気ノイズを抑制したデータの読み出しが可能である。

[0040] 図9は、磁壁DWが平面視して、磁化自由層6と読み出し電極層10との間の部分1cAに位置した場合を示す断面模式図である。チャンネル層5、磁化自由層6および磁気結合層12は図示を省略している。

磁壁DWは、磁壁駆動層1の面内方向に書き込み電流（スピン偏極電流）を流すことによって移動させることができる。

磁壁DWの移動方向は、書き込み電流の流す方向によって設定することができる。すなわち、磁壁DWを-X方向に移動させたいときには、スピン偏極した電子の流れが磁壁DWの右方向から当たるように、X方向に書き込み電流（スピン偏極電流）を流す（図4B参照）。逆に、磁壁DWをX方向に移動させたいときには、スピン偏極した電子の流れが磁壁DWの左方向から当たるように、-X方向に書き込み電流（スピン偏極電流）を流す（図4A参照）。

また、磁壁DWの移動量（移動距離）は、書き込み電流の大きさ、時間を調整することによって可変に制御することができる。書き込み電流の大きさ、時間は例えば、パルス数あるいはパルス幅によって設定してもよい。

上記のように、書き込み電流（スピン偏極電流）の流す方向、大きさ、時間、パルス数あるいはパルス幅を調整することによって、磁壁駆動層1中の磁壁DWの位置を所望の位置に移動できる。

[0041] チャンネル層5を介して磁化自由層6と磁化固定層7の間に電流を流すことによって、磁気抵抗効果素子（以下、「磁気抵抗効果素子部」ということが

ある）が形成される。磁気抵抗効果素子部において、磁壁DWの位置によって抵抗値は変わる。また、ゲート電極に電圧を印可することにより、磁化自由層6と磁化固定層7の間の抵抗が変化し、さらに、磁気抵抗出力も変化する磁壁利用型スピનMOSFETが形成されている。

磁壁DWが図9で示す位置にあるときは、磁気抵抗効果素子部は、磁化自由層6と、磁気結合層12と、磁壁駆動層1のうちの磁壁DWから第2磁化供給層3側の部分（磁化の向きが磁化固定層5の磁化の向きと平行な部分）1c bとによって形成される低抵抗部と、磁化自由層6と、磁気結合層12と、磁壁駆動層1のうちの磁壁DWから第1磁化供給層2側の部分（磁化の向きが磁化固定層5の磁化の向きと反平行な部分）1c aとによって形成される高抵抗部との並列回路を備える。

上記構成によって、磁気抵抗効果素子部の抵抗値としてアナログ的な抵抗値を出力できる。また、磁壁DWの位置を複数の位置に設定することにより、その数に応じた多値的な抵抗値を出力できる。

[0042] 図10は、磁化自由層6の磁化の向きと平行な部分1c bの面積（磁壁DWの位置に対応）の割合と磁気抵抗効果素子部の抵抗値との関係を概念的に示すグラフである。

[0043] 従来、磁壁駆動層中の磁壁の位置を所望の位置に移動することによって、多値的な抵抗値あるいはアナログ的な抵抗値を設定する方法はあったが、それを安定的に読み出す方法がなかった。

本実施形態の磁壁利用型スピンMOSFETでは、平面視して磁化自由層6に重なる位置に読み出し電極層10を設ける構造を採用することにより、読み出し電流を、磁壁駆動層を垂直方向に流すことを可能になる。すなわち、読み出し電流（スピン偏極した電子の流れ）を磁壁と平行する方向を流すことにより、読み出し時の磁壁への影響を従来技術に比べて劇的に低減することができる。その結果、従来技術に比べて安定な読み出しが可能である。

[0044] 磁壁駆動層1の材料には、磁化自由層に用いることができる公知の材料を用いることができる。特に軟磁性材料を適用できる。例えば、Cr、Mn、

Co、Fe及びNiからなる群から選択される金属、これらの金属を1種以上含む合金、これらの金属とB、C、及びNの少なくとも1種以上の元素とが含まれる合金等を用いることができる。具体的には、Co-Fe、Co-Fe-B、Ni-Feが挙げられる。

[0045] 磁壁駆動層1の長さ、すなわち、第1領域および第2領域とそれらの領域の間に位置する第3領域を合わせた長さは60nm以上であることが好ましい。通常、60nm未満では単磁区になりやすく、磁壁を有しない場合があるからある。

[0046] 磁壁駆動層1の厚さは磁壁駆動層として機能する限り、特に制限はないが、例えば、2～60nmとすることができる。磁壁駆動層1の厚さが60nm以上になると、積層方向に磁壁が出来る可能性がある。しかしながら、積層方向に磁壁が出来るか否かは磁壁駆動層の形状異方性とのバランスによって生じるため、磁壁駆動層1の厚さが60nm未満である限りではない。

[0047] 磁壁駆動層1は、層の側面に磁壁の移動を止める磁壁トラップ部を有してもよい。磁壁トラップ部の具体的な構成としては公知の構成、例えば、凹凸、溝、膨らみ、くびれ、切り欠きなどを用いることができる。このような磁壁トラップ部を備えることにより、磁壁を止める（ピンする）ことができ、閾値以上の電流を流さないとそれ以上磁壁が移動されない構成とすることができる。上記構成によって、出力信号をアナログ的ではなく、多値化することができる。

例えば、磁壁トラップ部を所定の距離ごとに形成することにより、磁壁をより安定的に保持することができ、安定的な多値記録を可能にし、より安定的に多値化された出力信号を読み出すことを可能にする。

[0048] 磁壁駆動層1のうち、平面視して磁化自由層6に重なる部分の厚さが他の部分よりも厚くてもよい（図14参照）。磁壁が磁化自由層6に重なる部分を移動する際、磁壁の断面積が増大するため電流密度が減少し、磁壁の駆動速度が遅くなる。これによって、出力のアナログ値を制御しやすくすることができる。また、このような構造を作成する場合、磁壁駆動層1、磁気結合

層 1 2 及び磁化自由層 6 を連続成膜で作成し、余計な部分を削り取ることによって形成することができる。連続成膜を実施した場合には接合する層の間の結合が強くなり、より効率の高い磁気結合や出力を得ることができる。

[0049] 磁化自由層 6 の材料には、磁化自由層に用いることができる公知の強磁性材料を用いることができる。例えば、C r、M n、C o、F e 及び N i からなる群から選択される金属、これらの金属を 1 種以上含む合金、これらの金属と B、C、及び N の少なくとも 1 種以上の元素とが含まれる合金等を用いることができる。具体的には、C o - F e、C o - F e - B、N i - F e が挙げられる。

[0050] 磁化自由層 6 の磁化の向きを積層面に対して垂直にする場合には、磁化自由層 6 の厚みと磁壁駆動層 1 の厚みの和が 2. 5 n m 以下とすることが好ましい。磁化自由層 6 と磁気結合層 1 2 の界面で、磁化自由層 6 に垂直磁気異方性を付加することができる。また、垂直磁気異方性は磁化自由層 6 と磁壁駆動層 1 の膜厚の和を厚くすることによって効果が減衰するため磁化自由層 6 の膜厚と磁壁駆動層 1 の膜厚の和は薄い方が好ましい。

[0051] 磁気結合層 1 2 の材料としては、非磁性の公知の材料を用いることができる。

R u の場合は膜厚によって磁化自由層 6 と磁壁駆動層 1 の結合の力を変化させることができ、例えば、0. 4 n m の場合は反強磁性的な結合を強くすることができる。

また、磁気結合層 1 2 は強磁性材料も用いることができる。

[0052] 磁化自由層 6 及び磁化固定層 7 のうちの少なくとも一方とチャネル層 5 との間にトンネルバリア層を備えてもよい。このトンネルバリア層を備えることにより、注入されたスピンの注入した電極に戻ってくる効果を抑制して、より大きな出力電圧を得ることができる。

トンネルバリア層の材料としては、トンネルバリア層に用いることができる公知の絶縁材料を用いることができる。例えば A l₂O₃、S i O₂、M g O、M g A l₂O₄、Z n A l₂O₄、M g G a₂O₄、Z n G a₂O₄、M g I n₂

O_4 、 ZnIn_2O_4 、及び、これらの材料の多層膜や混合組成膜等を用いることができる。またこれらの他にも、 Al 、 Si 、 Mg の一部が、 Zn 、 Be 等に置換された材料等も用いることができる。これらの中でも、 MgO や MgAl_2O_4 はコヒーレントトンネルが実現できる材料であるため、スピンを効率よく注入できる。

[0053] チャネル層5の材料としては、 Si や Ge などの半導体や、 GaAs や InGaAs などの化合物半導体を用いることができる。チャネル層5における、ソース電極2Sとドレイン電極2Dとの間の最短距離、すなわち、チャネル長(d)は、 $0.1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下とすることが好ましい。チャネル長(d)は、チャネル層5内におけるスピン拡散長より短く設定する。例えば、チャネル層5の材料は Si 、チャネル長(d)は $3\mu\text{m}$ とし、チャネル層5の抵抗率は $1\Omega\cdot\text{cm}$ とする。チャネル層5の導電型はN型とするが、P型とすることもできる。

チャネル層5は基板等の上に形成された層であってもよいが、それ自体が基板であってもよい。

[0054] 読み出し電極層10の形状は、磁壁を動かすことにつながる読み込み電流(スピン偏極電流)の水平成分が出ないように、平面視して、磁化自由層6と同じサイズであることが好ましいが、同じサイズでなくても従来の磁壁駆動型磁気抵抗効果素子に比べて効果を発揮する。例えば、平面視して、読み出し電極層と磁化自由層6との重なり程度が50%以上であることが好ましく、90%以上であることがより好ましく、100%であることがさらに好ましい。

例えば、読み出し電極層10と磁化自由層6との重なり程度が100%以外である場合、読み出し時に磁壁が移動する可能性がある。読み出し時に磁壁が移動するか否かは、読み出し電極層10と磁化自由層6との重なり位置と読出し電流の向きに依存する。

[0055] 読み出し電極層10の材料としては、電極材料として用いられる公知の材料を用いることができる。例えば、アルミニウム、銀、銅、金等を用いるこ

とができる。

[0056] 高抵抗層 11 が絶縁材料の場合、高抵抗層 11 の厚さは、書き込み電流が読み出し電極層 10 に流れ込まないように 0.8 nm 以上にすることが好ましい。一方、読み込み動作における影響を無視できる程度にする観点では、書き込み電流が読み出し電極層 10 に流れ込まない観点では、2 nm 以下にすることが好ましい。

[0057] 高抵抗層 11 の材料としては、磁壁駆動層 1 の磁壁を駆動する際に、磁壁駆動のための電流が下部電極層 4 に流れることを抑制する（実質的に防止する）ことができる層であれば、特に制限はない。高抵抗層 11 はトンネルバリア層であってもよく、トンネルバリア層に用いることができる公知の絶縁材料を用いることができる。例えば、 Al_2O_3 、 SiO_2 、 MgO 、及び、 MgAl_2O_4 等を用いることができる。またこれらの他にも、Al、Si、Mgの一部が、Zn、Be等に置換された材料等も用いることができる。高抵抗層 11 の材料は、磁壁駆動層 1 よりも少なくとも抵抗率が高ければ機能する。例えば、Si、SiGeやGeなどの半導体や、ビスマス、ニクロムなどの金属でも良い。

[0058] 磁化自由層 6 の X 方向の端部と、第 1 磁化供給層 2 及び第 2 磁化供給層 3 の X 方向の端部との間の距離は任意に設計することができる。磁壁駆動層 1 における磁壁は第 1 磁化供給層 2 及び第 2 磁化供給層 3 と接する磁化自由層 6 に近い端部を最大の可動範囲とする。第 1 磁化供給層 2 及び第 2 磁化供給層 3 と磁壁駆動層 1 が磁氣的に結合しており、磁壁を駆動動作させても、磁壁駆動層 1 における通電を止めるとその端部で磁壁が安定することができるからである。また、端部から磁壁が移動し、磁化自由層 6 の端部まで移動するまでの間は読出し出力に影響しない。

[0059] 図 11 は、図 1 で示した磁壁利用型スピン MOSFET をチャネル層の長手方向の中央線に沿って切った断面模式図である。磁化固定層 7 は書き込み電流を用いた書き込みの前後で磁化の向きが変化しない層であり、また、磁化自由層 6 は書き込み電流を用いた書き込みの前後で磁化の向きが変化しう

る層である。磁化固定層 7 および磁化自由層 6 はチャネル層 5 の一面 5 a の第 1 端部 5 a A および第 2 端部 5 a B に設置されており、また、第 1 端 5 a A 部及び第 2 端部 5 a B の間に、ゲート絶縁層 9 を介して設けられたゲート電極 8 が設置されている。

磁化固定層 7 は反強磁性層、強磁性層、非磁性層から成るシンセティック構造であってもよい。シンセティック構造において磁化方向は反強磁性層によって磁化方向が強く保持されているため、外部からの影響を受けにくい磁化固定層として機能させることができる。

磁化固定層 7 および磁化自由層 6 をソース電極／ドレイン電極とすることにより、MOSFET の構造を有しており、ソース電極／ドレイン電極が磁化固定層および磁化自由層であることで、通常のスピン MOSFET を構成する。ソース電極及びドレイン電極は強磁性体であるから、強磁性体からチャネル層にスピン分極した電流が注入される。通常 MOSFET はゲート電圧による電流の制御を行うが、スピン MOSFET ではゲート電圧に加え、外部磁場などの制御方法が新たに加わる。すなわち、ソース電極とドレイン電極の磁化の向きの相対角度によって、磁気抵抗効果による出力電流が変化する。

磁化自由層 6 の磁化の向きを変えることにより、磁化固定層 7 及び磁化自由層 6 の磁化は略平行又は略反平行となる。磁化自由層 6 の磁化の向きによってデータを記憶することができ、通常のスピン MOSFET として用いることもできる。すなわち、強磁性体からなるドレイン電極の磁化の向きをデータ “0”、データ “1” のデジタル値に対応づけておくと、ドレイン電極から取り出されるキャリア量が磁化の向きによって変わるため、この磁化の向きを磁化固定層 7 と磁化自由層 6 の間にスピン偏極電流を流す方法や外部から制御する方法で、磁化固定層 7、磁化自由層 6、チャネル層 5 及びゲート電極の従来のスピン MOSFET の部分を記憶素子として利用することもできる。

[0060] 図 11 において、読み出し電流は点線で示す経路に流れるが、経路に流れ

る電流の抵抗は、磁化固定層 7 と磁化自由層 6 との間の抵抗と、磁化自由層 6 と磁壁駆動層 1（図 9 の符号 1 c A の部分）との間の抵抗とによって決まる。すなわち、本実施形態の磁壁利用型スピン MOSFET では、磁化固定層 7 と磁化自由層 6 との間の磁気抵抗効果、及び、磁化自由層 6 と磁壁駆動層 1（図 9 の符号 1 c A の部分）との間の磁気抵抗効果の 2 段階の磁気抵抗効果を利用することができる。従って、本実施形態の磁壁利用型スピン MOSFET は、従来のスピン MOSFET あるいは磁壁駆動型 MRAM とは異なる概念で利用できる可能性がある。

[0061]（磁壁利用型アナログメモリ）

本実施形態の磁壁利用型アナログメモリは、本実施形態の磁壁利用型スピン MOSFET を複数備える。

[0062] 図 12 に、磁壁利用型アナログメモリ中のセルの要部の磁壁駆動層の長手方向の中央線に沿って切った断面模式図を示す。

図 1 等で示した磁壁利用型スピン MOSFET 100 は、第 1 磁化供給層 2 及び第 2 磁化供給層 3 のそれぞれには第 1 配線 21、第 2 配線 22 が接続されている。また、読み出し電極層 10 には第 3 配線 23 が接続され、また、磁化固定層 7 には第 4 配線 24 に接続され、ゲート電極 8 には第 5 配線 25 に接続されている。

[0063] 第 1 配線 21、第 2 配線 22、第 3 配線 23、第 4 配線 24 および第 5 配線 25 は、通常の配線の材料として用いられる材料を用いることができる。例えば、アルミニウム、銀、銅、金等を用いることができる。

[0064] 図 13 に、本実施形態の一実施形態に係る磁壁利用型アナログメモリ 100 の回路構造の一例を模式的に示した図である。図 13 には、1 個のセルにつながる部分を図示している。

第 1 制御素子 35 は、複数の磁壁利用型スピン MOSFET 100 のそれぞれの第 2 配線 21 および第 2 磁化供給層 3（1 個のセルの第 2 配線 21 および第 2 磁化供給層 3 だけを図示）を介して磁壁駆動層 1 に接続されている。第 1 制御素子 35 は、すべての磁壁利用型スピン MOSFET 100 に接

続されている。また、第1制御素子35は、図示略の外部電源に接続され、磁壁駆動層1に流す電流を制御する。

第1セル選択素子36は、複数の磁壁利用型スピンMOSFET100のそれぞれの第1配線22および第1磁化供給層2（1個のセルの第1配線22および第1磁化供給層2だけを図示）を介して磁壁駆動層1に接続されている。第1セル選択素子36は、一つの磁壁利用型スピンMOSFET100に対して一つ設けられている。第1セル選択素子36は、いずれの磁壁利用型スピンMOSFET100に書き込み電流を流すかを制御する。第1セル選択素子36は、接地されている。

第2制御素子37は、第4配線24に接続されている。第2制御素子37は、図示略の外部電源に接続され、第4配線24に流す電流を制御する。

第2セル選択素子38は、複数の磁壁利用型スピンMOSFET100のそれぞれの第3配線23を介して読み出し電極層10に接続されている。第2セル選択素子38は、一つの磁壁利用型スピンMOSFET100に対して一つ設けられている。第2セル選択素子38は、いずれの磁壁利用型スピンMOSFET100に読み出し電流を流すかを制御する。第2セル選択素子38は、接地されている。

第3制御素子39は、第5配線25に接続されている。第3制御素子39は、図示略の外部電源に接続され、ゲート電極8に印加する電圧を制御する。

[0065] 第1制御素子35、第2制御素子37、第3制御素子39、第1セル選択素子36及び第2セル選択素子38は、公知のスイッチング素子を用いることができる。例えば、電界効果トランジスタ等に代表されるトランジスタ素子等を用いることができる。

[0066] 以下、図13を用いて、磁壁利用型アナログメモリによる書き込み動作及び読み出し動作について説明する。

[0067] 書き込み動作は、第1制御素子35と第1セル選択素子36とによって書き込みを制御する。

[0068] まず、第1制御素子35を開放（接続）し、開放する第1セル選択素子36を選択する。第1制御素子35は外部電源に接続され、第1セル選択素子36は接地されている。そのため、第1制御素子35、第1配線21、第2磁化供給層3、磁壁駆動層1、第2配線22、選択された第1セル選択素子36の順に書き込み電流が流れる。電流を逆に流す場合の説明は省略する。

[0069] 読み込み動作は、第2制御素子37と第2セル選択素子38と第3制御素子39とによって読み込みを制御する。

[0070] まず、第2制御素子37を開放（接続）し、開放する第2セル選択素子38を選択する。次いで、第3制御素子39を開放（接続）する。第2制御素子37は外部電源に接続され、第2セル選択素子38は接地されている。そのため、第2制御素子37、第4配線24、磁化固定層7、チャネル層5、磁化自由層6、磁壁駆動層1、読み出し電極層10、選択された第2セル選択素子38の順に読み込み電流が流れる。電流を逆に流す場合の説明は省略する。

第2制御素子37、第2セル選択素子38および第3制御素子39は読み出し機構として機能する。

[0071] 本実施形態の磁壁利用型アナログメモリは、第1磁化供給層2又は第2磁化供給層3のいずれか一方にバイポーラ素子が接続された構成としてもよい。このような構成により、電流の向きを変えることで任意の方向に磁壁を移動することができる。

[0072] 本実施形態の磁壁利用型スピンMOSFET及び磁壁利用型アナログメモリは、従来の磁壁駆動型の磁気抵抗効果素子およびそのような磁気抵抗効果素子を各セルに備えた磁壁駆動型磁気メモリ、並びに、従来のスピンMOSFETと比較すると、主な構造の違いは、読み出し電極層10（及びトンネルバリア層）を備えることだけであり、公知の製造方法を用いて製造することができる。

[0073] （不揮発性ロジック回路）

本実施形態の不揮発性ロジック回路は、本実施形態の磁壁利用型スピンM

OSFETがアレイ状に配置された磁壁利用型アナログメモリと、STT-MRAMとを備え、記憶機能と論理機能を有し、記憶機能として上記磁壁利用型アナログメモリ及びSTT-MRAMを備える。

磁壁利用型アナログメモリとSTT-MRAMは同一の工程で作製することが可能であるため、コストの削減が可能である。また、デジタル的であるSTT-MRAMがアレイ状に配置された磁壁利用型アナログメモリと同一回路に設置されることで、入出力をデジタル化し、内部ではアナログで処理することが可能なロジックを形成することができる。

[0074] (磁気ニューロン素子)

図14は、本実施形態の一実施形態に係る磁気ニューロン素子の一例の断面模式図である。

本実施形態の磁気ニューロン素子は、本実施形態の磁壁利用型スピンMOSFETを備え、磁壁駆動層1の第3領域1cが長手方向に並ぶ、第1記憶部41bと第1記憶部41bを挟む第2記憶部41aおよび第3記憶部41cとを有する。また、磁気ニューロン素子は、第1記憶部41b、第2記憶部41aおよび第3記憶部41cのすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を流すように制御可能な制御回路を有する電流源(図示略)を備えている。

第1記憶部41bは、磁壁駆動層1の第3領域1cのうち、平面視して磁化自由層6と重なる部分であり、第2記憶部41aは、平面視して磁化自由層6と第1磁化供給層2との間の部分(磁化自由層6及び第1磁化供給層2に重ならない部分)であり、第3記憶部41cは、平面視して磁化自由層6と第2磁化供給層3との間の部分(磁化自由層6及び第2磁化供給層3に重ならない部分)である。

[0075] 本実施形態の磁壁利用型スピンMOSFETはシナプスの動作を模擬する素子である磁気ニューロン素子として利用することができる。シナプスでは外部からの刺激に対して線形な出力を持つことが好ましい。また、逆向きの負荷が与えられた際にはヒステリシスがなく、可逆することが好ましい。図

9に示したように、磁壁の駆動（移動）によって、磁化自由層6と磁壁駆動層1のそれぞれの磁化方向が平行な部分の面積が連続的に変化する。すなわち、磁化自由層6と磁壁駆動層1のそれぞれの磁化方向が平行な部分の面積と反平行な部分の面積とによる並列回路が形成される。図9の横軸は磁壁の駆動距離と見なすことができ、比較的線形な抵抗変化を示すことができる。また、磁壁の駆動は電流の大きさと印可される電流パルスの時間に依存して駆動することができるため、電流の大きさと向き、さらに、印可される電流パルスの時間を外部からの負荷として見なすことができる。

[0076] （記憶の初期段階）

例えば、磁壁駆動層1の磁壁が-X方向に最大に移動した場合、磁壁は第1磁化供給層2の磁化自由層6側の端部41aAで安定化する。電流を第2磁化供給層3から第1磁化供給層2に流すと、電子が第1磁化供給層2から第2磁化供給層3に流れ、第1磁化供給層2及び磁壁駆動層1の内部でスピン偏極した電子が磁壁にスピントランスファーを起こし、磁壁が+X方向に移動する。磁壁が磁化自由層6の第1磁化供給層2側の端部41aBに達するまでは磁壁が移動しても、読出しの抵抗が変化しない。この状態を記憶の初期段階と呼ぶことができる。すなわち、第2記憶部41a内に磁壁が配置する場合を記憶の初期段階と呼ぶことができる。記憶の初期段階ではデータとしての記録がされていないが、データを記録する準備が整えられている状態である。

[0077] （主記憶段階）

磁壁が磁化自由層6の上部（平面視して重なる部分）を通過している間は図9のように読出し時の抵抗が変化する。電流を第2磁化供給層3から第1磁化供給層2に流すことで外部からの負荷とし、読出し時には負荷に略比例したような抵抗変化となる。これが主記憶段階である。すなわち、第1記憶部41b内に磁壁が配置する場合を記憶の主記憶段階と呼ぶことができる。磁壁が磁化自由層6の端部より外側にいる状態を記憶、あるいは、無記憶と定義し、磁壁が逆側の磁化自由層6の端部より外側にいる状態を無記憶、あ

るいは、記憶と定義することができる。当然、第2磁化供給層3と第1磁化供給層2の間に流れる電流を逆向きにすると、逆の作用となる。

[0078] (記憶の深層化段階)

磁壁が磁化自由層6の第2磁化供給層3側の端部21cBに達して、磁化自由層6から離れる方向に移動しても読み込み時の出力は変化しない。しかし、磁壁は磁化自由層6から離れてしまった後は、逆向きの負荷が印可されても、磁壁が磁化自由層6の端部41cBに達するまでは読み込み時の出力は変化しない。すなわち、外部からの負荷が与えられても記憶を失わないことを意味し、これを記憶の深層化段階と呼ぶことができる。すなわち、第3記憶部41c内に磁壁が配置する場合を記憶の深層化段階と呼ぶことができる。

第2磁化供給層3と第1磁化供給層2の間に流れる電流を逆向きにすると、記憶の初期段階、主記憶段階および記憶の深層化段階と各記憶部との対応は逆となる。

[0079] 本実施形態の磁壁利用型スピンMOSFETをシナプスの動作を模擬する素子として用いて本実施形態の磁気ニューロン素子とするためには、磁壁の移動を記憶の初期段階、主記憶段階および記憶の深層化段階を順に経るように書き込み電流を流すことができる電流源を備えることを要する。すなわち、少なくとも第1記憶部、第2記憶部および第3記憶部のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を流すように制御可能な制御回路を有する電流源を備えることを要する。

書き込み電流の条件によって、第1記憶部、第2記憶部および第3記憶部のそれぞれを何回の移動で磁壁が通過し切るかを定めることができる。

[0080] (記憶の忘却段階)

無記憶状態に磁壁駆動層1の磁壁を移動させることによって、記憶を忘却することができる。また、外部磁場、熱、及び物理的な歪みを与えることによって、磁壁の駆動や消失を生じさせることができる。本実施形態の磁壁利用型スピンMOSFETでは出力が一定の低抵抗と高抵抗の値を示すため

、記憶と無記憶は定義によって決定される。また、磁壁駆動層 1 に電流を流す以外の方法で磁壁を移動や消失させる場合にはランダムとなるため、複数の磁壁利用型スピン MOSFET 間での情報の相関が失われる。これらを記憶の忘却段階と呼ぶことができる。

[0081] (磁気ニューロン素子を用いた脳)

本実施形態の磁気ニューロン素子はシナプスの動きを模擬し、記憶の初期段階、主記憶段階、そして、記憶の深層化段階を経ることができるメモリである。本実施形態の磁壁利用型アナログメモリを複数回路上に設置し、脳の模擬をすることが可能である。一般的なメモリのように縦横に均等にアレイさせた配置では集積度が高い脳を形成することが可能である。

また、図 15 に示したように特定の回路を持った複数の磁気ニューロン素子を一つの塊として、アレイさせた配置では、外部負荷からの認識度が異なる脳を形成することが可能である。例えば、色について感度の良い脳や言語の理解度が高い脳などの個性を生むことができる。つまり、外部のセンサから入手された情報を、視覚、味覚、触覚、嗅覚及び聴覚認識に最適化された五感領域で認識の処理を行い、さらに、論理的思考領域で判断することによって、次の行動を決定するというプロセスを形成させることが可能である。さらに、磁壁駆動層 1 の材料を変化させると、負荷に対する磁壁の駆動速度や磁壁の形成方法が変化するため、その変化を個性とした人工的な脳を形成することが可能となる。

符号の説明

- [0082]
- 1 磁壁駆動層
 - 1 a 第 1 領域
 - 1 b 第 2 領域
 - 1 c 第 3 領域
 - 2 第 1 磁化供給層
 - 3 第 2 磁化供給層
 - 5 チャネル層

- 6 磁化自由層
- 7 磁化固定層
- 8 ゲート電極
- 9 ゲート絶縁層
- 10 読み出し電極層
- 11 高抵抗層
- 12 磁気結合層
- 41a 第2記憶部
- 41b 第1記憶部
- 41c 第3記憶部
- 100 磁壁利用型スピンMOSFET
- 1000 磁壁利用型アナログメモリ

請求の範囲

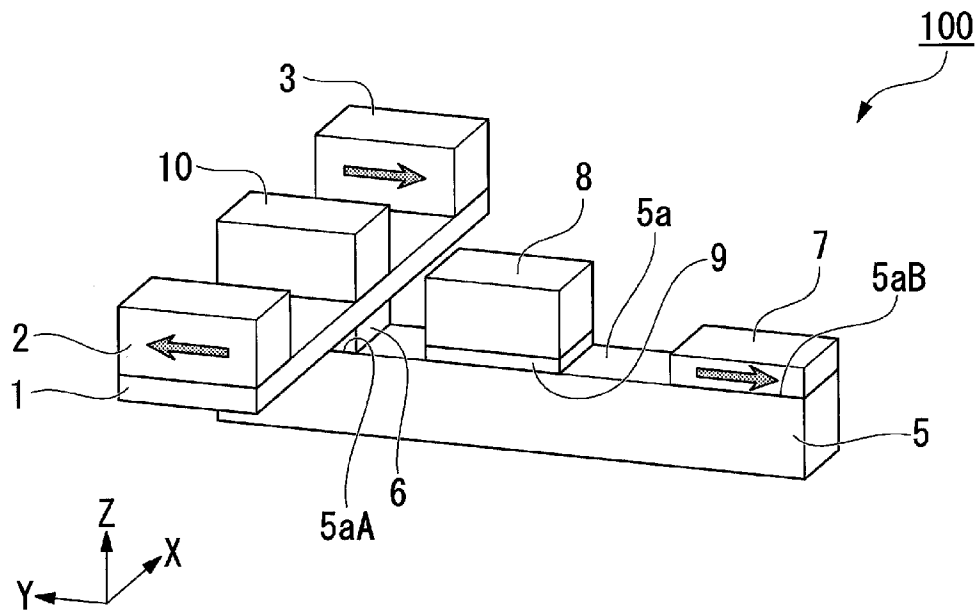
- [請求項1] 磁壁と、第1領域と、第2領域と、前記第1領域および前記第2領域の間に位置する第3領域と、を有する磁壁駆動層と、
チャンネル層と、
前記チャンネル層の第1面の第1端部に設けられ、前記磁壁駆動層の前記第3領域に接するように配置されている磁化自由層と、
前記第1端部の反対の第2端部に設けられた磁化固定層と、
前記チャンネル層の前記第1端部及び前記第2端部の間に、ゲート絶縁層を介して設けられたゲート電極と、を備える、
磁壁利用型スピนมセト。
- [請求項2] 前記磁壁駆動層の前記第3領域の、前記磁化自由層が設けられた第3面の反対の第4面に、平面視して前記磁化自由層と重なる位置に設置された読み出し電極層を備えた請求項1に記載の磁壁利用型スピนมセト。
- [請求項3] 前記磁化自由層及び前記磁化固定層のうちの少なくとも一方と、前記チャンネル層との間にトンネルバリア層を備える、請求項1または2のいずれかに記載の磁壁利用型スピนมセト。
- [請求項4] 前記磁壁駆動層と平面視して前記磁化自由層と重なる位置に設置された読み出し電極層との間に高抵抗層をさらに備える、請求項1～3のいずれか一項に記載の磁壁利用型スピนมセト。
- [請求項5] 前記磁壁駆動層の長さが60nm以上である、請求項1～4のいずれか一項に記載の磁壁利用型スピนมセト。
- [請求項6] 前記第1領域に接し、第1の磁化の向きを有する第1磁化供給層と、
前記第2領域に接し、前記第1の磁化の向きと反対向きの第2の磁化の向きを有する第2磁化供給層と、
をさらに備える、請求項1～5のいずれか一項に記載の磁壁利用型スピนมセト。

- [請求項7] 前記磁壁駆動層、前記第1磁化供給層、前記第2磁化供給層、前記磁化自由層、および前記磁化固定層のそれぞれの磁化の向きが、それぞれの層に平行である、請求項6に記載の磁壁利用型スピンMOSFET。
- [請求項8] 前記磁壁駆動層、前記第1磁化供給層、前記第2磁化供給層、前記磁化自由層、および前記磁化固定層のそれぞれの磁化の向きが、それぞれの層に垂直である、請求項6に記載の磁壁利用型スピンMOSFET。
- [請求項9] 前記磁壁駆動層が磁壁トラップ部を有する、請求項1～8のいずれか一項に記載の磁壁利用型スピンMOSFET。
- [請求項10] 前記第1磁化供給層又は前記第2磁化供給層のいずれか一方にバイポーラ素子が接続されている、請求項6～9のいずれか一項に記載の磁壁利用型スピンMOSFET。
- [請求項11] 請求項1～10のいずれか一項に記載の磁壁利用型スピンMOSFETを複数備える、磁壁利用型アナログメモリ。
- [請求項12] 読み出し時に前記読み出し電極層と前記磁化自由層との間の抵抗変化を読み出す機構を備える、請求項11に記載の磁壁利用型アナログメモリ。
- [請求項13] 請求項1～10のいずれか一項に記載の磁壁利用型スピンMOSFETがアレイ状に配置された磁壁利用型アナログメモリと、STT-MRAMとを備え、
記憶機能と論理機能を有し、記憶機能として前記磁壁利用型アナログメモリ及び前記STT-MRAMを備える、不揮発性ロジック回路。
- [請求項14] 請求項1～10のいずれか一項に記載の磁壁利用型スピンMOSFETを備え、
前記磁壁駆動層の前記第3領域が長手方向に並び、かつ第1記憶部と該第1記憶部を挟んで配置される第2記憶部および第3記憶部とを

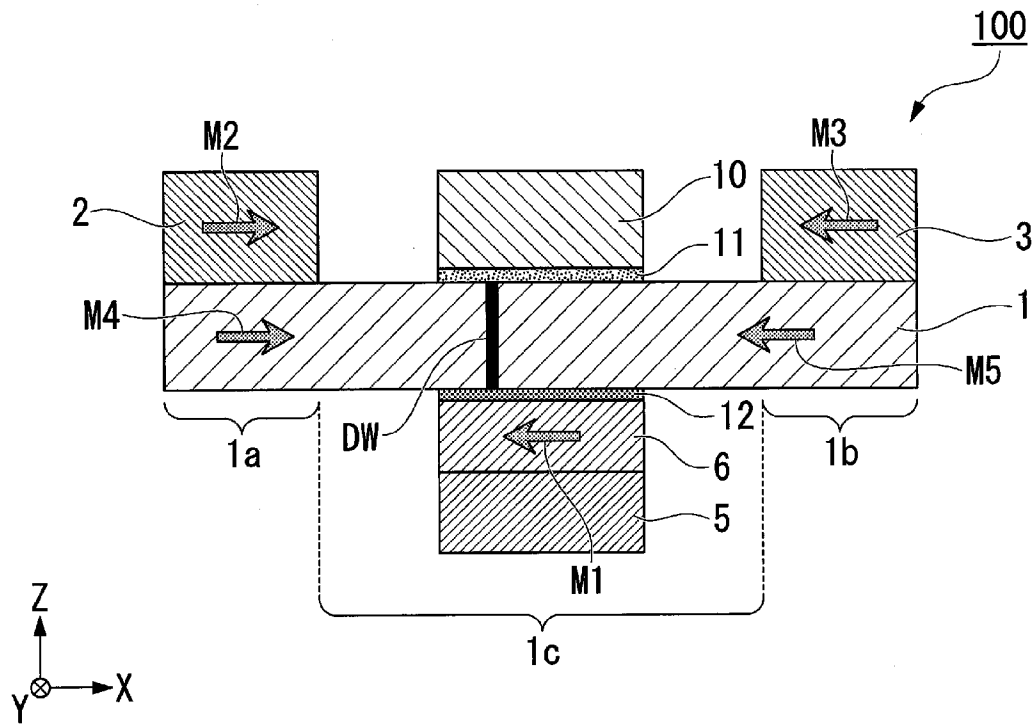
有し、

前記第 1 記憶部、前記第 2 記憶部、および前記第 3 記憶部のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を流すように制御可能な制御回路を有する電流源を備える、
磁気ニューロン素子。

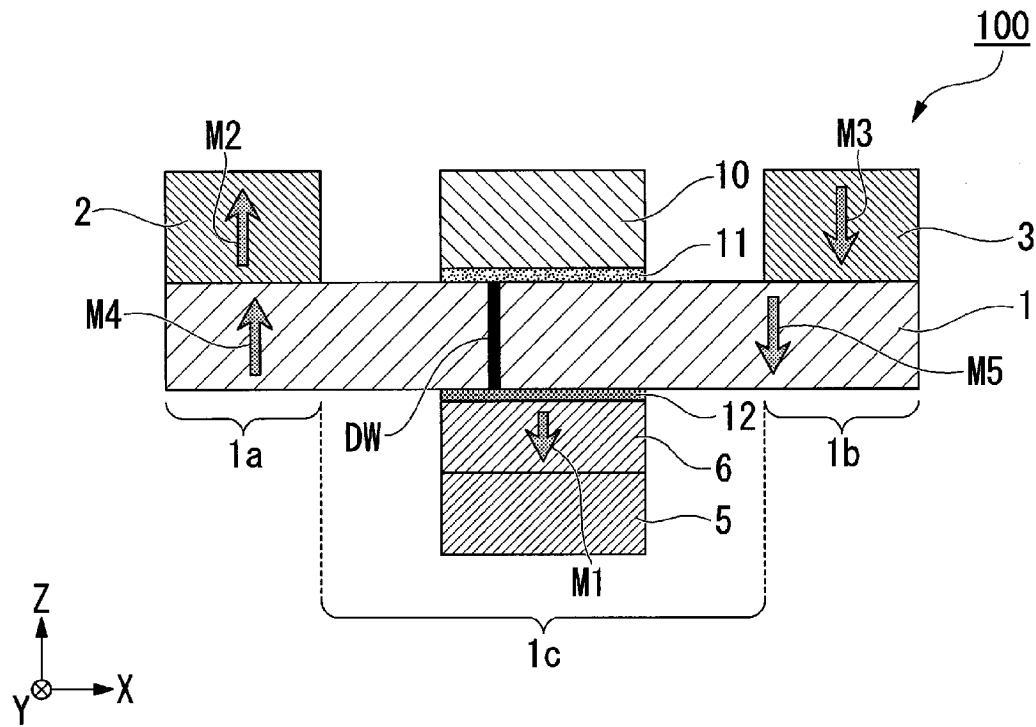
[図1]



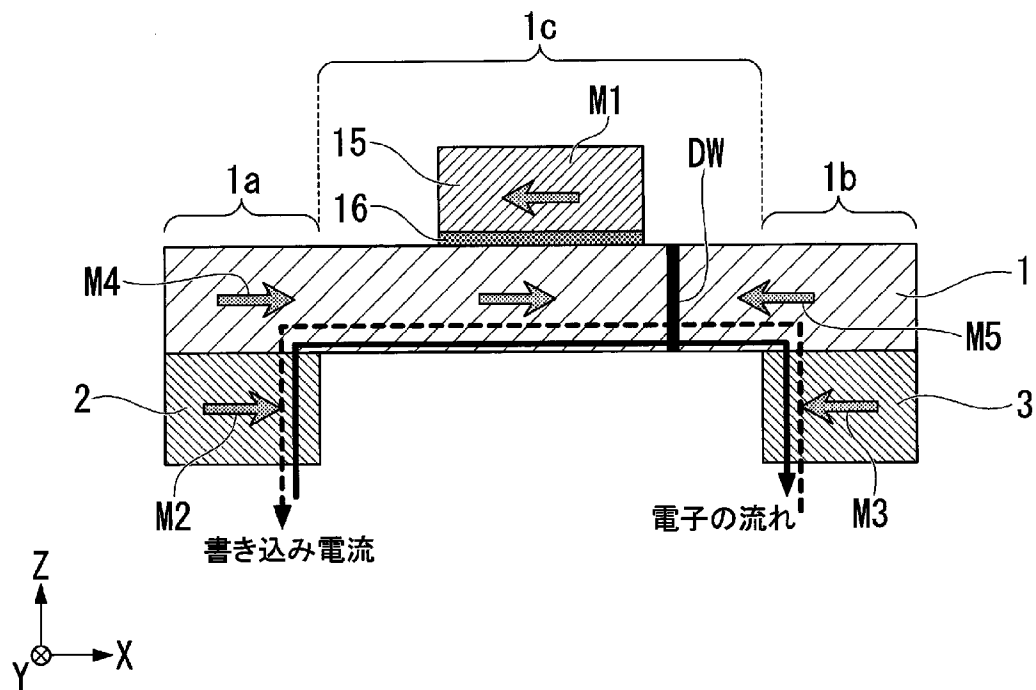
[図2]



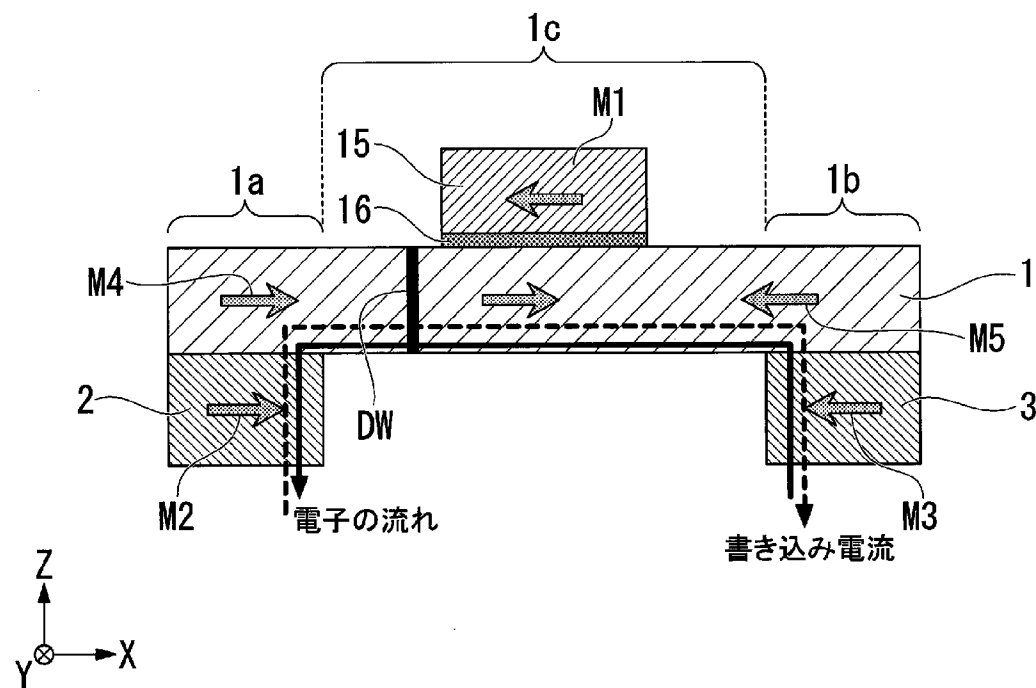
[図3]



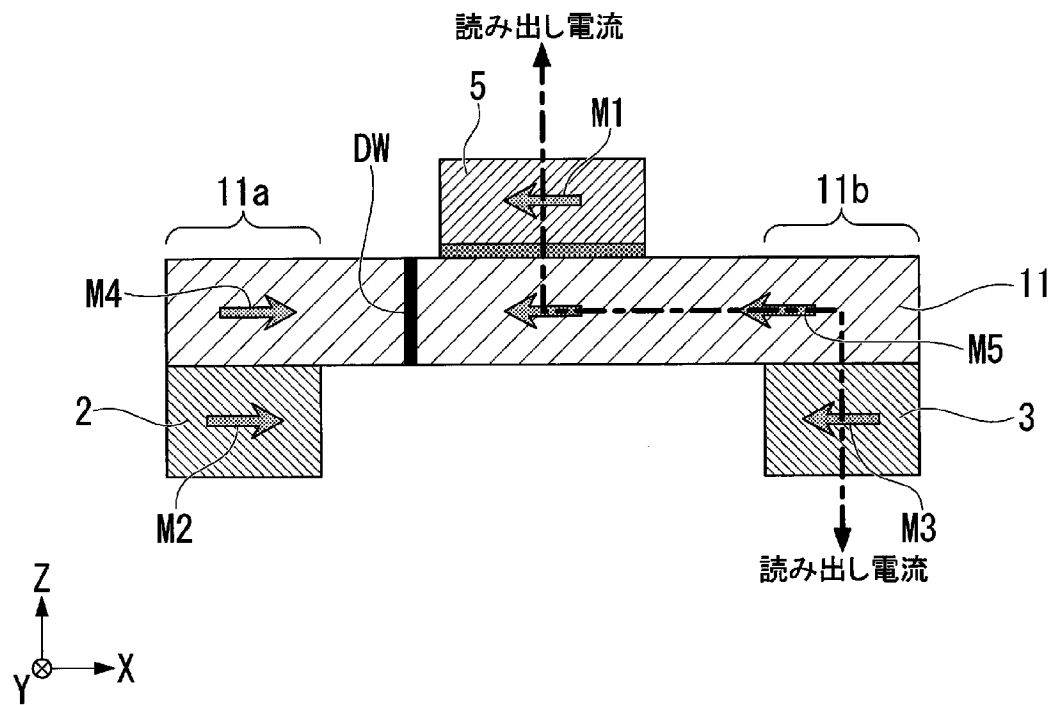
[図4A]



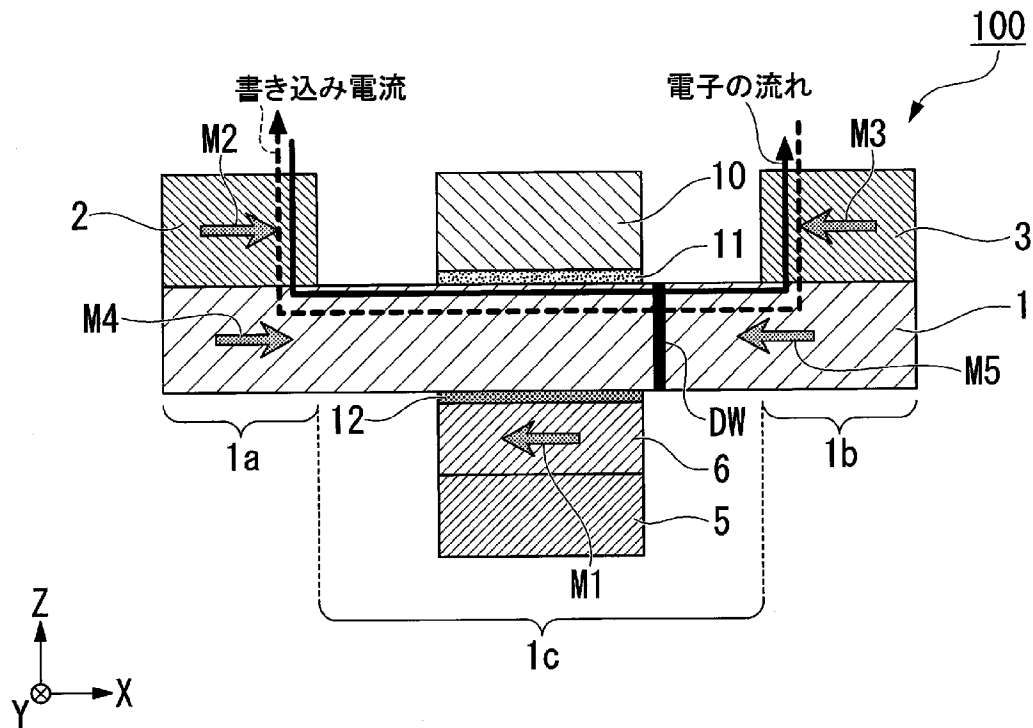
[図4B]



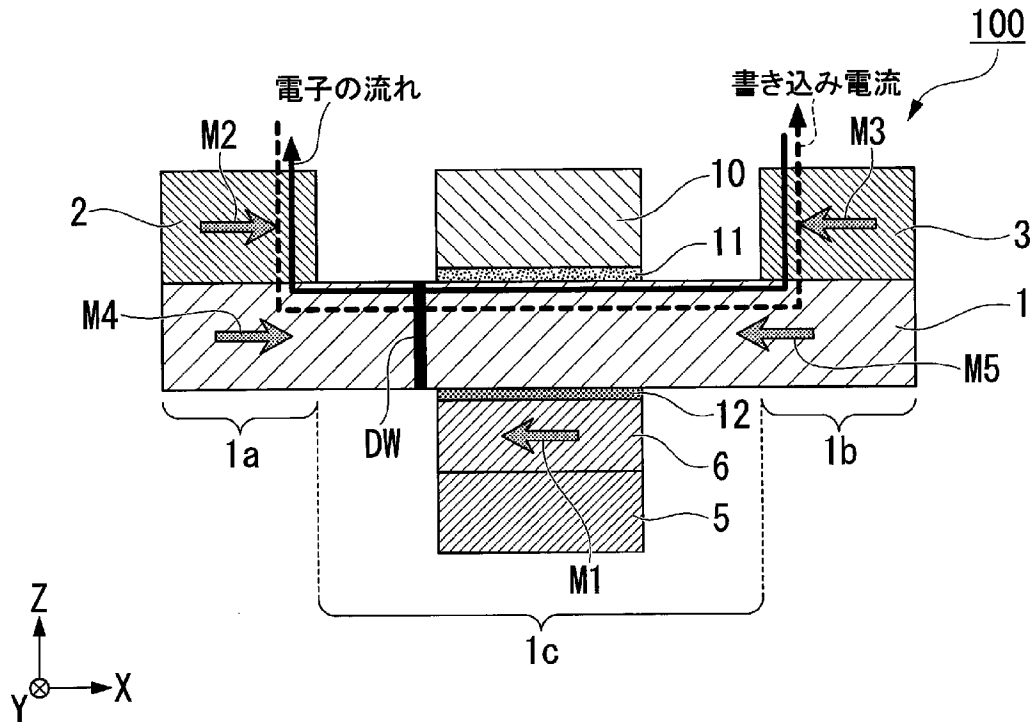
[図5]



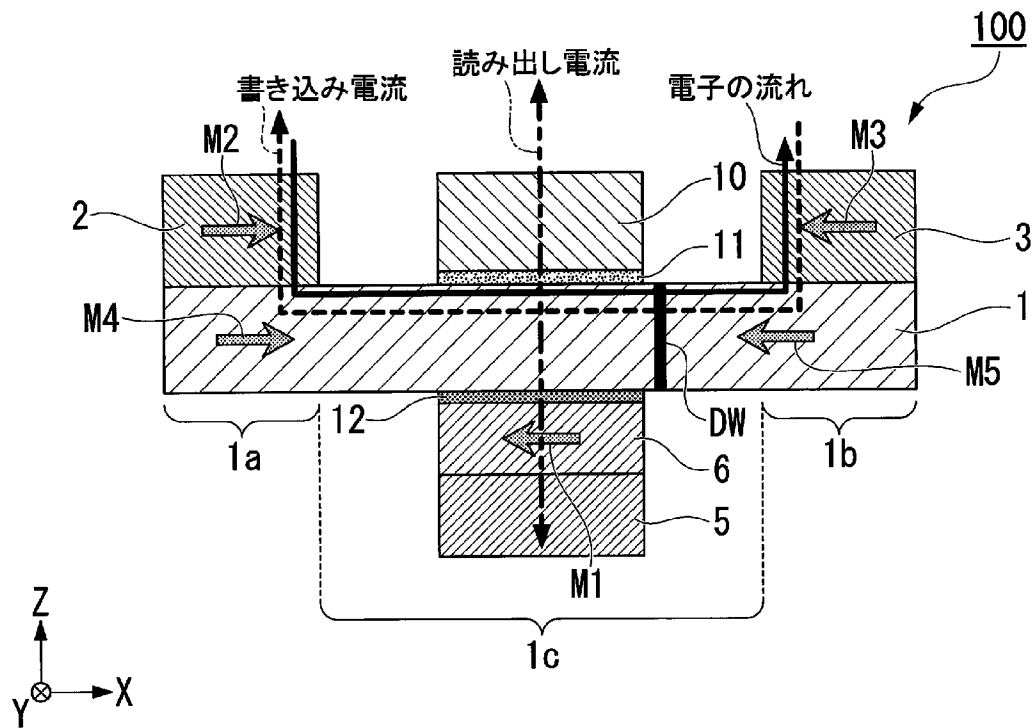
[図6A]



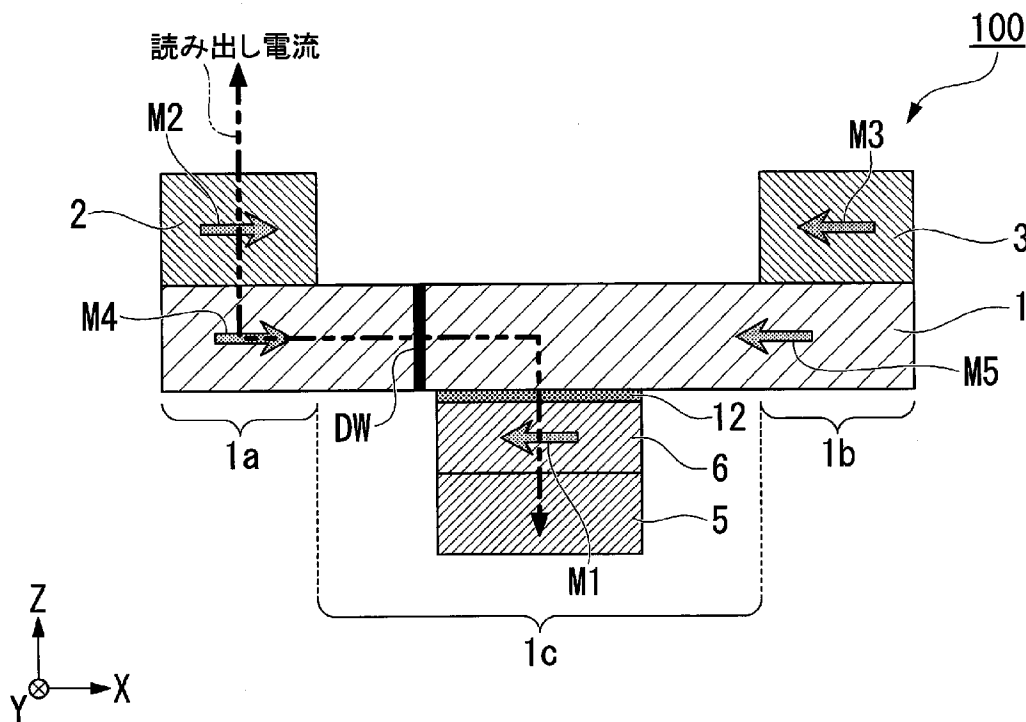
[図6B]



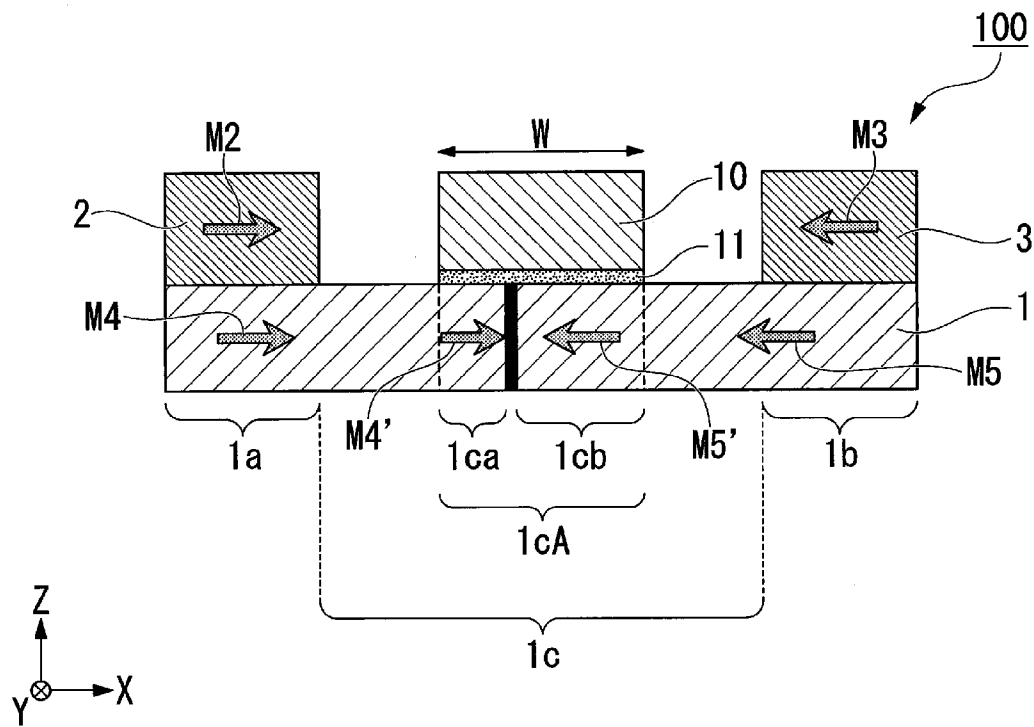
[図7]



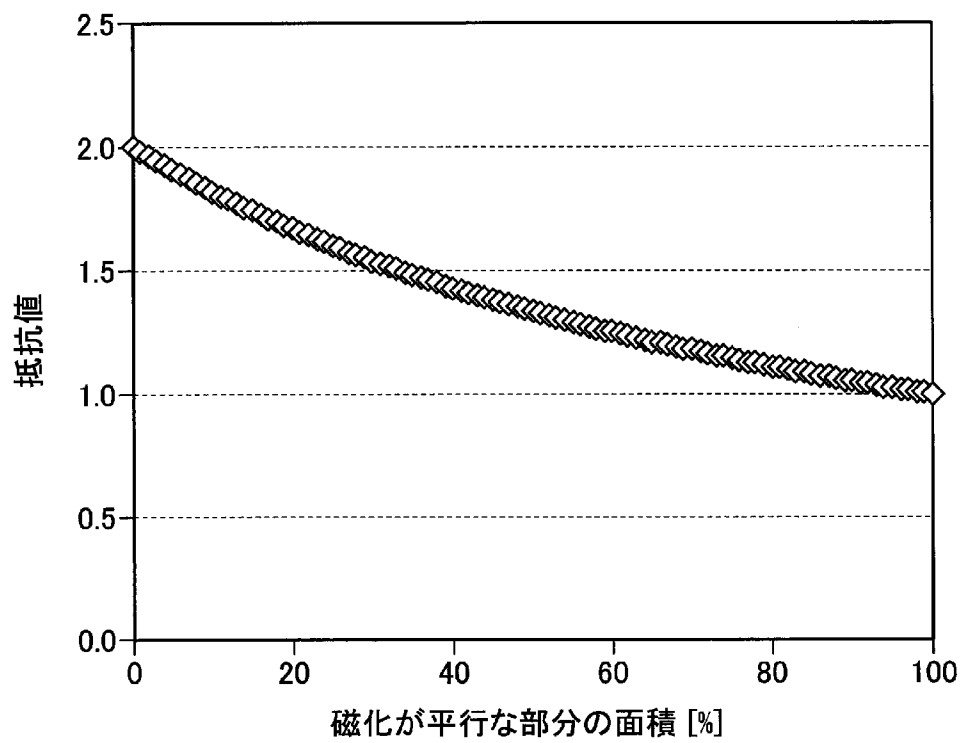
[図8]



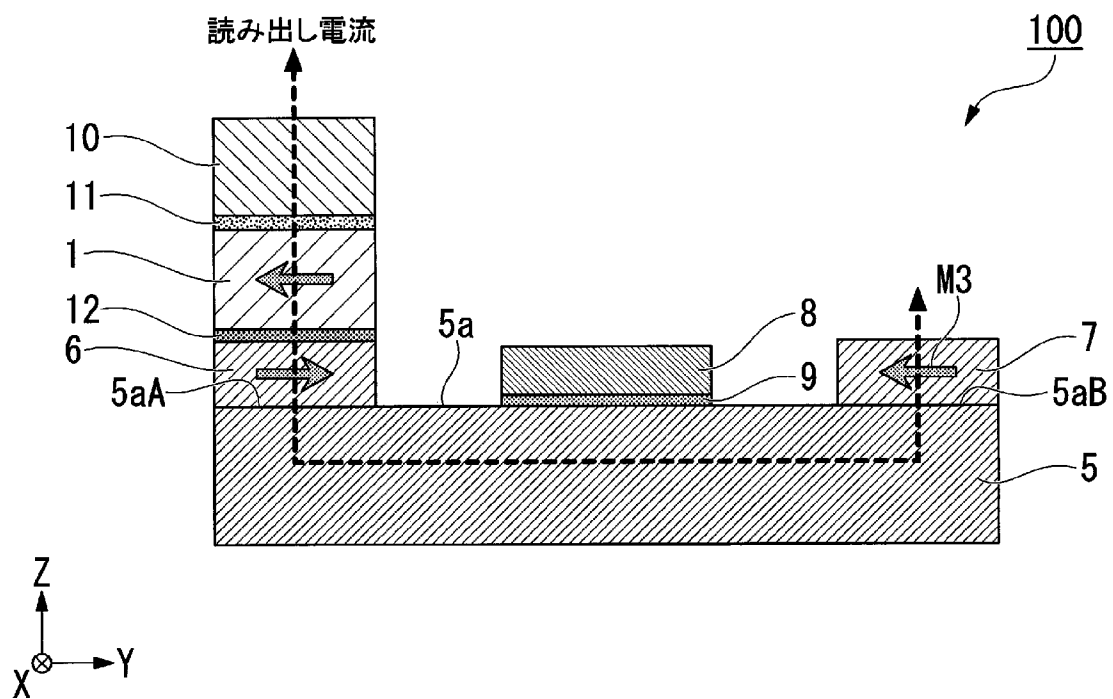
[図9]



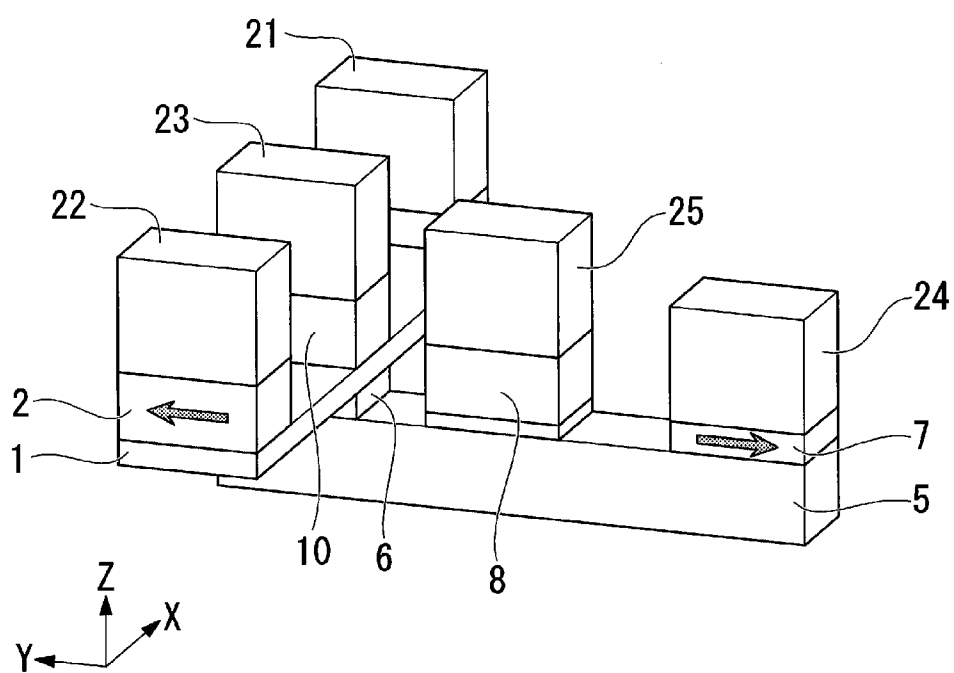
[図10]



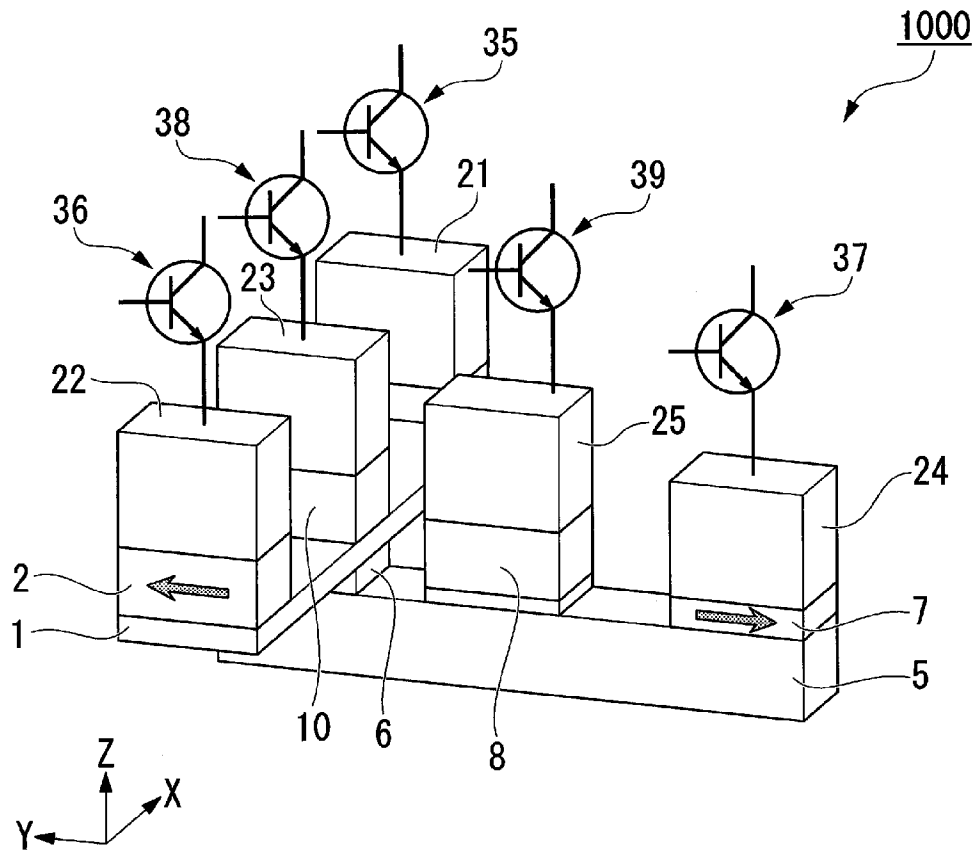
[図11]



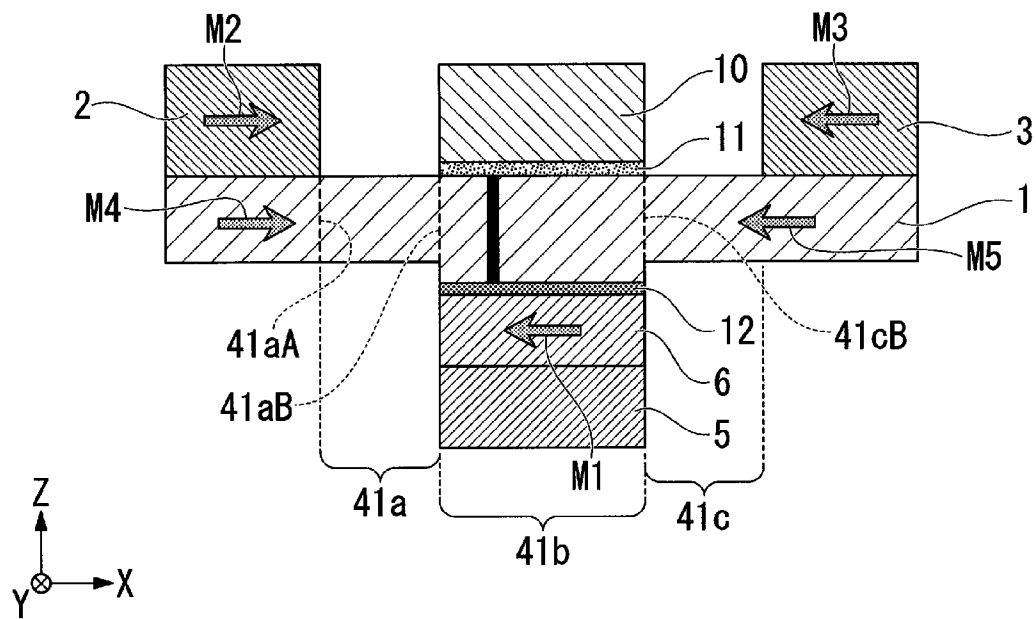
[図12]



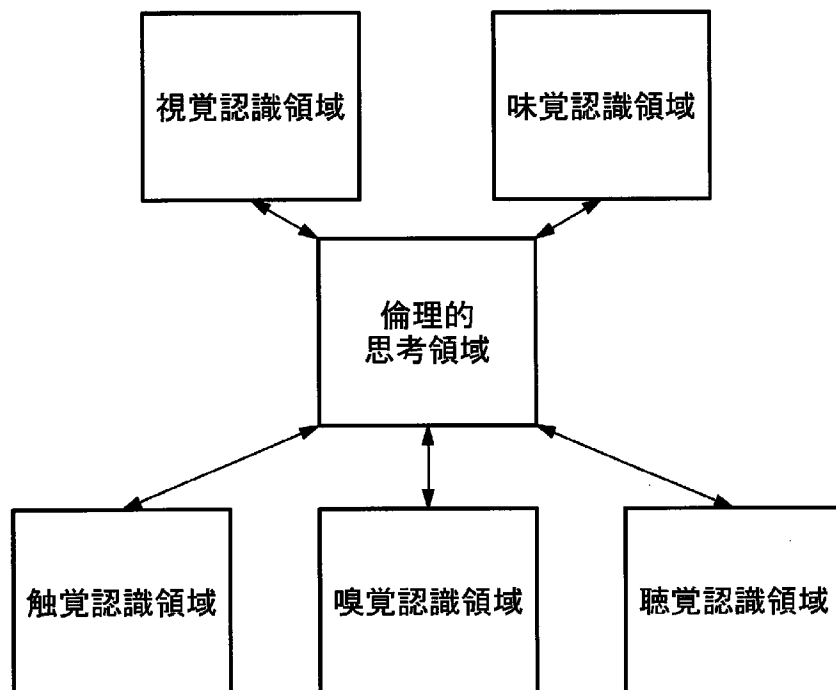
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/015264

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/82(2006.01)i, G06N3/06(2006.01)i, H01L21/8239(2006.01)i,
H01L27/105(2006.01)i, H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/82, G06N3/06, H01L21/8239, H01L27/105, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus/JMEDPlus/JST7580(JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/188525 A1 (Hitachi, Ltd.), 27 November 2014 (27.11.2014), entire text; all drawings & US 2016/0105176 A1	1-14
A	WO 2013/047213 A1 (NEC Corp.), 04 April 2013 (04.04.2013), entire text; all drawings & US 2015/0042376 A1	1-14
A	WO 2010/087269 A1 (NEC Corp.), 05 August 2010 (05.08.2010), entire text; all drawings & JP 5582037 B2 & US 2011/0292718 A1	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 June 2017 (14.06.17)

Date of mailing of the international search report
27 June 2017 (27.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/015264

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-273495 A (Fujitsu Ltd.), 18 October 2007 (18.10.2007), entire text; all drawings & US 2007/0242505 A1 & DE 102006028387 A1 & CN 101047023 A & TW 200737185 A	1-14
A	US 2012/0068279 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.), 22 March 2012 (22.03.2012), entire text; all drawings & US 2014/0141533 A1 & CN 102412257 A	1-14
A	US 2010/0148288 A1 (Mark B. JOHNSON), 17 June 2010 (17.06.2010), entire text; all drawings & WO 2010/059869 A1	1-14
A	Mrigank SHARAD et al., Spin-Based Neuron Model With Domain-Wall Magnets as Synapse, IEEE Transactions on Nanotechnology, 2012.07, Vol. 11, No. 4, pp. 843-853	14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/82(2006.01)i, G06N3/06(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/82, G06N3/06, H01L21/8239, H01L27/105, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus/JMEDPlus/JST7580 (JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/188525 A1 (株式会社日立製作所) 2014. 11. 27, 全文, 全図 & US 2016/0105176 A1	1-14
A	WO 2013/047213 A1 (日本電気株式会社) 2013. 04. 04, 全文, 全図 & US 2015/0042376 A1	1-14

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14. 06. 2017

国際調査報告の発送日

27. 06. 2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

上田 智志

5 F

3664

電話番号 03-3581-1101 内線 3514

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/087269 A1 (日本電気株式会社) 2010. 08. 05, 全文, 全図 & JP 5582037 B2 & US 2011/0292718 A1	1-14
A	JP 2007-273495 A (富士通株式会社) 2007. 10. 18, 全文, 全図 & US 2007/0242505 A1 & DE 102006028387 A1 & CN 101047023 A & TW 200737185 A	1-14
A	US 2012/0068279 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 2012. 03. 22, 全文, 全図 & US 2014/0141533 A1 & CN 102412257 A	1-14
A	US 2010/0148288 A1 (Mark B. JOHNSON) 2010. 06. 17, 全文, 全図 & WO 2010/059869 A1	1-14
A	Mrigank SHARAD et al., Spin-Based Neuron Model With Domain-Wall Magnets as Synapse, IEEE Transactions on Nanotechnology, 2012. 07, Vol. 11, No. 4, pp. 843-853	14