



(12) 发明专利申请

(10) 申请公布号 CN 101785098 A

(43) 申请公布日 2010. 07. 21

(21) 申请号 200880104459. 9

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

(22) 申请日 2008. 09. 04

代理人 钱慰民

(30) 优先权数据

11/857, 418 2007. 09. 18 US

(51) Int. Cl.

H01L 23/12(2006. 01)

(85) PCT申请进入国家阶段日

2010. 02. 22

(86) PCT申请的申请数据

PCT/US2008/075289 2008. 09. 04

(87) PCT申请的公布数据

W02009/038984 EN 2009. 03. 26

(71) 申请人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 J·S·古扎克

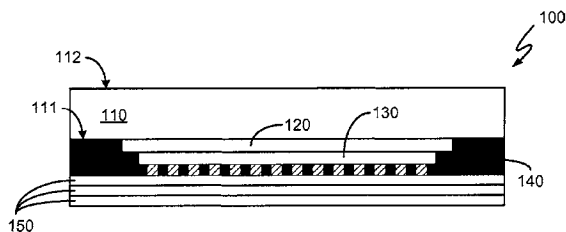
权利要求书 2 页 说明书 6 页 附图 8 页

(54) 发明名称

微电子封装及其形成方法

(57) 摘要

一种微电子封装包括:载体(110, 210, 410, 1110), 所述载体具有第一表面(111, 211, 411, 1111)和相反的第二表面(112, 212, 412, 1112); 粘合层(120, 220, 221, 520, 1220, 1221), 所述粘合层位于所述载体的第一表面处;管芯(130, 230, 231, 530, 531, 1230, 1231), 通过所述粘合层将所述管芯附接到所述载体的第一表面;密封材料(140, 240, 640, 1340), 所述密封材料位于所述载体的第一表面处且至少部分地围绕着所述管芯和所述粘合层;以及叠加层(150, 250, 750, 1450), 所述叠加层与所述密封材料相邻, 其中, 所述管芯与所述叠加层彼此直接物理接触。在一个实施方式中, 所述载体是散热器, 所述散热器具有第一表面和第二表面, 所述第二表面是所述微电子封装的顶部表面。



1. 一种微电子封装,包括:
具有第一表面和相反的第二表面的载体;
在所述载体的第一表面处的粘合层;
通过所述粘合层附接到所述载体的第一表面的管芯;
在所述载体的第一表面处且至少部分地围绕着所述管芯和所述粘合层的密封材料;以
及
与所述密封材料相邻的叠加层,
其中,所述管芯与所述叠加层彼此直接物理接触。
2. 如权利要求 1 所述的微电子封装,其特征在于,
所述载体包括导热材料。
3. 如权利要求 2 所述的微电子封装,其特征在于,
所述载体包括导电材料。
4. 如权利要求 1 所述的微电子封装,其特征在于,
所述粘合层包括热界面材料。
5. 如权利要求 4 所述的微电子封装,其特征在于,
所述热界面材料包括热油脂、弹性垫、相变材料、聚合物凝胶和焊料之一。
6. 如权利要求 1 所述的微电子封装,其特征在于,
所述粘合层包括可移除的粘合膜,所述可移除的粘合膜基本上覆盖所述载体的第一表面的全部。
7. 如权利要求 1 所述的微电子封装,还包括:
无源组件,所述无源组件被附接到所述载体的第一表面并且至少部分地被所述密封材料围绕着。
8. 如权利要求 1 所述的微电子封装,还包括:
位于所述叠加层中的集成薄膜电容器。
9. 一种微电子封装,包括:
具有第一表面和第二表面的散热器,其中所述第二表面是所述微电子封装的顶部表面;
附接到所述散热器的第一表面的管芯;
位于所述散热器的第一表面处的密封材料,所述密封材料至少部分地围绕着所述管芯;以及
叠加层,所述叠加层以物理的方式接触所述密封材料并且以物理和电学方式接触所述管芯。
10. 如权利要求 9 所述的微电子封装,还包括:
位于所述管芯和所述散热器的第一表面之间的热界面材料。
11. 如权利要求 10 所述的微电子封装,还包括:
无源组件,所述无源组件被附接到所述散热器并且至少部分地被所述密封材料围绕着。
12. 如权利要求 11 所述的微电子封装,还包括:
位于所述叠加层中的集成薄膜电容器。

13. 一种用于形成微电子封装的方法,所述方法包括:
提供一载体;
将管芯附接到所述载体;
用密封材料将所述管芯的至少一部分密封住;
形成与所述密封材料相邻的叠加层;以及
除去所述载体。
14. 如权利要求 13 所述的方法,其特征在于,
将所述管芯附接到所述载体包括:
将粘合膜加到所述管芯与所述载体中的至少一个上;以及
使所述管芯与所述载体彼此物理接触,使得在所述管芯和所述载体之间形成粘合键。
15. 如权利要求 14 所述的方法,其特征在于,
除去所述载体包括除去所述管芯与所述载体之间的粘合键。
16. 如权利要求 15 所述的方法,其特征在于,
除去所述粘合键包括向所述粘合键施加热辐射和紫外辐射之一。
17. 如权利要求 13 所述的方法,还包括:
将散热器附接到所述管芯的表面。
18. 如权利要求 13 所述的方法,还包括:
将无源组件附接到所述载体,使得所述无源组件与所述管芯一起被所述密封材料至少部分地密封住。
19. 如权利要求 13 所述的方法,其特征在于,
形成叠加层包括在所述叠加层中形成集成薄膜电容器。
20. 一种用于形成微电子封装的方法,所述方法包括:
提供散热器;
将管芯附接到所述散热器;
用密封材料将所述管芯的至少一部分密封住;以及
形成与所述密封材料相邻的叠加层。
21. 如权利要求 20 所述的方法,其特征在于,
将所述管芯附接到所述散热器包括:
将热界面材料加到所述管芯与所述散热器中的至少一个上;以及
使所述管芯与所述散热器彼此物理接触,使得在所述管芯和所述散热器之间形成粘合键。
22. 如权利要求 21 所述的方法,还包括:
将无源组件附接到所述散热器,使得所述无源组件与所述管芯一起被所述密封材料至少部分地密封住。
23. 如权利要求 20 所述的方法,其特征在于,
将所述管芯的至少一部分密封住包括:
通过使用传递模塑工艺、压缩模塑工艺和注射模塑工艺之一,来施加所述密封材料。
24. 如权利要求 20 所述的方法,其特征在于,
形成叠加层包括通过使用下列工艺中的至少一种使所述叠加层图案化:半加成图案化工艺;激光投影图案化工艺;等离子体蚀刻工艺;液体抗蚀工艺;以及溅射工艺。

微电子封装及其形成方法

技术领域

[0001] 本发明的实施方式一般涉及微电子器件的封装,尤其涉及微电子器件的无凸块式叠加层(Bumpless Build-Up Layer, BBUL)封装。

背景技术

[0002] 微电子封装技术(包括以机械或电的方式将硅管芯附接到基片或其它载体的方法)随时间的推移继续在改进和完善。目前广泛使用的封装技术被称为倒装芯片(或C4-可控坍塌芯片连接)技术,其中使用一组C4焊料凸块将管芯连接到其封装。然而,倒装芯片技术具有许多麻烦的问题,这些问题随着器件缩放的继续而越来越成问题。

[0003] 无凸块式叠加层(BBUL)技术是解决这些问题中的某些问题的一种封装体系结构的方案。BBUL至少具有如下优点:BBUL不再需要组装;BBUL消除了倒装芯片互连(会产生更高的性能和更高的可靠性);BBUL减小了因管芯-基片热膨胀系数(CTE)失配所导致的低k夹层电介质(ILD)上的应力;并且BBUL显著减小了封装电感(通过消除芯与倒装芯片互连而实现这一点)从而改进了输入/输出(I/O)和供电性能。

附图说明

[0004] 结合附图来阅读下面的详细描述,会更好理解所揭示的实施方式,在附图中:

[0005] 图1是根据本发明一实施方式的微电子封装的横截面图;

[0006] 图2是根据本发明另一实施方式的微电子封装的横截面图;

[0007] 图3是根据本发明一实施方式的微电子封装的形成方法的流程图;

[0008] 图4-9是根据本发明一实施方式在制造过程中各个特定点的微电子封装的横截面图;

[0009] 图10是根据本发明一实施方式的微电子封装的形成方法的流程图;以及

[0010] 图11-15是根据本发明一实施方式在制造过程中各个特定点的微电子封装的横截面图。

[0011] 为了简单且清晰,附图示出了一般的构造方式,并且省去了公知的特征与技术的诸多描述和细节,为的是避免不必要地使本发明各实施方式变得模糊。另外,附图中的诸多元件并不必然按比例画出。例如,图中有些元件的大小可能相对于其它元件被夸大,为的是帮助理解本发明的各实施方式。在不同的图中,同一标号指代相同的元件。

[0012] 在说明书和权利要求书中,术语“第一”、“第二”、“第三”、“第四”等被用于区分相似的元件,而并非必然地描述特定的序列或时间顺序。应该理解,如此使用的术语在合适的情况下是可互换的,使得本文所描述的各实施方式能够以不同于本文所描述或所示出的其它序列进行操作。相似的是,如果本文描述一种方法包括一系列步骤,则这些步骤所呈现的顺序并不必然是执行这些步骤的唯一顺序,某些申明的步骤有可能被省去,某些本文没有描述的步骤有可能被加入该方法。此外,术语“包括”、“具有”等旨在涵盖非排他性的包括,使得一种包括一系列元素的工艺、方法、物件或装置并不必然限于那些元素,而是可以包括

未明确列出的或这种工艺、方法、物件或装置所固有的其它元素。

[0013] 在说明书和权利要求书中,术语“左”、“右”、“前”、“后”、“顶部”、“底部”、“之上”、“之下”等都是用于描述目的,并不必然地描述相对的位置。应该理解,如此使用的术语在合适的情况下是可互换的,使得本文所描述的各实施方式能够以不同于本文所描述或所示出的其它序列进行操作。在本文中,术语“耦合”被定义为以电或非电的方式直接地或间接地连接。被描述成彼此“相邻”的物体可能是彼此物理接触的,彼此靠近的,或处于同一区域中,只要在其上下文中合适就可以。“在一个实施方式中”这一表述并不必然全是指同一实施方式。

具体实施方式

[0014] 在本发明的一个实施方式中,一种微电子封装包括:具有第一表面和相反的第二表面的载体;在所述载体的第一表面处的粘合层;通过所述粘合层附接到所述载体的第一表面的管芯;在所述载体的第一表面处且至少部分地围绕着所述管芯和所述粘合层的密封材料;以及与所述密封材料相邻的叠层,其中,所述管芯与所述叠层彼此直接物理接触。

[0015] 在相同的或另一个实施方式中,一种微电子封装包括:具有第一表面和第二表面的散热器(其中所述第二表面是所述微电子封装的顶部表面);附接到所述散热器的第一表面的管芯;在所述散热器的第一表面处且至少部分地围绕着所述管芯的密封材料;以及叠层,所述叠层以物理的方式接触所述密封材料并且以物理和电学方式接触所述管芯。

[0016] 本发明的各实施方式可以用倒装芯片封装的整体可缩放性解决某些当前问题以及预期的将来的问题,为的是满足将来 CPU 和芯片组性能与成本的诸多要求。本发明的各实施方式可以按照各种方式增强 BBUL 技术,其中包括:通过加入集成散热器(IHS)和/或薄管芯薄热界面材料(TIM)(常常缩写为 TDTT)技术来增强热性能;通过集成无源组件(比如电容器、电阻器等)来增强电性能;通过使用注模密封剂来提高制造生产率;以及通过组合能提供更精细的电路形成设计规则的多个管芯与图案化技术来提高设计可缩放性。

[0017] 现在参照附图,图 1 是根据本发明一实施方式的微电子封装 100 的横截面图。如图 1 所示,微电子封装 100 包括:载体 110,所述载体 110 具有表面 111 和相反的表面 112;粘合层 120,所述粘合层 120 在所述载体 110 的表面 111 处;以及管芯 130,通过所述粘合层 120 将所述管芯 130 附接到所述载体 110 的表面 111。在至少一个实施方式中,表面 112 是微电子封装 100 的顶部表面。作为一个示例,管芯 130 可以是硅管芯等,其厚度约为 400 微米。作为另一个示例,管芯 130 可以是硅管芯等,其已被薄化处理到大约 150 微米厚,甚至大约 75 微米厚。其它厚度当然也是可能的。

[0018] 微电子封装 100 还包括密封材料 140,所述密封材料 140 在载体 110 的表面 111 处并且至少部分地围绕着管芯 130 和粘合层 120,微电子封装 100 还包括与密封材料 140 相邻的至少一个叠层 150。像所有 BBUL 封装的情况一样,管芯 130 和叠层 150 彼此直接物理接触。在至少一个实施方式中,微电子封装 100 包括多个叠层 150,这些叠层 150 包括金属与电介质层(用通孔等连接),能提供到管芯的连接(电能、接地、输入/输出等)。

[0019] 在一个实施方式中,载体 110 包括导热材料和/或导电材料。在特定的实施方式

中,载体 110 包括铜或其它材料制成的薄板,该薄板既导热有导电并且用作安装微电子封装 100 的载体。在相同的或另一个实施方式中,载体 110 也是微电子封装 100 的散热器。

[0020] 在一个实施方式中,粘合层 120 包括热界面材料 (TIM),比如热油脂、弹性垫、相变材料、聚合物凝胶、焊料等。在另一个实施方式中,粘合层 120 包括可移除的粘合膜。作为示例,本实施方式中的粘合层 120 可以是由双轴取向聚对苯二甲酸乙二醇酯 (boPET) 聚酯膜 (例如,可以从 DuPont Teijin Films 公司买到,名称是 Melinex[®]和 Mylar[®]) 等制成的膜,这种膜响应于某些刺激会分解或失去粘合性,下文会对此作进一步的解释。可以施加这种膜以覆盖载体 110 的表面 111 的全部 (或基本上全部) 或仅仅覆盖一部分。应该理解,在后一种情况的实施方式中,在制造过程的某一时刻之后,粘合层 120 可能不存在于微电子封装 100 中 (尽管图 1 中它还存在)。这种制造细节及其相应的结构方面的结果将在下文中更详细地讨论。

[0021] 在一个实施方式中,多个管芯存在于微电子封装之内。在相同的或另一个实施方式中,一个或多个无源组件存在于微电子封装之内。图 2 是根据本发明的这一实施方式的微电子封装 200 的横截面图。如图 2 所示,微电子封装 200 包括:具有表面 211 和相反的表面 212 的载体 210;在表面 211 处的粘合层 220 和 221;分别通过粘合层 220 和 221 附接到表面 211 的管芯 230 和 231;密封材料 240,所述密封材料 240 在表面 211 处并且至少部分地围绕着管芯 230 和 231 以及粘合层 220 和 221;以及与密封材料 240 相邻的至少一个叠层 250。作为示例,载体 210、表面 211、表面 212、粘合层 220 和 221、管芯 230 和 231、密封材料 240 以及叠层 250 可以分别相似于载体 110、表面 111、表面 112、粘合层 120、管芯 130、密封材料 140 和叠层 150。

[0022] 尽管图 2 仅描绘了两个管芯 (管芯 230 和 231),但是在其它实施方式中,微电子封装 200 (或另一个微电子封装) 可以包括不止两个管芯。微电子封装 200 还包括至少一个无源组件 260,也如图 2 所示那样。如图所示,无源组件 260 (可以是电容器、电阻器、电感器等) 可以被附接到表面 211,并且至少部分地被密封材料 240 围绕着。除了无源组件 260 以外,微电子封装 200 (或另一个微电子封装) 可以包括在叠层 250 中的集成的薄膜电容器等 (未示出)。

[0023] 图 3 是根据本发明一实施方式的微电子封装的形成方法 300 的流程图。方法 300 的步骤 310 是提供载体。作为示例,该载体可以与图 1 所示载体 110 相似。作为另一个示例,该载体可以与图 4 第一次所示载体 410 相似,图 4 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 400 的横截面图。在一个实施方式中,图 4 描绘了可以在执行步骤 310 之后出现的微电子封装 400。如图 4 所示,载体 410 具有表面 411 和相反的表面 412。

[0024] 方法 300 的步骤 320 是将管芯附接到所述载体。作为示例,该管芯可以与图 1 所示管芯 130 相似。作为另一个示例,该管芯可以与图 5 第一次所示管芯 530 相似,图 5 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 400 的横截面图。在一个实施方式中,图 5 描绘了可以在执行步骤 320 之后出现的微电子封装 400。

[0025] 在一个实施方式中,步骤 320 包括:将粘合膜加到管芯或载体上 (或同时加到管芯和载体上);然后,使管芯和载体彼此物理接触,使得在管芯和载体之间形成粘合键。作为示例,该粘合膜可以是这样一种膜,它分解或者可以弱化到足以剥落或者从它所附接的管芯和 / 或载体上剥离。如图 5 所示,已用粘合膜 520 将管芯 530 附接到载体 410 上,粘合膜

520 可以相似于上文结合步骤 320 提及的粘合膜。图 5 也描绘了管芯 531, 它可以相似于管芯 530, 由此示出了可以在单个封装中同时处理两个 (或不止两个) 管芯。这些管芯可以随后被分离成单个的, 以提高制造生产率。在不同的实施方式中, 一次可以处理一个管芯。

[0026] 方法 300 的步骤 330 是用密封材料来密封管芯的至少一部分。作为一个示例, 密封材料可以相似于图 1 所示的密封材料 140。作为另一个示例, 该密封材料可以与图 6 第一次所示密封材料 640 相似, 图 6 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 400 的横截面图。在一个实施方式中, 图 6 描绘了可以在执行步骤 330 之后出现的微电子封装 400。

[0027] 方法 300 的步骤 340 是形成与密封材料相邻的至少一个叠加层。作为一个示例, 叠加层可以相似于图 1 所示的叠加层 150。作为另一个示例, 该叠加层可以与图 7 第一次所示叠加层 750 相似, 图 7 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 400 的横截面图。在一个实施方式中, 图 7 描绘了可以在执行步骤 340 之后出现的微电子封装 400。在一个实施方式中, 作为叠加过程的一部分, 步骤 340 包括在叠加层中形成集成薄膜电容器 (未示出)。

[0028] 方法 300 的步骤 350 是除去载体, 由此形成露出管芯的封装。相应地, 方法 300 可以被用于最终产品不需要散热器的实施方式中。或者, 该工艺流程可以与后-分离 IHS 附接一起使用, 如果以这种方式制造产品有优点的话。

[0029] 在一个实施方式中, 步骤 350 包括除去在管芯与载体之间的粘合键。作为一个示例, 除去粘合键可以包括向粘合键施加热辐射、紫外辐射等, 直到粘合键被剥离。图 8 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 400 的横截面图, 图 8 描绘了可以在执行步骤 350 之后出现的微电子封装 400。应该理解, 产生粘合键的粘合膜相对于管芯而言是非常薄的, 使得管芯背面与密封材料之间的实际间隙是很小的。该间隙应该很容易被下一层热界面材料填充。然而, 上述工艺流程中可以包括任选的平整化步骤, 为的是确保这两个表面的平整性。

[0030] 方法 300 的步骤 360 是将散热器附接到管芯的表面, 如果需要或想要散热器的话。在一个实施方式中, 通过使用管芯背面的 TIM (焊料、聚合物等), 并且通过使用在管芯之外的区域中的密封材料顶部与散热器之间的非导电粘合剂, 来附接散热器。作为一个示例, 该散热器可以与图 9 第一次所示散热器 970 相似, 图 9 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 400 的横截面图。在一个实施方式中, 步骤 360 可以省去, 使得微电子封装 400 不包括散热器, 适用于不需要或不想要散热器的应用。

[0031] 方法 300 的步骤 370 是将无源组件附接到载体上, 使得无源组件与管芯一起被密封材料至少部分地密封住。作为一个示例, 无源组件可以相似于图 2 所示的无源组件 260。作为另一个示例, 无源组件可以相似于图 9 第一次所示的无源组件 960。在一个实施方式中, 图 9 描绘了可以在执行步骤 370 之后出现的微电子封装 400。作为一个示例, 可以用与粘合层 120 中的粘合剂相似的粘合剂 (未示出) 将无源组件 960 附接到散热器 970。

[0032] 如果在所示的实施方式中同时处理多个管芯, 则步骤 370 之后可以跟着一个用于将这些多管芯面板分离成单个单元的处理过程。这些部件可以接下来经历合适的后端处理步骤, 以使它们成为球栅格阵列 (BGA)、平面栅格阵列 (LGA) 或引脚栅格阵列 (PGA) 组件。

[0033] 图 10 是根据本发明一实施方式的微电子封装的形成方法 1000 的流程图。方法

1000 的步骤 1010 是提供散热器。作为示例,该散热器可以与图 1 所示载体 110 相似。作为另一个示例,该散热器可以与图 11 第一次所示散热器 1110 相似,图 11 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 1100 的横截面图。在一个实施方式中,图 11 描绘了可以在执行步骤 1010 之后出现的微电子封装 1100。如图 11 所示,散热器 1110 具有表面 1111 和相反的表面 1112。

[0034] 方法 1000 的步骤 1020 是将管芯附接到所述散热器。作为示例,该管芯可以与图 1 所示管芯 130 相似。作为另一个示例,该管芯可以与图 12 第一次所示管芯 1230 相似,图 12 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 1100 的横截面图。在一个实施方式中,图 12 描绘了可以在执行步骤 1020 之后出现的微电子封装 1100。图 12 也描绘了管芯 1231,它可以相似于管芯 1230,由此示出了可以在单个封装中同时处理两个(或不止两个)管芯。这些管芯可以随后被分离成单个的,以提高制造生产率。在不同的实施方式中,一次可以处理一个管芯。

[0035] 在一个实施方式中,步骤 1020 包括:将 TIM 加到管芯与散热器中的至少一个上;接下来使管芯与散热器彼此物理接触,使得在管芯与散热器之间形成粘合键。在其它实施方式中,以某种其它方式实现步骤 1020,比如,通过使用热固化粘合剂、焊料等来实现步骤 1020。作为一个示例,上述 TIM 可以相似于图 12 所示定位的 TIM 1220,由此在散热器 1110 与管芯 1230 之间产生粘合键。

[0036] 在特定的实施方式中,TIM 1220 是 TIM 预成型坯。在相同的或另一个实施方式中,TIM 1220 是薄 TIM,在与上述类型的薄化管芯相结合时,形成了薄管芯/薄 TIM(TDIT)封装环境的一部分。如图 12 所示,微电子封装 1100 还包括 TIM 1221,它可以相似于 TIM 1220,由此在散热器 1110 和管芯 1231 之间产生粘合键。

[0037] 方法 1000 的步骤 1030 是用密封材料来密封管芯的至少一部分。作为一个示例,密封材料可以相似于图 1 所示的密封材料 140。作为另一个示例,该密封材料可以与图 13 第一次所示密封材料 1340 相似,图 13 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 1100 的横截面图。在一个实施方式中,图 13 描绘了可以在执行步骤 1030 之后出现的微电子封装 1100。在一个实施方式中,步骤 1030 包括:通过使用传递模塑工艺、压缩模塑工艺、注射模塑工艺等中的一种,来施加上述密封材料。这些和其它模塑工艺中的一种或多种可以使微电子封装 1100(以及根据本发明的其它微电子封装)的成本更低且生产率更高。

[0038] 方法 1000 的步骤 1040 是形成与密封材料相邻的至少一个叠层。作为一个示例,叠层可以相似于图 1 所示的叠层 150。作为另一个示例,该叠层可以与图 14 第一次所示叠层 1450 相似,图 14 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 1100 的横截面图。在一个实施方式中,图 14 描绘了可以在执行步骤 1040 之后出现的微电子封装 1100。

[0039] 在一个实施方式中,步骤 1040 包括通过使用下列工艺技术使叠层图案化:半加成图案化工艺;激光投影图案化(LPP)工艺;等离子体蚀刻工艺;液体抗蚀工艺;溅射工艺;或其它先进的细线图案化技术。如果期望的话,可以使用不止一个这样的技术。在相同的或其它实施方式中,步骤 1040 包括将集成的薄膜电容器嵌入到微电子封装中。

[0040] 方法 1000 的步骤 1050 是将无源组件附接到散热器上,使得无源组件与管芯一起

被密封材料至少部分地密封住。作为一个示例,无源组件可以相似于图 2 所示的无源组件 260。作为另一个示例,该无源组件可以与图 15 第一次所示无源组件 1560 相似,图 15 是根据本发明一实施方式的制造过程中特定时刻的微电子封装 1100 的横截面图。在一个实施方式中,图 15 描绘了可以在执行步骤 1050 之后出现的微电子封装 1100。作为一个示例,可以用与粘合层 120 中的粘合剂相似的粘合剂(未示出)将无源组件 1560 附接到散热器 1110。

[0041] 如果在所示的实施方式中同时处理多个管芯,则步骤 1050 之后可以跟着一个用于将这些多管芯面板分离成单个单元的处理过程。这些部件可以接下来经历合适的后端处理步骤,以使它们成为球栅格阵列(BGA)、平面栅格阵列(LGA)或引脚栅格阵列(PGA)组件。

[0042] 尽管已参照具体的实施方式对本发明进行了描述,但是本领域技术人员应该理解,在不背离本发明的精神和范围的情况下可以作出各种改变。相应地,本发明各实施方式的揭示旨在示出本发明的范围,而非用于限制。本发明的范围仅由权利要求书来限定。例如,对于本领域普通技术人员而言,很明显的是,本文所讨论的微电子封装和相关方法可以按各种实施方式来实现,上文所讨论的这些实施方式并不必然代表完全描述了所有可能的实施方式。

[0043] 另外,结合具体实施方式描述了诸多益处、其它优点和解决方案。然而,诸多益处、优点、解决方案以及可能导致任何益处、优点等的元素并不被解释为关键的、必需的或必不可少的特征或元素。

[0044] 此外,本文所揭示的实施方式和限定特征在下列情况下不被公之于众:(1) 该实施方式和 / 或限定特征没有被明确写入权利要求;以及(2) 该实施方式和 / 或限定特征是权利要求书中的元素和 / 或限定特征的等价方案。

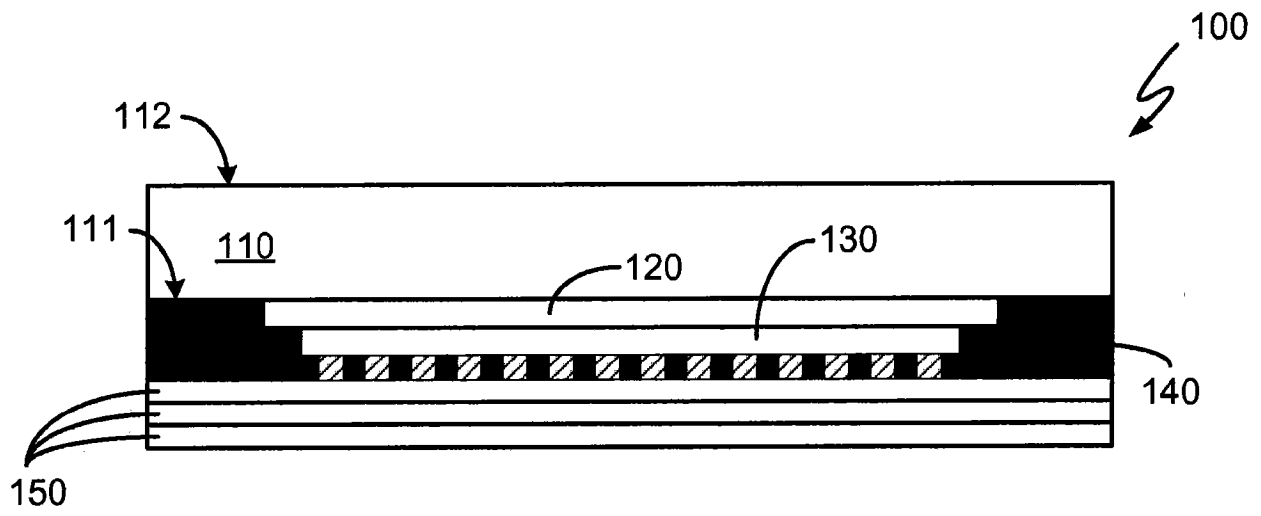


图 1

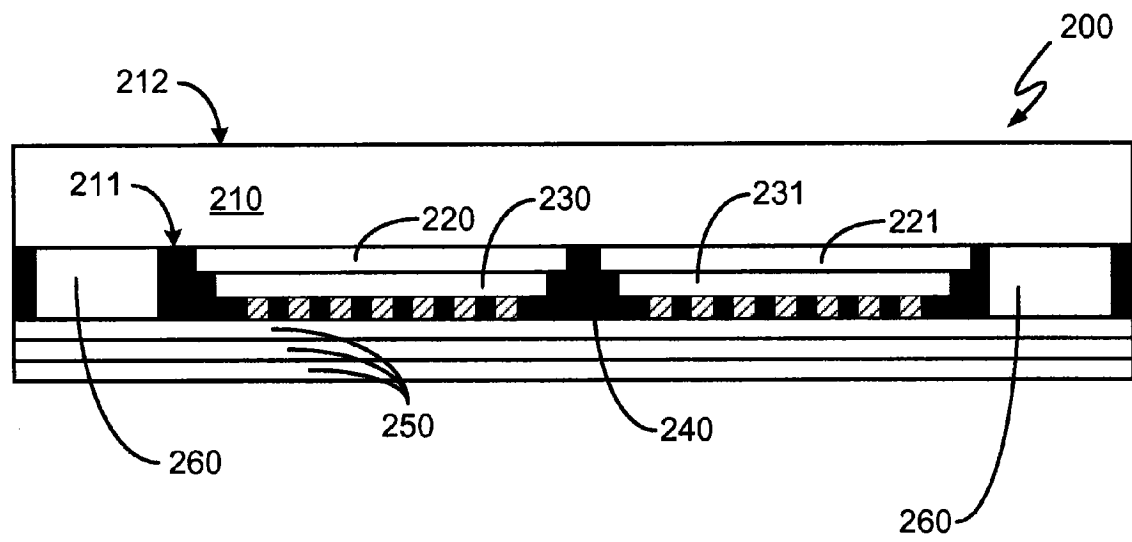


图 2

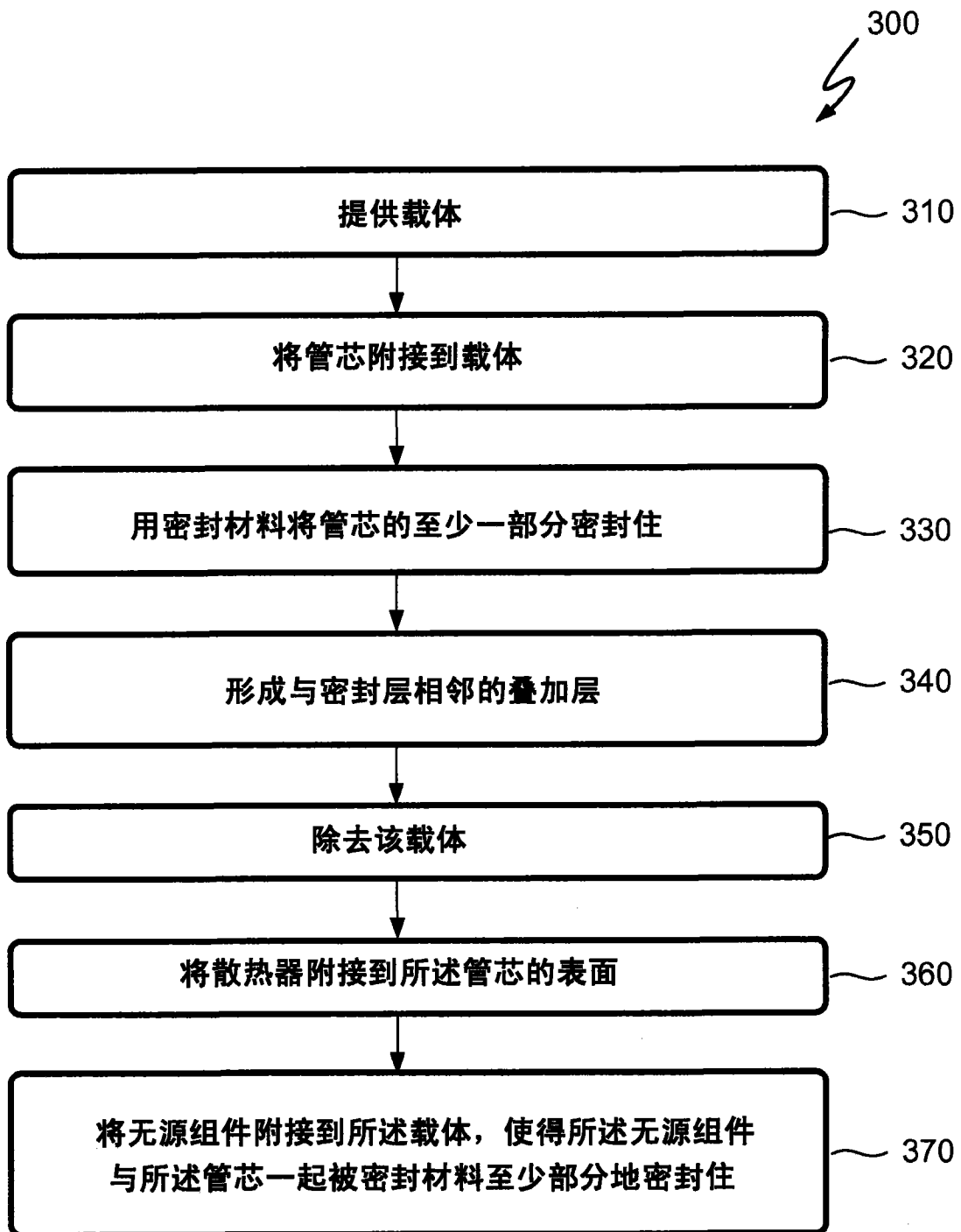


图 3

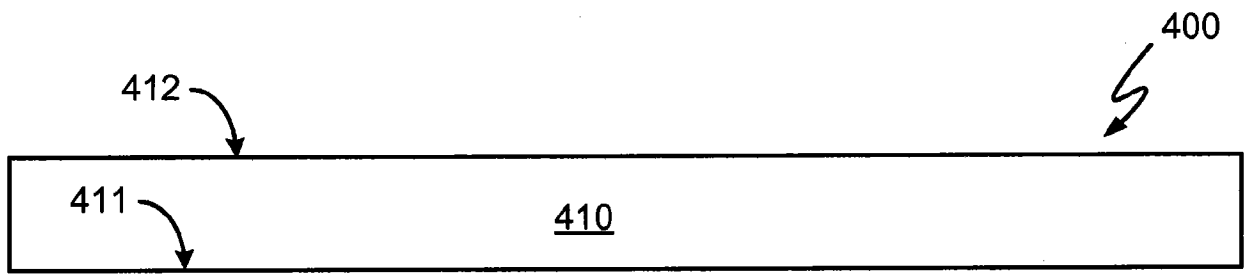


图 4

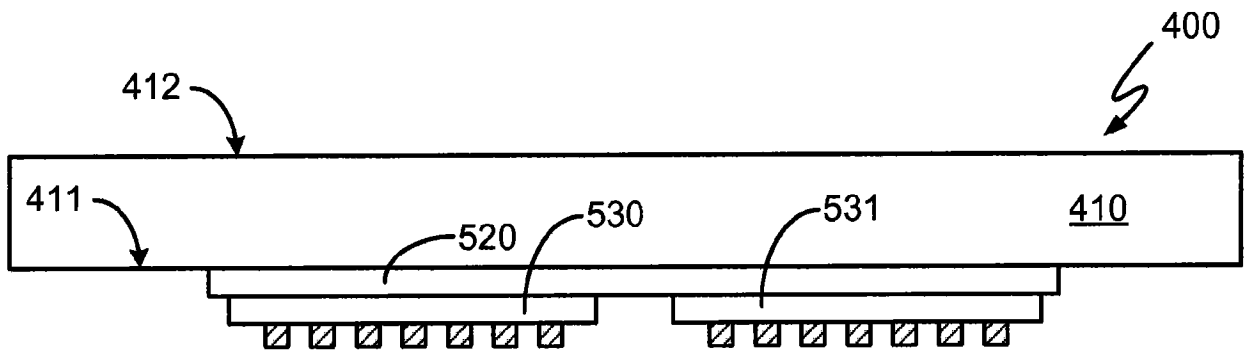


图 5

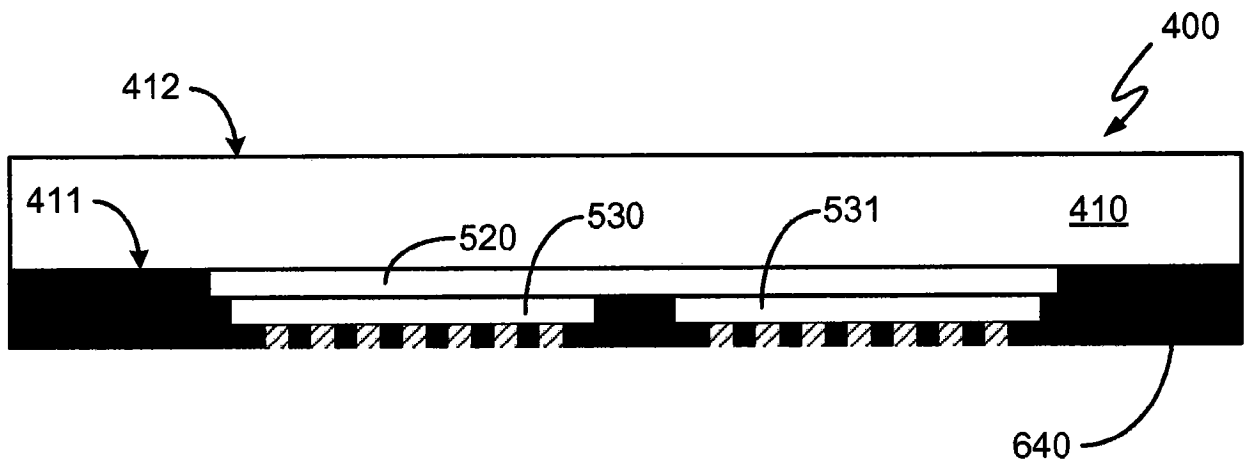


图 6

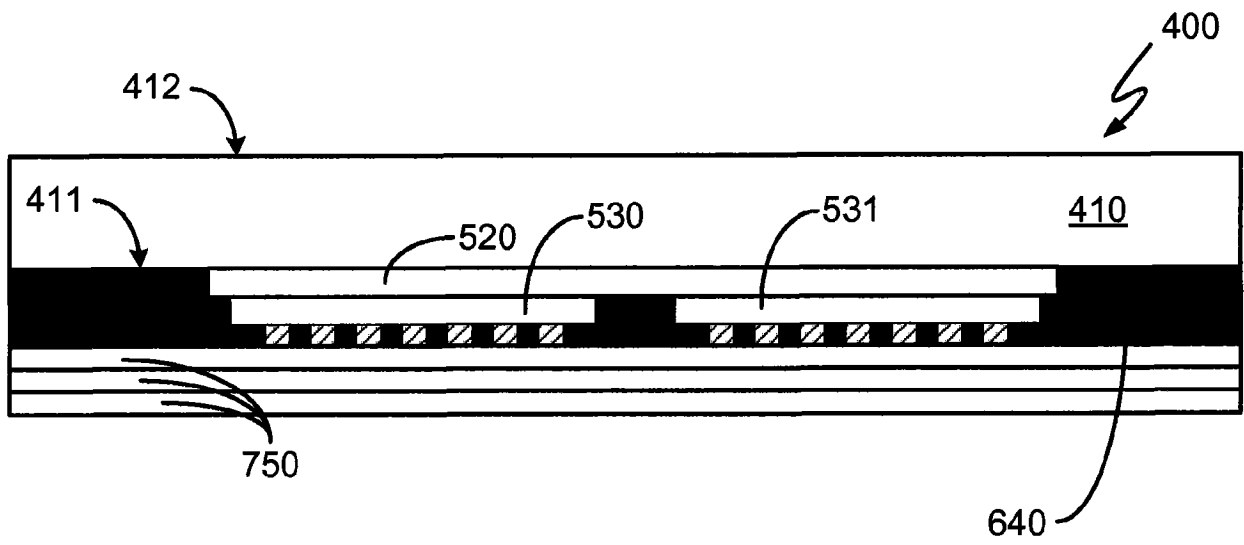


图 7

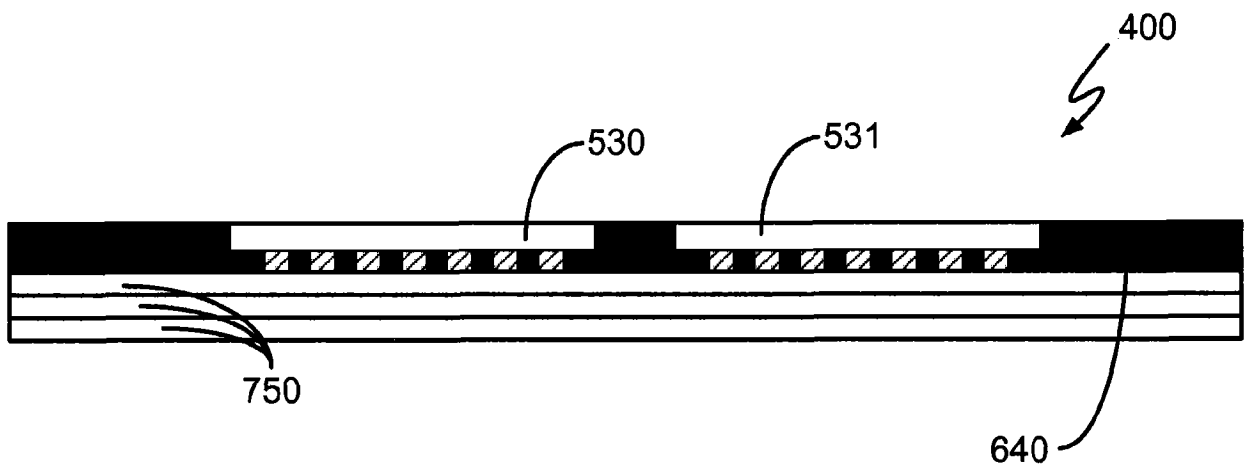


图 8

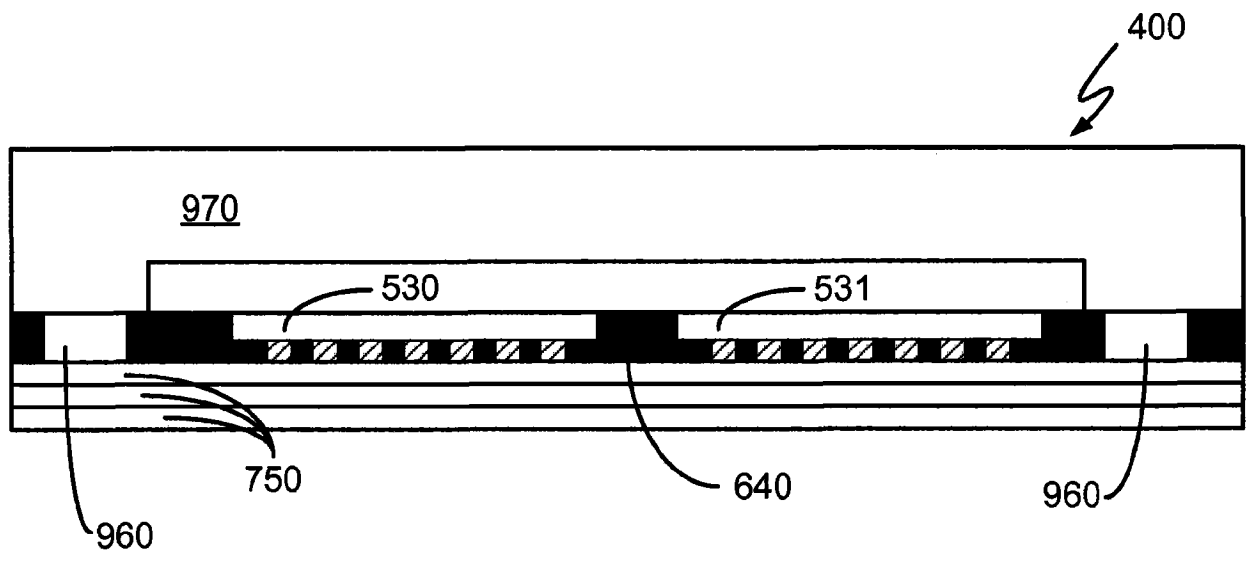


图 9

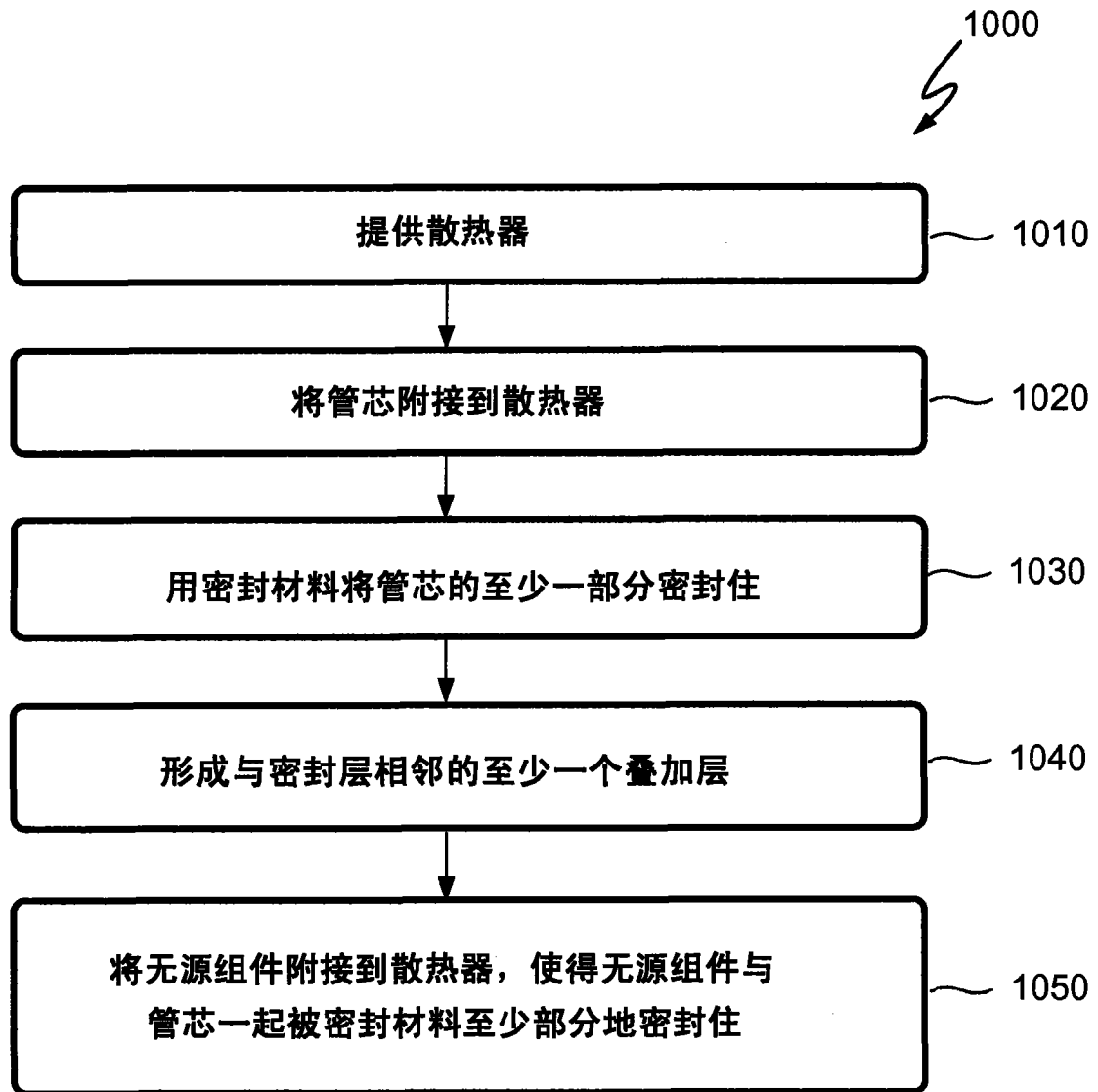


图 10

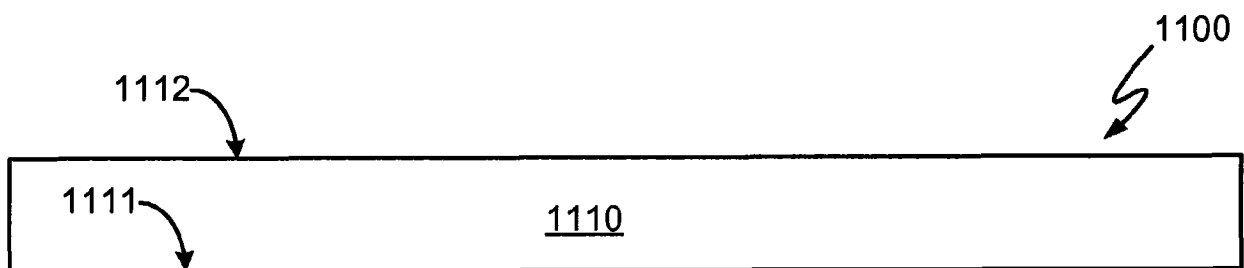


图 11

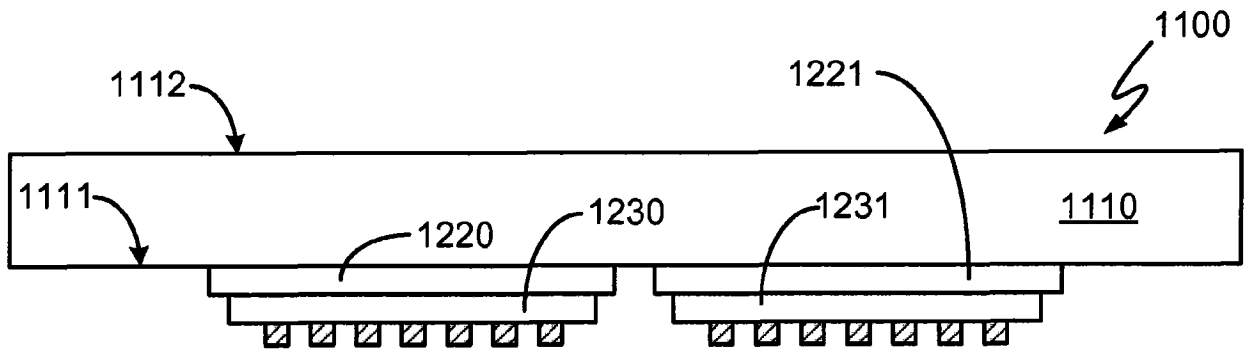


图 12

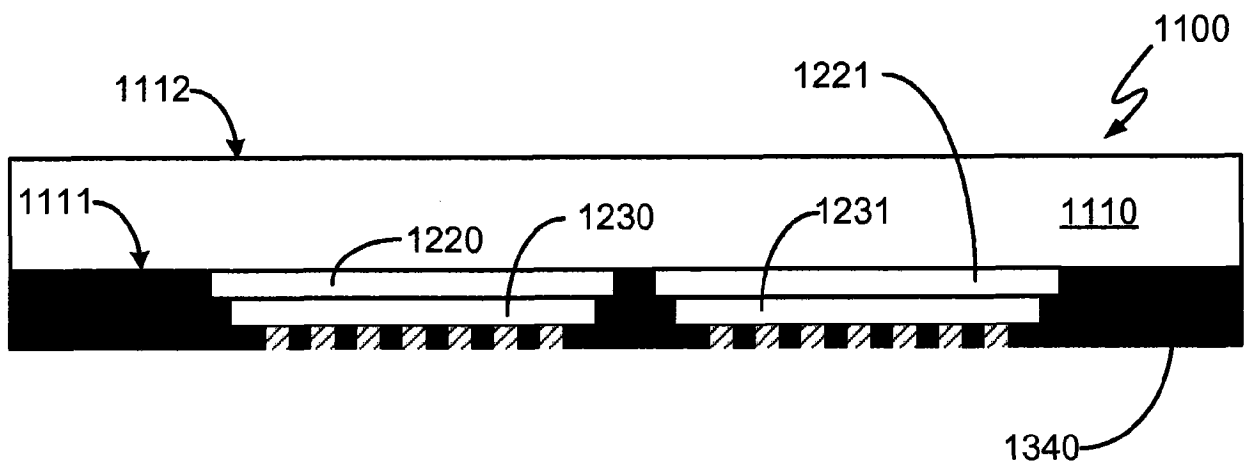


图 13

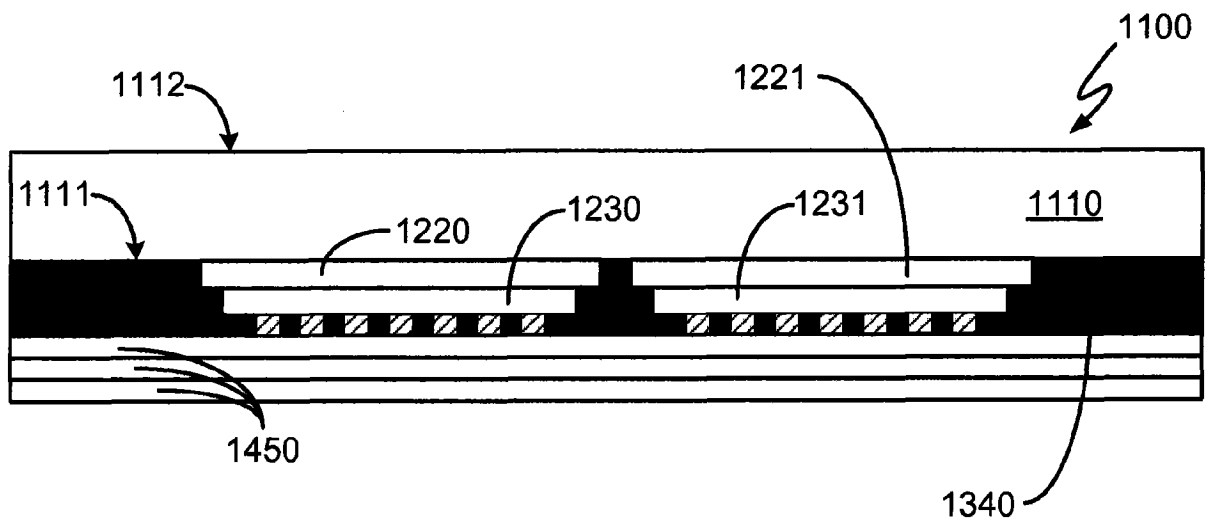


图 14

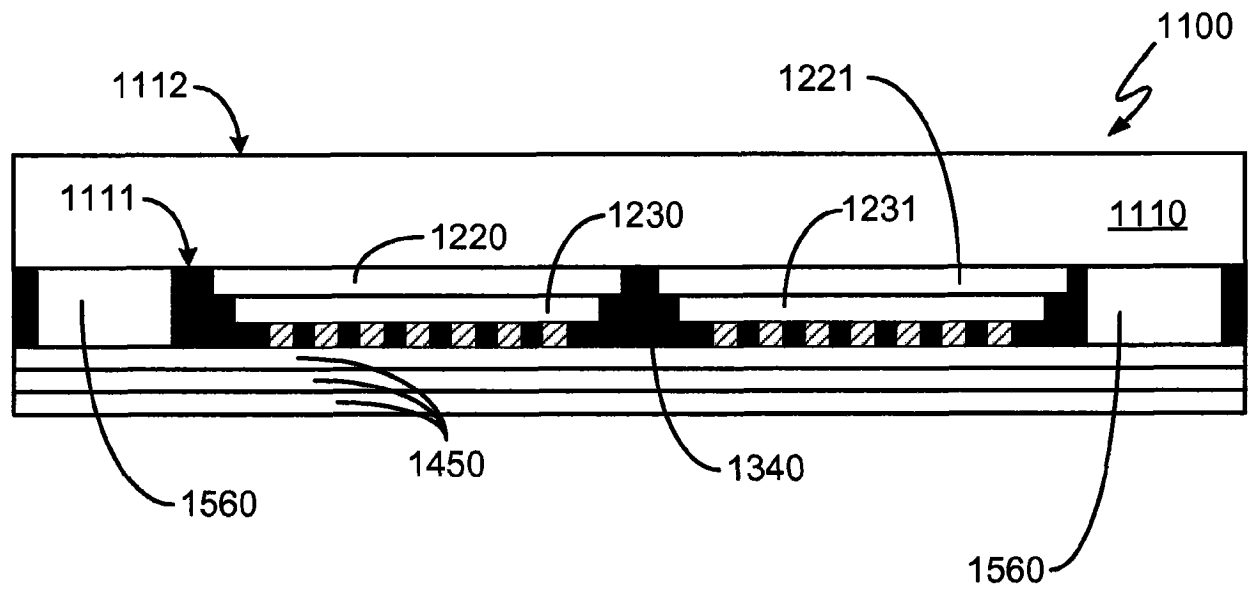


图 15