



(12) 发明专利申请

(10) 申请公布号 CN 105006433 A

(43) 申请公布日 2015. 10. 28

(21) 申请号 201410291220. 4

(22) 申请日 2014. 06. 25

(30) 优先权数据

14/254, 072 2014. 04. 16 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 江国诚 冯家馨 张智胜 吴志强

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社泉 孙征

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

H01L 29/10(2006. 01)

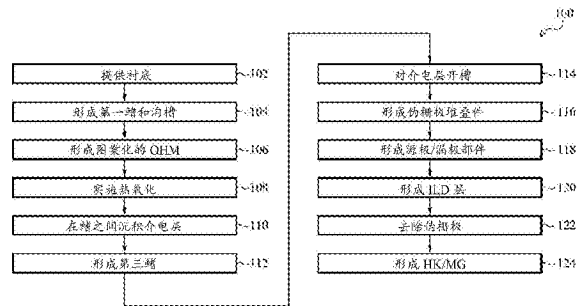
权利要求书3页 说明书13页 附图19页

(54) 发明名称

FinFET 器件的结构及其形成方法

(57) 摘要

本发明提供了一种用于制造鳍式场效应晶体管 (FinFET) 的方法。该方法包括: 在衬底上方形成第一鳍结构, 在衬底上方形成图案化的氧化硬掩模 (OHM) 以暴露 n 型 FET 区的第一栅极区中的第一鳍结构, 在第一栅极区中的第一鳍结构的中部中形成半导体氧化物部件, 在 PFET 区中形成第二鳍结构, 形成伪栅极, 形成源极 / 漏极 (S/D) 部件, 由 NFET 区中的第一高 k / 金属栅极 (HK/MG) 和 PFET 区中的第二 HK/MG 替换伪栅极。本发明也提供了 FinFET 器件的结构及其形成方法。



1. 一种方法,包括:

提供具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区的衬底;

在所述 NFET 区和所述 PFET 区中形成第一鳍结构;

在所述 NFET 区和所述 PFET 区上方形成图案化的氧化硬掩模 (OHM) 以暴露所述 NFET 区的第一栅极区中的所述第一鳍结构;

在所述第一栅极区中的所述第一鳍结构的中部中形成半导体氧化物部件;

在以硬掩模层覆盖所述 NFET 之后在所述 PFET 区中形成第二鳍结构;

在所述第二鳍结构中的第二栅极区和所述第一栅极区中形成伪栅极;

在所述 NFET 中的所述第一鳍结构中的第一源极 / 漏极 (S/D) 区中形成第一 S/D 部件;

在 PFET 中的所述第二鳍结构中的第二 S/D 区中形成第二 S/D 部件;

由所述 NFET 区中的第一高 k/ 金属栅极 (HK/MG) 替换所述伪栅极, 并且所述第一 HK/MG 环绕在所述第一栅极区中的所述第一鳍结构的上部上方; 以及

由所述 PFET 区中的第二 HK/MG 替换所述伪栅极, 并且所述第二 HK/MG 环绕在所述第二栅极区中的所述第二鳍结构的上部上方。

2. 根据权利要求 1 所述的方法, 其中, 形成所述第一鳍结构包括:

在所述衬底上方外延生长第一半导体材料层;

在所述第一半导体材料层的顶部上外延生长第二半导体材料层; 以及

蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟槽;

其中, 所述第二半导体材料层是所述第一鳍结构的上部, 所述第一半导体材料层是所述第一鳍结构的所述中部, 并且所述衬底是所述第一鳍结构的底部。

3. 根据权利要求 1 所述的方法, 其中, 形成所述图案化的 OHM 层包括:

在所述 NFET 区和所述 PFET 区上方沉积 OHM 层; 以及

穿过图案化的光刻胶层蚀刻所述 OHM 层以从所述第一栅极区去除所述 OHM 层。

4. 根据权利要求 2 所述的方法, 其中, 在所述第一栅极区中的所述第一鳍结构的所述中部中形成所述半导体氧化物部件包括:

对暴露的所述第一鳍结构施加热氧化工艺; 以及

将所述第一半导体材料层的外层转变为所述半导体氧化物部件。

5. 根据权利要求 2 所述的方法, 其中, 在所述 PFET 区中形成所述第二鳍结构包括:

形成所述硬掩模层以覆盖所述 NFET 区;

对所述第一鳍结构的所述第二半导体材料层开槽; 以及

在凹进的第二半导体材料层的顶部上外延生长第三半导体材料层。

6. 根据权利要求 2 所述的方法, 其中, 所述第一 HK/MG 环绕在所述第一鳍结构的所述第二半导体材料层上方。

7. 根据权利要求 2 所述的方法, 其中, 所述第二 HK/MG 环绕在所述第二鳍结构的第三半导体材料层上方。

8. 根据权利要求 2 所述的方法, 其中, 形成所述第一 S/D 部件包括:

对所述第一鳍结构中的所述第二半导体材料层开槽; 以及

在凹进的第二半导体材料层的顶部上外延生长所述第一半导体 S/D 部件。

9. 一种方法,包括:

提供具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区的衬底;

在所述 NFET 区和所述 PFET 区中形成第一鳍结构,其中,每个所述第一鳍结构均包括:所述衬底,作为所述第一鳍结构的底部;

第一外延生长的硅锗 (SiGe) 层,作为所述第一鳍结构的中部;以及

硅 (Si) 层,作为所述第一鳍结构的上部;

在所述 NFET 区和所述 PFET 区上方形成图案化的氧化硬掩模 (OHM) 以暴露所述 NFET 区的第一栅极区中的所述第一鳍结构;

施加热氧化工艺以将所述 SiGe 层的外层转变为 SiGeO 部件;

对所述 PFET 区中的所述第一鳍结构中的所述 Si 层的一部分开槽;

在凹进的 Si 层的顶部上外延生长第二 SiGe 层以形成第二鳍结构;

在所述 NFET 中的所述第一栅极区和所述 PFET 中的第二栅极区中形成多晶硅栅极;

对由所述 NFET 区中的所述第一栅极区分隔开的所述第一源极/漏极 (S/D) 区中的所述 Si 层开槽;

在所述凹进的 Si 层的顶部上形成第一源极/漏极 (S/D) 部件,所述第一 S/D 部件具有作为所述第一 S/D 部件的下部的 Si:C 和作为所述第一 S/D 部件的上部的 Si:P;

对由所述 PFET 中的所述第二栅极区分隔开的第二 S/D 区中的所述第二 SiGe 层开槽;以及

在凹进的 SiGe 层的顶部上形成 SiGeB S/D 部件。

10. 一种鳍式场效应晶体管 (FinFET) 器件,包括:

衬底,具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区;

第一源极/漏极 (S/D) 区,由所述 NFET 区中的第一栅极区分隔开;

第二源极/漏极 (S/D) 区,由所述 PFET 区中的第二栅极区分隔开;

第一高 k/金属栅极 (HK/MG),位于所述第一栅极区中,并且所述第一 HK/MG 环绕在第一鳍结构的上部上方,所述第一鳍结构包括:

外延的硅 (Si) 层,作为所述第一鳍结构的上部;

外延生长的硅锗 (SiGe),作为所述第一鳍结构的中部,所述外延生长的 SiGe 的外层是氧化硅锗 (SiGeO) 部件;及

所述衬底,作为所述第一鳍结构的底部;

第二 HK/MG,位于所述第二栅极区中,并且所述第二 HK/MG 环绕在第二鳍结构的上部上方,所述第二鳍结构包括:

外延的 SiGe 层,作为所述第二鳍结构的上部;

外延的 Si 层,作为所述第二鳍结构的中上部;

外延的 SiGe 层,作为所述第二鳍结构的中下部;及

所述衬底,作为所述第二鳍结构的底部;

第一 S/D 部件,位于所述第一鳍结构的顶部上,所述第一 S/D 部件在所述第一 S/D 区中具有凹进的 Si 层,所述第一 S/D 部件包括:

Si:C 层,作为所述第一 S/D 部件的下部;及

Si:P 层,作为所述第一 S/D 部件的上部;以及

SiGeB S/D 部件,位于所述第二鳍结构的顶部上,所述 SiGeB S/D 部件在所述第二 S/D 区中具有凹进的 SiGe 层。

FinFET 器件的结构及其形成方法

[0001] 相关申请的交叉引用

[0002] 本申请与 2013 年 1 月 14 日提交的标题为“半导体器件及其制造方法 (Semiconductor Device and Fabricating the Same)”的美国专利申请第 13/740,373 号;2013 年 5 月 24 日提交的标题为“FinFET 器件及其制造方法 (FinFET Device and Method of Fabricating Same)”的美国专利申请第 13/902,322 号;2013 年 7 月 3 日提交的标题为“半导体器件的鳍结构 (Fin Structure of Semiconductor Device)”的美国专利申请第 13/934,992 号以及 2014 年 1 月 15 日提交的标题为“半导体器件及其形成方法 (Semiconductor Device and Formation Thereof)”的美国专利申请第 14/155,793 号相关,其全部内容结合于此作为参考。

技术领域

[0003] 本发明总体涉及半导体技术领域,更具体地,涉及 FinFET 器件的结构及其形成方法。

背景技术

[0004] 半导体集成电路 (IC) 工业已经经历了指数增长。IC 材料和设计中的技术进步已经产生了多代 IC,其中,每一代都具有比前一代更小和更复杂的电路。在 IC 演化的过程中,功能密度 (即,每芯片面积的互连器件的数量) 已经普遍增大,而几何尺寸 (即,使用制造工艺可以形成的最小组件 (或线)) 减小。这个按比例缩小的工艺通常通过提高生产效率和降低相关成本来提供益处。

[0005] 这种按比例缩小也已经增加了处理和制造 IC 的复杂性,并且为了实现这些进步,需要在 IC 处理和制造中进行类似的发展。例如,已经引入诸如鳍式场效应晶体管 (FinFET) 的三维晶体管以替换平面晶体管。虽然现有的 FinFET 器件及其制造方法对于它们的预期目的通常已经能够胜任,但是它们并不是在所有方面都完全令人满意。

发明内容

[0006] 为了解决现有技术中的问题,本发明提供了一种方法,包括:提供具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区的衬底;在所述 NFET 区和所述 PFET 区中形成第一鳍结构;在所述 NFET 区和所述 PFET 区上方形成图案化的氧化硬掩模 (OHM) 以暴露所述 NFET 区的第一栅极区中的所述第一鳍结构;在所述第一栅极区中的所述第一鳍结构的中部中形成半导体氧化物部件;在以硬掩模层覆盖所述 NFET 之后在所述 PFET 区中形成第二鳍结构;在所述第二鳍结构中的第二栅极区和所述第一栅极区中形成伪栅极;在所述 NFET 中的所述第一鳍结构中的第一源极/漏极 (S/D) 区中形成第一 S/D 部件;在 PFET 中的所述第二鳍结构中的第二 S/D 区中形成第二 S/D 部件;由所述 NFET 区中的第一高 k/金属栅极 (HK/MG) 替换所述伪栅极,并且所述第一 HK/MG 环绕在所述第一栅极区中的所述第一鳍结构的上部上方;以及由所述 PFET 区中的第二 HK/MG 替换所述伪栅极,并

且所述第二 HK/MG 环绕在所述第二栅极区中的所述第二鳍结构的上部上方。

[0007] 在上述方法中,其中,形成所述第一鳍结构包括:在所述衬底上方外延生长第一半导体材料层;在所述第一半导体材料层的顶部上外延生长第二半导体材料层;以及蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟槽;其中,所述第二半导体材料层是所述第一鳍结构的上部,所述第一半导体材料层是所述第一鳍结构的所述中部,并且所述衬底是所述第一鳍结构的底部。

[0008] 在上述方法中,其中,形成所述图案化的 OHM 层包括:在所述 NFET 区和所述 PFET 区上方沉积 OHM 层;以及穿过图案化的光刻胶层蚀刻所述 OHM 层以从所述第一栅极区去除所述 OHM 层。

[0009] 在上述方法中,其中,形成所述第一鳍结构包括:在所述衬底上方外延生长第一半导体材料层;在所述第一半导体材料层的顶部上外延生长第二半导体材料层;以及蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟槽;其中,所述第二半导体材料层是所述第一鳍结构的上部,所述第一半导体材料层是所述第一鳍结构的所述中部,并且所述衬底是所述第一鳍结构的底部;在所述第一栅极区中的所述第一鳍结构的所述中部中形成所述半导体氧化物部件包括:对暴露的所述第一鳍结构施加热氧化工艺;以及将所述第一半导体材料层的外层转变为所述半导体氧化物部件。

[0010] 在上述方法中,其中,形成所述第一鳍结构包括:在所述衬底上方外延生长第一半导体材料层;在所述第一半导体材料层的顶部上外延生长第二半导体材料层;以及蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟槽;其中,所述第二半导体材料层是所述第一鳍结构的上部,所述第一半导体材料层是所述第一鳍结构的所述中部,并且所述衬底是所述第一鳍结构的底部;在所述 PFET 区中形成所述第二鳍结构包括:形成所述硬掩模层以覆盖所述 NFET 区;对所述第一鳍结构的所述第二半导体材料层开槽;以及在凹进的所述第二半导体材料层的顶部上外延生长第三半导体材料层。

[0011] 在上述方法中,其中,形成所述第一鳍结构包括:在所述衬底上方外延生长第一半导体材料层;在所述第一半导体材料层的顶部上外延生长第二半导体材料层;以及蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟槽;其中,所述第二半导体材料层是所述第一鳍结构的上部,所述第一半导体材料层是所述第一鳍结构的所述中部,并且所述衬底是所述第一鳍结构的底部;所述第一 HK/MG 环绕在所述第一鳍结构的所述第二半导体材料层上方。

[0012] 在上述方法中,其中,形成所述第一鳍结构包括:在所述衬底上方外延生长第一半导体材料层;在所述第一半导体材料层的顶部上外延生长第二半导体材料层;以及蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟槽;其中,所述第二半导体材料层是所述第一鳍结构的上部,所述第一半导体材料层是所述第一鳍结构的所述中部,并且所述衬底是所述第一鳍结构的底部;所述第二 HK/MG 环绕在所述第二鳍结构的第三半导体材料层上方。

[0013] 在上述方法中,其中,形成所述第一鳍结构包括:在所述衬底上方外延生长第一半导体材料层;在所述第一半导体材料层的顶部上外延生长第二半导体材料层;以及蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟

槽；其中，所述第二半导体材料层是所述第一鳍结构的上部，所述第一半导体材料层是所述第一鳍结构的所述中部，并且所述衬底是所述第一鳍结构的底部；形成所述第一 S/D 部件包括：对所述第一鳍结构中的所述第二半导体材料层开槽；以及在凹进的所述第二半导体材料层的顶部上外延生长所述第一半导体 S/D 部件。

[0014] 在上述方法中，其中，形成所述第一鳍结构包括：在所述衬底上方外延生长第一半导体材料层；在所述第一半导体材料层的顶部上外延生长第二半导体材料层；以及蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟槽；其中，所述第二半导体材料层是所述第一鳍结构的上部，所述第一半导体材料层是所述第一鳍结构的所述中部，并且所述衬底是所述第一鳍结构的底部；形成所述第一 S/D 部件包括：对所述第一鳍结构中的所述第二半导体材料层开槽；以及在凹进的所述第二半导体材料层的顶部上外延生长所述第一半导体 S/D 部件；还包括：对所述第一半导体 S/D 部件的下部施加第一掺杂工艺；以及对所述第一半导体 S/D 部件的上部施加第二掺杂工艺。

[0015] 在上述方法中，其中，形成所述第一鳍结构包括：在所述衬底上方外延生长第一半导体材料层；在所述第一半导体材料层的顶部上外延生长第二半导体材料层；以及蚀刻所述第一半导体材料层和所述第二半导体材料层以在所述衬底中形成所述第一鳍结构和沟槽；其中，所述第二半导体材料层是所述第一鳍结构的上部，所述第一半导体材料层是所述第一鳍结构的所述中部，并且所述衬底是所述第一鳍结构的底部；形成所述第二 S/D 部件包括：对所述第二鳍结构中的第三半导体材料层开槽；在凹进的第三半导体材料层的顶部上外延生长第二半导体 S/D 部件；以及对所述第二半导体 S/D 部件施加第三掺杂工艺。

[0016] 在上述方法中，还包括：在所述 PFET 区中形成所述第二鳍结构之前，去除所述图案化的 OHM；以及在形成所述第二鳍结构之前，形成所述硬掩模层以覆盖所述 NFET 区。

[0017] 在上述方法中，还包括：在所述 PFET 区中形成所述第二鳍结构之前，去除所述图案化的 OHM；以及在形成所述第二鳍结构之前，形成所述硬掩模层以覆盖所述 NFET 区；还包括：在形成所述第二鳍结构之后，去除所述硬掩模层；以及在所述 NFET 区中的所述第一鳍结构和所述 PFET 区中的所述第二鳍结构之间形成介电隔离层。

[0018] 在上述方法中，其中，由所述第一 HK/MG 替换所述伪栅极包括：选择性地去除所述伪栅极以在所述 NFET 区中形成第一栅极沟槽；以及在所述第一栅极沟槽中形成所述第一 HK/MG。

[0019] 在上述方法中，其中，由所述第二 HK/MG 替换所述伪栅极包括：选择性地去除所述伪栅极以在所述 PFET 区中形成第二栅极沟槽；以及在所述第二栅极沟槽中形成所述第二 HK/MG。

[0020] 根据本发明的另一个方面，提供了一种方法，包括：提供具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区的衬底；在所述 NFET 区和所述 PFET 区中形成第一鳍结构，其中，每个所述第一鳍结构均包括：所述衬底，作为所述第一鳍结构的底部；第一外延生长的硅锗 (SiGe) 层，作为所述第一鳍结构的中部；以及硅 (Si) 层，作为所述第一鳍结构的上部；在所述 NFET 区和所述 PFET 区上方形成图案化的氧化硬掩模 (OHM) 以暴露所述 NFET 区的第一栅极区中的所述第一鳍结构；施加热氧化工艺以将所述 SiGe 层的外层转变为 SiGeO 部件；对所述 PFET 区中的所述第一鳍结构中的所述 Si 层的一部分开槽；在凹进的 Si 层的顶部上外延生长第二 SiGe 层以形成第二鳍结构；在所述 NFET 中的所述第一

栅极区和所述 PFET 中的第二栅极区中形成多晶硅栅极；对由所述 NFET 区中的所述第一栅极区分隔开的所述第一源极 / 漏极 (S/D) 区中的所述 Si 层开槽；在所述凹进的 Si 层的顶部上形成第一源极 / 漏极 (S/D) 部件，所述第一 S/D 部件具有作为所述第一 S/D 部件的下部的 Si:C 和作为所述第一 S/D 部件的上部的 Si:P；对由所述 PFET 中的所述第二栅极区分隔开的第二 S/D 区中的所述第二 SiGe 层开槽；以及在凹进的 SiGe 层的顶部上形成 SiGeB S/D 部件。

[0021] 在上述方法中，还包括：去除所述多晶硅栅极；在所述第一栅极区中形成第一高 k/ 金属栅极 (HK/MG)，并且所述第一 HK/MG 环绕在所述第一栅极区中的所述第一鳍结构的所述 Si 层上方；以及在所述第二栅极区中形成第二 HK/MG，并且所述第二 HK/MG 环绕在所述第二栅极区中的所述第二鳍结构的所述第二 SiGe 层上方。

[0022] 在上述方法中，还包括：在所述 PFET 区中形成所述第二鳍结构之前，去除所述图案化的 OHM；以及在形成所述第二鳍结构之前，形成硬掩模层以覆盖所述 NFET 区。

[0023] 在上述方法中，还包括：在形成所述第二鳍结构之后，去除所述硬掩模层；以及在所述 NFET 区中的所述第一鳍结构和所述 PFET 区中的所述第二鳍结构之间形成介电隔离层。

[0024] 根据本发明的又一个方面，提供了一种鳍式场效应晶体管 (FinFET) 器件，包括：

[0025] 衬底，具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区；第一源极 / 漏极 (S/D) 区，由所述 NFET 区中的第一栅极区分隔开；第二源极 / 漏极 (S/D) 区，由所述 PFET 区中的第二栅极区分隔开；第一高 k/ 金属栅极 (HK/MG)，位于所述第一栅极区中，并且所述第一 HK/MG 环绕在第一鳍结构的上部上方，所述第一鳍结构包括：外延的硅 (Si) 层，作为所述第一鳍结构的上部；外延生长的硅锗 (SiGe)，作为所述第一鳍结构的中部，所述外延生长的 SiGe 的外层是氧化硅锗 (SiGeO) 部件；及所述衬底，作为所述第一鳍结构的底部；第二 HK/MG，位于所述第二栅极区中，并且所述第二 HK/MG 环绕在第二鳍结构的上部上方，所述第二鳍结构包括：外延的 SiGe 层，作为所述第二鳍结构的上部；外延的 Si 层，作为所述第二鳍结构的中上部；外延的 SiGe 层，作为所述第二鳍结构的中下部；及所述衬底，作为所述第二鳍结构的底部；第一 S/D 部件，位于所述第一鳍结构的顶部上，所述第一 S/D 部件在所述第一 S/D 区中具有凹进的 Si 层，所述第一 S/D 部件包括：Si:C 层，作为所述第一 S/D 部件的下部；及 Si:P 层，作为所述第一 S/D 部件的上部；以及 SiGeB S/D 部件，位于所述第二鳍结构的顶部上，所述 SiGeB S/D 部件在所述第二 S/D 区中具有凹进的 SiGe 层。

[0026] 在上述器件中，其中：作为所述第一鳍结构的上部的所述 Si 层的宽度在约 4nm 至约 10nm 的范围内且厚度在约 20nm 至约 40nm 的范围内；作为所述第一鳍结构的中部的所述 SiGe 层的厚度在约 20nm 至约 90nm 的范围内且 Ge 组分（以原子百分比计）在约 30% 至约 80% 的范围内；所述 SiGeO 部件的厚度在约 3nm 至约 10nm 的范围内；作为所述第二鳍结构的上部的所述 SiGe 层的厚度在约 20nm 至约 40nm 的范围内且 Ge 组分（以原子百分比计）在约 45% 至约 100% 的范围内；所述第一鳍结构中的所述凹进的 Si 层的剩余厚度在约 3nm 至约 10nm 的范围内；所述 Si:C 层的厚度在约 5nm 至约 15nm 的范围内且 C 组分（以原子百分比计）在约 0.5% 至约 1.5% 的范围内；所述 Si:P 层的厚度在约 20nm 至约 35nm 的范围内；所述第二鳍结构中的所述凹进的 SiGe 层的剩余厚度在约 3nm 至约 10nm 的范围内；

以及所述 SiGeB 层的厚度在约 20nm 至约 35nm 的范围内且 Ge 组分（以原子百分比计）在约 60% 至约 100% 的范围内。

附图说明

[0027] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明的各方面。应该注意,根据工业中的标准实践,图中的各个部件未按比例绘出。实际上,为了清楚的讨论,示出的部件的尺寸可以任意地增大或减小。

[0028] 图 1 是根据一些实施例的用于制造 FinFET 器件的示例性方法的流程图。

[0029] 图 2A 是根据一些实施例的正在经历工艺的示例性 FinFET 器件的图解透视图。

[0030] 图 2B 是根据图 1 的方法构造的处于制造阶段的沿着图 2A 中的线 A-A 获取的示例性 FinFET 器件的截面图。

[0031] 图 3A 是根据一些实施例的正在经历工艺的示例性 FinFET 器件的图解透视图。

[0032] 图 3B 是根据图 1 的方法构造的处于制造阶段的沿着图 3A 中的线 A-A 获取的示例性 FinFET 器件的截面图。

[0033] 图 4A 和图 4B 是根据一些实施例的正在经历工艺的 FinFET 器件的图解透视图。

[0034] 图 5 是根据图 1 的方法构造的处于制造阶段的沿着图 4A 中的线 A-A 获取的示例性 FinFET 器件的截面图。

[0035] 图 6A 是根据图 1 的方法构造的处于制造阶段的沿着图 4A 中的线 A-A 获取的示例性 FinFET 器件的截面图。

[0036] 图 6B 是根据图 1 的方法构造的处于制造阶段的沿着图 4B 中的线 B-B 获取的示例性 FinFET 器件的截面图。

[0037] 图 7A 是根据一些实施例的正在经历工艺的示例性 FinFET 器件的图解透视图。

[0038] 图 7B 是根据图 1 的方法构造的处于制造阶段的沿着图 4B 中的线 B-B 获取的示例性 FinFET 器件的截面图。

[0039] 图 8A 和图 8B 是根据一些实施例的正在经历工艺的示例性 FinFET 器件的图解透视图。

[0040] 图 9A 和图 9B 是根据一些实施例的正在经历工艺的示例性 FinFET 器件的图解透视图。

[0041] 图 10A 是根据图 1 的方法构造的处于制造阶段的沿着图 9A 中的线 AB-AB 获取的示例性 FinFET 器件的截面图。

[0042] 图 10B 是根据图 1 的方法构造的处于制造阶段的沿着图 9B 中的线 BB-BB 获取的示例性 FinFET 器件的截面图。

[0043] 图 11A 至图 11B 和图 12A 至图 12B 是根据一些实施例的正在经历工艺的示例性 FinFET 器件的图解透视图。

[0044] 图 12C 是根据图 1 的方法构造的处于制造阶段的沿着图 12A 中的线 AA-AA 获取的示例性 FinFET 器件的截面图。

[0045] 图 12D 是根据图 1 的方法构造的处于制造阶段的沿着图 12A 中的线 BA-BA 获取的示例性 FinFET 器件的截面图。

具体实施方式

[0046] 以下公开提供了许多用于实现本发明的不同特征的不同实施例或实例。下面描述了组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,而不旨在限制本发明。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,且也可以包括在第一部件和第二部件之间可以形成额外的部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可在各个实例中重复参考标号和 / 或字母。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的各个实施例和 / 或配置之间的关系。

[0047] 本发明针对但不以其他方式限于鳍式场效应晶体管 (FinFET) 器件。例如,FinFET 器件可以是包括 P 型金属氧化物半导体 (PMOS) FinFET 器件和 N 型金属氧化物半导体 (NMOS) FinFET 器件的互补金属氧化物半导体 (CMOS) 器件。以下公开将继续利用 FinFET 实例以示出本发明的各个实施例。然而,应该理解,除了特别声明,否则本申请不应限于特定类型的器件。

[0048] 图 1 是根据一些实施例的用于制造 FinFET 器件 200 的方法 100 的流程图。应该理解,对于该方法的其他实施例,在该方法之前、期间和之后可以实施额外的步骤,并且可以替换或消除所描述的一些步骤。参照各个附图共同描述 FinFET 器件 200 及其制造方法 100。

[0049] 参照图 1 和图 2A 至图 2B,方法 100 开始于步骤 102,提供衬底 210。衬底 210 可以包括体硅衬底。可选地,衬底 210 可以包括诸如结晶结构的硅或锗的元素半导体;诸如硅锗、碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和 / 或铋化铟的化合物半导体;或它们的组合。

[0050] 在另一个实施例中,衬底 210 具有绝缘体上硅 (SOI) 结构,其中,绝缘层位于衬底中。示例性绝缘层可以是埋氧层 (BOX)。可以使用注氧隔离 (SIMOX)、晶圆接合和 / 或其他合适的方法制造 SOI 衬底。

[0051] 在本实施例中,衬底 210 包括第一半导体材料层 212、设置在第一半导体材料层 212 上方的第二半导体材料层 214 以及设置在第二半导体材料层 214 上方的第三半导体材料层 216。第二半导体材料层 214 和第三半导体材料层 216 彼此不同。第二半导体材料层 214 具有第一晶格常数,而第三半导体材料层 216 具有不同于第一晶格常数的第二晶格常数。在本实施例中,第二半导体材料层 214 包括硅锗 (SiGe),而第一半导体材料层 212 和第三半导体材料层 216 均包括硅。在各个实例中,第一半导体材料层 212、第二半导体材料层 214 和第三半导体材料层 216 可以包括锗 (Ge)、硅 (Si)、砷化镓 (GaAs)、砷化铝镓 (AlGaAs)、硅锗 (SiGe)、磷砷化镓 (GaAsP) 或其他合适的材料。在本实施例中,通过外延生长 (称为毯状沟道 epi) 沉积第二半导体材料层 214 和第三半导体材料层 216。在各个实例中,外延工艺包括 CVD 沉积技术 (例如,汽相外延 (VPE) 和 / 或超高真空 CVD (UHV-CVD))、分子束外延和 / 或其他合适的工艺。

[0052] 衬底 210 可以包括取决于本领域已知的设计需求的各种掺杂的部件。在一些实施例中,衬底 210 可以包括取决于设计需求的各种掺杂区 (例如,p 型衬底或 n 型衬底)。在一些实施例中,掺杂区可以掺杂有 p 型或 n 型掺杂剂。例如,掺杂区可以掺杂有诸如硼或 BF_2 的 p 型掺杂剂;诸如磷或砷的 n 型掺杂剂;和 / 或它们的组合。掺杂区可以配置为用于 n 型 FinFET (NFET) 或可选地配置为用于 p 型 FinFET (PFET)。

[0053] 参照图 1 和图 3A 至图 3B, 方法 100 进行至步骤 104, 在衬底 210 中形成第一鳍结构 220 和沟槽 230。第一鳍结构 220 的第一宽度 w_1 在约 4nm 至约 10nm 的范围内。在一个实施例中, 在衬底 210 上方形成图案化的鳍硬掩模 (FHM) 层 222。图案化的 FHM 层 222 包括氧化硅、氮化硅、氮氧化硅或任何其他合适的介电材料。图案化的硬掩模层 222 可以包括单个材料层或多个材料层。可以通过以下步骤形成图案化的 FHM 层 222: 通过热氧化、化学汽相沉积 (CVD)、原子层沉积 (ALD) 或任何其他适合的方法沉积材料层, 通过光刻工艺形成图案化的光刻胶 (抗蚀剂) 层, 以及穿过图案化的光刻胶层的开口蚀刻材料层以形成图案化的 FHM 层 222。

[0054] 示例性光刻工艺可以包括: 形成光刻胶层, 通过光刻曝光工艺曝光光刻胶, 实施曝光后烘烤工艺, 以及显影光刻胶层以形成图案化的光刻胶层。可以由诸如电子束写入、离子束写入、无掩模图案化或分子印刷的其他技术可选地替代光刻工艺。

[0055] 然后穿过图案化的 FHM 层 222 蚀刻衬底 210 以在衬底 210 中形成第一鳍结构 220 和沟槽 230。在另一个实施例中, 图案化的光刻胶层 (图案化的 FHM 层 222) 直接用作蚀刻工艺的蚀刻掩模以在衬底 210 中形成第一鳍结构 220 和沟槽 230。蚀刻工艺可以包括湿蚀刻或干蚀刻。在一个实施例中, 湿蚀刻溶液包括四甲基氢氧化铵 (TMAH)、HF/HNO₃/CH₃COOH 溶液或其他合适的溶液。可以通过诸如所使用的蚀刻剂、蚀刻温度、蚀刻溶液浓度、蚀刻压力、源功率、RF 偏置电压、RF 偏置功率、蚀刻剂流速和 / 或其他合适的参数的各种蚀刻参数来调节各自的蚀刻工艺。例如, 湿蚀刻溶液可以包括 NH₄OH、KOH (氢氧化钾)、HF (氢氟酸)、TMAH (四甲基氢氧化铵)、其他合适的湿蚀刻溶液、或它们的组合。干蚀刻工艺包括使用基于氯的化学物质的偏压等离子体蚀刻工艺。其他干蚀刻剂气体包括 CF₄、NF₃、SF₆ 和 He。也可以使用诸如 DRIE (深反应离子蚀刻) 的机制各向异性地实施干蚀刻。

[0056] 在本实施例中, 控制蚀刻深度, 从而使得第三半导体材料层 216 和第二半导体材料层 214 暴露于沟槽 230 中, 但是第一半导体材料层 212 部分地露出于沟槽 230 中。因此, 形成的第一鳍结构 220 具有作为上部的第三半导体材料层 216、作为中部的第二半导体材料层 214 以及作为底部的第一半导体材料层 212。

[0057] 在一些实施例中, FinFET 器件 200 包括 NFET 器件, NFET 器件以参考标号 200A 表示并且称为 FinFET 器件 200A。FinFET 器件 200 也包括 PFET 器件, PFET 器件以参考标号 200B 表示并且称为 FinFET 器件 200B。

[0058] 参照图 1 和图 4A 至图 4B, 方法 100 进行至步骤 106, 在衬底 210 上方形成图案化的氧化硬掩模 (OHM) 310, 并且图案化 OHM310 环绕第一鳍结构 220 的一部分。在本实施例中, 在 NFET200A 中, 图案化的 OHM310 覆盖衬底 210 中的第一区 312 并且暴露出第二区 314。在 PFET200B 中, 图案化的 OHM310 环绕整个第一鳍结构 220。图案化的 OHM 层 310 可以包括氧化硅、氮化硅、氮氧化硅或任何其他合适的介电材料。可以通过以下步骤形成图案化的 OHM 层 310: 通过热氧化、化学 CVD、ALD 或任何其他适合的方法沉积材料层, 通过光刻工艺形成图案化的光刻胶 (抗蚀剂) 层, 以及穿过图案化的光刻胶层的开口蚀刻材料层以形成图案化的 OHM 层 310。

[0059] 也参照图 1、图 4A 和图 5, 方法 100 进行至步骤 108, 对 FinFET 器件 200 实施热氧化工艺。在一个实施例中, 在氧环境中进行热氧化工艺。在另一个实施例中, 在蒸汽环境和氧环境的结合的情况下进行热氧化工艺。在 NFET200A 的第二区 314 中, 在热氧化工艺期

间,至少第一半导体材料层 212、第二半导体材料层 214 和第三半导体材料层 216 的外层分别转化为第一半导体氧化物部件 322、第二半导体氧化物部件 324 和第三半导体氧化物部件 326。然而在 NFET200A 的第一区 312 以及整个 PFET200B 中,图案化的 OHM310 防止第一鳍结构 220 被氧化。因此,该热氧化工艺称为选择性氧化。

[0060] 在热氧化工艺之后,第二区 314 中的第一鳍结构 220 的结构不同于第一区 312 中的第一鳍结构 220 的结构。为了清楚的目的以更好地描述,将第二区 314 中的第一鳍结构 220(具有第二半导体氧化物部件 324)称为第二鳍结构 320。因此,第二鳍结构 320 具有作为其上部的第三半导体材料层 216、作为其中部的第二半导体材料层 214(具有作为其外层的第二半导体氧化物部件 324)以及作为其底部的第一半导体材料层。

[0061] 在本实施例中,控制热氧化工艺,从而使得第二半导体材料层 214 比第一半导体材料层 212 和第三半导体材料层 216 氧化的快得多。换句话说,与第二半导体氧化物部件 324 相比,第一半导体氧化物部件 322 和第三半导体氧化物部件 326 很薄。例如,在从约 400°C 至约 600°C 的范围内的温度下以及从约 1atm 至约 20atm 的范围内的压力下,在 H₂O 反应气体中对 FinFET 器件 200 实施热氧化工艺。在氧化工艺之后,实施清洗工艺以去除第一半导体氧化物部件 322 和第三半导体氧化物部件 326。可以使用稀释的氢氟酸 (DHF) 实施清洗工艺。

[0062] 在本实例中,第二半导体氧化物部件 324 在垂直方向上延伸,其水平尺寸从第二半导体材料层 214 的顶面到底面变化。在进一步的实例中,第二半导体氧化物部件 324 的水平尺寸达到其最大值,称为第一宽度 w_1 ,并且在接近第二半导体氧化物部件 324 的顶面和底面时减小至接近于零,从而产生截面图中的橄榄形状。通过调节热氧化工艺、选择第二半导体材料层 214 的组成和厚度以及调节氧化温度,实现了第二半导体氧化物部件 324 的目标第二宽度 w_2 ,其向第一鳍结构 220 中的第三半导体材料层 216 施加适当的应力,其中,栅极沟道将限定在栅极区的下面,这将在之后进行描述。

[0063] 在一个实施例中,第二半导体材料层 214 包括硅锗 (SiGe_{x₁}),而第一半导体材料层 212 和第三半导体材料层 216 均包括硅 (Si)。下标 x_1 是原子百分比形式的第一 Ge 组成,并且可以调整第一 Ge 组成以满足预定的体积膨胀目标。在一个实施例中,在从约 45% 至约 100% 的范围内选择 x_1 。通过热氧化工艺氧化 SiGe_{x₁} 层 214 的外层,从而形成氧化硅锗 (SiGeO) 部件 324。SiGeO 部件 324 的第二宽度 w_2 在约 3nm 至约 10nm 的范围内。SiGe_{x₁} 层 214 的中心部分改变为第二 Ge 组成 x_2 , x_2 远高于 x_1 。SiGe_{x₂} 的中心部分的尺寸和形状随着诸如热氧化温度和时间的工艺条件而变化。而且,中心部分中的第二 Ge 组成 x_2 高于其他部分,诸如顶部、底部、左侧部分和右侧部分。

[0064] 参照图 1、图 6A 和图 6B,方法 100 进行至步骤 110,在 NFET200A 和 PFET200B 中的衬底 210 上方沉积介电层 410,并且包括将介电层 410 填充到沟槽 230 中。首先,通过诸如选择性湿蚀刻的蚀刻工艺去除图案化的 OHM 层 310。介电层 410 可以包括氧化硅、氮化硅、氮氧化硅、其他合适的材料或它们的组合。可以通过 CVD、物理汽相沉积 (PVD)、ALD、热氧化、其他合适的技术或它们的组合沉积介电层 410。

[0065] 参照图 1、图 7A 和图 7B,方法 100 进行至步骤 112,以图案化的硬掩模 (HM) 层 415 覆盖 NFET200A,对第一鳍结构 220 开槽以及在 PFET200B 中的凹进的第一鳍结构 220 上方沉积第四半导体材料 430。图案化的 HM 层 415 可以包括氮化硅、氮氧化硅、碳化硅或任何其他

合适的介电材料。可以以类似于在步骤 106 中形成图案化的 OHM 层 310 的方式形成图案化的 HM 层 415。在本实施例中,图案化的 HM 层 415 覆盖 NFET 器件 200A 而未覆盖 PFET 器件 200B。

[0066] 在 PFET 器件 200B 中,通过诸如选择性湿蚀刻、选择性干蚀刻或它们的组合的适合的蚀刻工艺对第一鳍结构 220 中的第三半导体材料层 216 开槽。在本实施例中,为了获得工艺集成灵活性,控制开槽工艺以使剩余的第三半导体材料层 216 具有第一高度 h_1 。然后在凹进的第三半导体材料层上方沉积第四半导体材料层 430 以形成第三鳍结构 440。可以通过外延生长沉积第四半导体材料层 430。外延工艺可以包括 CVD 沉积技术、分子束外延和/或其他合适的工艺。第四半导体材料层 430 可以包括锗 (Ge)、硅 (Si)、砷化镓 (GaAs)、砷化铝镓 (AlGaAs)、硅锗 (SiGe)、磷砷化镓 (GaAsP) 或其他合适的材料。在本实施例中,第四半导体材料层 430 与第二半导体材料层 214(SiGe) 相同。因此,形成的第三鳍结构 440 具有作为其上部的第四半导体材料层 430、作为其中上部的第三半导体材料层 216、作为其中下部的第二半导体材料层 214 以及作为其底部的第一半导体材料层 212。

[0067] 此后可以实施 CMP 工艺以去除过量的第四半导体材料层 430 并且平坦化 PFET 器件 200B 的顶面。通过诸如湿蚀刻、干蚀刻或它们的组合的适合的蚀刻工艺去除 NFET 器件 200A 中的 HM 层 415。

[0068] 参照图 1、图 8A 和图 8B,方法 100 进行至步骤 114,选择性地对介电层 410 开槽以暴露第一鳍结构 220(在 NFET 器件 200A 中)的上部和第三鳍结构 440(在 PFET 器件 200B 中)的上部。在本实施例中,沟槽 230 中的剩余的介电层 410 形成浅沟槽隔离 (STI) 部件。

[0069] 在一些实施例中,第一鳍结构 220、第二鳍结构 320 和第三鳍结构 440 包括源极/漏极 (S/D) 区 450 和栅极区 460。在进一步的实施例中,S/D 区 450 的一个是源极区,而 S/D 区 450 的另一个是漏极区。由栅极区 460 分隔开 S/D 区 450。为了清楚的目的以更好地描述,NFET 器件 200A 中的 S/D 区和栅极区称为第一 S/D 区 450A 和第一栅极区 460A;而 PFET 器件 200B 中的 S/D 区和栅极区称为第二 S/D 区 450B 和第二栅极区 460B。

[0070] 也参照图 8A 和图 8B,在一个实施例中,第一 S/D 区 450A 位于第一鳍结构 220 的部分中,由位于第二鳍结构 320 的一部分中的第一栅极区 460A 分隔开。因此,在之前的步骤 108 期间,将适合的应变引入至包括第一栅极区 460A 的第二鳍 320,并且这将增大第一栅极区 460A 的沟道区中的迁移率。在 PFET 器件 200B 中,第三鳍结构 440 包括由第二栅极区 460B 分隔开的第二 S/D 区 450B。

[0071] 参照图 1、图 9A 和图 9B,方法 100 进行至步骤 116,在栅极区 460A 和 460B 中形成栅极堆叠件 510 并且在栅极堆叠件 510 的侧壁上形成侧壁间隔件 520。在使用后栅极工艺的一个实施例中,栅极堆叠件 510 是伪栅极并且将在随后的阶段中由最终的栅极堆叠件替代。具体地,在诸如用于源极/漏极形成期间的 S/D 活化的热退火的高温热工艺之后,伪栅极堆叠件 510 之后将由高 k 介电层 (HK) 和金属栅电极 (MG) 替代。伪栅极堆叠件 510 形成在衬底 210 上,并且部分地设置在第一栅极区 460A 中的第二鳍结构 320 上方以及第二栅极区 460B 中的第三鳍结构 440 上方。在一个实施例中,伪栅极堆叠件 510 包括介电层 512、电极层 514 和栅极硬掩模 (GHM) 516。通过包括沉积和图案化的合适的步骤形成伪栅极堆叠件 510。图案化工艺还包括光刻和蚀刻。在各个实例中,沉积包括 CVD、物理汽相沉积 (PVD)、ALD、热氧化、其他合适的技术或它们的组合。光刻工艺包括光刻胶(或抗蚀剂)涂布(例

如,旋涂)、软烘烤、掩模对准、曝光、曝光后烘烤、显影光刻胶、冲洗、干燥(例如,硬烘烤)、其他合适的工艺、和/或它们的组合。蚀刻工艺包括干蚀刻、湿蚀刻和/或其他蚀刻方法(例如,反应离子蚀刻)。

[0072] 介电层 512 包括氧化硅。可选地或额外地,介电层 512 可以包括氮化硅、高 k 介电材料或其他合适的材料。电极层 514 可以包括多晶硅(多晶硅)。GHM516 包括诸如氮化硅、氮氧化硅或碳化硅的合适的介电材料。侧壁间隔件 520 可以包括诸如氧化硅、氮化硅、碳化硅、氮氧化硅或它们的组合的介电材料。侧壁间隔件 520 可以包括多个层。用于侧壁间隔件 520 的典型的形成方法包括:在栅极堆叠件 510 上方沉积介电材料,然后各向异性地回蚀刻该介电材料。回蚀刻工艺可以包括多步骤蚀刻以获得蚀刻选择性、灵活性和期望的过蚀刻控制。

[0073] 参照图 1、图 10A 和图 10B,方法 100 进行至步骤 118,在第一 S/D 区 450A 中形成第一 S/D 部件 610A 并且在第二 S/D 区 450B 中形成第二 S/D 部件 610B。在一个实施例中,通过对第一 S/D 区 450A 中的第一鳍结构 220 的上部的一部分开槽形成第一 S/D 部件 610A,并且通过对第二 S/D 区 450B 中的第三鳍结构 440 的上部的一部分开槽形成第二 S/D 部件 610B。在一个实施例中,在一个蚀刻工艺中对第一鳍结构 220 和第三鳍结构 440 开槽。在另一个实施例中,在两个不同的蚀刻工艺中对第一鳍结构 220 和第三鳍结构 440 开槽。在本实施例中,为了获得工艺集成灵活性,控制开槽工艺以使第一鳍结构 220 中剩余的第三半导体材料层 216 具有第二高度 h_2 ,而使第三鳍结构 440 中剩余的第四半导体材料层 430 具有第三高度 h_3 。在一个实施例中,第二高度 h_2 在约 3nm 至约 10nm 的范围内。第三高度 h_3 也在约 3nm 至约 10nm 的范围内。

[0074] 然后在第一 S/D 区 450A 中的凹进的第一鳍结构 220 和第二 S/D 区 450B 中的凹进的第三鳍结构 440 上外延生长第一 S/D 部件 610A 和第二 S/D 部件 610B。第一 S/D 部件 610A 和第二 S/D 部件 610B 包括 Ge、Si、GaAs、AlGaAs、SiGe、GaAsP 或其他合适的材料。可以通过一个或多个外延生长或外延(epi)工艺形成第一 S/D 部件 610A 和第二 S/D 部件 610B。也可以掺杂第一 S/D 部件 610A 和第二 S/D 部件 610B,诸如在 epi 工艺期间原位掺杂。可选地,不原位掺杂第一 S/D 部件 610A 和第二 S/D 部件 610B,并且实施注入工艺(即,结注入工艺)以掺杂第一 S/D 部件 610A 和第二 S/D 部件 610B。

[0075] 在一个实施例中,第一 S/D 部件 610A 的形成包括:通过外延生长掺杂有碳的 Si 层而形成 Si:C_z 以作为第一 S/D 部件 610A 的下部 605,并且通过外延生长掺杂有磷的 Si 层而形成 Si:P 以作为第一 S/D 部件 610A 的上部 606,其中, z 是以原子百分比计的碳组分。在一个实施例中, z 在约 0.5% 至约 1.5% 的范围内。 Si:C_z 具有第一厚度 t_1 ,第一厚度 t_1 在约 5nm 至约 15nm 的范围内。 Si:P 具有第二厚度,第二厚度在约 20nm 至 35nm 的范围内。通过掺杂,第一 S/D 部件 610A 将适合的应变引入邻近的第一栅极区 460A 以改进 NFET200A 的性能,因此,第一 S/D 部件 610A 也称为嵌入式源极/漏极应力源(stressor)。

[0076] 通过外延生长掺杂有硼的 SiGe 层形成 $\text{SiGe}_\alpha\text{B}$,从而形成第二 S/D 部件 610B,其中, α 是以原子百分比计的锗组分。在一个实施例中, α 在约 60% 至约 100% 的范围内。 $\text{SiGe}_\alpha\text{B}$ 具有第三厚度 t_3 ,第三厚度 t_3 在约 20nm 至约 35nm 的范围内。通过由 SiGe 形成并被掺杂,第二 S/D 部件 610B 将适合的应变引入邻近的第二栅极区 460B 以改进 PFET200B 的性能,因此,第二 S/D 部件 610B 也称为嵌入式源极/漏极应力源。

[0077] 参照图 1、图 11A 和图 11B, 方法 100 进行至步骤 120, 在位于伪栅极堆叠件 510 的间隙之间的衬底 210 上形成层间介电 (ILD) 层 720。ILD 层 720 包括氧化硅、氮氧化硅、低 k 介电材料或其他合适的介电材料。ILD 层 720 可以包括单层或可选的多个层。通过诸如 CVD、ALD 和旋涂 (SOG) 的合适的技术形成 ILD 层 720。此后可以实施化学机械抛光 (CMP) 工艺以去除过量的 ILD 层 720 并且平坦化 FinFET 器件 200 的顶面。

[0078] 也参照图 1、图 11A 和图 11B, 方法 100 进行至步骤 122, 去除第一栅极区 460A 中的伪栅极堆叠件 510 以形成一个或多个第一栅极沟槽 810A, 并且去除第二栅极区 460B 中的伪栅极堆叠件 510 以形成一个或多个第二栅极沟槽 810B。第二鳍结构 320 的上部暴露于第一栅极沟槽 810A, 并且第三鳍结构 440 的上部暴露于第二栅极沟槽 810B。通过蚀刻工艺 (诸如选择性湿蚀刻或选择性干蚀刻) 去除伪栅极堆叠件 510, 该蚀刻工艺设计为对于第一栅极沟槽 810A 中的第三半导体材料层 216 和第二栅极沟槽 810B 中的第四半导体材料层 430 具有适当的蚀刻选择性。该蚀刻工艺可以包括具有各自的蚀刻剂的一个或多个蚀刻步骤。也去除栅极硬掩模层 516 和间隔件 520。可选地, 可以通过包括光刻图案化和蚀刻工艺的一系列工艺去除伪栅极堆叠件 510。

[0079] 参照图 1、图 12A 至图 12D, 方法 100 进行至步骤 124, 在衬底 210 上方形成第一金属栅极 (MG) 堆叠件 910A 和, 其中, 第一金属栅极 (MG) 堆叠件 910A 环绕在第一栅极沟槽 810A 中的第二鳍结构 320 的一部分上方, 且第二金属栅极 (MG) 堆叠件 910B 环绕在第二栅极沟槽 810B 中的第三鳍结构 440 的部分上方。第一 HK/MG 堆叠件 910A 和第二 HK/MG 堆叠件 910B 包括栅极介电层和位于栅极电介质上的栅电极。在一个实施例中, 栅极介电层包括具有高介电常数的介电材料层 (在本实施例中, HK 介电层的介电常数大于热氧化硅的介电常数), 并且栅电极包括金属、金属合金或金属硅化物。第一 HK/MG 堆叠件 910A 和第二 HK/MG 堆叠件 910B 的形成包括沉积以形成各种栅极材料, 以及 CMP 工艺以去除过量的栅极材料并且平坦化 NFET 器件 200A 和 PFET 器件 200B 的顶面。

[0080] 在一个实施例中, 栅极介电层包括通过诸如原子层沉积 (ALD)、CVD、热氧化或臭氧氧化的合适的方法沉积的界面层 (IL)。IL 包括氧化物、HfSiO 和氮氧化物。通过诸如 ALD、CVD、金属有机 CVD (MOCVD)、物理汽相沉积 (PVD)、其他合适的技术或它们的组合的合适的技术在 IL 上沉积 HK 介电层。HK 介电层可以包括 LaO、AlO、ZrO、TiO、Ta₂O₅、Y₂O₃、SrTiO₃ (STO)、BaTiO₃ (BTO)、BaZrO、HfZrO、HfLaO、HfSiO、LaSiO、AlSiO、HfTaO、HfTiO、(Ba, Sr)TiO₃ (BST)、Al₂O₃、Si₃N₄、氮氧化物 (SiON) 或其他合适的材料。栅极介电层环绕在第一栅极区 460A 中的第二鳍结构 320 的上部以及第二栅极区 460B 中的第三鳍结构 440 的上部上方。

[0081] 金属栅 (MG) 电极可以包括单层结构或可选的多层结构, 诸如具有功函以增强器件性能的金属层 (功函金属层)、衬里层、润湿层、粘合层以及金属、金属合金或金属硅化物的导电层的各种组合。MG 电极可以包括 Ti、Ag、Al、TiAlN、TaC、TaCN、TaSiN、Mn、Zr、TiN、TaN、Ru、Mo、WN、Cu、W、任何合适的材料或它们的组合。可以通过 ALD、PVD、CVD 或其他合适的工艺形成 MG 电极。可以以不同的金属层分别形成用于 NFET200A 和 PFET200B 的 MG 电极。可以实施 CMP 工艺以去除过量的 MG 电极。

[0082] 在本实施例中, 在第一栅极区 460A 中形成第一 HK/MG 栅极 910A, 并且第一 HK/MG 栅极 910A 环绕在第二鳍结构 320 的上部上方。因此, 在第二鳍结构 320 中形成第二半导体氧化物部件 324 期间, 将适合的应变引入第一栅极区 460A, 并且这将增大第一栅极区 460A

中的沟道区的迁移率。在 PFET 器件 200B 中,在第二栅极区 460B 中形成第二 HK/MG 栅极 910B,并且第二 HK/MG 栅极 910B 环绕在第三鳍结构 440 的上部上方。

[0083] FinFET 器件 200 可以经历进一步的 CMOS 或 MOS 技术处理以形成本领域已知的各种部件和区域。例如,随后的处理可以在衬底 210 上形成各种接触件 / 通孔 / 线和多层互连部件 (例如,金属层和层间电介质),这些部件配置为连接各种部件以形成包括一个或多个 FinFET 场效应晶体管的功能电路。在进一步的实例中,多层互连件包括诸如通孔或接触件的垂直互连件和诸如金属线的水平互连件。各种互连部件可以采用包括铜、钨和 / 或硅化物的各种导电材料。在一个实例中,镶嵌和 / 或双镶嵌工艺用于形成铜相关的多层互连结构。

[0084] 对于方法的其他实施例,在方法 100 之前、期间和之后可以实施额外的操作,并且可以替换或消除前文描述的一些操作。

[0085] 根据前文的描述,本发明提供了一种一起制造用于 FinFET 器件的 NFET 和 PFET 的方法。该方法采用在源极和漏极区中形成应变栅极区和 S/D 应力源。FinFET 显示出对栅极区的有效应变以改进器件性能。

[0086] 因此,本发明提供了一种制造鳍式场效应晶体管 (FinFET) 器件的方法。该方法包括提供具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区的衬底。该方法也包括在 NFET 区和 PFET 区中形成第一鳍结构,在 NFET 区和 PFET 区上方形成图案化的氧化硬掩模 (OHM) 以暴露 NFET 区的第一栅极区中的第一鳍结构,在第一栅极区中的第一鳍结构的中部中形成半导体氧化物部件,在硬掩模层覆盖 NFET 之后在 PFET 区中形成第二鳍结构,在第一栅极区和第二鳍结构中的第二栅极区中形成伪栅极,在 NFET 中的第一鳍结构中的第一 S/D 区中形成第一源极 / 漏极 (S/D) 部件,在 PFET 中的第二鳍结构中的第二 S/D 区中形成第二 S/D 部件,由 NFET 区中的第一高 k / 金属栅极 (HK/MG) 替换伪栅极,并且第一 HK/MG 环绕在第一栅极区中的第一鳍结构的上部上方。该方法也包括由 PFET 区中的第二 HK/MG 替换伪栅极,并且第二 HK/MG 环绕在第二栅极区中的第二鳍结构的上部上方。

[0087] 本发明也提供了制造鳍式场效应晶体管 (FinFET) 器件的另一种方法。该方法包括提供具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区的衬底。该方法也包括在 NFET 区和 PFET 区中形成第一鳍结构。第一鳍结构包括作为其底部的衬底、作为其中部的第一外延生长的硅锗 (SiGe) 层以及作为其上部的硅 (Si) 层。该方法也包括在 NFET 区和 PFET 区上方形成图案化的氧化硬掩模 (OHM) 以暴露 NFET 区的第一栅极区中的第一鳍结构,施加热氧化工艺以将 SiGe 层的外层转变为 SiGeO 部件,对 PFET 区中的第一鳍结构中的 Si 层的一部分开槽,在凹进的 Si 层的顶部上外延生长第二 SiGe 层以形成第二鳍结构,在 NFET 中的第一栅极区和 PFET 中的第二栅极区中形成多晶硅栅极,对由 NFET 区中的第一栅极区分隔开的源极 / 漏极 (S/D) 区中的 Si 层开槽,在凹进的 Si 层的顶部上形成第一源极 / 漏极 (S/D) 部件,第一源极 / 漏极 (S/D) 部件具有作为其下部的 Si:C 和作为其上部的 Si:P,对由 PFET 中的第二栅极区分隔开的第二 S/D 区中的第二 SiGe 层开槽,以及在凹进的 SiGe 层的顶部上形成 SiGeB S/D 部件。

[0088] 本发明也提供了鳍式场效应晶体管 (FinFET) 器件的一个实施例。该器件包括具有 n 型鳍式场效应晶体管 (NFET) 区和 p 型鳍式场效应晶体管 (PFET) 区的衬底。该器件也包括由 NFET 区中的第一栅极区分隔开的源极 / 漏极 (S/D) 区和由 PFET 区中的第二栅

极区分隔开的第二源极 / 漏极 (S/D) 区。该器件也包括第一栅极区中的第一高 k/ 金属栅极 (HK/MG), 并且第一 HK/MG 环绕在第一鳍结构的上部上方, 第一鳍结构包括作为其上部的 外延硅 (Si) 层、作为其中部的外延生长的硅锗 (SiGe) 以及作为其底部的衬底, 外延生长的 硅锗具有作为其外层的氧化硅锗 (SiGeO) 部件。该器件也包括第二栅极区中的第二 HK/MG, 并且第二 HK/MG 环绕在第二鳍结构的上部上方。第二鳍结构包括作为其上部的 外延的 SiGe 层、作为其中上部的外延的 Si 层、作为其中下部的外延 SiGe 层和作为其底部的衬底。该器 件也包括位于第一鳍结构的顶部上的第一 S/D 部件, 第一 S/D 部件在第一 S/D 区中具有凹 进的 Si 层。第一 S/D 部件包括作为其下部的 Si:C 层和作为其上部的 Si:P 层。该器件也 包括位于第二鳍结构的顶部上的 SiGeB S/D 部件, SiGeB S/D 部件在第二 S/D 区中具有凹 进的 SiGe 层。

[0089] 上面概述了若干实施例的特征, 使得本领域技术人员可以更好地理解本发明的各 方面。本领域技术人员应该理解, 他们可以容易地使用本发明作为基础来设计或修改用于 实施与在此所介绍实施例相同的目的和 / 或实现相同优势的其他工艺和结构。本领域技术 人员也应该意识到, 这种等同构造并不背离本发明的精神和范围, 并且在不背离本发明的 精神和范围的情况下, 在此他们可以做出多种变化、替换以及改变。

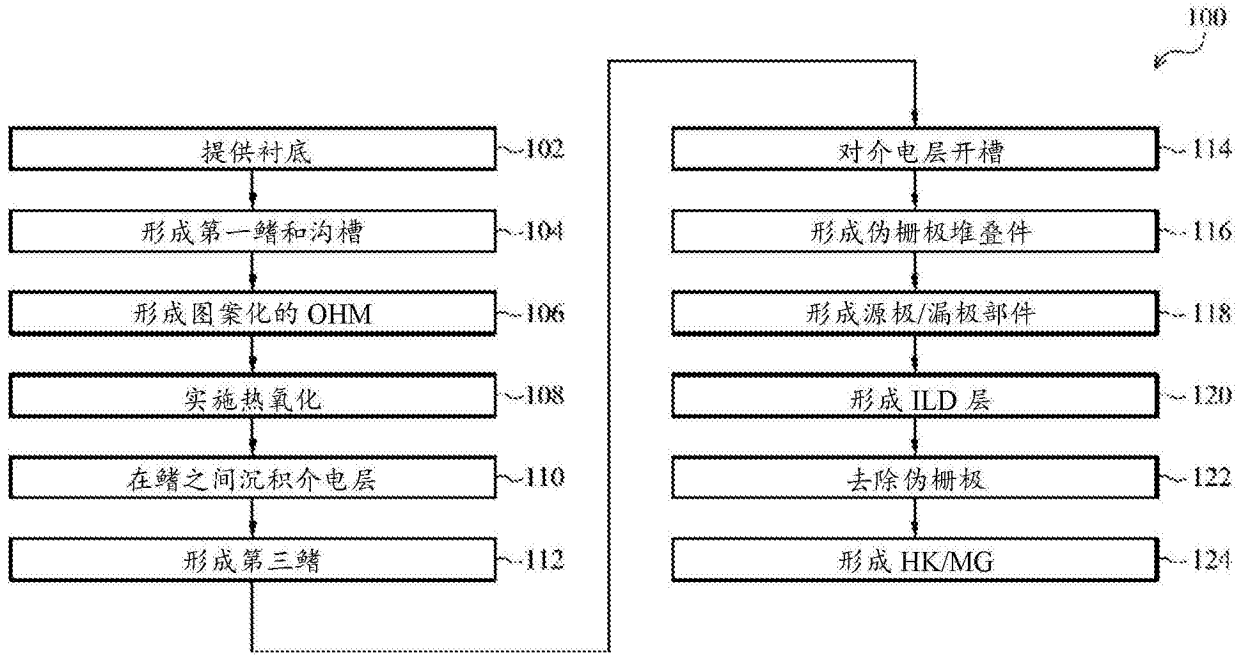


图 1

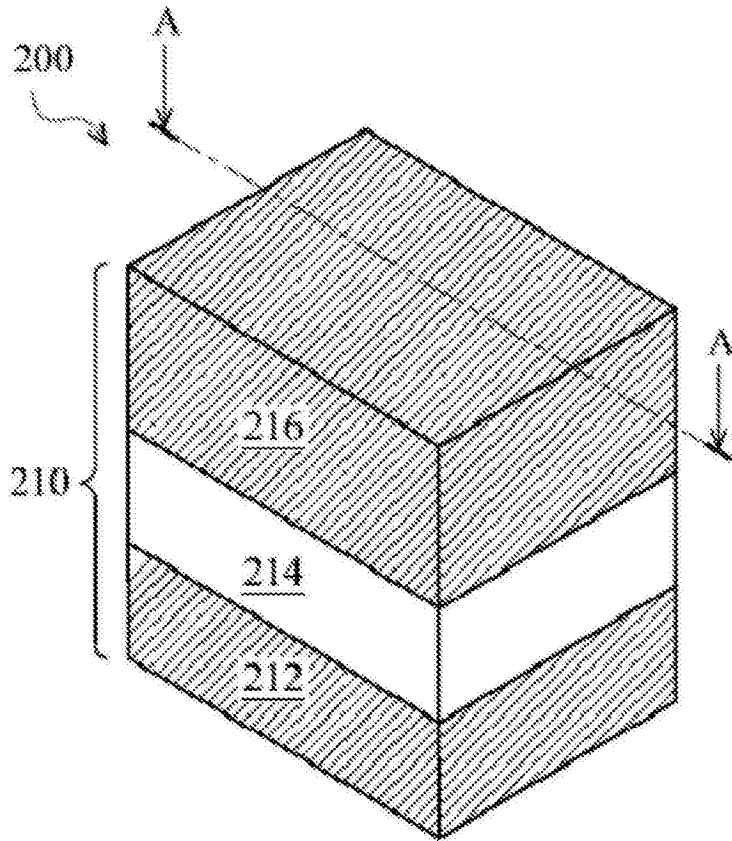


图 2A

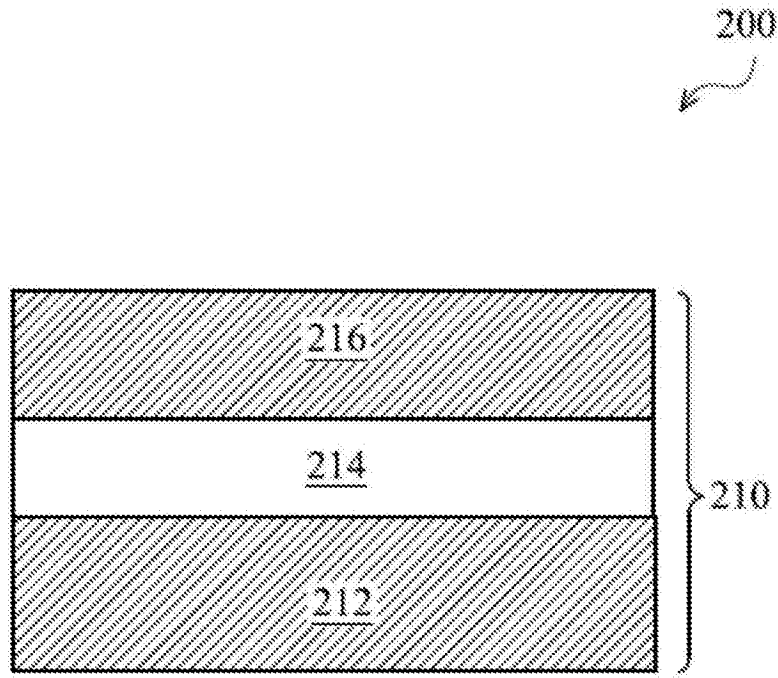


图 2B

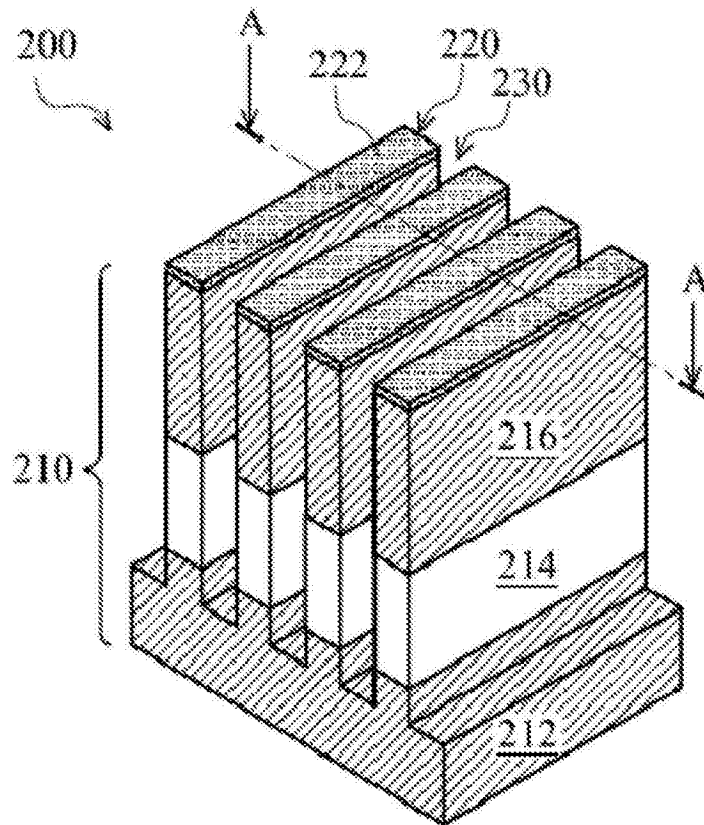


图 3A

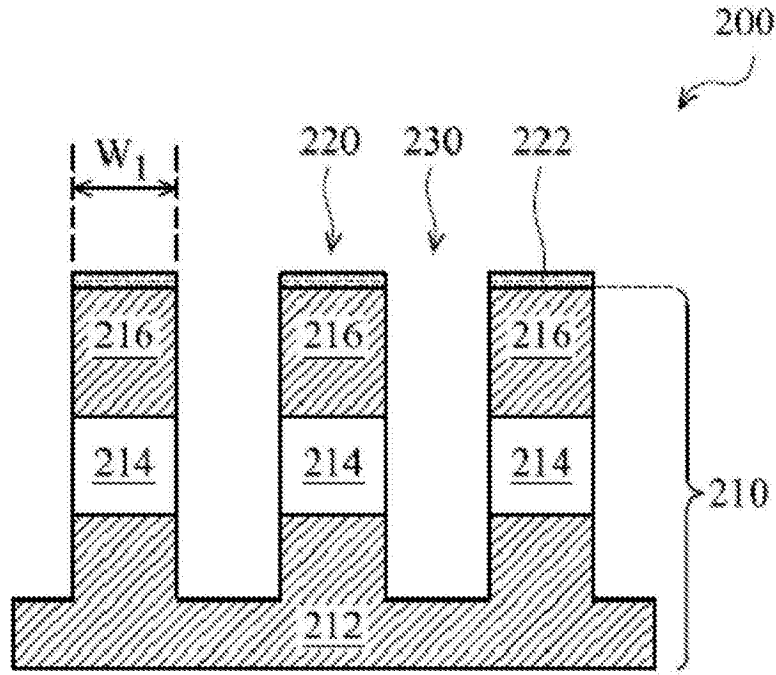


图 3B

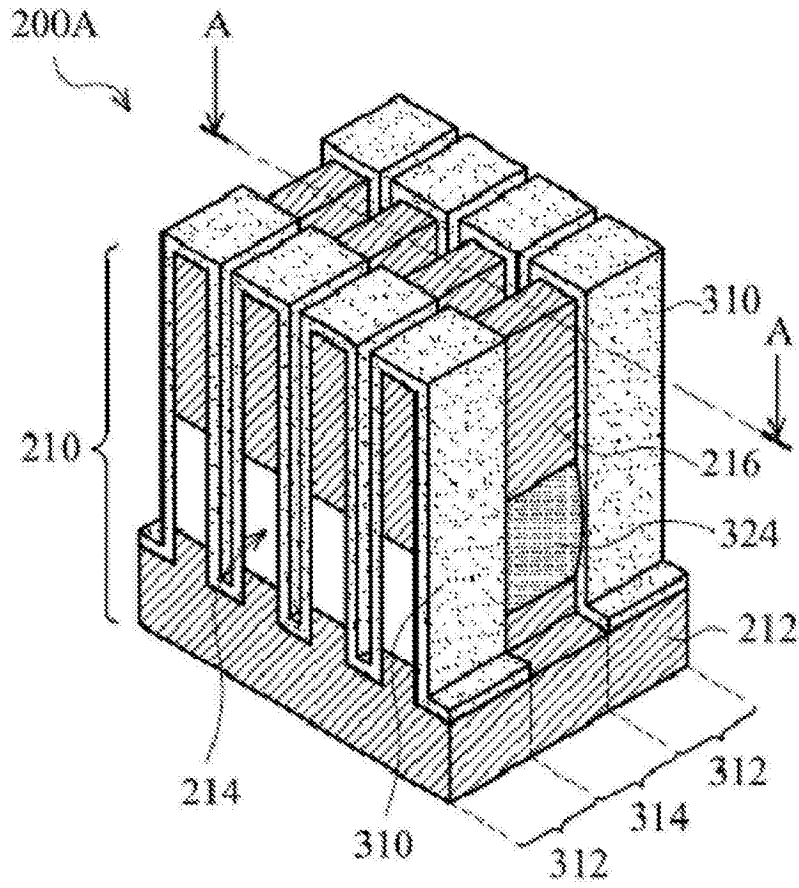


图 4A

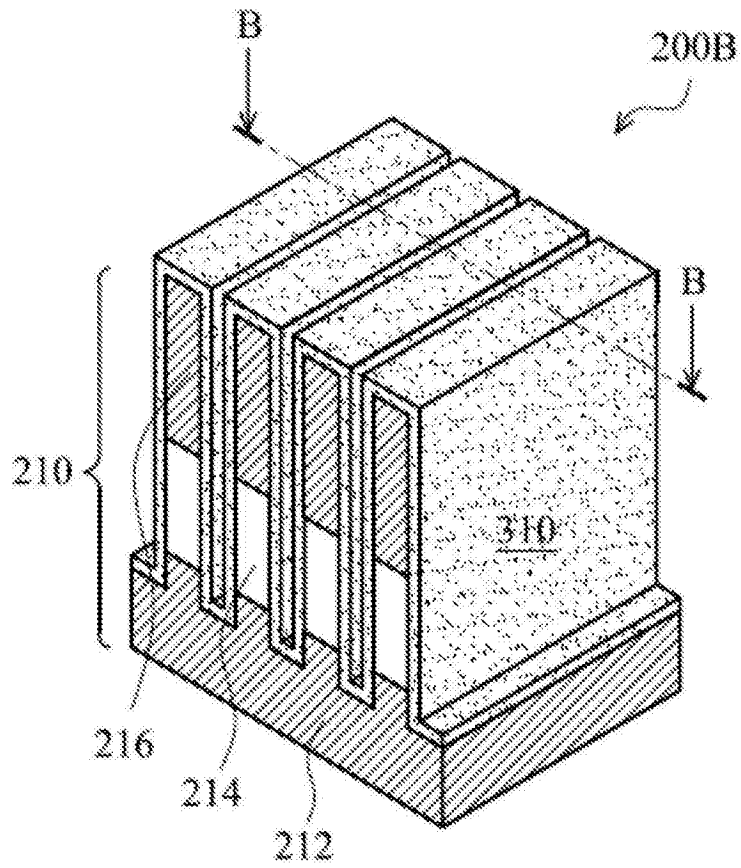


图 4B

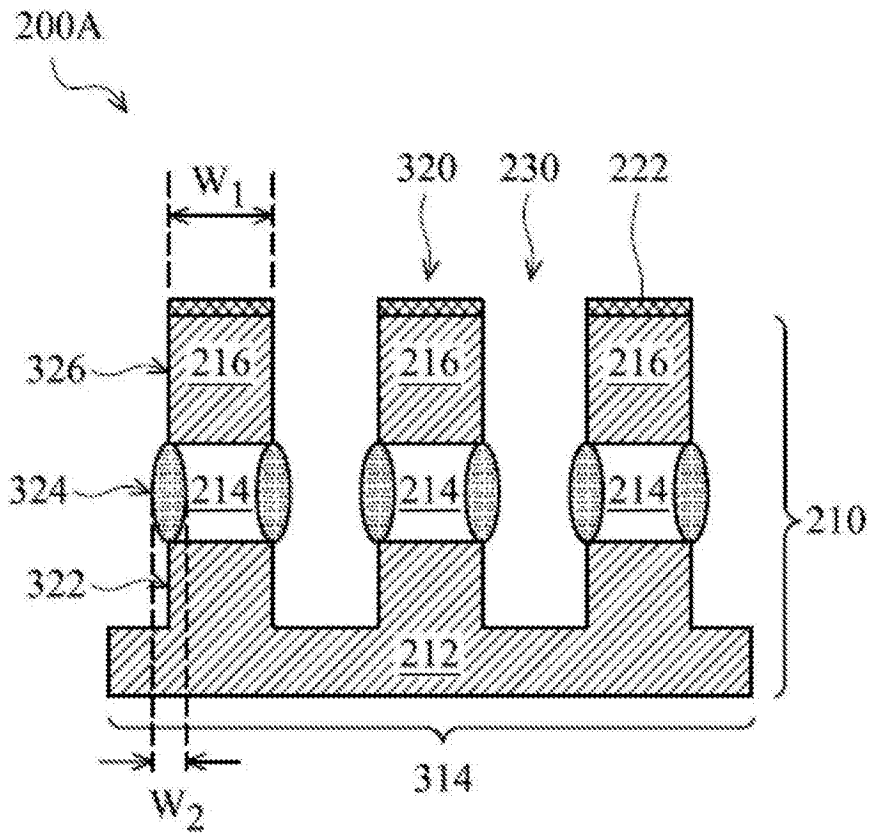


图 5

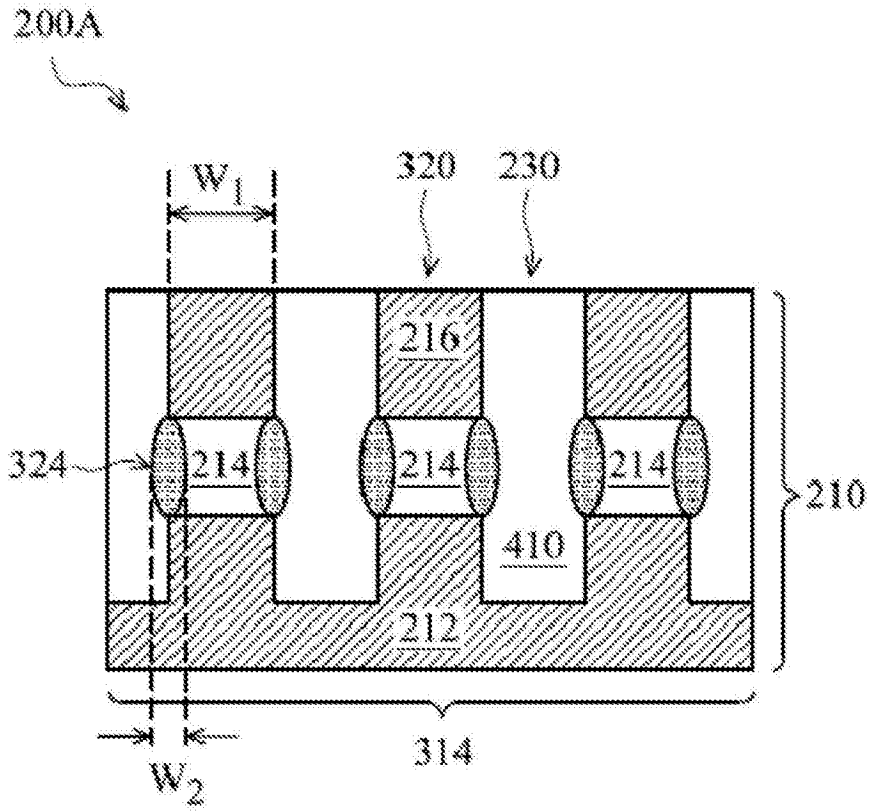


图 6A

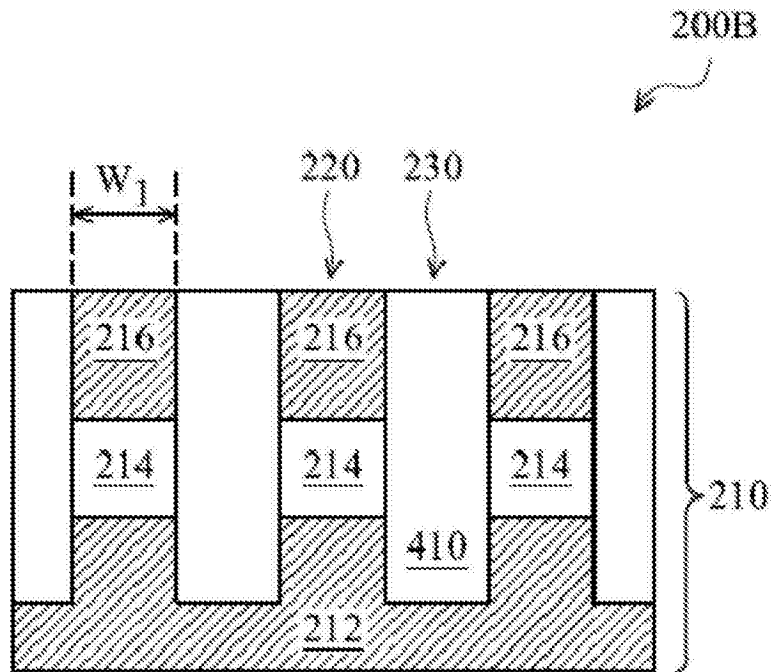


图 6B

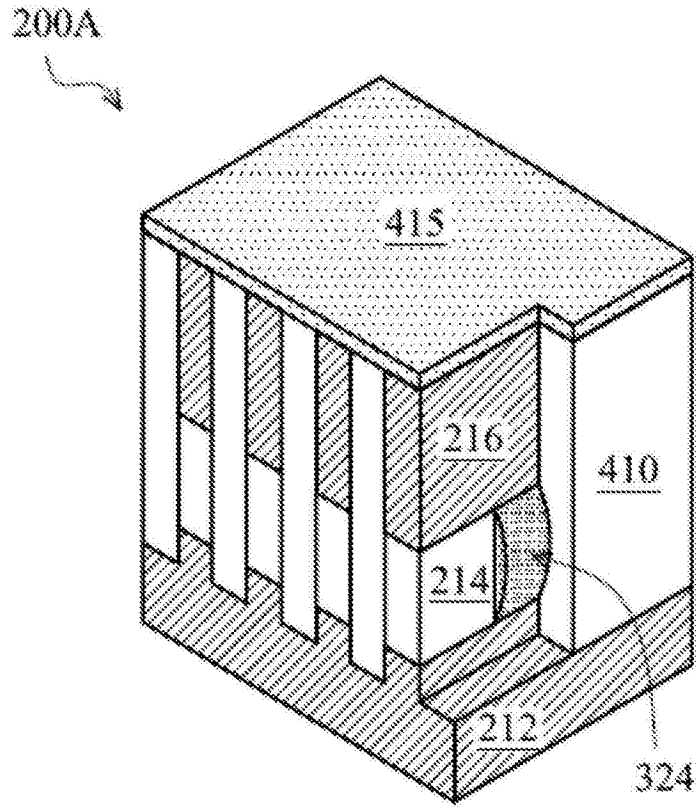


图 7A

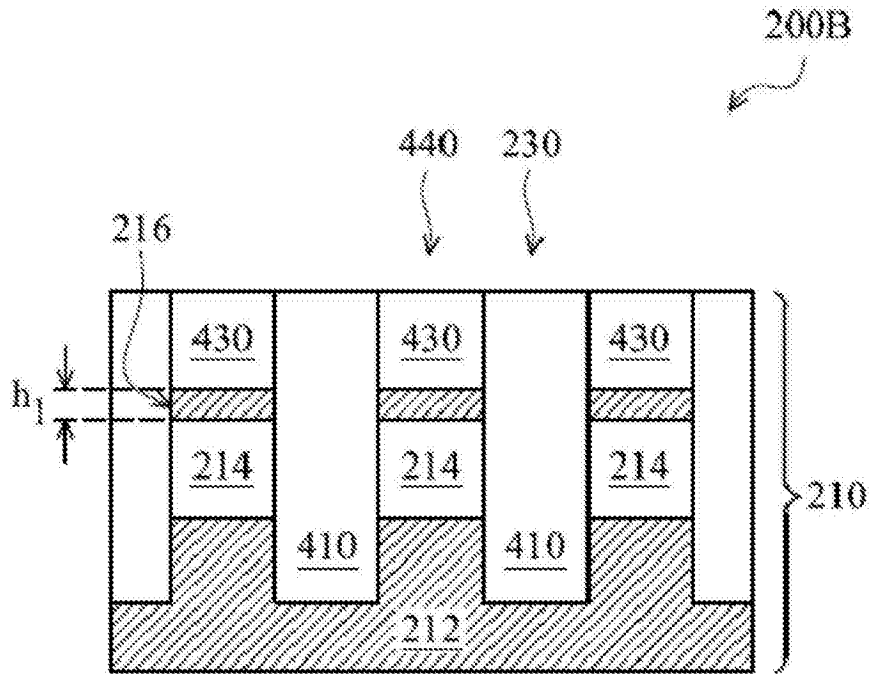


图 7B

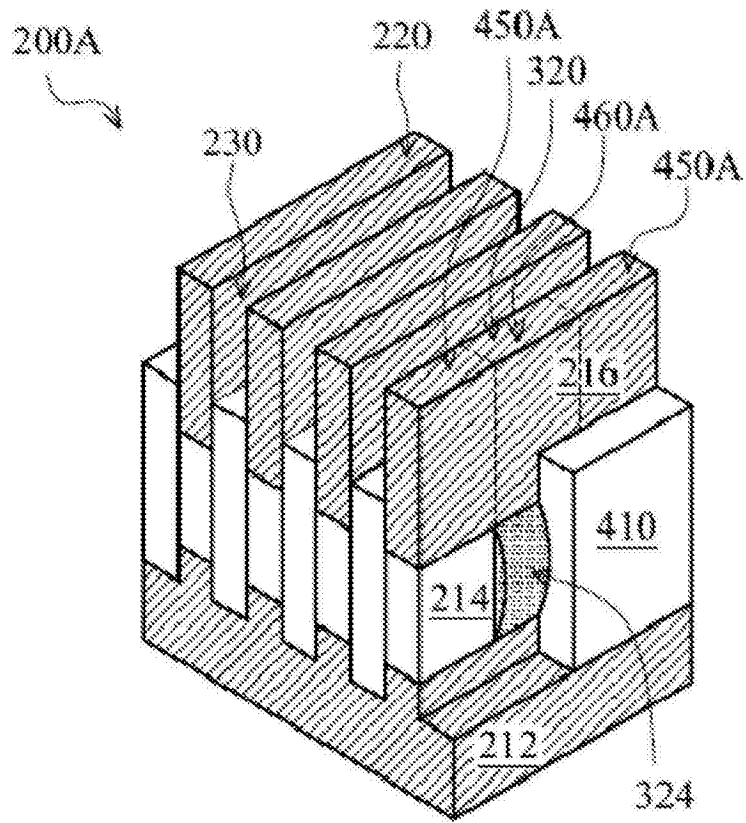


图 8A

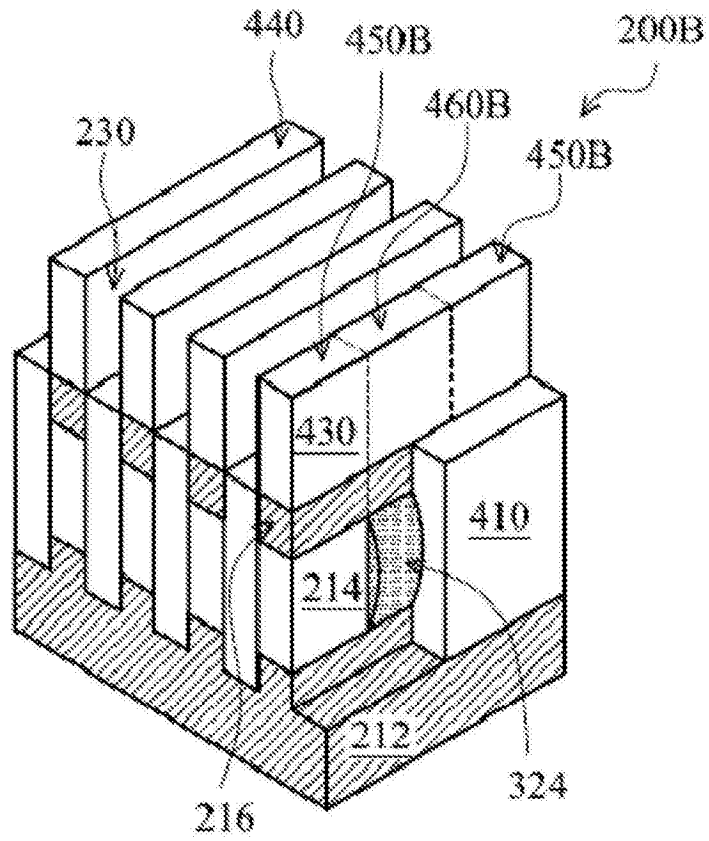


图 8B

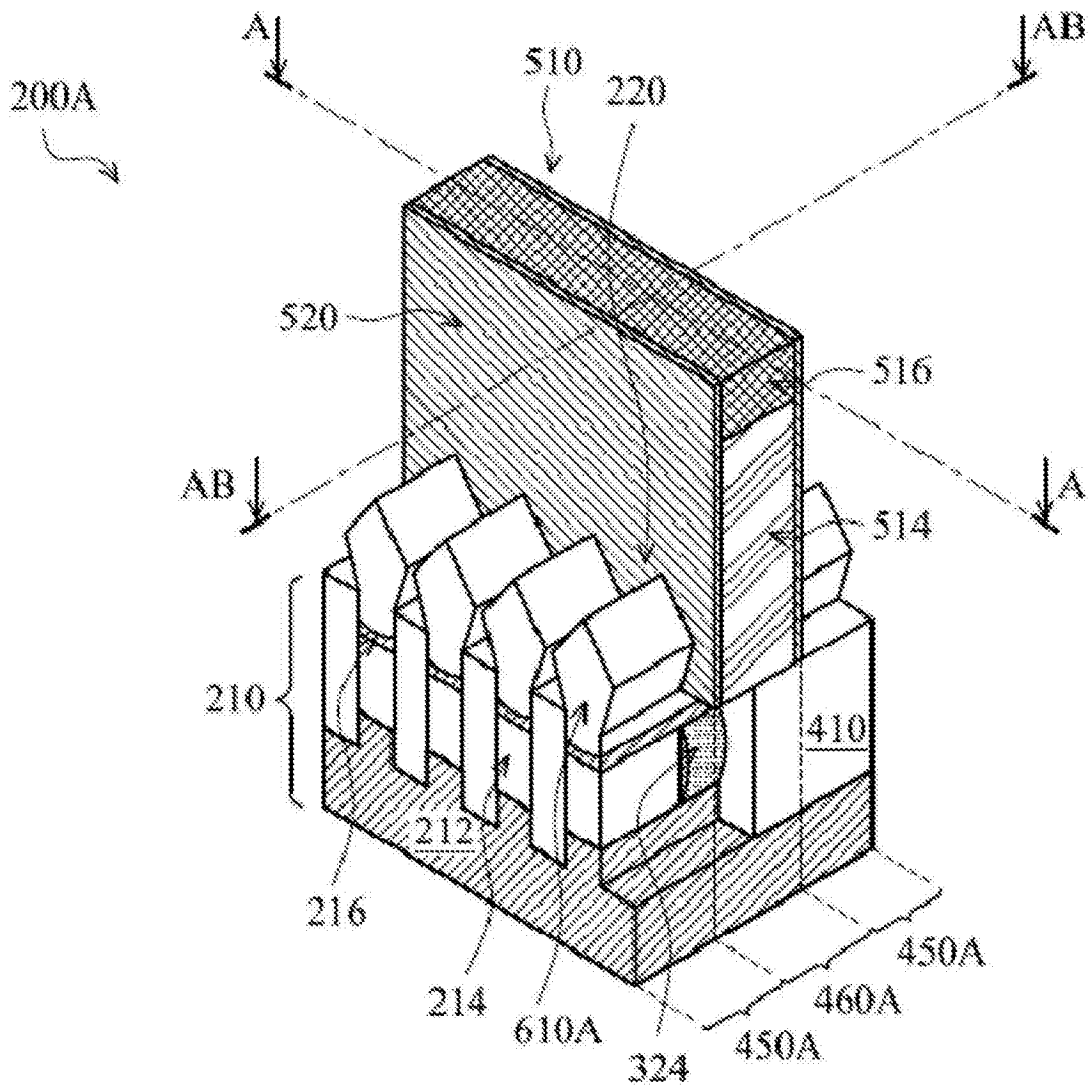


图 9A

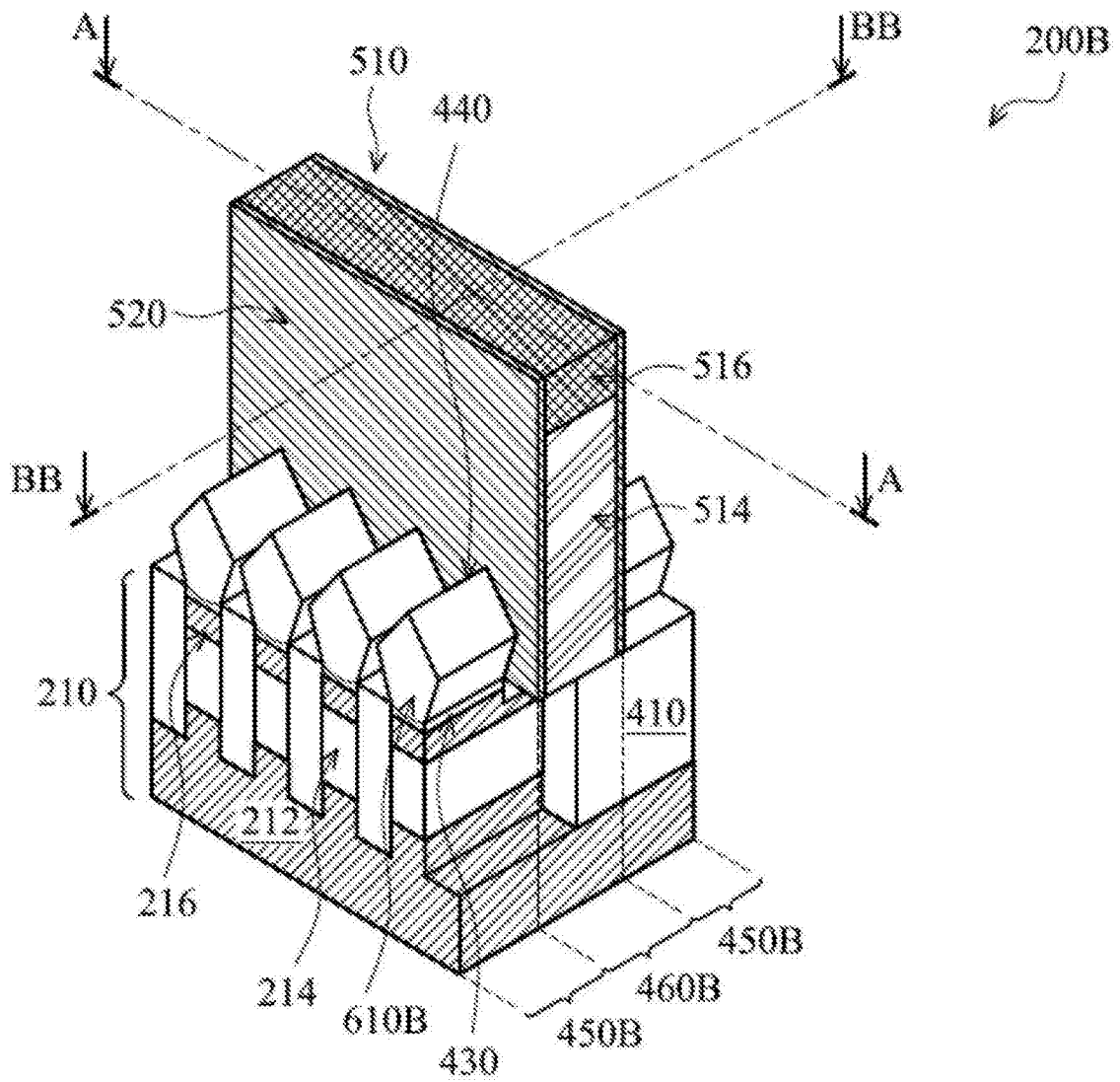


图 9B

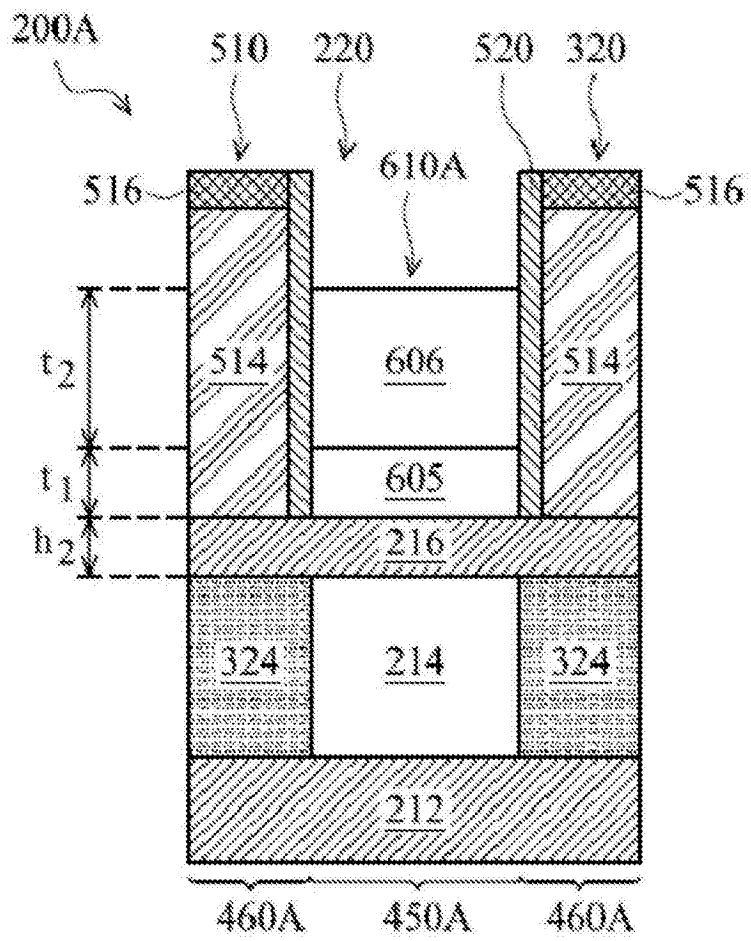


图 10A

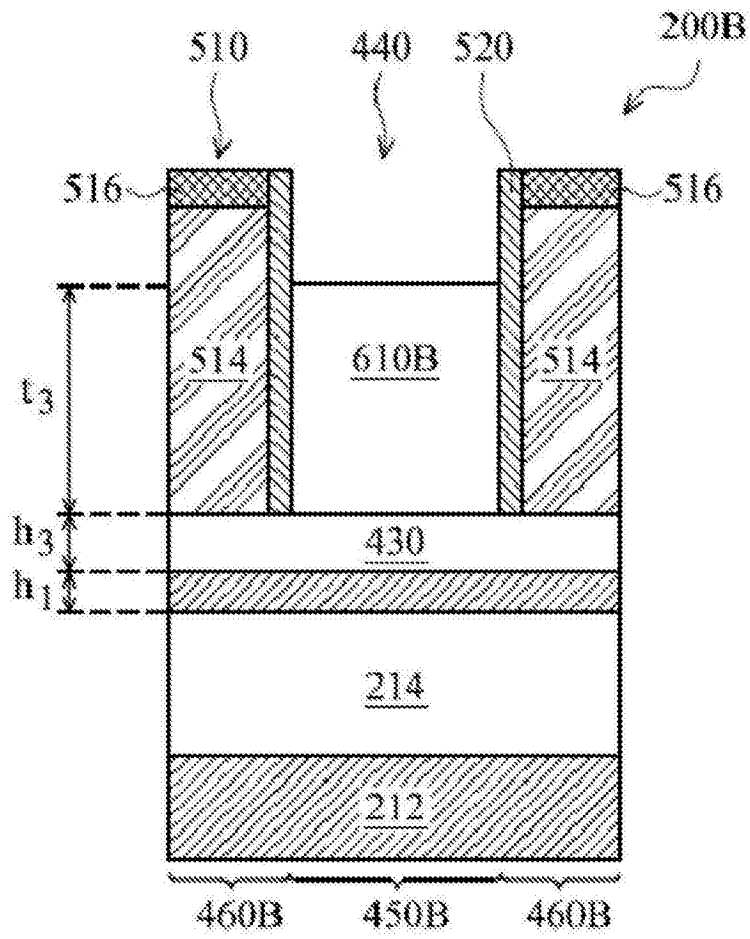


图 10B

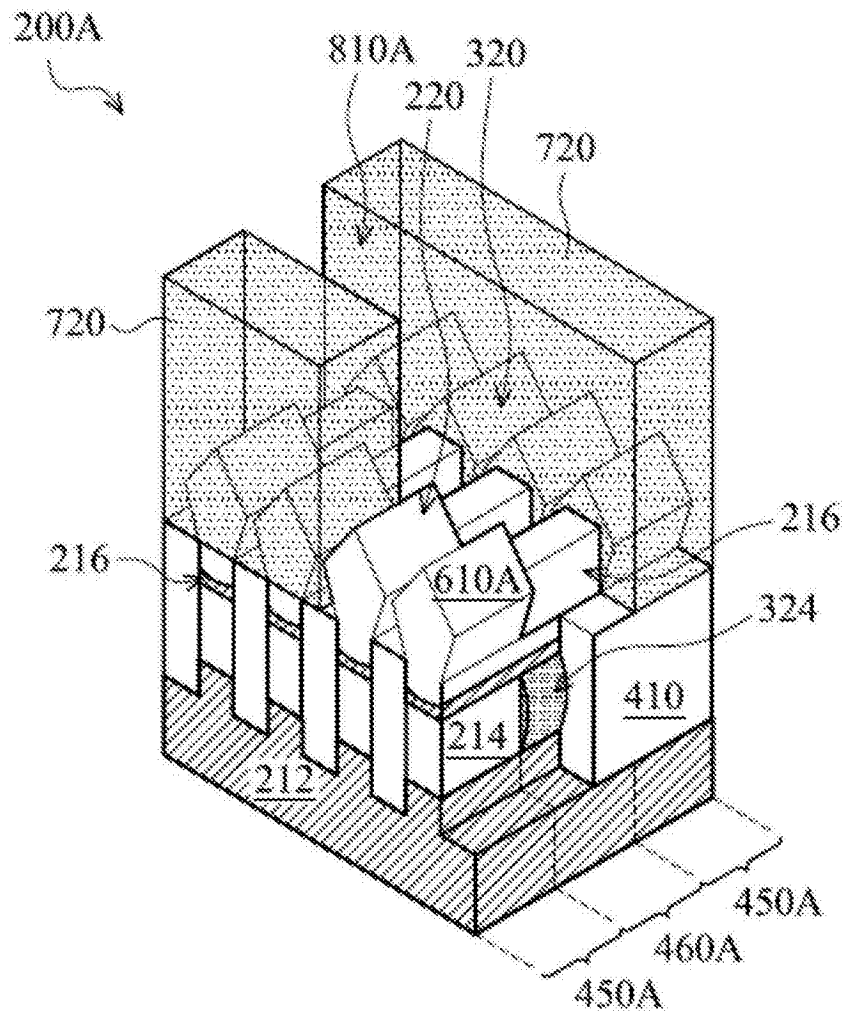


图 11A

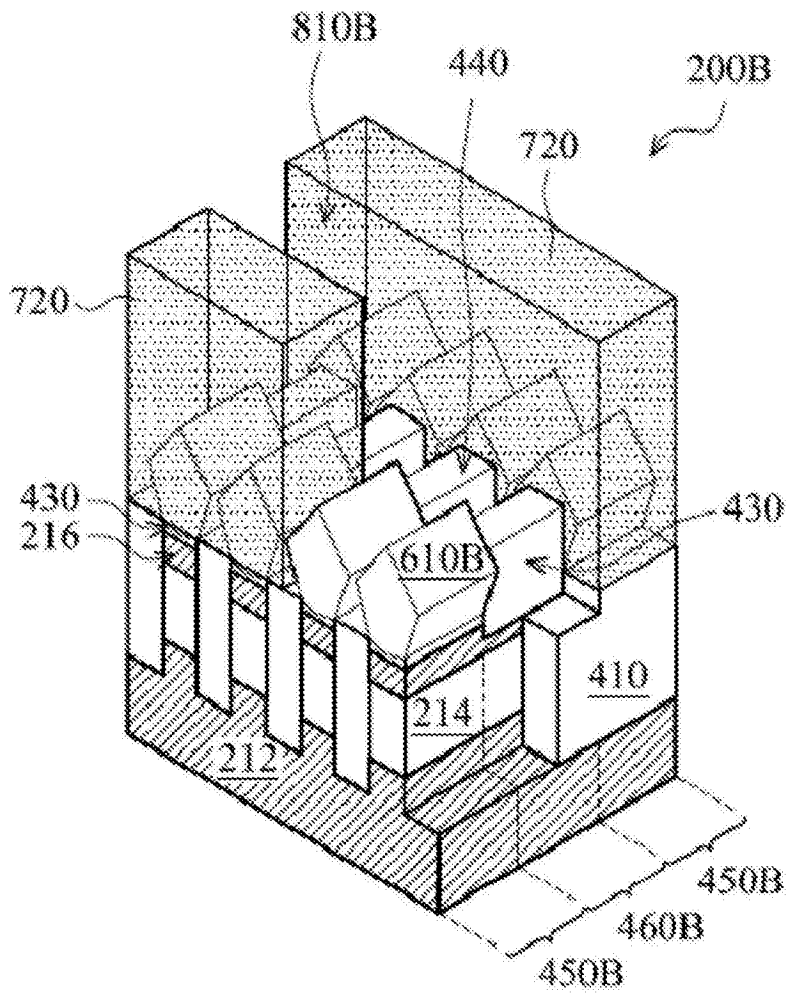


图 11B

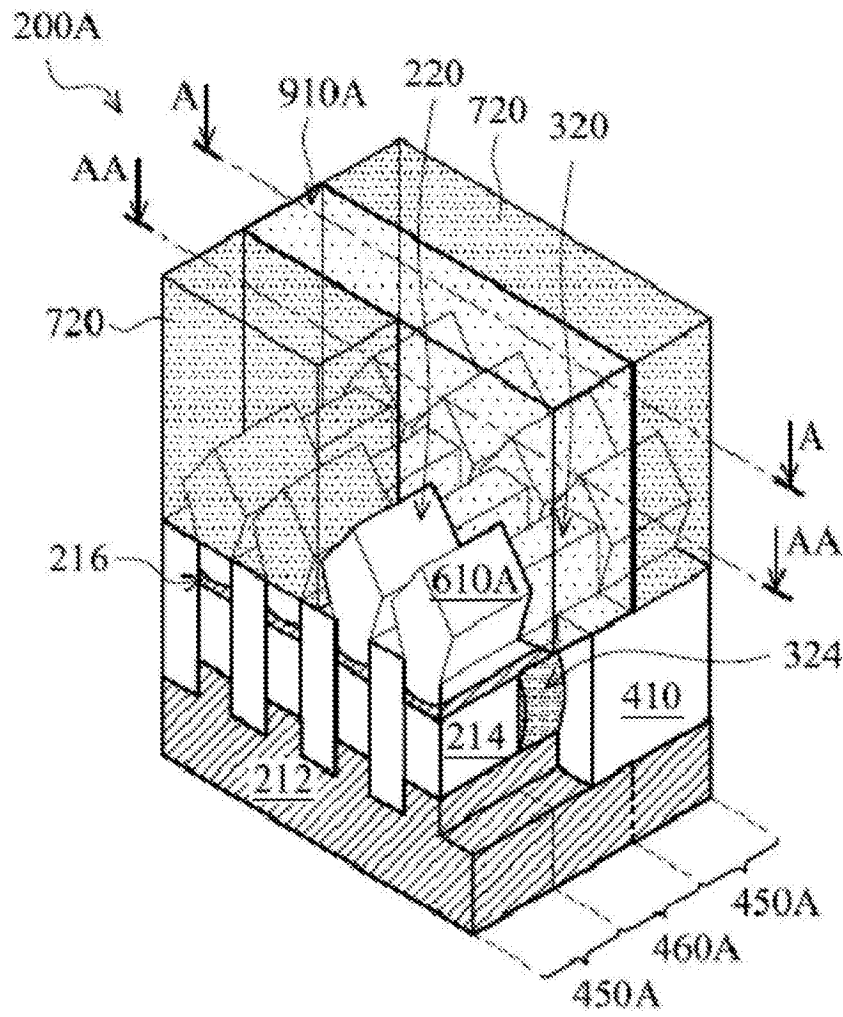


图 12A

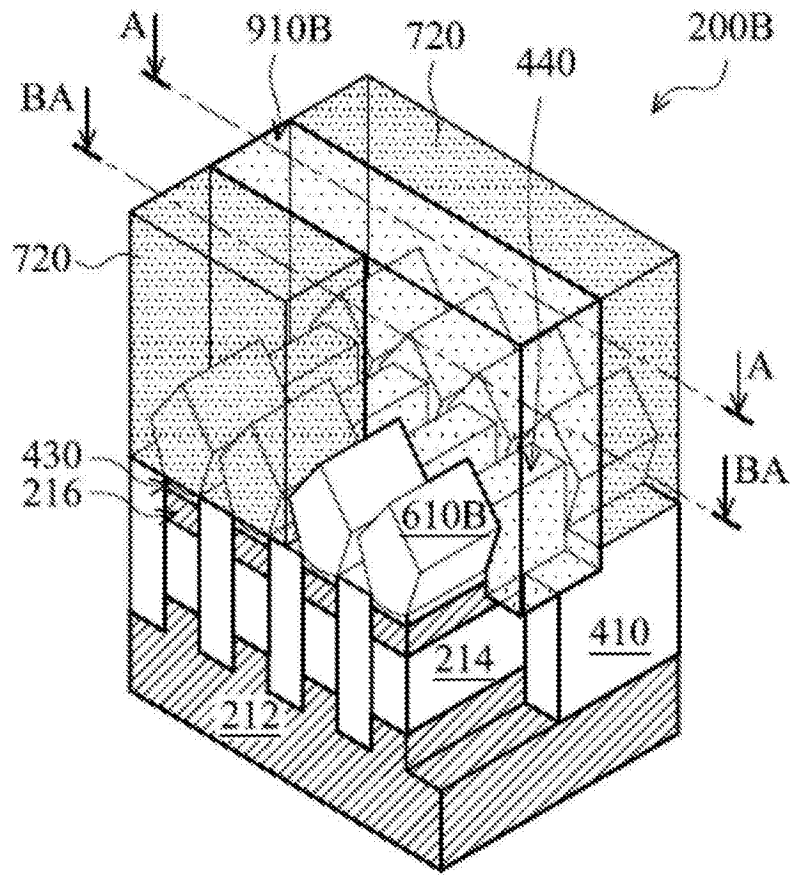


图 12B

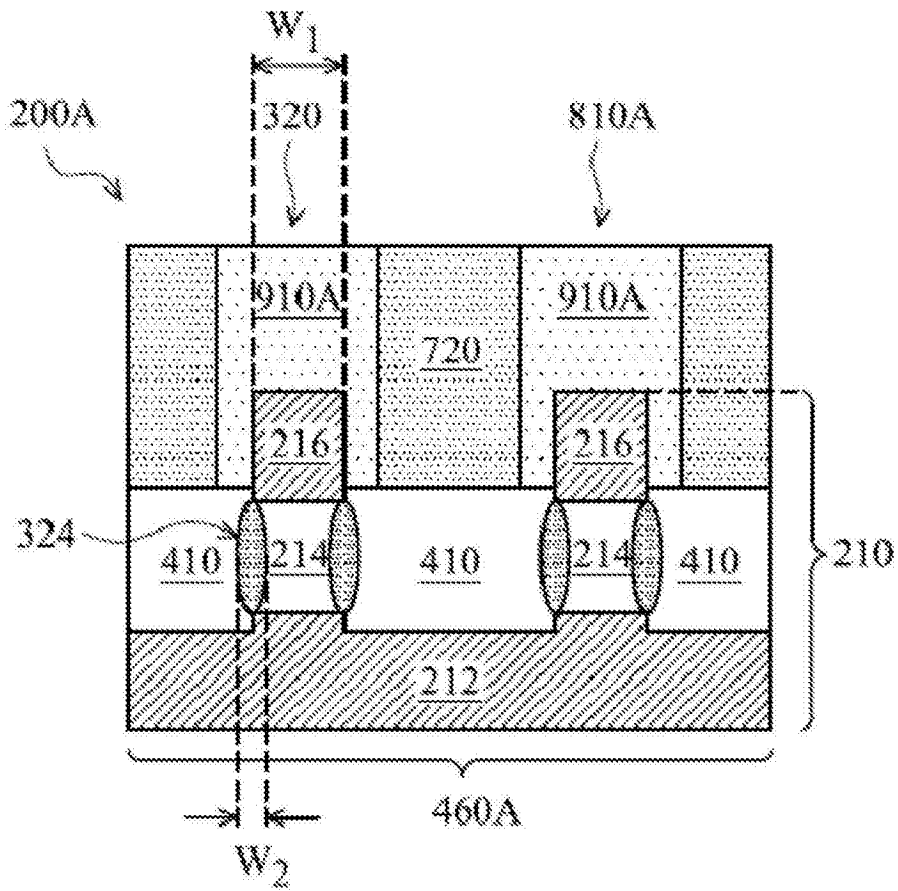


图 12C

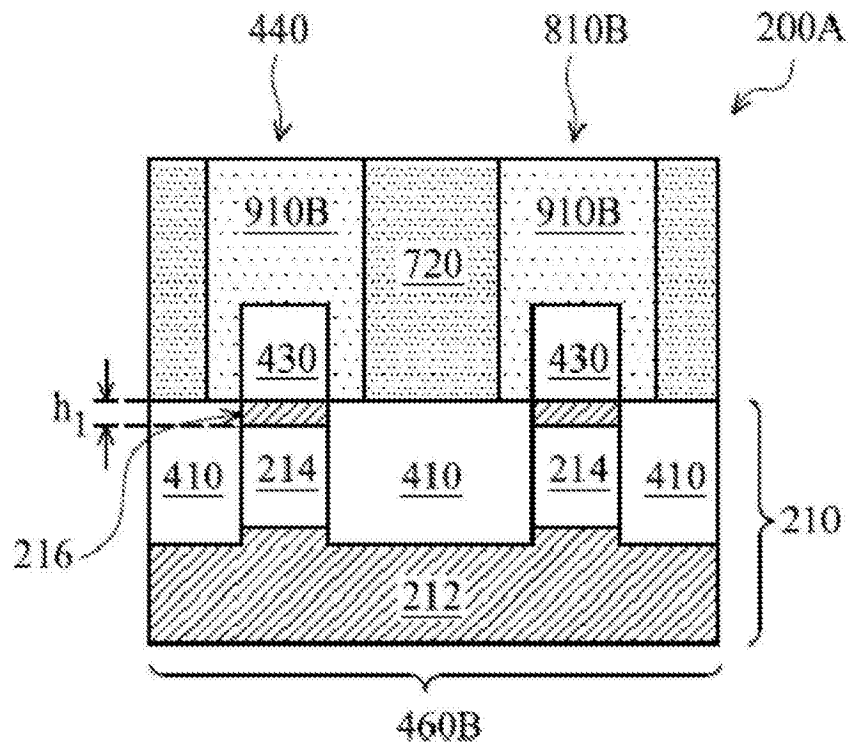


图 12D