(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G02F 1/133

(45) 공고일자 2001년10월24일
(11) 등록번호 10-0297860
(24) 등록일자 2001년05월25일

(21) 출원번호 10-1993-0005521
(22) 출원일자 1993년03월31일

(65) 공개번호 특0000-0000000
(43) 공개일자 0000년00월00일

(30) 우선권주장 92-122144 1992년05월14일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키가이샤
구사마 사부로
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 야마자끼가쯔노리
일본나가노껜스와시오와3죠메3반5고세이꼬엡슨가부시끼가이샤나이
야따베사또시
일본나가노껜스와시오와3죠메3반5고세이꼬엡슨가부시끼가이샤나이

(74) 대리인 이병호

심사관 : 고종욱

(54) 액정디스플레이장치

요약

본 발명은 복수의 주사 전극이 한 쌍의 기판중의 일 기판에 형성되고, 상기 한 쌍의 기판 사이에 액정층이 삽입되며, 복수의 신호 전극은 주사 전극을 교자하도록 다른 기판에 형성되며, 디스플레이 도트는 교차부에 형성되는 액정 패널과, 구동 전압 파형을 상기 액정 패널의 복수의 주사 전극에 공급하는 주사 전극 구동 회로와, 구동 전압 파형을 복수의 신호 전극에 공급하는 신호 전극 구동 회로와, 복수의 주사 전극에 공급된 구동 전압 파형을 형성하도록 상기 주사 전극 구동 회로에 필요만 복수의 전압을 발생시키고, 복수의 신호 전극에 공급된 구동 전압 파형을 형성하도록 상기 신호 전극 구동 회로에 필표한 복수의 전압을 발생시키는 전원 회로와, 상기 액정 패널 상에 디스플레이된 문자 또는 그림에 따라 보정 전압을 주사 전극에 인가되는 구동 전압 파형과 신호 전극에 인가된 구동 전압 파형중 적어도 하나에 가산하는 보정 수단을 구비한 액정 디스플레이 장치에 있어서, 상기 보정 수단이 상기 액정 패널 혹은 상기 주사 전극 구동 회로 혹은 상기 신호 전극 구동 회로 혹은 전원 회로의 적어도 일부에서 발생하는 전압 또는 전류 변화 상태를 검출하는 검출 수단을 가지며, 상기 검출 수단이 검출하는 상기 전압 또는 전류의 변화에 따른 크기의 전압을 상기 보정 전압으로 이유되는 것을 특징으로 한다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 실시예 1 에 따른 액정 디스플레이 장치의 구성을 도시하는 도면.

제2도는 실시예 1 에서 전압 부가 회로의 구성예를 도시하는 도면.

제3도는 실시예 1 의 액정 디스플레이 장치를 구동시키는 신호의 전압 파형을 도시하는 도면.

제4도는 실시예 1 의 동작 도면.

제5도는 실시예 2 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제6도는 실시예 3 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제7도는 실시예 4 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제8도는 실시예 5 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제9도는 실시예 5 의 동작 도면.

제10도는 실시예 6 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제11도는 실시예 7 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제12도는 실시예 7 의 전압 부가 회로의 구성예를 도시하는 도면.

제13도는 실시예 8 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제14도는 실시예 9 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제15도는 실시예 10 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제16도는 실시예 11 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제17도는 실시예 11 의 가변 증폭기의 구성예를 도시하는 도면.

제18도는 실시예 12 에 따른 액정 디스플레이 장치의 구성예를 도시하는 도면.

제19도는 실시예 12 의 전압 보정 회로의 구성예를 도시하는 도면.

제20도는 실시예 13 의 전압 보정 회로의 구성예를 도시하는 도면.

제21도는 실시예 14 의 전압 보정 회로의 구성예를 도시하는 도면.

제22도는 실시예 14 의 전압 보정 회로의 또 다른 구성예를 도시하는 도면.

제23도는 실시예 15 의 전압 보정 회로의 구성예를 도시하는 도면.

제24도는 실시예 16 의 전압 보정 회로의 구성예를 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

10 : 액정 패널 12 : 주사 전극 구동 회로

111 : 시프트 레지스터 회로 112 : 래치 회로

122 : 아날로그 스위치 회로 135 : 입력 전압 변환 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이 균일성을 향상시킨 액정 디스플레이 장치에 관한 것이다.

액정-디스플레이 장치의 액정 패널은, 액정 디스플레이 장치내에 있는 전원회로에 의해 발생된 여러 다른 전압의 전압 파형 (이후, 구동 전압 파형이라 한다)을, 액정 디스플레이 장치를 구성하는 주사 전극 및 신호 전극에 공급함으로써 디스플레이하도록 구동된다. 이러한 구동 전압 파형은 액정 패널 상에 만들어진 디스플레이의 크기에 따라 변화된다.

액정 패널은 용량성 부하이며, 주사 전극 및 신호 전극은 전기 저항을 가진다. 그러므로 신호 파형에 따라 주사 전극 및 신호 전극에 인가되는 전압의 파형에서 왜곡이 발생하여 디스플레이가 비균일한 문제점이 발생한다.

이러한 문제점에 대해, 평성 2-89 에 출원되어 일본 공개공보에 기술된 바와 같이, 구동 전압 파형에 보정 전압을 부가함으로써 왜곡을 보정하는 방법이 공지되어 있다.

상기 공보에 기재된 방법은 디스플레이의 비균일성을 감소시키나, 이러한 효과를 위해 보정 양을 미리 계산하는 회로를 필요로 하며, 그 결과, 액정 디스플레이 장치가 더 복잡해지고, 크기 및 무게가 증가하는 단점이 있다.

발명이 이루고자 하는 기술적 과제

액정층을 사이에 두고 한 쌍의 기판의 일 기판에 복수의 주사 전극이 형성되고, 다른 쪽의 기판에 복수의 신호 전극이 상기 주사 전극과 교차하도록 형성되며, 상기 교차 부분이 디스플레이 도트가 되는 액정 패널과, 상기 액정 패널의 상기 복수의 주사 전극 각각에 구동 전압 파형을 공급하는 주사 전극 구동 회로와, 상기 복수의 신호 전극 각각에 구동 전압 파형을 공급하는 신호 전극 구동 회로와, 상기 주사 전극 구동 회로가 상기 복수의 각 주사 전극에 공급하는 구동 전압 파형을 형성하는데 필요한 복수의 전압과 상기 신호 전극 구동 회로가 상기 복수의 신호 전극 각각에 공급하는 구동 전압 파형을 형성하는데 필요한 복수의 전압을 발생하는 전원 회로와, 상기 액정 패널이 디스플레이하는 문자 또는 그림에 따라 보정 전압을 상기 주사 전극에 인가되는 구동 전압 파형과 상기 신호 전극에 인가되는 상기 구동 전압 파형 중 적어도 한쪽에 가산하는 보정 수단을 구비한 제 1 발명에 따른 액정 디스플레이 장치는, 상기 보정 수단이 상기 액정 패널 혹은 상기 주사 전극 구동 회로 혹은 상기 신호 전극 구동 회로 혹은 전원 회로의 적어도 일부에서 발생하는 전압 또는 전류 변화 상태를 검출하는 검출 수단을 가지며, 상기 검출 수단이 검출하는 상기 전압 또는 전류의 변화에 따른 크기의 전압을 상기 보정 전압으로 하는 것을 특징으로 한다.

제 2 발명에 따른 액정 디스플레이 장치는, 제 1 발명의 액정 디스플레이 장치에 있어서, 상기 검출 수단이 상기 액정 패널의 복수의 각 주사 전극 중 적어도 하나의 주사 전극의 구동 전압 파형과, 상기 전원 회로가 발생되며 상기 주사 전극구동 회로가 상기 복수의 주사 전극 각각에 공급하는 구동 전압 파명을 형성하는데 필요한 전압 중 적어도 하나의 전압과의 차의 전압 변화를 검출하는 것을 특징으로 한다.

제 3 발명에 따른 액정 디스플레이 장치는, 제 1 발명의 액정 디스플레이 장치에 있어서, 상기 액정 패널의 상기 주사 전극이 형성되어 있는 기판에 적어도 1 개 이상의 전압 검출 전극을 상기 복수의 신호 전극의 적어도 일부와 교자하도록 형성하고, 또는 상기 액정 패널의 상기 신호 전극이 형성되어 있는 기판에 적어도 1개 이상의 전압 검출 전극을 상기 복수의 주사 전극의 적어도 일부와 교차하도록 형성하고, 상기 전압 검출이 상기 전압 검출 전극에 발생하는 전압 변동을 검출하는 것을 특징으로 한다.

제 4 발명에 따른 액정 디스플레이 장치는, 제 1 발명의 액정 디스플레이 장치에 있어서, 상기 검출 수단이, 상기 전원 회로가 상기 주사 전극 구동 회로에 공급하는 적어도 하나의 전압에 대해 상기 전원 회로로부터 상기 주사 전극 구동 회로로 흐르는 전류를 검출하는 것을 특징으로 한다.

제 5 발명에 따른 액정 디스플레이 장치는, 제 2, 제 3, 또는 제 4 발명의 액정 디스플레이 장치에 있어서, 상기 검출 수단이 복수의 전압 또는 전류의 변화를 검출하는 경우, 상기 보정 수단은 상기 검출 수단이 검출하는 상기 복수의 전압 또는 전류의 변화를 복수의 변수로서 이용한 소정의 함수를 설정하여 상기 함수에 따른 보정 전압을 발생하는 것을 특징으로 한다.

제 6 발명에 따른 액정 디스플레이 장치는, 제 5 발명의 액정 디스플레이 장치에 있어서, 상기 함수가 상기 복수의 변수를 평균화하는 함수인 것을 특징으로 한다.

제 7 발명에 따른 액정 디스플레이 장치는, 제 3 발명의 액정 디스플레이 장치에 있어서, 상기 액정 패널에 상기 전압 검출 전극을 복수로 형성한 경우에, 상기 보정 수단은 상기 검출 수단이 상기 전압 검출 전극 각각을 통해 검출하는 전압 변화를 복수의 변수로 하는 소정의 함수를 설정하고, 상기 함수에 따라 복수의 보정 전압을 발생하며, 상기 신호 전극이나 상기 주사 전극에 공급되는 상기 구동 전압 파형에 가산되는 보정 전압은 상기 신호 전극 또는 상기 주사 전극이 상기 액정 패널 내에 위치하는 장소에 따라 상기 복수의 보정 전압 중 하나로부터 선택되는 것을 특징으로 한다.

제 8 발명에 따른 액정 디스플레이 장치는, 제 3 발명의 액정 디스플레이 장치에 있어서, 상기 전압 검출 전극이 상기 복수의 신호 전극 또는 주사 전극과 각각 교차하는 부분의 면적이 상기 신호 전극 또는 상기 주사 전극에 따라서 변화되는 것을 특징으로 한다.

제 9 발명에 따른 액정 디스플레이 장치는, 제 5 발명의 액정 디스플레이 장치에 있어서, 상기 보정 수단이 상기 검출 수단이 검출하는 상기 복수의 전압 또는 전류 변화를 복수의 변수로 하는 소정의 복수의 함수를 설정하고, 상기 복수의 함수에 따라 복수의 보정 전압을 발생하며, 상기 신호 전극 또는 상기 주사 전극에 공급되는 상기 구동 전압 파형에 가상된 보정 전압은 상기 신호 전극 또는 상기 주사 전극이 상기 액정 패널 내에 위치하는 장소에 따라 상기 복수의 보정 전압 중 하나로부터 선택되는 것을 특징으로 한다.

제 10 발명에 따른 액정 디스플레이 장치는, 제 3 발명의 액정 디스플레이 장치에 있어서, 상기 보정 수단이 상기 검출 수단이 검출하는 전압 변화와, 상기 액정 패널의 디스플레이 도트 중 점등하고 있는 도트 수에 따라서 보정 전압을 발생하는 것을 특징으로 한다.

발명의 구성 및 작용

[실시예 1]

본 발명의 구동 방법은 실시예를 참조하여 상세히 기술하기로 한다. 액정 패널의 신호 전극 배열 방향에서 발생하는 디스플레이 비균일성을 감소시키는 방법을 제 1 실시예와 관련하여 기술하기로 한다.

제1도는 상기 실시예의 구성을 도시하는 도면이다. 제1도에 도시된 소자(10)는 액정층(도시되지 않음)이 삽입된 한 쌍의 기판(101 및 102)으로 형성된 액정 패널이다.

주사 전극(Y1 내지 Y6)은 한 기판(101)상에 형성되어, 반면에 신호 전극(X1 내지 X6)은 다른 기판(102)상에 형성된다.

설명을 쉽게 하기 위해, 주사 전극(Y1 내지 Y6) 및 신호 전극(X1 내지 X6)중 단지 작은 수만이 제공된다고 가정한다.

그러나, 실제로는 훨씬 많은 수의 전극이 사용된다.

소자(11)는 내부 소자, 즉, 6-비트 시프트 레지스터 회로(111) 6-비트 래치회로(112), 및 6-비트 4-회로/1-컨택트 아날로그 스위치(113)를 갖는 X 구동기이다. 비트 수는 액정 패널(10)의 신호 전극수와 같다.

소자(12)는 내부 소자, 즉, 6-비트 시프트 레지스터 회로(721) 및 6-비트 4-회로/1-컨택트 아날로그 스위치(122)를 갖는 Y 구동기이다. 비트 수는 액정 패널(10)의 주사 전극 수와 같다. 데이터 신호, CK 신호, LP 신호, D1 신호 및 FR 신호는 외부로부터 출력된다. 상기 기술된 구성은 종래기술의 것과 동일하다.

회로(13)는 전원 회로이다. 전압 V0 내지 V5 이 전압 V0-전압 V1=전압 V1-전압 V2=전압 V3-전압 V4 =전압 V4-전압 V5(=V) 같은 관계를 가진다면, 전압 V0-전압 V5=n.V (n : 포지티브 수, 약 10)은 액정 패널을 구동시키는데 필요한 6-레벨전압으로 발생 된다.

회로(131)는 5개의 저항 R1, R2, R3, R4, R5 으로 형성되는 전압 분배 회로이다. 저항 R1, R2, R4, R5 은 각각 다른 저항을 가진다. 저항 R3 은 (n-4)R로 표시되는 저항을 가진다. 전압 V0 및 V5 이 전압 분배 회로(131)의 두 단부, 즉, 제1도에서 저항 R1 의 상부 지점 및 저항 R5 의 하부 지점에 인가될 때, 그들 사이에서의 전압은 R1 와 R2, R2 와 R3, R3 와 R4, 및 R4 와 R5 사이에서 각각 전압 V1, V2, V3, V4 를 발생하도록 분배된다.

소자 OP1 내지 OP4 는 임피던스를 감소시킴으로써 전압 분배 회로(11)에 의해 발생된 전압 V1 내지 V4 을 출력하는 전압 펄로워 회로이다. 상기 전압 펄로워 회로 OP1 내지 OP4 각각은 연산 증폭 회로로 형성된다.

소자(132)는 FR 신호에 따라 이러한 전압중 하나를 출력하기 위해 전압 V1 및 V4 을 변화시키는 기준 전압 변환 스위치이다.

소자(133)는 "0" 으로 설정되는 스위치 제어 신호 (134)를 출력하는 전압 변환 제어 회로이며, Y 구동기는 주사 전극 Y1 내지 Y3 중 한 전극에 또는 "1"에 선택된 전압을 제공하며, Y 구동기는 주사 전극 Y4 내지 Y6 중 임의의 전극에 선택된 전압을 제공한다. 이러한 회로는 LP 신호를 클록 신호로 사용하고 D1 신호를 리세트 신호로 사용하는 카운터 회로와, 상기 카운터 회로로부터의 출력 크기를 비교하는 비교 회로와, 다른 소자 등으로 쉽게 형성될 수 있다. 그러므로 상기 회로는 특별히 도시하거나 기술하지 않기로 한다.

소자(135)는 입력 전압 변환 스위치며 상기 스위치는 스위치 제어 신호(134)가 "1"일 때 Y 구동기(12)에서 주사 전극 Y2 으로 출력되는 전압을 선택하여 출력하며, 그리고 스위치 제어 신호(734)가 "0" 일 때 Y5 로 출력되는 전압 파형을 선택하여 출력 한다.

소자(136)는 기준 전압 변환 스위치(21) 및 입력 전압 변완 스위치로부터 출력되는 전압 사이에서의 차이를 출력하는 차동 증폭 회로이다.

소자(137 내지 140)는 차동 증폭 회로(136)로부터 출력된 전압을 외부로부터 제공된 전압에 부가하며, 전압 펄로워 회로 OP2, OP3 로부터 출력된 전압 즉, V0, V2, V3, V5 를 부가하며, 부가하여 얻어진 전압 V0′, V2′, V3′, V5′을 출력하는 전압 부가 회로이다. 제2도는 전압 부가 회로 (137 내지 140)의 예를 도시한다. 제2도에서 단자 Vref 는 기준 전압이 예를 들면, 전압 V0, V2, V3, V5 전압중 한 전압이 입력되는 단자이다. 제2도에서의 단자 Vin 는 차동 증폭 회로(136)로부터 출력된 전압이 입력되는 단자이다. 저항(210) 및 커패시터(202)는 차동 회로를 형성하며 소자(203)는 연산 증폭 회로로 형성되는 전압 펄로워 회로이다. 단자 Vout 를 통해 제1도의 V0′, V2′, V3′ 또는 V5′에 대응하는 전압은 전압 펄로워 회로(203)로부터 출력된다. 차동 증폭 회로 (136)로부터 출력되고 단자 Vin 을 통해 입력되는 전압은 미분된 파형에 매우 가깝다. 그러므로, 상기 전압을 저항(201) 커패시터(202)로 형성된 차동 회로의 단자 Vin 에 부가함으로써, 단자 Yin 에서의 전압과 단자 Vref 에서의 전압의 합에 근접한 전압은 전압 펄로워 회로(203)로부터 출력될 수 있다.

그때, 제1도와 관련하여, 전압 V0, V1, V4, V5 는 Y 구동기(12)에 제공되며, 전압 V0′, V2′, V3′, V5′는 X 구동기 (11)에 제공된다. Y 구동기(12)에 제공된 전압 V5 및 V1 과 X 구동기(11)에 제공된 전압 V0′ 및 V2′ 은 제1 전압 그룹에서 각각 선택 전압, 비-선택 전압 점등-전압(lighting voltage) 및, 비-점등 전압으로 불리며, 반면에, 전압 V0, V4, V5′, V3′ 는 제 2 전압 그룹에서, 각각 선택 전압 비-선택 전압, 점등-전압 및 비-점등 전압으로 불린다.

다음은 상기 실시예의 구성으로써, 회로 블록 사이에서의 접속은 도면으로부터 명백히 알 수 있으므로 특별히 기술하지 않기로 한다. 제3도에 도시된 바와 같이, 데이터 신호, CK 신호, LP 신호 및 D1 신호는 외부로부터 제공된다.

동작은 지금부터 기술하기로 한다.

첫 번째로, X 구동기(11)에서, 제3도에 도시된 CK 신호와 동기하여 디스플레이의 내용을 결정하는 데이터 신호는 시프트될 시프트 레지스터 회로(111)로 연속적으로 인출된다.

액정 패널(10)의 신호 전극수에 대응하는 데이터 아이템의 수는 시프트 레지스터(111)에 제공될 때, 상기 시프트 레지스터 회로(111)에서 각 비트의 내용은 래치 회로(112)에서 대응 비트로써 인출된다. 레벨 시프트 회로(113)는 래치 회로(112)로 인출되는 크기와, FR 신호(15)에 따른 전압을 출력한다. 즉, 상기 시프트 회로는 래치 회로(112)로 인출되는 각 비트의 내용이 점등하면, (이후 대응 값은 "1"로 한다) 점등 전압을 출력하고, 또는 내용이 비-점등이면(이후 대응 값은 "0"로 한다) 비-점등 전압을 출력한다. FR 신호가 제 1 그룹 전압의 선택을 표시하면 (-이후 대응 값은 "0"으로 한다) 제 1 그룹 전압이 출력되며, FR 신호가 제 2 그룹 전압의 선택을 표시하면(이후 대응 값은 "1"로 한다), 제 2 그룹 전압이 출력된다.

Y 구동기(12)에서, LP 신호와 동기하여 선택된 주사 전극을 결정하는 제4도에 도시된 D1 신호는 시프트될 시프트 레지스터 회로(12′)로 연속적으로 인출된다. 레벨 시프트 회로(122)는 래치 회로(121)로 인출되는 내용과 FRI 신호(15)에 따른 전압을 출력한다. 즉, 상기 레벨 시프트 회로는 래치 회로(112)로 인출된 각 비트의 내용이 선택을 표시하면 선택 전압을 출력하고 비-선택을 표시하면 비-선택 전압을 표시한다. FR 신호가 "0"이면, 제 1 그룹 전압이 출력되고, FR 신호가 "1"이면, 제 2 그룹 전압이 출력된다.

선택 전압이 주사 전극 Y1 내지 Y3 에 인가되는 시간 주기동안, 입력 전압변환 제어 회로(133)는 Y 구동기 (12)로부터 주사 전극 Y5 으로 출력되는 전압을 차동 증폭 회로(137)에 제공하기 위해 입력 전압 변환 제어 회로(133)를 동작

시킨다. 선택 전압이 주사 전극 Y4 내지 Y6 에 인가되는 시간주기동안, 입력 전압 변환 제어 회로(133)는 Y 구동기 (12)로부터 주사 전극 Y2 으로 출력되는 전압을 차동 증폭 회로(136)에 제공한다. 그러므로, 전압 V1 및 V4 이 FR 신호에 따라 변화되는 전압 파형상에 왜곡이 중첩되는 전압은 항상 회로(137)로 출력된다.

상기 시점에서 기준 전압 변환 회로(132)는 FR 신호에 따라 전압 V1 및 V4 중 하나를 차동 중폭 회로(136)에 출력한다.

그러므로 Y 구동기(12)로부터 주사 전극(Y2 내지 Y5)으로 출력되는 전압 파형의 왜곡 성분만이 자동 증폭 회로 (136)로 출력된다.

이러한 왜곡 성분은 전압 부가 회로(137 내지 140)에 의해 전압 V0, V2, V3, V4 에 가산되어, X 구동기(11)로 출력되는 전압 V0′, V2′, V3′, V4′을 얻는다.

동작은 상기 기술된 바와 같이 수행된다. 그러므로, 왜곡(Ve로 가정)이, 비-선택 전압 (V1 또는 V4)이 인가되는 주사 전극상의 전압에서 발생되면, 주사 전극상의 전압은 Vc + Ve 이다. 상기 시점에서, 신호 전극상의 전압은 전압 Ve이 전압 V0, V1 또는 V3, V5에 부가됨으로써 얻어지는 V0′, V2′ 또는 V3′, V5′이다. 그러므로 주사 전극과 신호 전극 사이에서의 차이는 다음과 같다.

V0′-V1=(V0-Ve) - (V1+Ve) =V,

V1′-V2′=(V1-Ve) - (V2+Ve) =V,

V3′-V4=(V3-Ve) - (V4+Ve) =V, 또는

V4′-V5′=(V4-Ve) - (V5+Ve) =V

이러한 차이는 왜곡의 크기와 관계없이 일정하다. 그 결과, 액정 패널(10) 상에서 도트에 인가되는 유효 전압 사이에 차이가 없음으로 디스플레이상에서도 비균일성이 나타나지 않는다. 이러한 것은 제4도에 도시된다. 임의의 디스플레이가 액정 패널(10)상에서 표시될 때 제4도는 전압 V0 내지 V2, 전압 V0′ 내지 V2′의 일부와, Y 구동기(12)로부터 주사 전극 V2 또는 V5 으로 출력되는 파형을 도시하는 도면이다.

제4도에서, 파선(401 내지 402)은 전압 V0 내지 V2 를 표시하며, 굵은 선(404 및 406)은 전압 V0′ 내지 V2′를 표시하며 굵은선(405)은 구동기(12)로부터 주사 전극 Y2 또는 Y5 까지 출력되는 파명을 표시하며, 전압(407, 408)은 Y 구동기(12)로부터의 출력 파형(405) 사이의 차이, 즉, 각각 V0, V2′을 표시한다. 전압(401 내지 403)은 이해를 쉽게 하기 위해 경사지게 표시한다. Y 구동기(12)로부터의 출력 파형(405)이 왜곡되어 전압 변화를 야기하면, 전압(404, 407) 즉, 전압 V0′ 및 V1′은 상기 전압 변화를 따름으로써 또한 변화하여, 그 결과, 전압 차이(407, 408)는 왜곡에 영향 받은 것 없이 일정하다. 상기 동작은 제 1 전압 그룹에 관련하여 기술되었다.

그러나, 동일한 동작이 제 2 전압 그룹에 관련하여 수행된다.

상기 기술된 바와 같이, Y 구동기(12)로부터 출력된 전압 파형에서의 왜곡 성분은 X 구동기(11)에 제공된 전압에 간단히 부가된다. 그러나, Y 구동기(12)로 부터 출력된 전압 파형의 왜곡과 비교하여 보다 큰 왜곡이 액정 패널(10)상에서 발생하기 때문에, X 구동기(11)에 제공된 전압에 부가되는 전압은 이러한 상태를 고려함으로써 증가될 수도 있다. 이것은 차동 증폭 회로(136)의 이득을 적절한 값으로 설정함으로써 쉽게 달성될 수 있다. 이러한 경우, 검출된 왜곡에 대하여 선형으로 전압을 증가시키는 것은 항상 필요하지 않다.

전극 Y2 및 Y5 은 기준 주사 전극으로써 기술된다.

즉, 기준 전극은 그것들로 제한 받지는 않으띠, 임의의 다른 주사 전극으로 선택될 수 있다. 또한 복수의 주사 전극에 대하여 평균 왜곡이 사용될 수도 있다.

상기 기술된 바와 같이, 디스플레이 비균일성은 주사 전극상에서의 전압 변화를 검출하고 신호 전극상에서의 전압을 대응적으로 변화시킴으로써 간단한 방법으로 감소된다.

[실시예 2]

실시예 1 에 대하여, 신호 전극에 제공된 구동 전압 파형에 보정 전압을 부가하는 방법이 기술된다. 그러나 동일한 수행이 주사 전극에 제공된 구동 전압파형에 보정 전압을 부가함으로써 또한 달성될 수 있다. 상기 방법의 예는 아래에서 기술된다. 제5도는 상기 예에 따른 장치를 도시한다.

제5도에 도시된 회로(53)는 소자(531 내지 533)를 제외하고는 제1도에 도시된 장치와 동일한 전원 회로이다.

동일한 방법으로 동작하는 상기 동일한 소자는 동일한 참조 번호로 표시하며 반복하여 기술하지 않기로 한다.

소자(531)는 전압의 극성을 반전시키는 동안 기준 전압 변화 스위치(21)와 입력 전압 변환 스위치로부터 출력되는 전압 사이에서 차이를 출력하는 자동 증폭회로이다.

소자(532, 533)는 제1도의 전압 부가 회로(137 내지 140)와 같은 동일한 전압 부가 회로이다. 상기 전압 부가 회로(532 533)로부터, 차동 증폭 회로(531)로부터 출력되는 전압에 전압 펄로워 회로 OPI, OP4 로부터 출력되는 전압 V1 및 V4 을 부가함으로써 얻어진 전압은, 전압 V1′ 및 V2′ 으로써 출력된다.

그때, 제1도와 관련하여, 전압 V0, V1′, V4′, 및 V5 는 Y 구동기(12)에 제공되며 전압 V0, V2, V3, V5 는 X 구동기(11)에 제공된다. Y 구동기(12)에 제공된 전압 V5 및 V1′ 및 X 구동기(11)에 제공된 전압 V0 및 V2 는, 제 1 전압 그룹에서 각각 선택 전압 비-선택 전압, 점등 전압, 비-점등 전압이며, 한편, 전압 V0, V4′, V5, V3 은 제 2 전압 그룹에서 각각 선택 전압 비-선택 전압 점등 전압, 비점등 전압이다.

상기 장치에서, 왜곡(Ve 로 추정)이, 비-선택 전압 (V1 또는 V4)이 인가되는 주사 전극상의 전압에서 발생하면, 즉, 주사 전극상의 전압이 Vc + Ve 로 증가하기 시작하면, 전압 가산기(532 또는 533)는 전압 -Ve을 전압 V1 또는 V4 에 부가하여, 왜곡이 전체적으로 없어진다. 그러므로 주사 전극상의 비-선택 전압에서 왜곡이 실질적으로 없어지고 디스플레이 비균일성이 사라진다.

Y 구동기(12)로부터 출력된 전압 파형의 왜곡과 비교하여 보다 큰 왜곡이 액정 패널(10)상에서 발생하면, Y 구동기(12)에 제공되는 전압에 추가된 보정 전압은 이러한 상태를 고려함으로써 증가될 수 있다. 이러한 것은 차동 증폭 회로(1531)의 이득을 적절한 값으로 설정함으로써 쉽게 달성될 수 있다. 이러한 경우, 검출된 왜곡에 대하여 선형으로 전압을 증가시키는 것은 항상 필요하지 않다.

상기 기술된 바와 같이, 디스플레이 비균일성은 각 주사 전극상에서 전압 변화를 검출하고 주사 전극상에서의 전압을 대응적으로 변화시킴으로써 감소된다.

또한 실시예 1 및 실시예 2 가 신호 전극 및 주사 전극에 보정 전압 내지 구동 전압 파형을 부가하도록 결합된다면, 또한 동일한 수행이 달성될 수 있다.

[실시예 3]

또 다른 실시예를 지금부터 기술하기로 한다.

실시예 1 및 2 에서, X 구동기 또는 Y 구동기에 제공된 전압은, 디스플레이 비균일성을 감소시키기 위해 Y 구동기로부터 특정 주사 전극으로 출력 파형의 왜곡에 의해 변화된다.

요약하면 주사 전극상에서의 전압 파형 또는 Y 구동기에서의 출력 파형 왜곡은 평성 2-89 에 출원된 일본 공개 공보에 상세히 기술된 바와 같이 주사 전극에 대하여 신호 전극의 전압 변화의 총합에 의해 결정된다. 그러므로 전압 검출 전극은 액정 패널의 주사 전극이 형성되는 기판에서 형성되고 그들 사이에 삽입된 액정층을 통해 신호 전극과 커패시터브로 접속되며, 신호 전극의 전압에서 변화 합이 검출되며, 각 주사 전극에서의 왜곡은 상기 검출의 결과로부터 측정되며, X 구동기에 제공된 전압은 상기 왜곡에 따라 변화되는 방법이 제공된다.

이러한 방법은 상기 실시예의 구성을 도시하는 제6도와 관련하여 상세히 기술하기로 한다. 제6도에 도시된 구성은 액정 패널(10a) 및 전원 회로(63)를 제외하고는 제1도에 도시된 것과 동일함으로 동일한 소자에 대한 설명은 생략하기로 한다.

제6도에 도시된 액정 패널(10a)은 제1도에 도시된 액정 패널(10)의 기판(101)상에 전압 검출 전극 YD 을 새로 부가함으로써 구성된다. 상기 전압 검출 전극 YD 은 도시된 바와 같이 전체 신호 전극 X1 내지 X6 에 마주하도록 배치된다.

주사 전극 위에 있는 신호 전극 X1 내지 X6 상에서 전압 변화 영향이 신호전극에 대하여 변화하면 전압 검출 전극 YD 의 폭은 일정하지 않을 수도 있다. 예를 들면, 전압 검출 전극 YD 은 좌측에서 우측 방향으로 폭이 단계적으로 증가되도록 형성된다.

제6도에 도시된 회로(63)는 전원 회로이며, 상기 회로의 소자는 소자(631 내지 633)를 제외하고 제1도에 도시된 전원 회로(13)의 것과 동일하다. 그러므로 동일한 소자에 대한 설명은 생략하기로 한다. 소자(631)는 전압 검출 전극 YD에 마주하는 신호 전극 X1 내지 X6 과 액정 패널(10a)상에 제공된 전압 검출 전극 YD 에 의해 형성되는 커패시터와 연결되어 차동 회로를 형성하는 저항이다.

소자(632)는 임피던스를 감소시킴으로써 전압 검출 전극 YD 상에서 발생되는 전압을 출력하는 전압 펄로워 회로이다.

상기 전압 펄로워 회로(632)는 비-반전 증폭기이며, 증폭 인수는 1 이 아니며 임의의 증폭 인수를 가질 수 있다.

소자(633)는 저항(631)의 한 단부에 인가된 전압 V1 내지 V4 중 하나 (이후 " 기준 전압 " 이라 한다)를 선택하도록 변환되는 스위치 회로이다. 즉, Y 구동기가 비-선택 전압으로써 전압 V1 을 사용할 때, 전압 V1 은 저항(631)의 단부에 인가된다. 또는 Y 구동기가 전압 V4 을 사용할 때, 전압 V4 은 저항(631)의 단부에 인가된다. 이러한 장치에 의해, 전압 펄로워 회로(632)는 신호 전극 X1 내지 X6 에서 변화 합에 따라 전압 변화를 발생한다. 이러한 전압 변화를 사용함으로써, 전압 V0 ′ , V2 ′ , V3 ′ , V5 ′ 는 전압 부가 회로 (137 내지 140)에서 발생된다.

상기 실시예의 동작은 실시예 1과 동일하다. 그러므로 동일한 수행이 얻어진다. 구동 방법이 전압 평균 방법이 아니하면, 그리고, 액정 패널이 2-값 전압의 상이한 전압 파형이 일본 공개공보 소화 60-247224에 기술된 바와 같은 구동을 수행하기 위해 주사 전극에 인가되는 방법에 의해 구동되면, 주사 전극상에서의 왜곡을 직접 검출하는 것은 어렵다. 왜냐하면 주사 전극상에서의 전압 파형은 서로 다르기 때문이다. 그러므로 이러한 경우, 상기 실시예에 따라 전압 검출 전극에 의해 주사 전극상에 왜곡을 측정하는 방법에 효과적이다.

스위치 회로(631)는 Y 구동기(12)상에서 두개의 비-선택 전압 V1 및 V4 의 사용을 필요로 한다. 즉, Y 구동기 (12)로부터 출력된 비-선택 전압에 대하여 신호 전극상에서 전압 변화 합을 검출할 때, Y 구동기(12)로부터 출력된 비-선

택 전압이 전압 V1 (4)에서 V4 (1)으로 변화될 때 (FR 신호가 변화될 때) 저항(631)의 단부에 인가된 기준 전압을 변화하는 것이 필요하다. 그러므로, Y 구동기용 비-선택 전압은 하나의 공통 비-선택 전압과 결합되며, Y 구동기는 비-선택 전압을 기초로 하여 절대 값과 동등한 한 쌍의 포지티브 및 네거티브 전압(한 쌍으로 제한받지는 않음)인 선택 전압에 대하여 동작하며, X 구동기는 절대값과 동등한 한 쌍의 포지티브 및 네거티브 전압(한 쌍으로 제한 받지는 않음)에 대하여 동작한다.

비교적 높은 내전압을 가지며 전압 V1 및 V4 을 변화시키도록 동작되는 스위치 회로(633)의 필요성이 제거된다. 또한 이러한 장치에 있어서 저항(631)의 한단부에 인가된 기준 전압은 임의의 일정한 전압으로 설정될 수도 있다. 예를 들면, 기준 전압은 V0 및 V5 사이에서 중간점으로 설정될 수도 있다.

더욱이, FR 신호가 변화될 때 비-선택 전압이 V1 에서 V4(V1)로 변화되는 제6도에 도시된 Y 구동기(12)와 동일한 Y 구동기가 사용되면, FR 신호가 변화될 때 보정 전압을 발생하지 않은 회로는, 스위치 회로(633)의 필요성을 제거하는 것은 물론 저항(631)의 한 단부에 제공된 기준 전압을 임의의 일정한 전압으로 설정하는 것을 가능케 한다.

상기 실시예에서, 보정 전압은 신호 전극 구동 전압 파형에 인가된다. 그러나, 전압 펄로워 회로(632)로부터 출력된 전압 극성을 반전시키는 반전 증폭 회로는 상기 반전 증폭 회로의 출력 전압을 보정 전압으로써 주사 전극 구동 전압 파형에 부가하도록 제공된다 그것에 의해 실시예 2 와 동일한 수행이 달성될 수 있다.

[실시예 4]

각 주사 전극상에서의 전압 파형 또는 Y 구동기로부터 출력된 파형의 왜곡은 Y 구동기 및 주사 전극을 통해 흐르는 전류에 의해 발생된다. 상기 전류는 Y 구동기를 통해 전원 회로로 흐른다. 그러므로 전원 회로를 통해 흐르는 전류를 검출함으로써 왜곡을 측정하는 것이 가능하다.

그것에 의해 X 구동기에 제공된 전압은 변화될 수 있다.

이러한 방법은 지금부터 상세히 기술하기로 한다.

제7도는 상기 실시예의 구성을 도시한다. 전원 회로(73)를 제외하고 제7도에 도시된 소자는 제1도에 도시된 것과 동일하며, 동일한 소자에 대한 설명은 생략하기로 한다.

더욱이, 저항(731, 732) 및 차동 증폭 회로(733, 734)가 다른 제6도에 도시된 전원 회로(73)의 소자는 제1도에 도시된 전원 회로(13)의 것과 동일하며 동일한 소자에 대한 설명은 생략하기로 한다. 저항(731, 732)은 작은 저항을 갖는 전류 김출 저항이다. 각 저항 (731 또는 732)을 통해 흐르는 전류에 비례하는 전압은 저항 양단에서 발생된다. 자동 증폭 회로(7333, 734)는 저항 양단에서 각각 발생되는 전압차를 전압 부가 회로에 제공한다.

전압 V0′, V2′, V3′, V5 은 상기 전압자를 기초로 하여 전압 부가 회로(137 내지 140)에서 발생된다.

실시예 1 의 동작과 동일한 동작이 동일한 효과를 달성하도록 수행되며, 한편, 기준 전압 변환 스위치(132) 입력 전압 변완 제어 회로(133), 및 입력 전압 변환 스위치 (135)의 필요성이 제거되며, 그리하여 회로 구성이 간단해질 수 있다.

또한, 차동 증폭 회로(7333, 734)의 각각으로부터 출력된 전압을 반전시킴으로써 얻어진 전압은 보정 전압으로써 주사 전극 구동 전압 파형에 부가되어 실시예 2 와 동일한 효과를 달성할 수 있다.

상기 실시예와 관련하여 비-선택 전압에 대한 전류를 검출하는 방법이 기술된다. 그러나, 각 신호 전극에 인가된 전압이 점등 전압에서 비-점등 전압으로 또는 비-점등 전압에서 점등 전압으로 변화될 때 신호 전극에 의해 주사 전극상에서 구동 전압 파형(비-선택 전압) 에서 발생되는 왜곡이 신호 전극을 통해 흐르는 전류의 합이기 때문에, 작은 저항에 의해 제7도에 도시된 X 구동기에 제공된 점등전압 및 비-점등 전압에 대하여 전류를 검출함으로써 그리고 검출된 전류

를 부가함으로써 주사 전극상의 구동 전압 파형 (비-선택 전압)에서 발생된 왜곡을 측정하는 것이 가능하다. 보정 전압은 상기 방법으로 쉽게 발생될 수 있으며 동일한 효과가 달성될 수 있다.

[실시예 5]

실시예 1 내지 4 에서, 액정 패널상의 신호 전극의 배열 방향으로 발생하는 디스플레이 비균일성이 감소된다.

액정 패널상의 주사 전극의 배열 방향으로 발생하는 디스플레이 비균일성(이후, "래터럴 스트레크(lateral streak)"라 한다)은 지금부터 기술하기로 한다. 상기 래터럴 스트레크는 평성 2-89년에 출원된 일본 공개 공보에 상세히 기술되어 있다. 요약하면, 각 주사 전극상에서 라이팅 디스플레이 도트로 형성되는 커패시터의 용량은 더 크게 되고 비-선택 전압에서 선택 전압으로 변화되는 순간에 주사전극 구동 파형의 에지는 크게 라운딩 오프(rounding off)되어, 주사 전극상에서 디스플레이 도트에 인가된 유효 전압이 감소되며 래터럴 스트레크를 야기한다.

그러므로, 이러한 디스플레이 스트레크는 액정 패널의 신호 전극이 형성되는 기판에서 전압 검출 전극을 형성하고, 상기 전극 사이에 삽입된 액정층을 통해 신호 전극과 상기 전압 검출 전극을 접속하고, 신호 전극의 전압 변화 합을 검출하고, 상기 검출의 결과로써 각 주사 전극상에서 왜곡을 측정하고, Y 구동기에 제공된 선택 전압을 변화시키는 방법에 의해 감소될 수 있다.

상기 방법은 제8도와 관련하여 상세히 기술하기로 한다. 제8도에 도시된 구성은 액정 패널(10b)과 전원 회로 (83)를 제외하면 제1도에 도시된 구성과 동일하며, 동일한 소자에 대한 설명은 생략하기로 한다.

제8도에 도시된 액정 패널(10b)은 제1도에 도시된 액정 패널(10)의 기판(102)상에 절압 검출 전극 XD 을 새로 부가함으로써 구성된다. 전압 검출 전극 XD은 도시된 바와 같이 전제 주사 전극 Y1 내지 Y6 에 마주하도록 배치된다.

제8도에 도시된 회로(83)는 전원 회로이며, 상기 전원 최로의 소자는 소자(831 내지 833)를 제외하고 제1도에 도시된 전원 회로(13)의 소자와 동일함으로 동일한 소자에 대한 설명은 생략하기로 한다. 소자(831)는 전압 펄로워 회로(632)로부터의 전압 출력을 반전시키는 반전 증폭 회로이다. 소자(832, 833)는 제1도에 도시된 가산기(137)와 동일한 회로 배열 및 기능을 갖는 가산기이다.

제9도는 전압 펄로워 회로(632)로부터의 전압 출력과, 디스플레이의 경우, 각 주사 전극상에서 전압 파형을 개략적으로 도시하며, 액정 패널(10b)의 주사 전극 Y3 상에서 복수의 디스플레이 도트가 점등되고, 반면에, 다른 주사 전극상에서 적은 수의 디스플레이 도트가 점등된다.

제9도에서, 라인(901)은 전압 펄로워 회로(632)로부터 출력된 전압 파형을 표시하며, 라인(902 내지 904)은 주사 전극(V2 내지 V4)상에서 전압 파형을 표시한다. 보정 전압이 주사 전극 구동 파형에 부가되지 않을 때 파형(902 내지 904)같은 파형이 표시된다. 전압 파형(901)은 전체 주사 전극 Y1 내지 Y6 에서 전압 파형의 변화 합이며, 스위치에 의해 선택 전압을 주사 전극 Y2 내지 Y4 에 연속적으로 인가하는 처리의 일부가 도시된다.

제9도에 도시된 바와 같이, 선택 전압이 인가되는 주사 전극이, Y2 에서 Y3으로 변화될 때, 주사 전극 Y3 상에서의 전압 파형(903)은 선택 전압의 레벨을 변화시키며 한편 상승 에지는 크게 라운드 오프 된다. 동일 크기를 갖은 큰 차동 파형은 전압 펄로워 회로(732)로부터 출력된 전압(901)에서 발생된다.

선택 전압이 인가되는 주사 전극이 Y3 에서 Y4 로 변화될 때, 주사 전극 Y4 상에서의 전압 파형(904)은 라운딩-오프의 큰 크기에 관계없이 선택 레벨을 변화시킨다. 그러므로, 작은 차동 파형은 전압 펄로워 회로(632)로부터 출력된 전압(901)에서 발생된다.

전압 펄로워 회로(632)로부터의 출력 극성은 반전 증폭 회로(831)에 의해 반전되고, 반전된 출력은 보정 전압으로써 가산기(832, 833)에 의해 선택 전압에 부가된다.

그러므로, 주사 전극 Y3 상에서의 전압 파형(903)이 크게 라운드 오프된 상승 에지를 갖는 선택 전압을 증가시킬 때, 선택된 전압이 보다 빠르게 동등하도록 보정된다. 왜냐하면 보정 전압이 부가되는 선택 전압이 인가되기 때문이다.

그러므로, 비-선택 전압에서 선택 전압으로 변환될 때 라운딩-오프의 크기는, 주사 전극상에서 점등된 디스플레이 도트 수에 관계없이 일정하여, 래터럴 스트레크 발생을 방지한다.

[실시예 6]

각 주사 전극상에서의 전압 파형 또는 Y 구동기 출력 파형에서의 왜곡은 Y 구동기 및 주사 전극을 통해 흐르는 전류에 의해 발생됨으로, 상기 주사 전극상에서 점등되는 디스플레이 도트 수가 크면 주사 전극상에 인가된 선택 전압의 상승 에지는 크게 라운드 오프 된다. 이것은 상기 주사 전극을 통해 흐르는 큰 전류를 표시한다. 그러나, 주사 전극을 통해 흐르는 전류나, 전극 전압이 발생되는 전원 회로부를 통해 흐르는 전류를 검출함으로써 왜곡이 추정될 수 있다. 그에 의해 Y 구동기에 공급된 전압은 변화될 수 있다.

이런 방법은 아래에서 이런 실시예의 구성을 도시하고 제10도를 참조로 더욱 상세히 설명된다. 제10도에 도시된 구성은 전원 회로(103)를 제외하고는 제7도에 도시된 구성과 동일하며, 동일 소자에 대만 기술은 반복되지 않는다.

더욱이, 제10도에 도시된 전원 회로(103)의 소자들은 저항(1031 및 1032), 차동 증폭 회로(1033 및 1034)와 가산기 (1035 및 1037)와 다르며, 제7도에 도시된 전원 회로 (73)의 소자와 동일하며, 이들에 대한 기술은 반복되지 않는다.

저항(1031 및 1032)은 매우 작은 저항 값을 가진 전류 검출 저항이며 각 저항을 통해 흐르는 전류에 비례하는 전압은 저항 양단에서 발생된다. 차동 증폭 회로(1033 및 1034)는 저항(1031 및 1032) 양단에서 제각기 발생되어 소정의 값만큼 증배되는 전압자를 전압 부가 회로에 공급한다. 전압 부가 회로(1035 및 1037)는 이들 전압차를 전압 V0 및 V5 에 가산하여, 전압 V0′ 및 V5′을 발생시킨다. 본 실시예는 이와 같이 장치되고 동작한다.

선택 전압이 한 주사 전극에 인가되고, 이런 주사 전극상의 전압 파형이 증가하기 시작할 시에 저항(1031 및 1032)을 통해 큰 전류가 흐름으로써, 전압 V0′ 및 V5′ 은 전압 V0 및 V5 보다 큰 절대값을 가진 전압이다. 그래서, 이런 주사 전극상에서 전압 파형의 입상 에지의 상당한 라운딩-오프 (rounding-off)는 방지될 수 있다. 그에 의해 예 5 와 같은 효과가 성취된다.

[실시예 7]

실시예 3에서, 한 전압 검출 전극은 액정 패널의 주사 전극이 형성되는 기판에 형성되고, 이런 전압 검출 전극은 액정층을 통해 신호 전극과 용량성 있게 결합되어, 신호 전극의 전압의 변화의 합산치를 검출하며, 각 주사 전극상의 왜곡은 X 구동기에 공급된 전압을 변화시키도록 이런 검출의 결과로부터 측정된다. 그러나, 주사선의 수가 증가될 경우, 환언하면, 각 신호 전류의 길이가 증가될 경우, 신호 전극 전압 변화는 X 구동기에 더욱 근접한 신호 전극의 일부와, X 구동기에서 주사 전극상의 왜곡은 정팍히 측정하기가 어려운 범위까지 떨어져 있는 다른 부분 사이에서 이루어질 수 있다. 그런 경우, 복수의 전압 검출 전극이 형성되고, 보정 전압은 이들 전압 검출 전극에 의해 검출된 전압을 가중(weighting)함으로써, 환언하면, 변수로서 이들 전압을 포함하는 적당한 함수를 이용함으로써 발생되고, 신호전압 구동 파형에 가산되는 한 방법이 채택될 수 있다.

이런 방법은 본 실시예의 구성을 도시한 제11도를 참조로 아래에서 더욱 상세히 기술된다. 제11도에 도시된 구성은 액정 패널(10c) 및 전원 회로(113)를 제외하고는 제1도에 도시된 것과 동일하며, 동일 소자에 대한 기술은 반복되지 않는다.

제11도에 도시된 액정 패널(10c)은 제1도에 도시된 액정 패널(10)의 기판(101)상에 전압 검출 전극 YD1 및 YD2 를 새로이 가산함으로써 구성된다. 전압 검출 전극 YD1 및 YD2 은 설명된 바와 같이 모든 신호 전극 X1 내지 X6 을 마주보게 하도록 상하 측면부상에 배치된다. 주사 전극상의 신호 전극 X1 내지 X6 상의 전압 변화의 영향으로 신호 전극에 대해 변화가 있을 경우, 전압 검출 전극 YD 은 폭이 일정치 않을 수 있으며, 예를 들어, 좌방향에서 우방향으로 폭이 점차 증가되도록 형성될 수 있다.

제11도에 도시된 회로(1130)는 전원 회로이며, 그의 소자는 소자(6311), (6312), (6321), (6322) 및 (1131 및 1134)를 제외하고는 제1도에 도시된 전원 회로(13)의 소자와 동일하다. 동일 소자에 대한 기술은 반복되지 않는다.

소자(6311 및 6312)는 전압 검출 전극 YD1 및 YD2 과, 상기 전극과 마주한 신호 전극 X1 내지 X6 에 의해 형성된 커패시터와 관련하여 미분 회로를 형성하는 저항이다. 소자(6321 및 6322)는 임피던스를 감소시킴으로써 전압 검출 전극 YD1 및 YD2 상에 발생된 전압을 출력시키는 전압 펄로워(follower) 회로이다. 각 전압 펄로워 회로(6321 및 6322)는 증폭 인수가 반드시 1 이 아니고, 어느 증폭 인수를 가질 수 있는 비반전 증폭기일 수 있다. 소자(1131 내지 1134)는 V0′, V2′, V3′ 및 V5′를 발생시키도록 두 전압 플로워 회로(6321 및 6322)로부터 전압 V0, V2, V3 및 V5 을 출력시키는 전압을 가산하는 가산기이다.

본 실시예는 이와 같이 구성되고 동작한다. 제12도는 가산기(1131 내지 1134)의 배치의 일례를 도시한 것이다.

제12도는 저항기(1202), 두 입력 미분 회로를 형성하는 커패시터(1202 및 1203)와, 연산 증폭 회로로 형성된 전압 펄로워 회로(1204)를 포함한다. 단자 Vin1 및 Vin2 를 통해, 전압은 제11도에 도시된 전압 펄로워 회로(6321 및 6322)로부터 출력한다. 단자 Vref 를 통해, 전압 V0, V2, V3 및 V5 의 하나는 입력된다. 제12도에 도시된 단자 Vout 를 통해, 제11도에 도시된 V0′, V2′V3′ 또는 V5′에 대응하는 전압은 전압 플로워 회로(203)로부터 출력된다. 전압 펄로워 회로(6321 및 6322)로부터의 전압 출력과 단자 Vin 로 통한 입력은 미분 파형과 매우 가깝다. 그래서, 이들 전압은 저항(1201) 및 커패시터(1202 및 1203)로 형성된 미분 회로의 단자 Vin1 및 Vin2 에 가산함으로써, 단자 Vref 에서의 전압과, 단자 Vinl 및 Vin2 에서의 전압의 합에 근접한 전압은 전압 펄로워 회로(1204)로부터 출력될 수 있다.

커패시터(1202) 및 (1203)가 같은 캐패시턴스를 가질 경우, 보정 전압을 결정하도록 단자 Vin1 및 Vin2 에서 전압을 공평하게 가중하는 효과가 성취된다. 환언하면, 이런 전압을 평균화하는 효과가 성취된다. 또한, 두 커패시터는 서로 다른 캐패시턴스를 가질 수 있다. 예를 들면, 이들 커패시터(1202)는 커패시터(1203)보다 큰 캐패시턴스를 가짐으로써 전압 검출 전극 YD2 을 전압 변화에 대한 보정 전압으로의 기여도 (contribution)가 더욱 커진다.

이들 커패시터(1202 및 1203)의 캐패시턴스는 실험적으로 쉽게 결정될 수 있다. 커패시터(1202 및 1203)의 캐패시턴스는 값이 같도록 설정될 수 있는 반면에, 제11도에 도시된 전압 검출 전극 YD1 및 YD2 은 예를 들어 전압 검출 전극 YD2 이 전압 검출 전극 YD1 보다 넓도록 형성되어, 보정 전압으로의 기여도를 상승시키는 동일한 효과를 성취시킨다.

따라서, 실시예 3 와 동일한 동작이 수행되고, 더욱이 복수의 전압 검출 전극은 주사 전극상의 구동 파형에서 발생한 왜곡을 상당히 정확하게 검출하는 데에 이용된다. 디스플레이 불일치는 그에 의해 더욱 효과적으로 감소될 수 있다.

실시예 3 와 관련하여 실시예 5 와 같은 식으로, 복수의 전압 검출 기판은 신호 전극이 모든 주사 전극 Y1 내지 Y6 을 마주보는 식으로 형성되는 기판의 좌우측부상에 배치될 수 있으며, 전원 회로는 같은 식으로 장치된다. 본 실시예와 같은 효과는 또한 래터럴 스트레크에 대해 성취될 수 있다.

[실시예 8]

실시예 7 에서, 복수의 전압 검출 전극은 액정 패널의 주사 전극이 형성되는 기판에 형성되며, 복수의 변수로서 이들 전압 검출 전극상에 발생된 전압을 이용한 함수의 전압은 한 보정 전압으로서 이용된다. 그러나, 예를 들어 액정 패널상의 좌측 위치에서 신호 전극상의 구동 전압 파형의 변화의 합과 그의 우측 위치에서 신호 전극상의 구동 전압 파형의 변화의 합이 서로 아주 다른 경우, 결과적인 디스플레이 불일치는 서로 다른 보정 전압을 이들 신호 전극에 인가함으로써 더욱 효과적으로 감소될 수 있다. 따라서, 디스플레이 불일치는, 복수의 전압 검출 전극으로부터의 전압 변화로부터 복수의 보정 전압을 발생시키고, 한 보정 전압이 발생된 전압 검출 전극이 교차하는 주사 전극 또는 신호 전극에 대한 구동 전압 파형에 가산되는 식으로 보정 전극을 분리하여 가산하는 방법으로 감소될 수 있다. 이런 방법은 본 실시예의 구성의 일례를 도시한 제13도를 참조로 더욱 상세히 아래에 기술된다.

제13도에 도시된 Y 구동기(12)는 동일한 구성을 가지며, 제1도에 도시된 Y구동기와 같은 식으로 동작하며 그에 대한 기술은 반복되지 않는다.

제13도에 도시된 소자(10d)는 전압 검출 전극 YD1 및 YD2 이 신호 전극 X1 내지 X6 의 부분들을 마주 대하도록 서로 대향됨으로써 제1도에 도시된 액정 패널의 기판(101)상에 새로이 제공되는 식으로 구성된 액정 패널이다. 전압 검출 전극 YD1 및 YD2 의 대향부는 몇몇 신호 전극 X1 내지 X6 (본 실시예의 신호 전극 X2 내지 X5)을 공동으로 교차시키도록 웹지형(wedge-like shape)을 갖고 있다. 그러나, 이런 대향부가 반드시 동일 신호 전극을 공동으로 교차시킬 필요가 없다. 더욱이, 두 전압 검출 전극 YD1 및 YD2 을 반드시 분리시킬 필요는 없다. 즉, 이들은 전기적으로 접속될 수 있다.

소자(11L, 11M 및 11R)는 내부 회로의 각각의 구성 비트수가 서로 다른 것을 제외하고는 동일 구성을 가지며, 제1도에 도시된 X 구성기(11)와 같은 식으로 동작한다.

서로 다른 전압 장치에 따른 전압은 X 구동기(11L, 11M 및 11R)에 공급된다. 이들 전압으로부터, 구동 전압 파형은 제각기 출력된다.

회로(133)는 전원 회로이며 이의 소자 및 동작은 소자(1331 내지 1333)를 제외하고는 제11도에 도시된 전원 회로(1130)의 것과 동일하다. 그의 동일 소자에 대한 기술은 반복되지 않는다.

소자(1331 및 1333)는 제2도에 도시된 가산기로 형성되고, 전압 V0, V2, V3 및 V5 에 따라 제공되는 각각의 가산기의 그룹이다. 가산기(1331), (1332) 및 (1333)의 그룹으로부터 출력되는 전압은 제각기 X 구동기(11L), (11M) 및 (11R)에 공급된다.

이런 장치에서, 신호 전극 X1 내지 X5 에 대한 구동 전압 파형의 전압 변화의 합산치는 전압 검출 전극 YD1 상에서 이루어진다. 전압 검출 전극 YD1 의 웨지형 단부의 효과(the effect of the wedge-like end), 구동 전압 파형의 전압 변화가 가중되는 값은 신호 전극 X1 방향으로부터 신호 전극 X5 방향으로 감소된다.

또한, 신호 전극 X1 내지 X5 에 대한 구동 전압 파형의 전압 변화의 합산치를 전압 검출 전극 YD2 상에서 이루어지며, 구동 전압 파형의 전압 변화가 가중되는 값은 신호 전극 X5 방향으로부터 신호 전극 Xl 방향으로 감소된다.

따라서, 전압 펄로워 회로(6327)는 주로 액정 패널 (10d)의 좌측 신호 전극상의 구동 전압 파형의 전압 변화인 전압 변화의 합산치를 출력시키는 반면에, 전압 펄로워 회로 (6322)는 주로 우측 신호 전극상의 구동 전압 파형의 저압 변화인 전압 변화의 합산치를 출력시킨다.

전압 펄로워 회로(6321)로부터의 출력 전압은 보정 전압으로서 가산기(1331)의 그룹에 공급되고, 가산기(1331)의 그룹으로부터의 출력은 X 구동기(11L)에 공급된다.

마찬가지로, 전압 펄로워 회로(6322)로부터의 출력 전압은 보정 전압으로서 가산기(1333)의 그룹에 공급되고, 가산기 (1333)의 그룹으로부터의 출력은 X 구동기(11R)에 공급된다.

또한, 전압 펄로워 회로(6321 및 6322)로부터의 출력은 두 보정 전압으로서 가산기(1332)의 그룹에 공급되고, 가산기(1332)의 그룹은 이들 두 보정 전압을 평균화함으로써 성취된 보정 전압이 가산되는 전압을 X 구동기(11M)에 공급한다.

동작은 전술된 바와 같이 수행된다. 따라서, 좌측 신호 전극에 대한 구동전압 파형의 변화에 대해 상당히 가중되는 구동전압 파형의 변화의 합으로써 성취된 보정 전압은 액정 패널(10d)의 좌측 신호 전극에 대한 구동 전압 파형에 가산되고, 우측 신호 전극에 대한 구동 전압 파형의 변화에 대해 상당히 가중되는 구동전압 파형의 변화의 합으로서 성취된 보정 전압은 좌측 신호 전극에 대한 구동 전압 파형으로 가산된다. 또한, 좌우측 신호 전극에 대한 전압으로부터 평균화된 보정 전압은 중심부에 대해 가산된다.

따라서, 일반적으로 최적화된 보정 전압은 신호 전극에 대한 구동 전압 파형에 제각기 가산된다. 디스플레이 불일치는 이런 식으로 효율적으로 감소될 수 있다.

본 실시예에서 제2도에 도시된 가산기는 가산기 (1331 및 1333)의 그룹의 각 가산기로서 이용된다. 선택적으로, 이런 장치는 제12도에 도시된 가산기가 이용되어, 가산기 (1332)의 그룹과 같이 전압 펄로워 회로(6321 및 6322)로부터의 두 출력으로 공급될 수 있으며, 이들 두 입력 전압의 기여도는 제12도에 도시되고 출력될 커패시터(1202 및 1203)의 캐패시턴스에 의해 적당히 설정된다.

본 실시예에서 서로 다른 보정 전압수는 3개이다.

그러나, 액정 패널의 사이즈 및 다른 인수에 따라 변화될 수 있다.

본 실시예에 대해, 전압 검출 전극을 이용한 방법이 기술되었다 선택적으로, 예를 들면 제13도에 도시된 X 구동기 (11L), (11M) 및 (11R)에 공급된 비-점등(non-lighting) 전압 및 점등 전압에 대한 전류는 제각기 작은 저항 등에 의해 검출되고, 서로 가산될 수 있다. 또한, 본 실시예에 이런 식으로 복수의 보정 전압을 성취하고, 이들 보정 전압을 이용한 동일 보정으로 본 실시예와 같은 효과를 성취할 수 있다.

디스플레이 불일치는 액정 패널상의 신호 전극의 위치에 대해 서로 다른 보정 전압을 세트함으로써 효율적으로 감소될 수 있다.

[실시예 9]

실시예 8 에서, 복수의 전압 검출 전극은 액정 패널의 주사 전극이 형성되는 기판에 형성되며, 복수의 변수로서 이들 전압 검출 전극상에 발생된 전압을 이용한 함수의 전압은 한 보정 전압으로 이용된다. 그러나 예를 들면, 이런 장치는 선택적으로 한 전압 검출 전극이 형성되고, 3개의 보정 전압이 이런 전압 검출 전극 상에 발생된 전압으로부터 발생되며, 한 보정 전압은 특정한 한 신호 전극에 대한 구동 전압 파형에 가산되도록 한다. 예를 들면, 우리는 아래와 같이 실험적으로 확인했는데 구동 전압 파형을 액정 패널의 주사 전극에 인가하는 단자가 좌측에 위치될 경우, 디스플레이 불일치는 한 전압 검출 전극을 통해 성취된 전압을 유사한 비율로 증폭함으로써 성취된 보정 전압이 액정 패널 상에서 좌측 위치에 위치된 신호 전극에 가산되는 반면에, 검출된 전압을 보다 큰 비율로 증폭함으로써 성취된 보정 전압은 액정 패널 상에서 우측 위치에 위치된 신호 전극에 인가되는 방법으로 더욱 효율적으로 감소될 수 있다. 제14도는 이런 방법에 따라 본 실시예의 구성을 도시한 것이다.

제14도에 도시된 소자(10a 및 12)는 제각기 액정 패널 및 Y 구동기이며, 이는 제6도에 도시된 구성과 같은 구성을 갖는다. 소자(11L) (11M) 및 (11R)는 제13도에 도시된 구성과 같은 구성을 갖고 있다.

회로(143)는 전원 회로이며, 이의 소자는 소자 (1431 내지 1433)를 제외하고는 제7도에 도시된 전원 회로(73)의 소자와 같으며, 동일 소자에 대한 기술은 반복되지 않는다.

제14도에 도시된 소자(1431 내지 1433)는 제2도에 도시된 가산기로 형성된 각각의 가산기의 그룹이다. 그러나, 제2도에 도시된 바와 같이 커패시터(202)의 캐패시턴스는 가산기(1431)의 그룹에 대한 작은 캐패시턴스, 가산기(1433)의 그룹에 대한 큰 캐패시턴스와, 가산기(1432)의 그룹에 대한 중간 캐패시턴스를 갖고 있다.

즉, 이런 장치는, 같은 전압이 단자 Vin 에 인가될지라도, 가산기(1431)의 그룹에 의해 성취된 보정 전압이 가장 낮고, 가산기(1432)의 그룹에 의해 성취된 보정 전압은 중간이며, 가산기(1432)의 그룹에 의해 성취된 보정 전압은 가장 높도록 배치된다.

전술된 장치에서, 복수의 보정 전압은 전압 검출 전극에 의해 성취된 전압으로부터 발생될 수 있고, 더욱 높은 보정 전압은 주사 전극 구동 단자로부터 더욱 떨어진 신호 전극에 인가될 수 있다. 그에 의해 디스플레이 불일치를 효율적으로 감소시킬 수 있다.

[실시예 10]

실시예 3 및 다른 실시예에 대해, 전압 검출 전극의 형태는 특히 기술되지 않았다. 그러나, 액정 패널의 형태에 의해 전압 검출 전극의 형태를 변화시킴으로써 디스플레이 불일치를 감소시킬 수 있다. 이런 효과는 액정 패널의 구성을 도시한 제15도를 참조로 아래에 기술된다. 제15도에 도시된 액정 패널은 각 전극의 형태가 서로 다른 것을 제외하고는 제14도에 도시된 액정 패널 10a 와 같다. 본 실시예의 주사 전극 Y1 내지 Y6 의 형태는 액정 패널 10a 와, 스태거링(staggering)식으로 상하측으로부터 구동 전압을 공급하는 단자의 형태와 같다. (홀수 신호 전극 X1, X3 및 X5)은 제5도에 도시된 예에서 상측에 형성된다. 전압 검출 전극 YD 은 신호 전극을 교차하도록 상축부상에 형성된다. 전압 검출 신호 YD는 홀수 신호 전극을 교차하는 부분에서의 더욱 작은 폭과 짝수 신호 전극을 교차하는 부분에서의 더욱 큰 폭을 갖는다.

전압 검출 전극 YD 은 그런 형태대로 형성된다.

이런 형태의 효과로서, 전압 검출 전극 YD 과, 구동 전압 인가 단자에 근접한 신호 전극 사이의 용량성 커플링은 감소되는 반면에, 전압 검출 전극 YD 과, 구동 전압 인가 단자로부터 떨어진 신호 전극 사이의 용량성 커플링은 증가된다. 따라서, 전압 검출 전극 YD 의 위치에서, 미분 전압은 더욱 작은 값으로 가중되도록 더욱 낮은 감쇠율의 홀수 신호 전극상에 구동 전압 파형의 변화로 전압 검출 전극 YD 상에 발생되는 반면에, 미분 전압은 더욱 큰 값으로 가중되도록 더욱 높은 감쇠율이 짝수 신호 전극상에 구동 전압 파형의 변화로 전압 검출 전극 YD 상에 발생된다.

결과적으로, 구동 전압 파형인가 단자로부터 떨어진 신호 전극상의 전압 검출 전극 YD 에 대한 전압 변화와, 인가 단자에 근접한 신호 전극상의 전압 변화는 전압 검출 전극 YD 을 통해 공평하게 인출될 수 있다. 각 주사 전극 상에서 일어난 왜곡은 그에 의해 더욱 정확하게 추정될 수 있고 더욱 정확한 보정 전압이 발생될 수 있다. 그에 의해 대응 디스플레이 불일치를 감소시킬 수 있다.

[실시예 11]

실시예 3 및 다른 실시예에서, 소정의 증폭 인수로 전압 검출 전극에 의해 검출된 전압을 증폭함으로써 성취된 전압은 보정 전압으로서 이용된다. 전압 검출전극과 대향된 신호 전극의 전위차는 약 0V 이다. 그러나, 주사 전극과 대향 신호 전극의 실제 전위차는 효과적인 전압에 의해 약 복수의 볼트이다. 일반적으로, 액정의 유전 상수는 인가된 유효 전압이 증가되어, 액정 패널에 의해 형성된 커패시터의 캐패시턴스가 액정 패널의 많은 디스플레이 도트 (dots)가 점등될 경

우에 증가되는지를 명시할 경우에 증가된다.

따라서, 더욱 큰 왜곡은 신호 전극 구동 파형의 전압 변화의 합산치가 일정할 시에도 각 주사 전극상의 구동 전압 파형 내 에서 발생될 수 있다. 그러나, 전압 검출 전극과 대향 신호 전극 사이의 용량성 커플링 정도는 디스플레이 내용(content)과 무관하게 일정하며, 점등된 디스플레이 도트수에 의해 보정 전압이 부족할 수 있다. 그래서 보정 전압의 레벨은 점등된 도트수에 관계한 디스플레이 불일치가 없는 디스플레이를 할 수 있도록 점등된 디스플레이 도트수에 따라 변화될 수 있다.

이러한 방법은 본 실시예의 구성의 일례를 도시한 제16도를 참조로 아래에 기술된다. 제17도에 도시된 소자는 전원 회로(163) 및 점등된 도트 카운트 회로(164)를 제외하고는 제6도에 도시된 소자와 같아, 이에 대한 기술은 생략된다.

제16도에 도시된 점등된 도트 카운트 회로(164)는 카운트 회로(1641) 및 래치 회로(1642)로 형성된다. 카운트 회로(1641)는 데이터 신호가 "1"일 시에 CK 신호와 동기하여 카운트 업하고, D1 신호와 동기하여 카운트 값을 래치 회로(1642)에 공급함과 동시에 카운팅을 다시 개시하도록 카운트 값을 0 으로 세트시킨다. 래치 회로(1642)로부터의 출력은 전원 회로(163)의 가변 증폭기(1631)내로 인출된다.

전원 회로(163)는 소자(1631)를 제외하고는 제6도에 도시된 소자와 동일하며, 상기 소자(1631)는 점등된 도트 카운트 회로(164)로부터의 값이 증가될 경우에 증가되는 증폭 인수를 가진 가변 증폭기이다. 제17도는 이런 회로 구성의 일례 도시한 것이다.

제17도에 도시된 소자(171)는 연산 증폭기이며, 소자(172 내지 175)는 저항이다. 저항(173)은 저항(175)의 절반인 저항(174)의 절반인 저항값을 갖고 있다. 소자(176 내지 178)는 병렬로 저항(172 내지 175)에 제각기 접속된 스위치 회로이다. 저항 수와 스위치 회로의 수는 본 실시예에서 제각기 3 이지만, 적당히 변화될 수 있다. 스위치 회로(603)로부터의 출력과, 제16도에 도시된 전압 펄로워 회로(632)로부터의 출력은 제각기 단자 Vref 및 Vin 에 접속된다. 비반전 증폭회로는 그에 의해 형성되며, 저항 (173) 및 (175) 사이의 저항치와 저항(172)의 저항치의 비율로 따른 증폭인수를 갖고 있으며, 단자 Vref 에서의 전압에 대한 단자 Vin 를 통한 전압 입력은 출력될 증폭 인수만큼 증폭된다.

스위치 회로(176 내지 178)는 점등된 도트 카운트 회로(164)로부터 출력된 복수의 비트의 이진값으로 온/오프 제어된다.

즉, 각 스위치는 이진값이 "1"일 시에 오프되고, 이진값이 "0" 일 시에 온된다. 스위치 회로(178)는 상위 디지트 값으로 제어되는 반면에, 스위치 회로(176)는 하위 디지트 값으로 제어된다. 이런 값이 증가될 경우, 저항(173) 및 (175) 사이의 저항치는 그에 비례하여 증가된다. 따라서, 점등된 도트의 수가 증가될 경우, 증폭 인수는 증가된다.

전술된 장치에 의해, 액정 패널(10a)의 점등된 디스플레이 도트수가 증가됨에 따라, 보정 전압은 더욱 높아짐으로써, 디스플레이는 점등 도트수에 관한 어느 디스플레이 불일치 없이 이루어질 수 있다.

[실시예 12]

실시예 4 에서 비선택 전압[Vl, V4]에 대한 전원 회로(73)를 통해 흐르는 전류는 X 구동기(11)에 공급된 전압에 보정 전압을 가산하도록 검출된다. 보정 전압은 또한 Y 구동기(12)에 공급된 전압에 가산될 수 있다. 이런 방법은 본 실시예의 구성의 일례를 도시한 제18도를 참조로 아래에 기술된다. 제18도에 도시된 소자는 전원 회로(183)를 제외하고는 제1도에 도시된 소자와 동일하여, 더 이상 기술되지 않는다. 또한, 전원 회로(183)의 소자(141), OP2 및 OP3 는 제1도의 동일 참조 문자로 표시된 바와 같다.

소자(1810) 및 (1040)는 보정 전압을 제각기 전압 V1 및 V4 에 가산하는 전압 보정 회로이다. 전압 보정 회로(1810) 및 (1840)는 전압 분배 회로(131) 및 Y 구동기 (12)사이에 공급된다.

전압 보정 회로(1810) 및 (1840)는 동일 회로 장치로 형성된다.

제19도는 전압 보정 회로(1810) 및 (1840)의 구성의 일례를 도시한 것이다. 실시예 (12 내지 16)에 대한 기술은 전압 V1 이 FR 신호에 따라 비선택 전압으로서 이용되는 시간 주기에 대해 아래에 제공되며, 전압 V4 이 이용되는 시간 주기에 대해서 동일하게 제공된다. 제19도에서, 단자 Vin 는 전압 V1 (또는 V4)이 입력되는 단자이고, 소자(1911)는, 비선택 전압이 인가되는 주사 전극을 통해 흐르는 전류의 합에 비례하는 전압이 발생되는 전류 검출 저항이다. 이런 전압은 연산 증폭기(1913) 및 저항(1914 및 1915)으로 형성된 반전 증폭 회로(1912)에 인가된다. 저항(1914 및 1915)의 저항치에 의해 반전 증폭 회로(1912)의 증폭 인수를 설정함으로써, 반전 증폭기(1912)로부터 출력되는 전압(이하 Yd 로 칭함)은 전이(transient) 전류의 영향으로 왜곡된 비선택 전압이 인가되는 주사 전극상의 전압과 대략 같게 될 수 있다. 연산 증폭기 (1916)는 Y 구동기(12)로 전압(이하 Vc라 칭함)을 출력시키며, 상기 전압은 연산 증폭기(1916)의 반전 입력 단자에 인가된 전압 V1 ′ 과, 단자 Vin 를 통해 비반전 입력 단자에 공급된 전압을 등화시킨다.

전술된 구성 및 동작으로, 전이 전류가 흐를지라도, 비선택 전압이 인가되는 주사 전극상의 전압과 전압 V1 (또는 전압 V4)은 동일 전압으로 유지될 수 있다.

전술된 바와 같이, 비선택 전압(V1, Y4)에서 전원 회로를 통해 흐르는 전류는 검출되고, 보정 전압은 Y 구동기(12)에 공급된 비선택 전압에 가산된다. 그에 의해 비선택 전압이 인가되는 주사 전극상의 전압의 변화를 제한하고, 실시예 1 의 경우에서와 같이 간단한 방식으로 디스플레이 불일치를 쉽게 감소시킬 수 있다.

[실시예 13]

실시예 12 의 전압 보정 회로(1810) 및 (1840)의 장치는 제19도에 도시된 장치와 반드시 동일하지 않으며, 어느 다른 회로 장치가 이용될 수 있다. 제20도에 도시된 소자(1911 내지 1916)는 제19도의 같은 참조 문자로 표시된 소자에 대응한다. 커패시터(2017)는 반전 증폭 회로(1912)의 시정수 τ1 를 설정하도록 저항(1914)과 조합하여 이용된다. 마찬가지로, 저항(2018) 및 커패시터(2019)는 연산 증폭 회로(1916)의 시정수 τ2 를 설정하는 데에 이용된다.

본 실시예는 이와 같이 장치되고, 실시예 12 에 대해 전술된 증폭 인수 및 시정수 τ1 및 τ2 는 전이 전류가 적당한 값으로 세트됨으로써, 전이 전류가 전압 Vl (또는 V4)에 대해 흐를 시에도, 비선택 전압이 인가되는 주사 전극상의 전압의 LP 신호 주기마다의 유효 전압은 전압 V1 과 같게 되어, 실시예 12 와 같은 효과를 성취시킨다. 더욱이, 증폭 회로(1913) 및 (1916)의 출력 전압의 장치 시간마다의 전압 변화량이 감소됨으로써, 저 처리율 저가 연산 증폭기(l7w-through-rate low-priced operational amplifier)는 이용될 수 있고, 회로의 안정도는 개선될 수 있다. 본 실시예에 대해, 비선택 전압에 대해 전원 회로를 통해 흐르는 전류를 검출하는 경우가 기술되었다. 선택 전압에 대해 전류를 검출하는 경우나, 전압 검출 전극을 이용함으로써 보정 전압을 발생시키는 경우에, 같은 회로 장치는 같은 효과를 성취하기 위해 채용될 수 있다.

[실시예 14]

실시예 12 및 실시예 13에서, 전원 회로를 통해 흐르는 전류는 매우 작은 저항치를 가진 저항으로 검출된다.

그러나, 전류를 검출하는 저항을 반드시 이용하지 않고, 어느 다른 소자 또는 디바이스가 이용될 수 있다. 제12도는 변압기가 서로 다른 전류 검출 디바이스로서 이용되고, 제19도에 도시된 전압 검출 회로(1910) 및 (1940)의 적소에 이용되는 전압 보정 회로의 장치의 일례를 도시한 것이다.

제21도에 도시된 연산 증폭기(1917)는 제19도의 동일 참조 문자로 표시된 것과 동일하다. 소자(2120)는 제 1 차 권선 (2121) 및 제 2차 권선(2122)으로 형성된 변압기이다. 실시예 12와 같은 효과는 제 1 차 및 제 2 차 권선(2121) 및 (2122)의 선회수의 비율을 적당한 값으로 설정함으로써 성취된다. 또한, 소자부의 수는 감소된다.

제22도는 저항 및 커패시터를 본 실시예의 장치에 가산함으로써 구성된 다른 전압 보정 회로의 일례를 도시한 것이다. 제22도에 도시된 바와 같이, 저항(2223) 및 커패시터(2224)는 제21도에 도시된 전압 보정 회로에 가산된다.

연산 증폭 회로(1917)의 시정수 τ2 는 가산된 저항 및 커패시터에 의해 설정된다. 실시예 13 와 같은 효과는 그에 의해 성취된다.

[실시예 15]

실시예 12 내지 14 에서, Y 구동기(12)에 공급된 비선택 전압은 거의 실시간식으로 변화된다 그러나, 전술된 실시예 12 에서, 예를 들면, 전압 보정 회로(1810 및 1840)는 제23도에 도시된 전압 보정 회로로 대체되어, 실시예 12 와 같은 효과를 선취하여, 전압 보정 회로의 동작을 안정화시킬 수 있다. 즉, 제23도에 도시된 바와 같이 스위치된 커패시터 회로 또는 전하 결합 디바이스와 같은 지연 디바이스(2325)는 반전 증폭 회로(1912)와 연산 증폭 회로(1916) 사이에 삽입됨으로써, 보정 전압은 같은 LP 신호 주기내의 래그(lag)로 비선택 전압에 가산되고, 보정 전압이 가산되는 비선택 전압은 Y 구동기(12)에 공급되어, 실시예 12 와 같은 효과를 성취시킬 수 있다. 또한, 비-실시간(non-real-time) 피드백 식으로 보정될 수 있으므로 보정 전압 회로는 동작이 안정화 되도록 쉽게 발진(oscillate)할 수 없다. 그런 지연 디바이스를 삽입하는 방법은 예를 들어 같은 효과를 성취할 실시예 13 및 14 의 경우에 또한 이용될 수 있다.

[실시예 16]

순간치가 각 LP 주기의 개시점에서의 LP 주기마다 또는, 각 LP 주기의 개시후에 시간의 소정 주기에 나타나는 비선택 전압에 대해 전원 회로를 통해 흐르는 전류의 피크 전류 값이나 순간 전류값은 검출되고, 검출된 전류값에 의한 보정 전압은 LP 주기의 일정한 주기 보정 전압으로서 비선택 전압 (V1 또는 V4)에 가산되는 한 방법이 이용될 수 있다. 이런 방법은 제24도를 참조로 아래에 기술된다. 제24도는 제18도에 도시된 전압 보정 회로의 일례의 구성을 도시한 도면이다. 소자(1911 내지 1915)는 제17도의 동일 참조 문자로 표시된 소자와 동일하다. 제24도에 도시된 소자 (2426)는, 예정된 시간 주기만큼 LP 신호를 지연하여 성취된 신호나 LP 신호를 이용함으로써 연산 증폭 회로(1916)의 출력 전압에 의해 전이 전류에 응답하여 반전 증폭 회로(1913)로부터 출력된 전압 Vd 을 샘플 및 홀드하는 샘플 및 홀드 회로이다. 즉 dY=Vd-Vc 로 표시된 전압을 홀드한다.

따라서, Vc+dv 가 연속 증폭기(1916)의 비반전 단자에 인가되므로, V1(V4)-dV 으로 표시된 일정한 전압은 LP 주기내 에서 출력된다.

이런 동작으로 홀드된 전압 Vd 은 비선택 전압이 인가되는 각 주사 전극상의 전압의 LP주기마다 유효 전압 -V1(V4)에 비례한다. 그래서, 비선택 전압이 인가 되는 각 주사 전극상의 전압의 LP 주기마다 유효 전압은 전이 전류기 발생될 시에서 전압 V1 (V4)과 같게 되어, 실시예 12 와 같은 효과를 성취시킨다.

본 실시예에 대해, 비선택 전압에 대해 전원 회로를 통해 흐르는 전류를 검출하는 경우가 기술되었다.

선택 전압에 대해 전류를 검출하는 경우나, 전압 검출 전극을 이용함으로써 보정 전압을 발생시키는 경우에, 동일한 회로 장치는 동일한 효과를 성취시키기 위해 채택된다.

[실시예 19]

구동 전압 파형이 주사 전극의 각 그룹 및, 한 단부로부터의 신호 전극에 인가되는 구조를 가진 액정 패널형만이 기술되었다. 그러나, 전술된 실시예는 구동전압 파형이 주사 및 신호 전극의 그룹의 하나나 둘에 대해 대향 단부로부터 인가되는 구조를 가진 액정 패널에 인가될 수 있다. 하나 이상의 전압 검출 전극이 보정 전압을 발생시키도록 제공되는 실시예의 경우에, 전압 검출 전극으로부터 전압을 인출하는 단자가 대향 단부에서 제공되는 회로 장치는 채택될 수 있거나, 각 전압 검출 전극의 단자는 주사 또는 신호 전극의 구동 전압 단자 측에 대향한 측에서 형성될 수 있다. 게다가 전압 검출 전극은 어느 상측, 하측, 좌측 및 우측 근처에 형성될 수 있고, 디스플레이 수행에 관계하여 문제가 없을 경우에 중심부상에 형성 될 수 있다.

더욱이, 실시예 1 내지 8 의 몇몇은 조합하여 이용될 수 있다. 예를 들면, 실시예 3 및 실시예 5 는 길이 방향 및 래터럴 스트레크로서 나타나는 디스플레이 불일치를 제거하도록 조합될 수 있다.

실시예 1 내지 18 에 대해, 신호 전극 그룹 및 주사 전극 그룹이 서로 교차함으로써 한 쌍의 기판에 디스플레이 도트를 형성하는 액정 패널형은 기술되었다. 그러나, 두 그룹의 신호 전극 및 두 그룹의 주사 전극이 서로 교차함으로써 한 쌍의 기판에 디스플레이 도트를 형성하는 액정 패널, 즉 각 프레임에 대만 보정 전압을 대응하는 프레임을 구동하는 X 또는 Y 구동기에 대한 전원 전압에 가산함으로써 두- 프레임-구동 액정 패널의 경우에 같은 효과가 성취될 수 있다.

그런 경우에, 한 프레임을 구동하는 D 또는 Y 구동기에 공급된 FR 신호를 반전시킴으로써 성취된 신호는 전체 회로 장치가 간소화될 수 있도록 두 프레임을 구동하는 회로 장치에서 공동으로 이용되는 회로를 형성하기 위해 다른 프레임을 구동하는 X 또는 Y 구동기에 공급된 FR 신호로서 공급될 수 있다. 즉, V0(5), V4(1), V5(0) 및 V3(2)가 한 프레임에 대한 선택, 비선택, 점등 및 비-점등 전압으로서 이용될 시에, V5(0), V1(4) V0(5) 및 V2(3)는 다른 프레임에 대해 이용된다. 그래서, 예를 들어, 보정 전압을 비선택 전압에 가산하는 방법이 이용되는 경우, 한 프레임 상에 디스플레이를 위한 보정 전압은 V1 이 이런 프레임에 이용될 시에 이런 프레임을 구동하는 V 구동기에 공급되도록 V1 에 가산되며, 다른 프레임 상에 디스플레이하기 위한 보정 전압은 동시에 이런 프레임을 구동하는 Y 구동기에 공급되도록 V4 에 가산된다 그래서, 전압 보정 회로는 공동으로 이유될 수 있다.

[실시예 20]

본 명세서에서, 본 발명은 주로 전압 평균 구동 방법의 예를 이용함으로써 기술되었다. 그러나, 전술된 실시예는 신호 전극에 인가된 전압이 선택 전압을 주사 전극에 인가하기 위한 시간 주기동안에 변화되는 구등 방법 (예를 들어, 펄스 폭 변조를 이용하여, 점등 및 비-점등 전압의 인가를 위한 시간이 변화되는 점진적인 디스플레이 방법) 선택 전압이 복수의 주사 전극에 동시에 인가되는 구동 방법, 다양한 전압 레벨을 가진 구동 전압 파형이 구동을 수행하도록 주사 전극 또는 신호 전극에 공급되는 방법과 다른 방법에 대해 디스플레이 불일치를 감소시키는 데에 효과적이다.

[실시예 21]

어느 실시예 1 내지 20 는 전자 장치의 디스플레이 질을 개선하도록 디스플레이 기능을 필요로 하는 전자 장치, 예를 들어 퍼스널 컴퓨터, 워드 프로세서 및 전자 포켓 노트북에 적용될 수 있다.

발명의 효과

전술된 바와 같이, 액정 디스플레이 시스템의 일부상의 전압 변화 또는 전류변화 상태는 액정 패널의 전극상에 발생된 왜곡을 예견하도록 검출되며, 보정 전압은 예견된 왜곡에 의해 발생되고, 구동 전압 파형에 가산된다. 디스플레이 불일치는 이런 식으로 쉽게 감소될 수 있다. 즉, 디스플레이 데이터로부터 왜곡 정도를 계산하기 위한 어떤 회로도 필요 없

이, 매우 간단한 회로 장치를 이용하여 고품질의 표시를 할 수 있는 액정 디스플레이 장치가 제공되며, 이런 장치를 이용한 전자장치는 고품질의 표시를 할 수 있는 동시에 소형화하고 중량을 줄이도록 설계되어 있다. 또한, 액정 패널을 구동하는 방법에 어떤 문제가 없이 디스플레이 불일치는 감소시키는 효과가 성취되었는데, 그 이유는 보정 전압이 액정 디스플레이 시스템의 일부상의 전압 변화 또는 전류 변화 상태를 검출하고, 액정 패널의 전극상에 발생된 왜곡을 예견함으로써 발생되기 때문이다.

(57) 청구의 범위

청구항 1.

액정층을 사이에 두고 한 쌍의 기판의 일 기판에 복수의 주사 전극이 형성되고, 다른 쪽의 기판에 복수의 신호 전극이 상기 주사 전극과 교차하도록 형성되며, 상기 교차 부분이 디스플레이 도트가 되는 액정 패널과, 상기 액정 패널의 상기 복수의 주사 전극 각각에 구동 전압 파형을 공급하는 주사 전극 구동 회로와, 상기 복수의 신호 전극 각각에 구동 전압 파형을 공급하는 신호 전극 구동회로와, 상기 주사 전극 구동 회로가 상기 복수의 주사 전극 각자에 공급하는 구동 전압 파형을 형성하는데 필요한 복수의 전압과 상기 신호 전극 구동 회로가 상기 복수의 신호 전극 각각에 공급하는 구동 전압 파명을 형성하는데 필요한 복수의 전압을 발생하는 전원 회로와, 상기 액정 패널이 디스플레이하는 문자 또는 그림에 따라 보정 전압을, 상기 주사 전극에 인가되는 구동 전압 파형과 상기 신호 전극에 인가되는 구동 전압 파형 중 적어도 한쪽에 가산하는 보정 수단을 구비한 액정 디스플레이 장치에 있어서, 상기 보정 수단이 상기 액정 패널 주사 전극 구동 회로, 신호 전극 구동 회로 또는 전원 회로의 적어도 일부에서 발생하는 전압 또는 전류 변화 상태를 검출하는 검출 수단을 가지며, 상기 검출 수단이 검출하는 상기 전압 또는 전류의 변화에 따른 크기의 전압을 상기 보정 전압으로 하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2.

제1항에 있어서, 상기 검출 수단이 상기 액정 패널의 복수의 주사 전극 중 적어도 하나의 주사 전극의 구동 전압 파형과, 상기 전원 회로에 의하여 발생되며 상기 주사 전극 구동 회로가 상기 복수의 주사 전극 각각에 공급하는 구동 전압 파형을 형성하는데 필요한 전압 중 적어도 하나의 전압과의 차의 전압 변화를 검출하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 3.

제1항에 있어서, 상기 액정 패널의 상기 주사 전극이 형성되어 있는 기판에 적어도 1개 이상의 전압 검출 전극을 상기 복수의 신호 전극의 적어도 일부와 교차하도록 형성하고, 또는 상기 액정 패널의 상기 신호 전극이 형성되어 있는 기판에 적어도 1개 이상의 전압 검출 전극을 상기 복수의 주사 전극의 적어도 일부와 교차하도록 형성하고, 상기 전압 검출 수단이 상기 전압 검출 전극애 발생하는 전압 변화를 검출하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 4.

제1항에 있어서, 상기 검출 수단이, 상기 전원 회로가 상기 주사 전극 구동회로에 공급하는 적어도 하나의 전압에 대해 상기 전원 회로로부터 상기 주사 전극구동 회로로 흐르는 전류를 검출하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 5.

제2항 내지 제4항 중 어느 한 항에 있어서, 상기 검출 수단이 복수의 전압 또는 전류의 변화를 검출하는 경우, 상기 보정 수단은 상기 검출 수단이 검출하는 상기 복수의 전압 또는 진류의 변화를 복수의 변수로서 이용한 소정의 함수를 설정하여 상기 함수에 따른 보정 전압을 발생하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 6.

제5항에 있어서, 상기 함수가 상기 복수의 변수를 평균화하는 함수인 것을 특징으로 하는 액정 디스플레이 장치.

청구항 7.

제3항에 있어서, 상기 액정 패널에 상기 전압 검출 전극을 복수로 형성한 경우에, 상기 보정 수단은 상기 검출 수단이 상기 전압 검출 전극 각각을 통해 검출하는 전압 변화를 복수의 변수로하는 소정의 함수를 설정하고, 상기 함수에 따라 복수의 보정 전압을 발생하며, 상기 신호 전극이나 상기 주사 전극에 공급되는 상기 구동 전압 파형에 가산되는 보정 전압은 상기 신호 전극 또는 상기 주사 전극이 상기 액정 패널 내에 위치하는 장소에 따라 상기 복수의 보정 전압 중 하나로부터 선택되는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 8.

제3항에 있어서, 상기 전압 검출 전극이 상기 복수의 신호 전극 또는 주사 전극과 각각 교차하는 부분의 면적이 상기 신호 전극 또는 상기 주사 전극에 따라서 변화되는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 9.

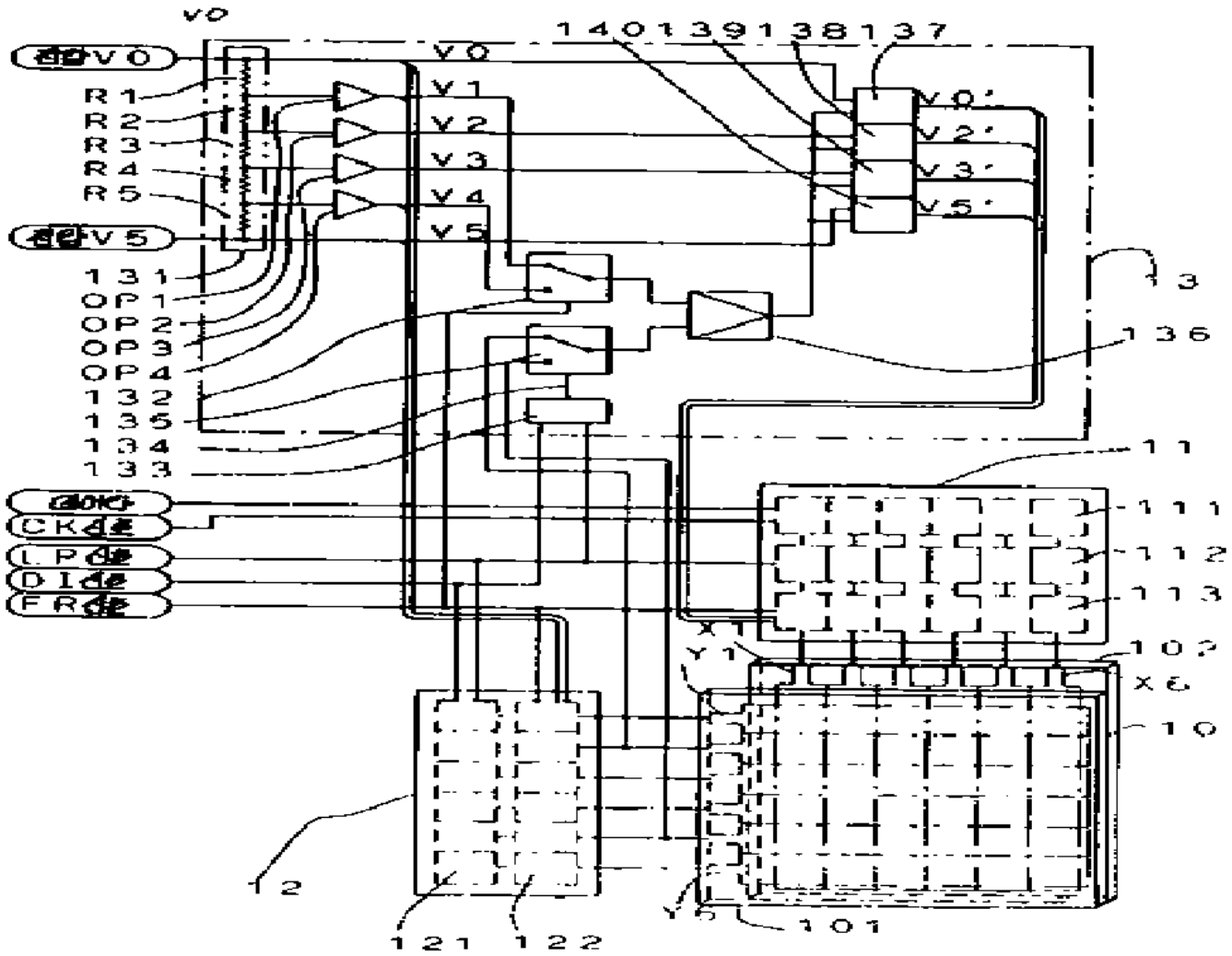
제5항에 있어서, 상기 보정 수단은 상기 검출 수단이 검출하는 복수의 전압 또는 전류 변화를 복수의 변수로하는 소정의 복수의 함수를 설정하고, 상기 복수의 함수에 따라 복수의 보정 전압을 발생하며, 상기 신호 전극 또는 상기 주사 전극에 공급되는 상기 구동 전압 파형에 가산되는 보정 전압은 상기 신호 전극 또는 상기 주사 전극이 상기 액정 패널 내에 위치하는 장소에 따라 상기 복수의 보정 전압 중 하나로부터 선택되는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 10.

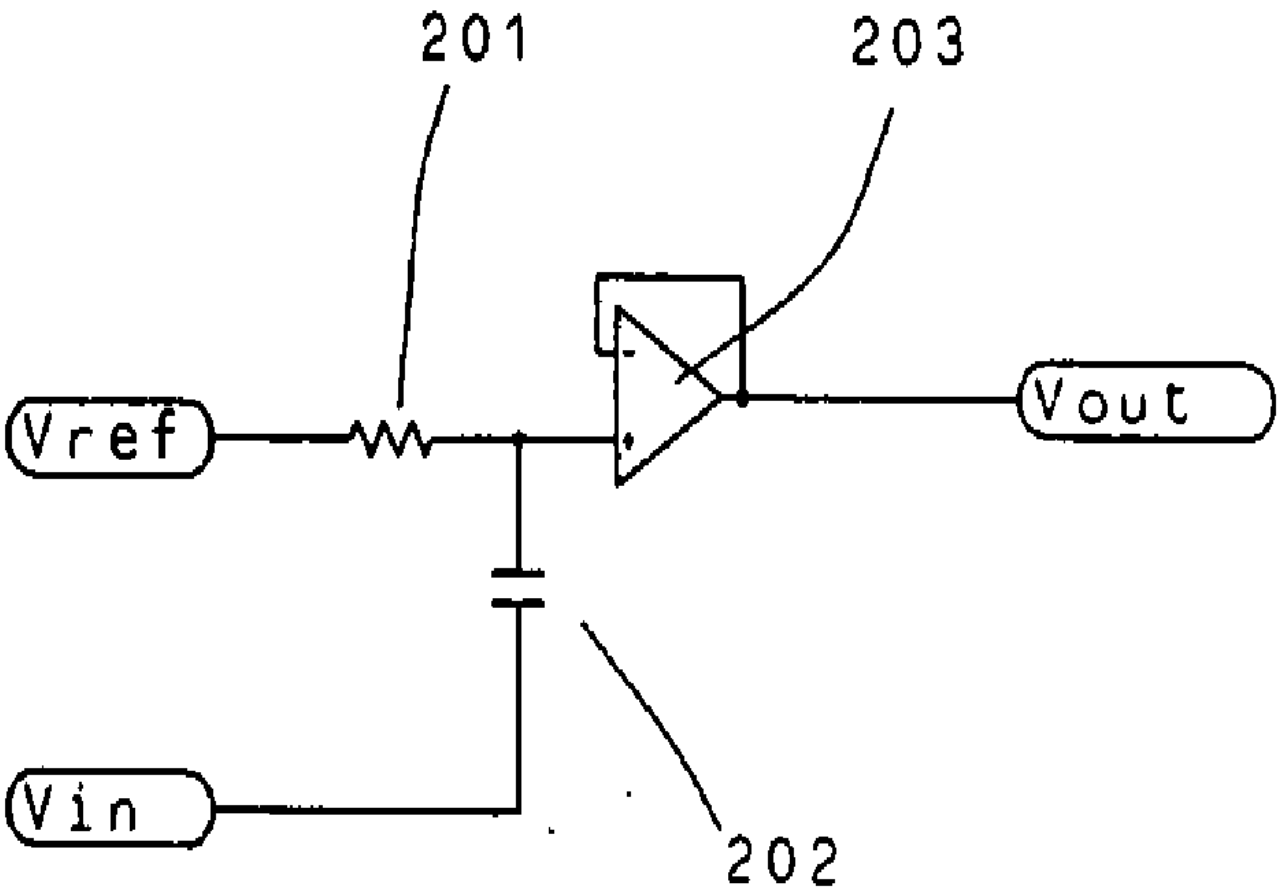
제3항에 있어서, 상기 보정 수단은 상기 검출 수단이 검출하는 전압 변화와, 상기 액정 패널의 디스플레이 도트 중 점등하고 있는 도트의 수에 따라서 보정 전압을 발생하는 것을 특징으로 하는 액정 디스플레이 장치.

도면

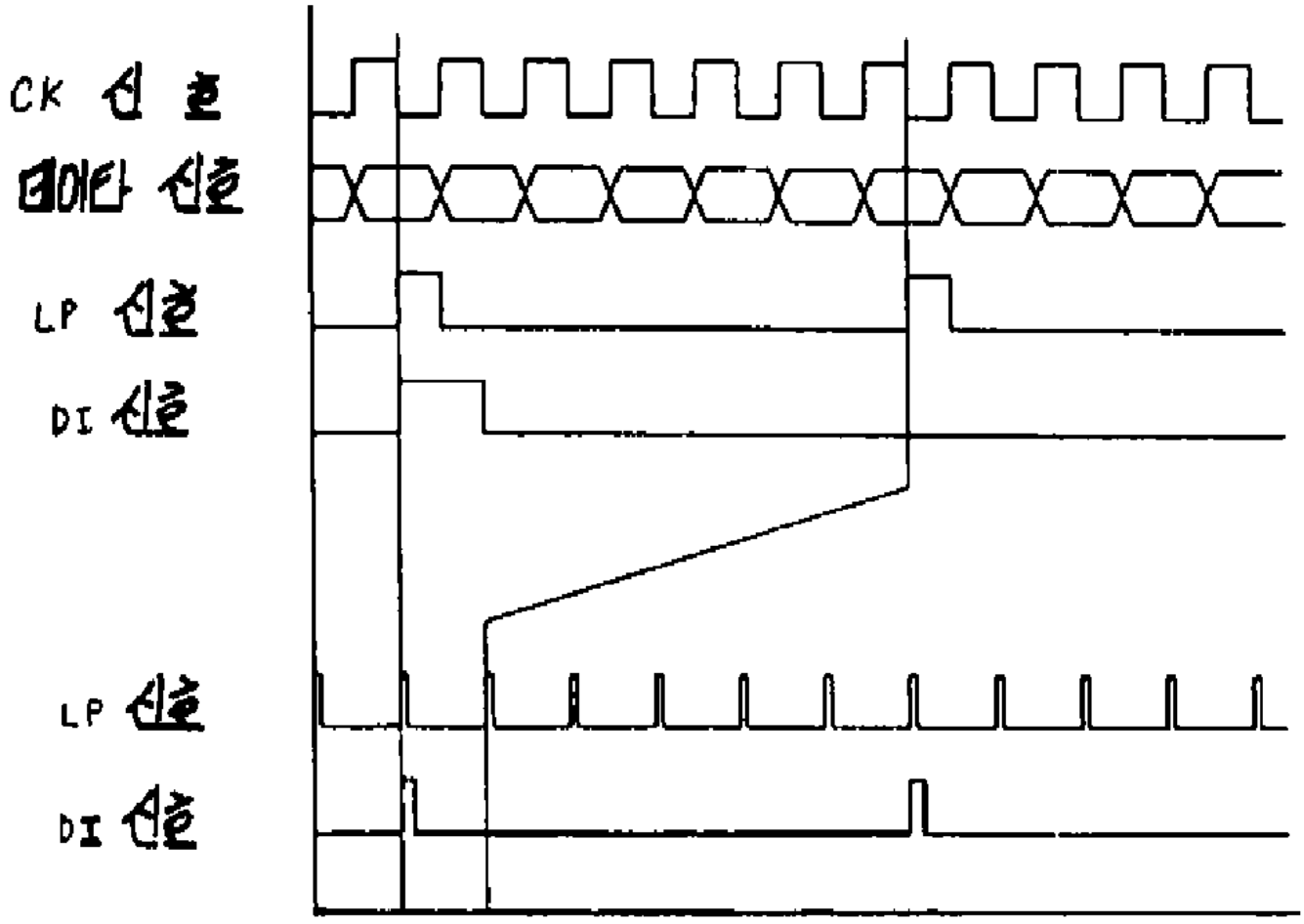
도면 1


V0
140 139 138 137
V0
V1
V2
V3
V4
V5
R1
R2
R3
R4
R5
131
OP1
OP2
OP3
OP4
132
135
134
133
V0'
V2'
V3'
V5'
3
136
11
111
112
113
X1
Y1
102
X6
10
12
121
122
Y5
101

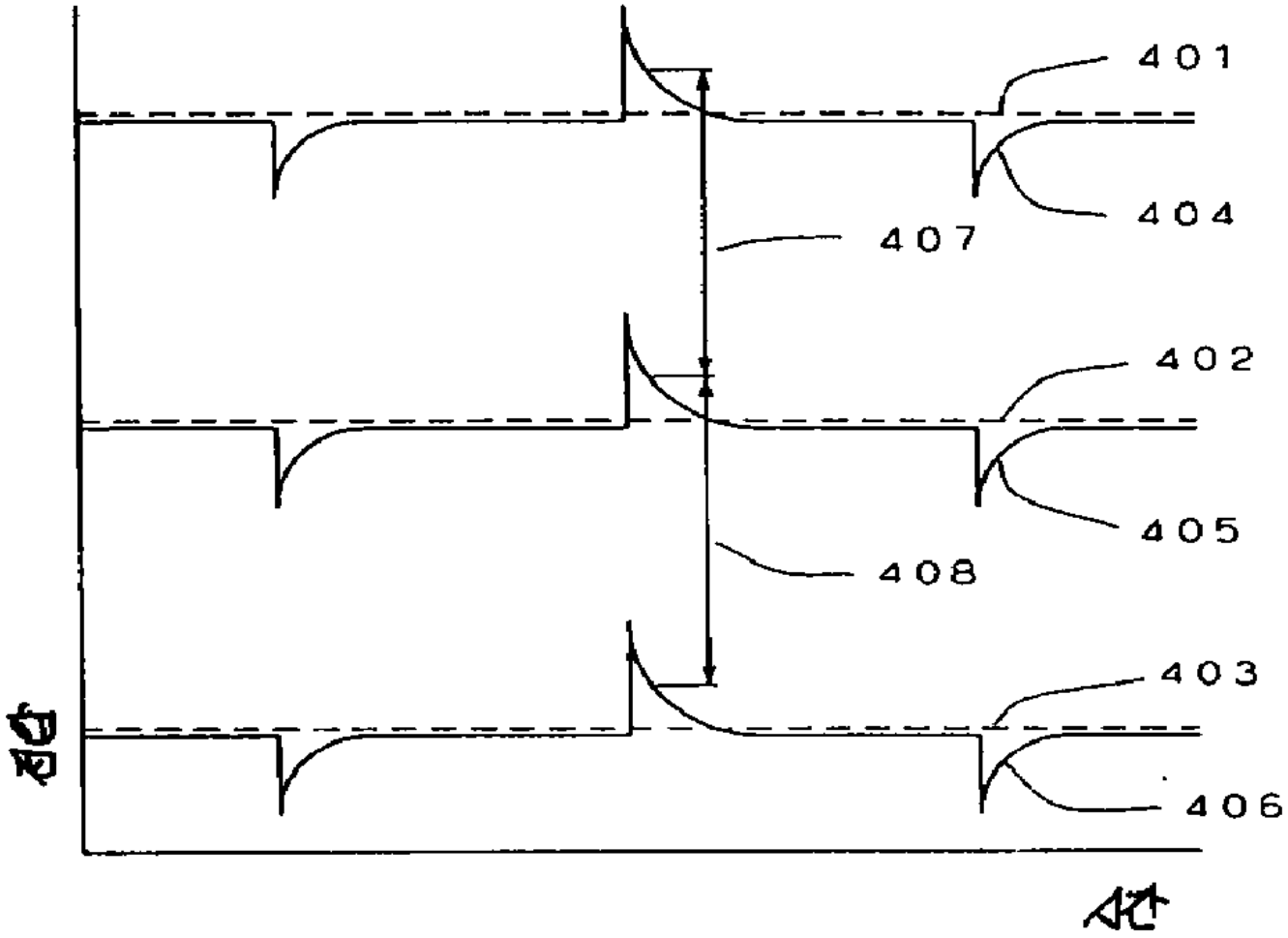
도면 2



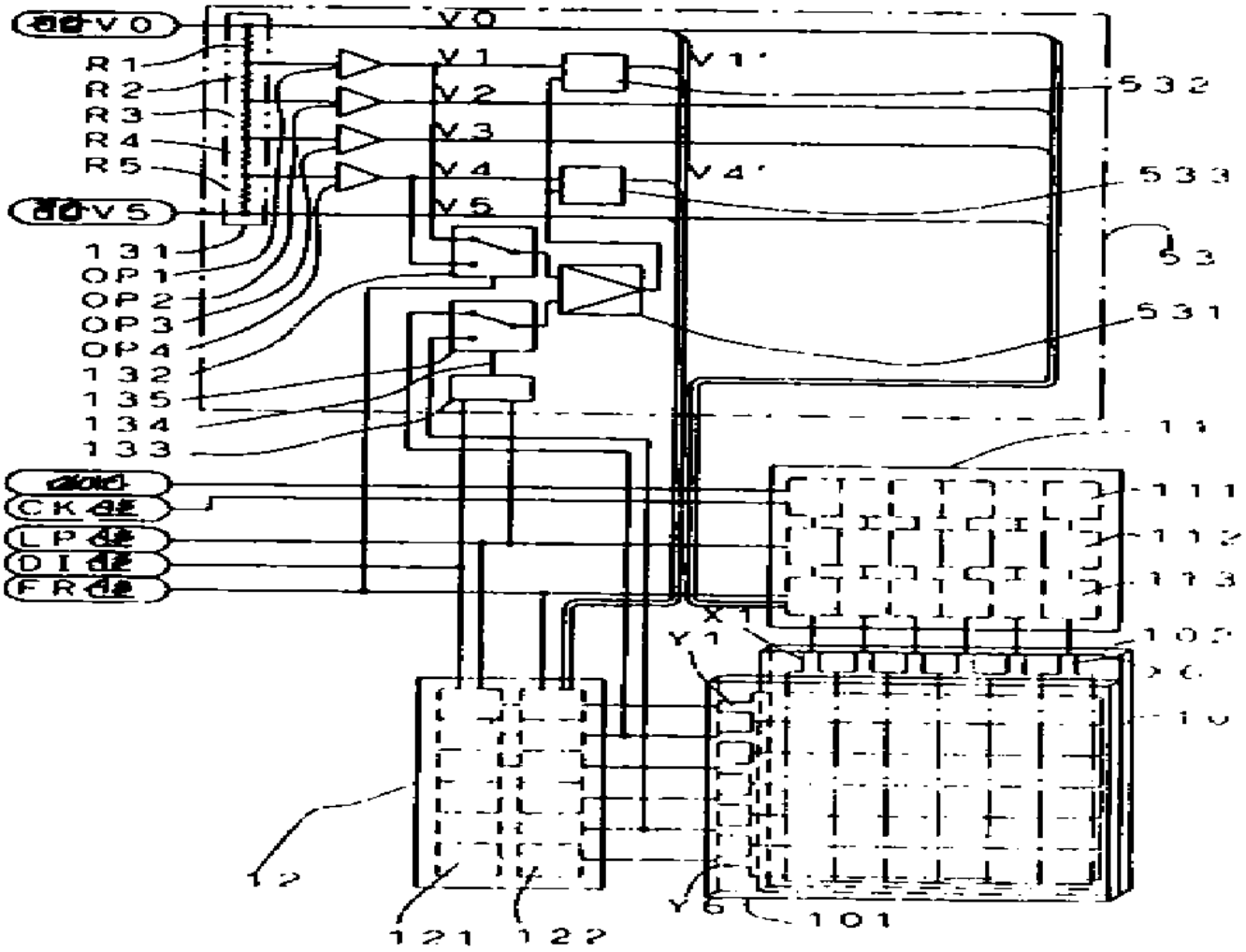
도면 3



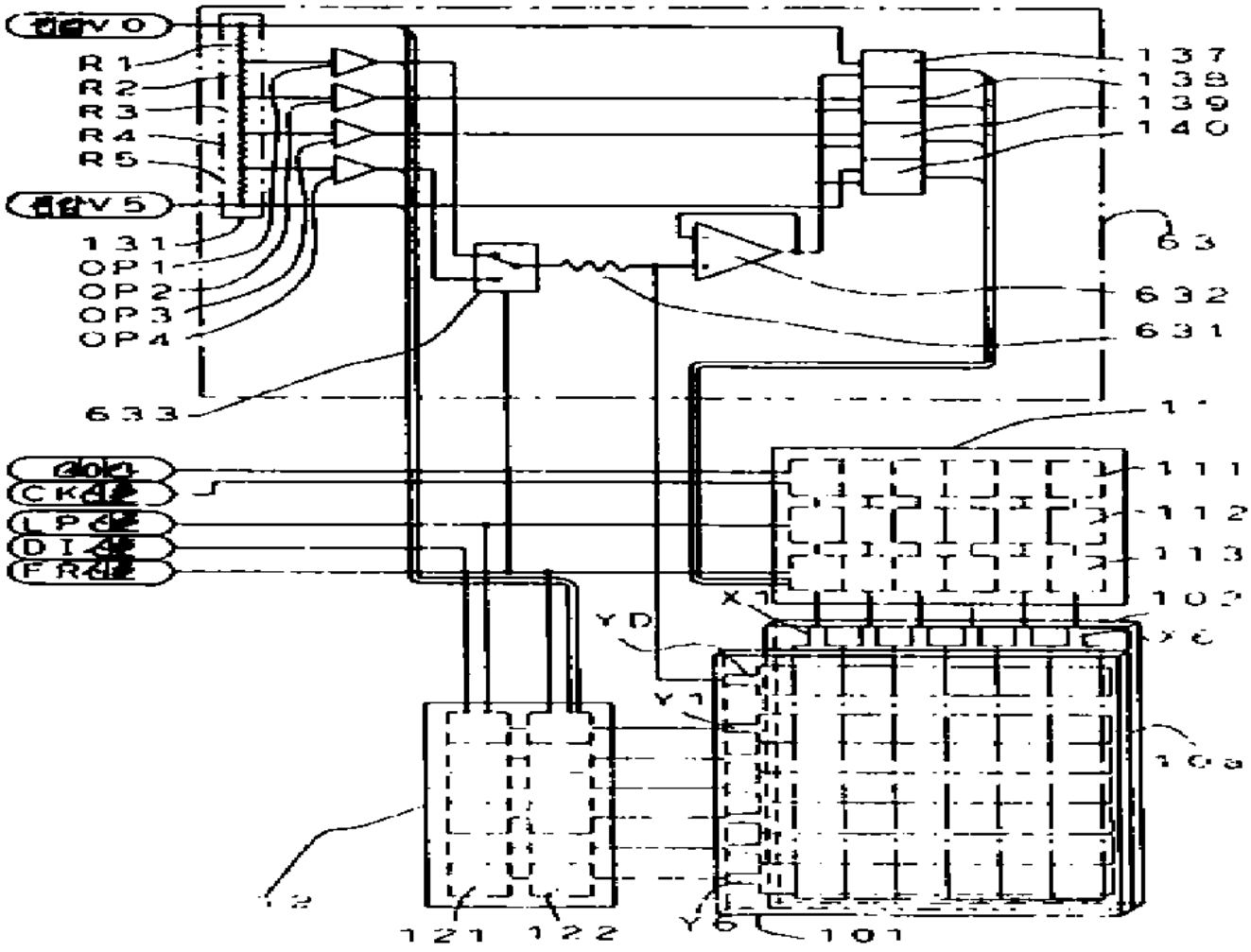
도면 4



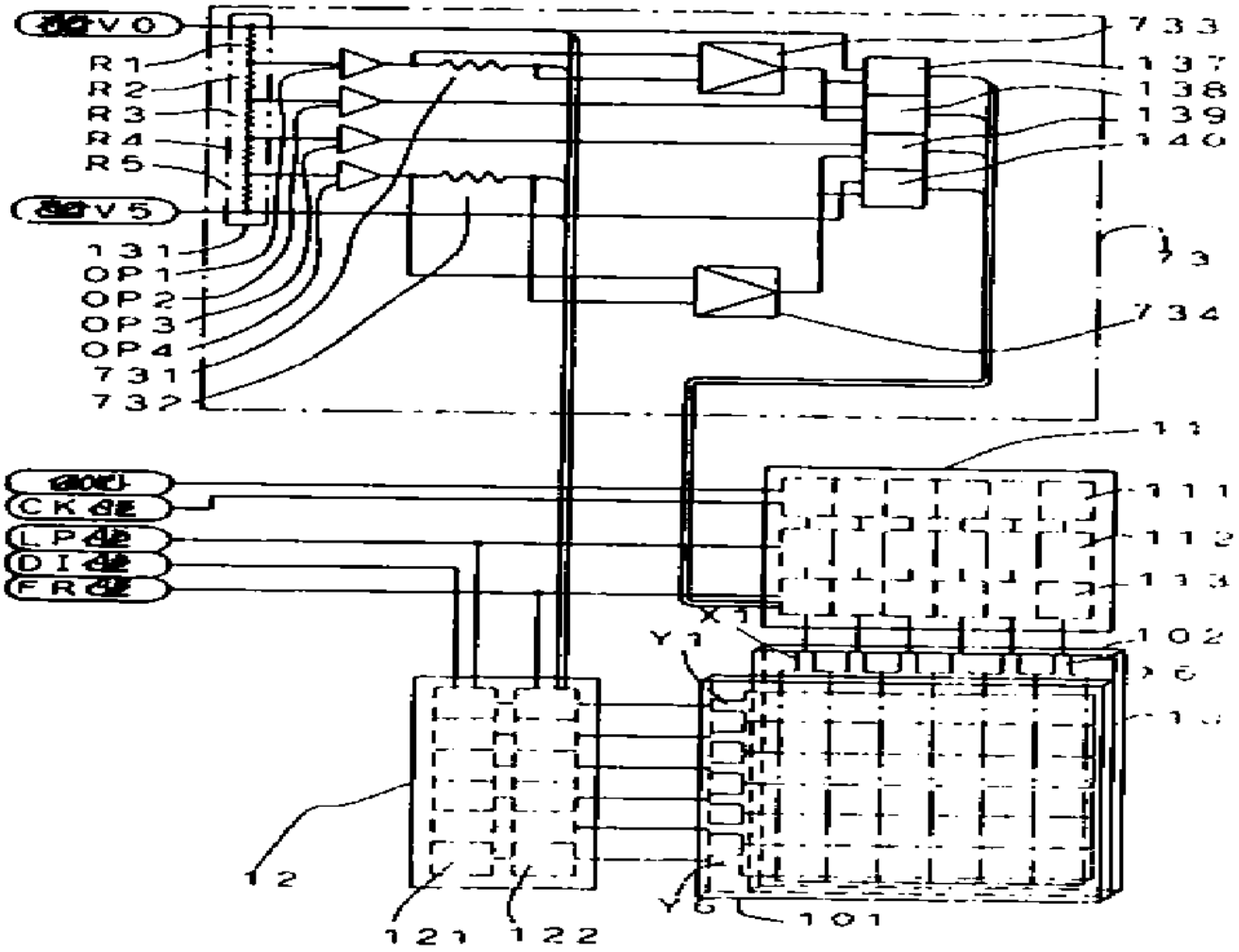
도면 5


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
132
135
134
133
CK
LP
DI
FR
V0
V1
V2
V3
V4
V5
V1'
V4'
532
533
53
531
11
111
112
113
X1
Y1
102
10
101
12
121
122
Y6

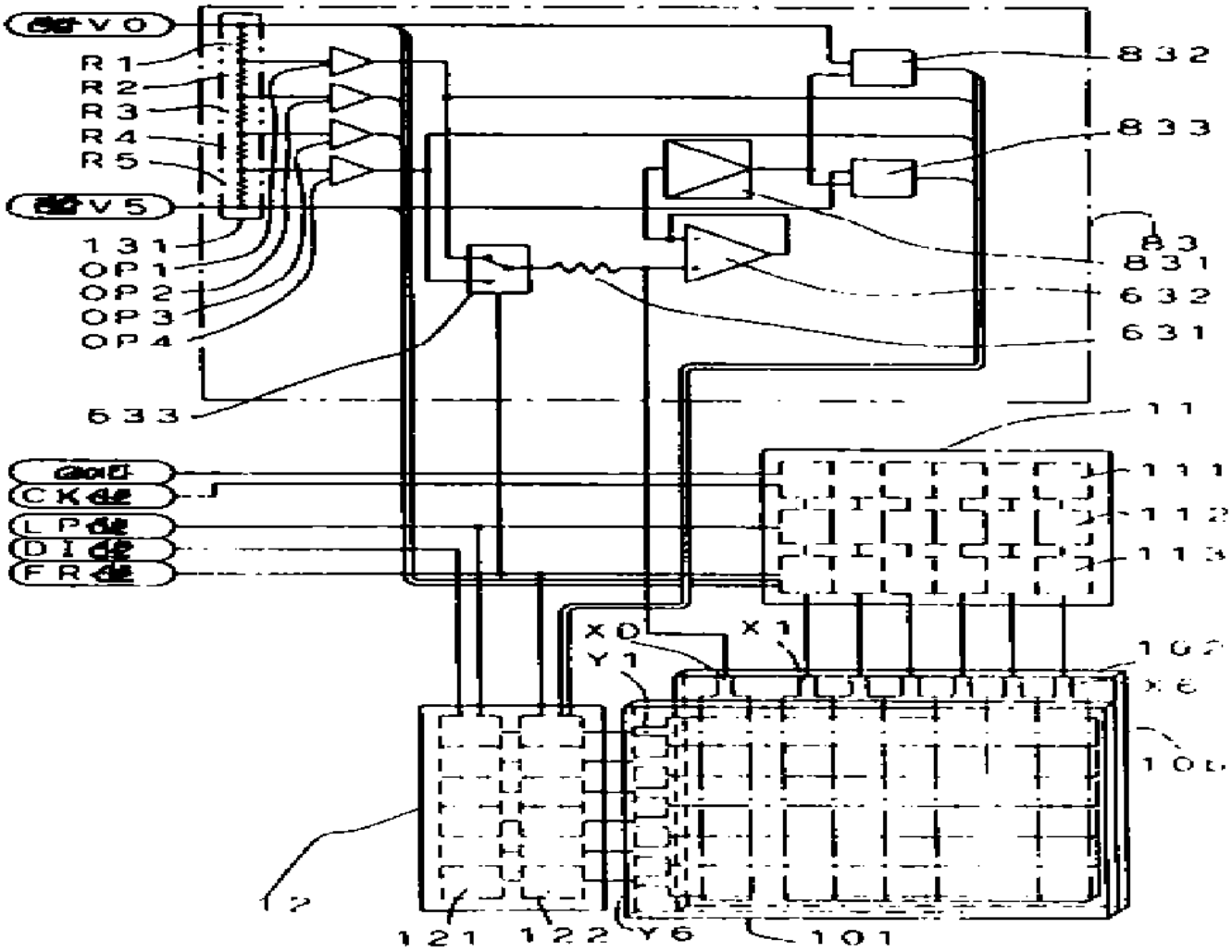
도면 6


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
633
CK
LP
DI
FR
137
138
139
140
63
632
631
111
112
113
102
101a
YD
121
122
101

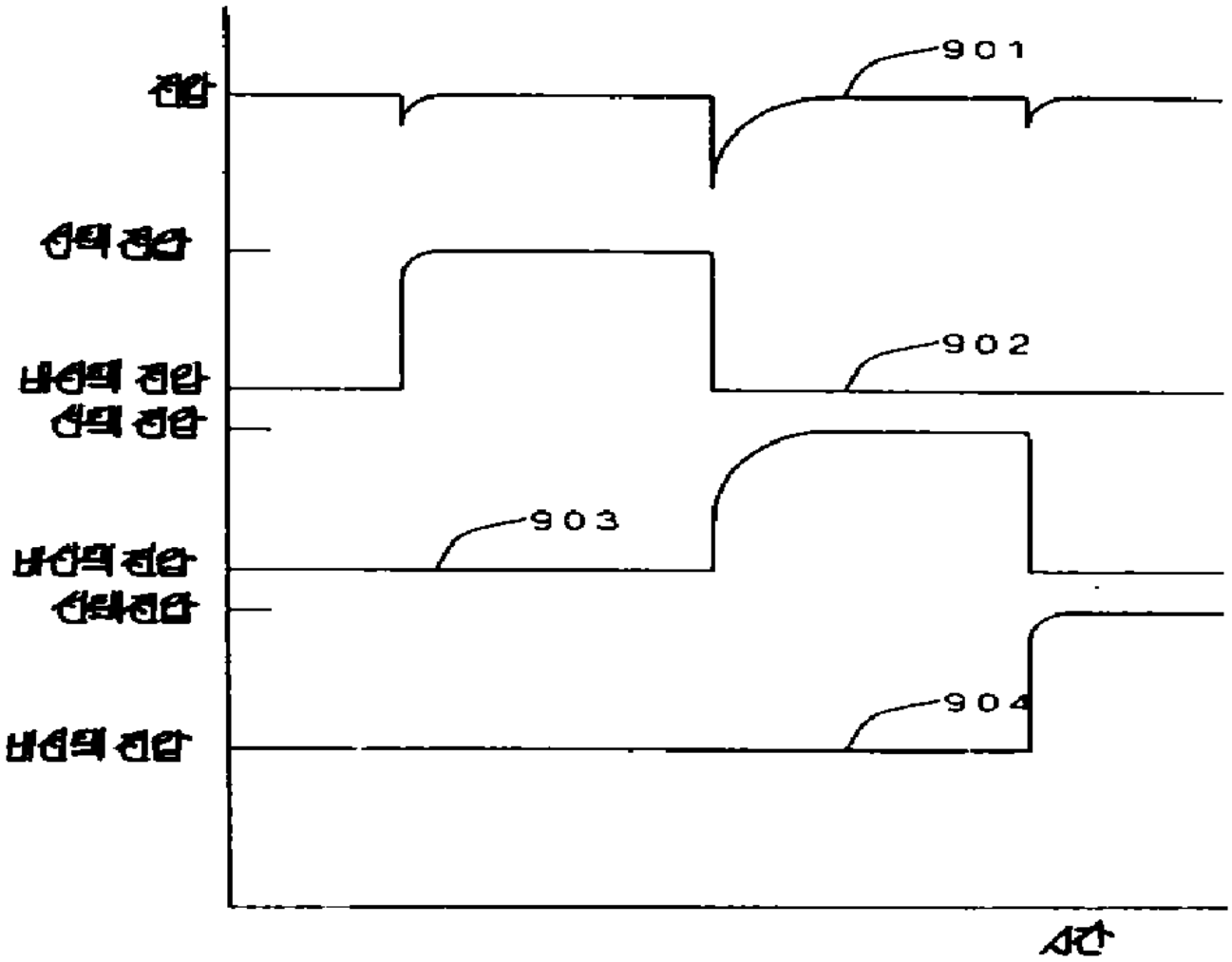
도면 7


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
731
732
733
137
138
139
140
734
CK
LP
DI
FR
111
112
113
102
101
121
122

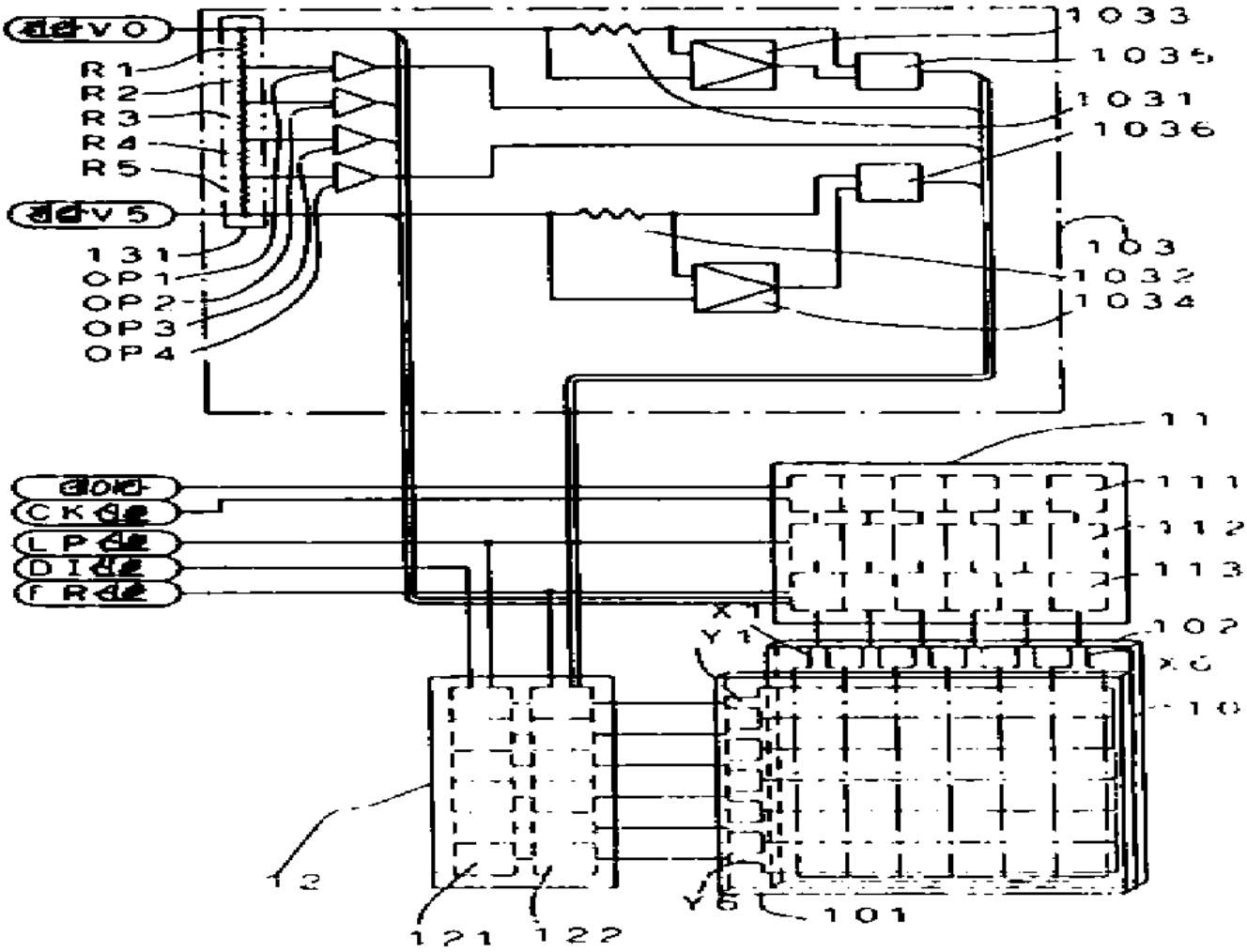
도면 8


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
633
CK
LP
DI
FR
832
833
831
632
631
11
111
112
113
X0
Y1
X1
102
X6
101
2
121
122
Y6
101

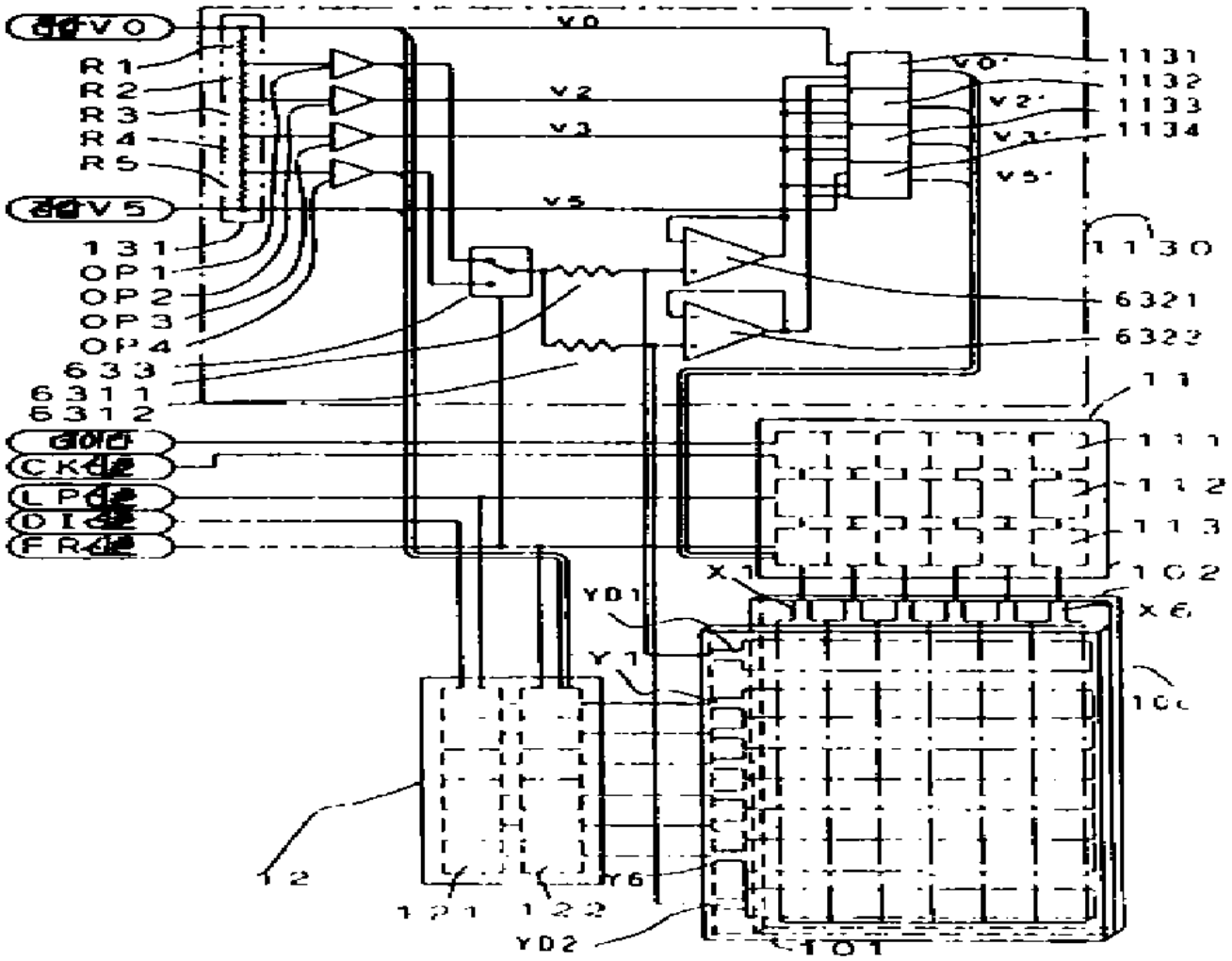
도면 9



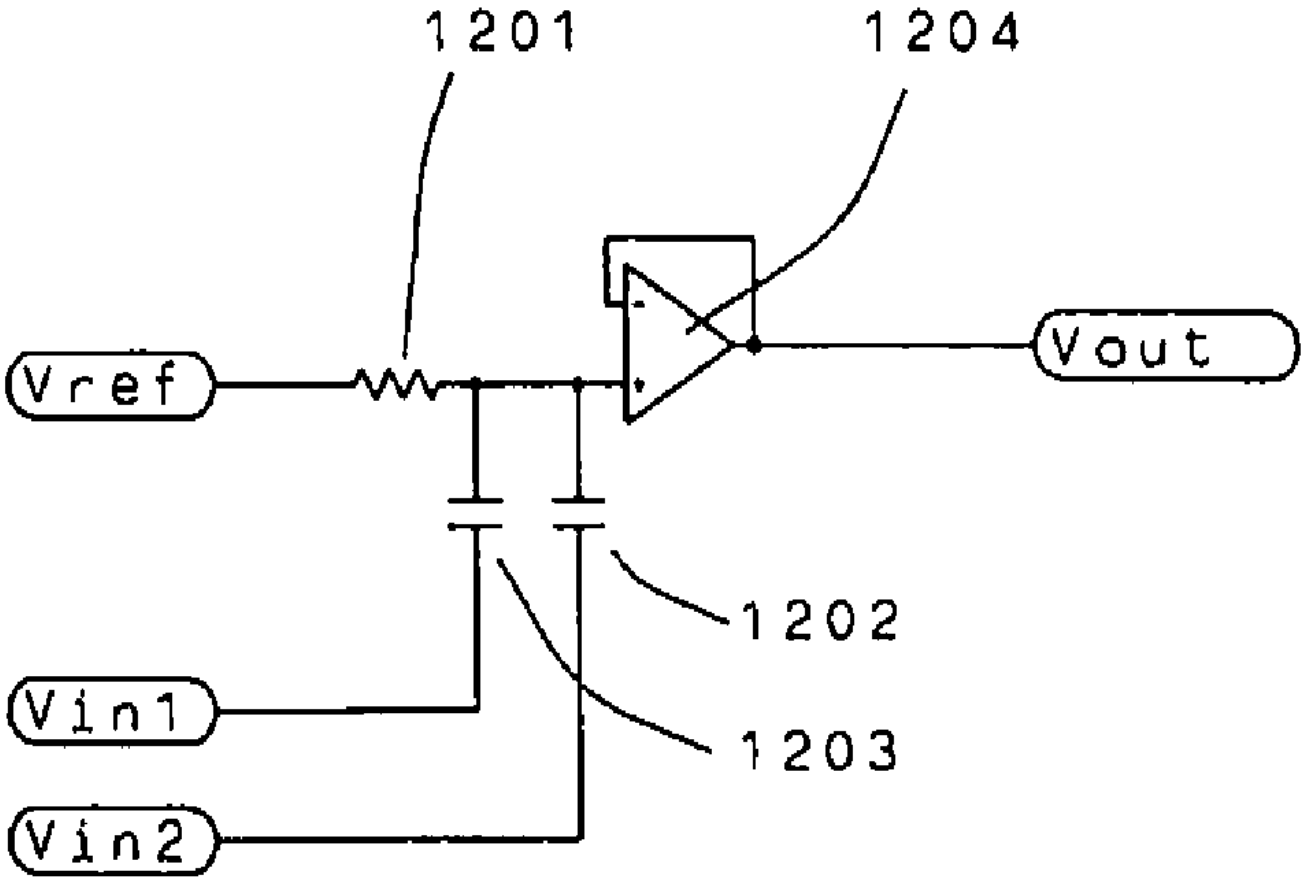
도면 10


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
1033
1035
1031
1036
103
1032
1034
11
111
112
113
102
101
121
122

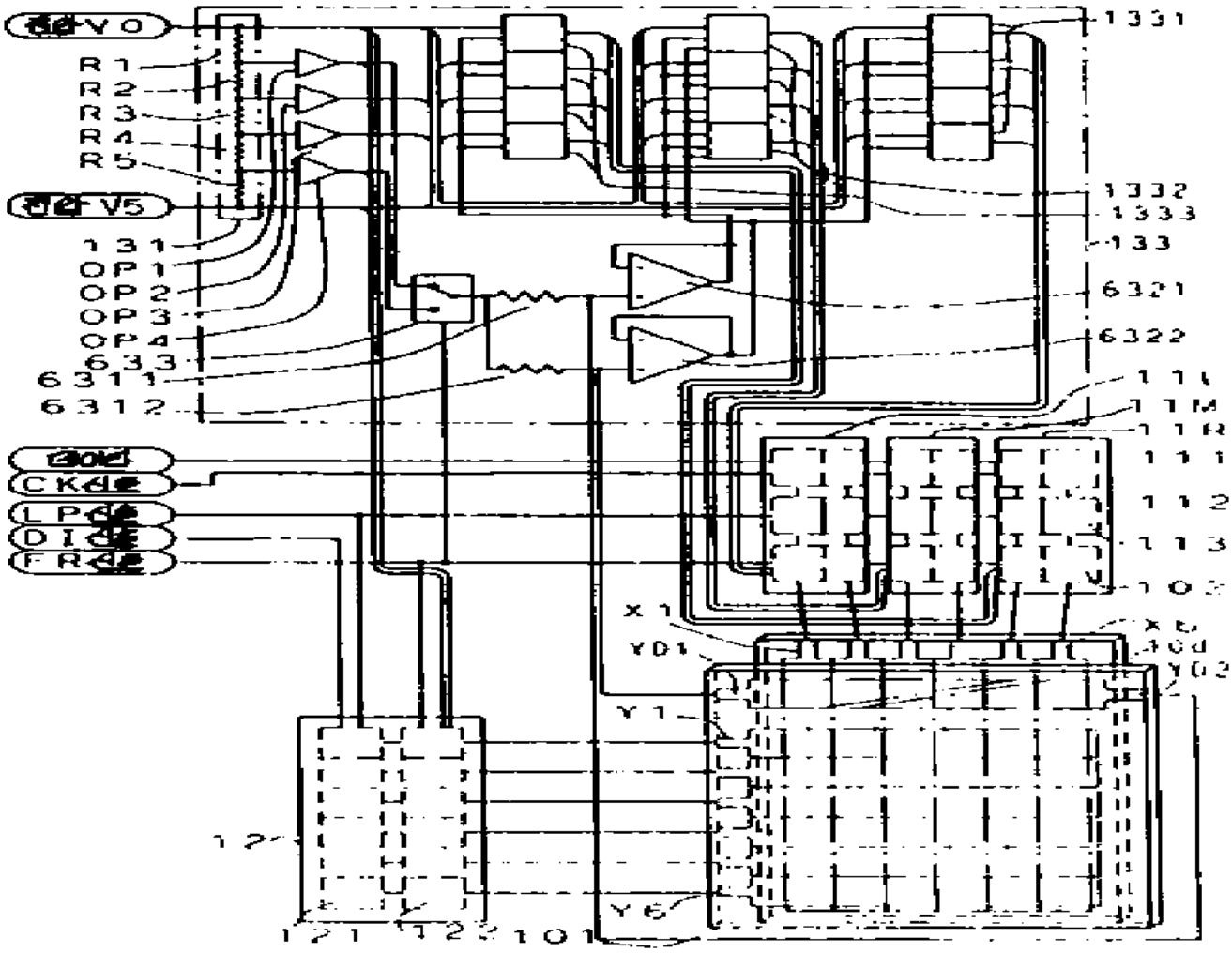
도면 11


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
633
6311
6312
CK
LP
DI
FR
V0
V2
V3
V5
V0'
V2'
V3'
V5'
1131
1132
1133
1134
1130
6321
6322
11
111
112
113
102
X1
X6
100
YD1
Y1
Y6
YD2
12
121
122
101

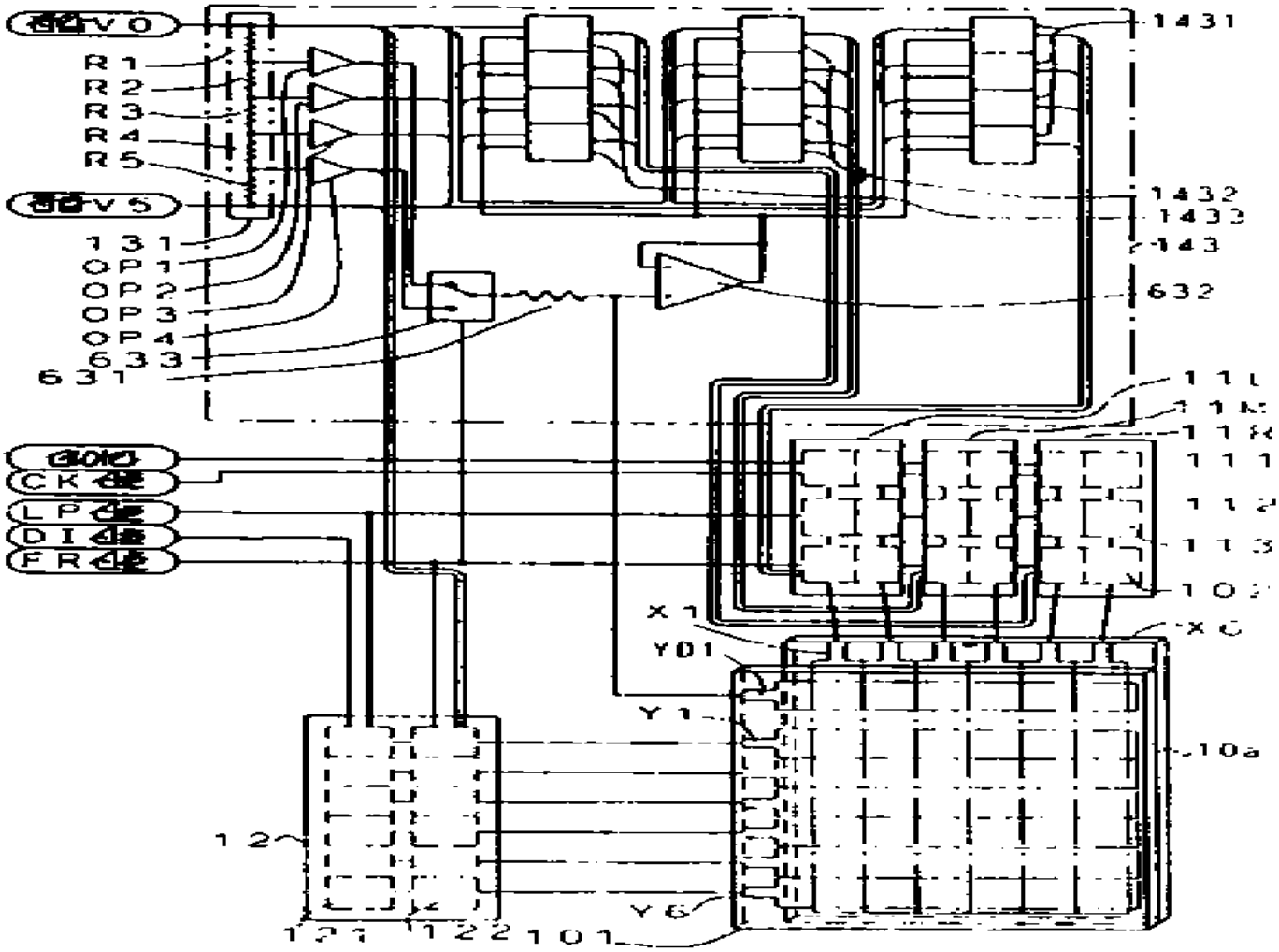
도면 12



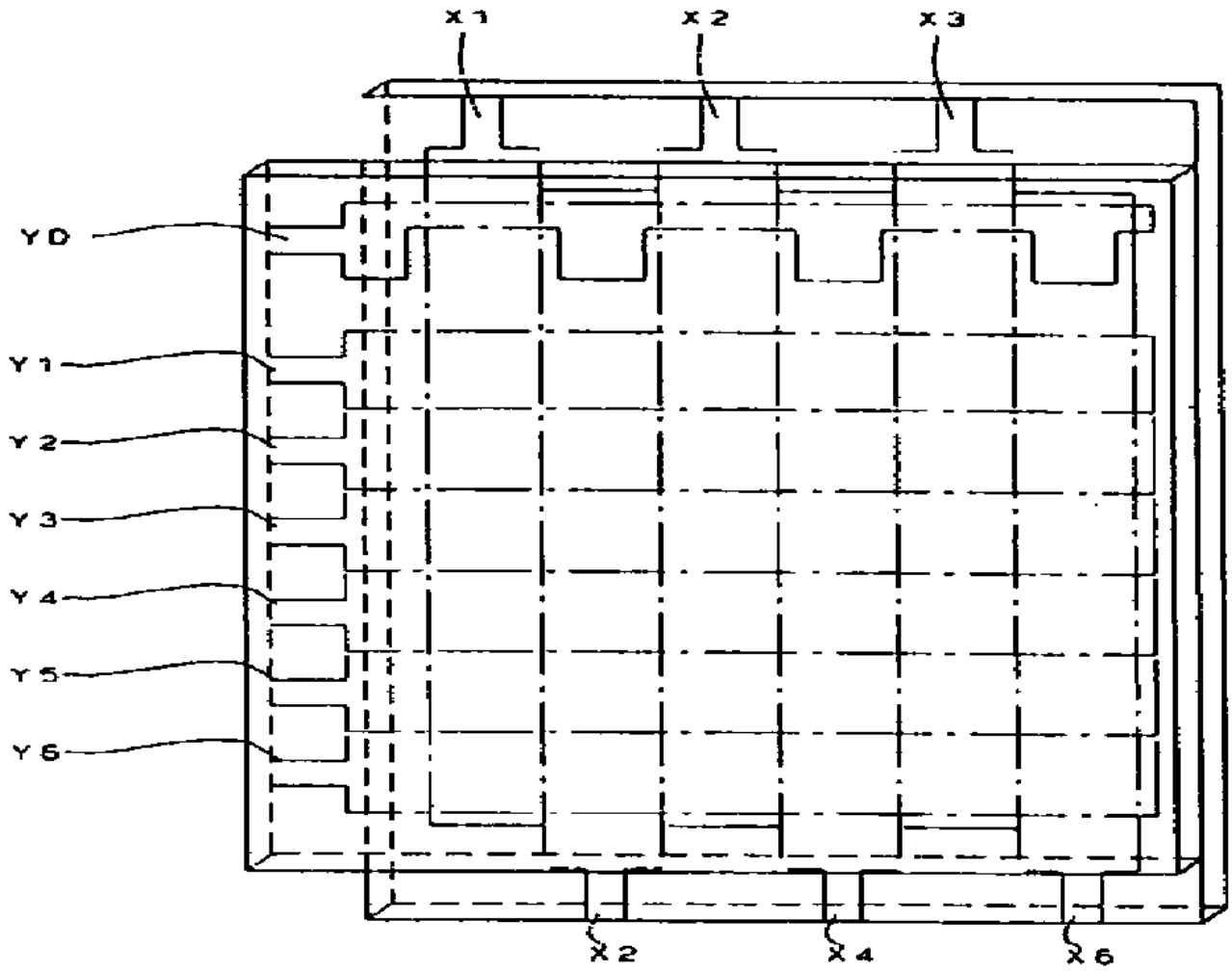
도면 13


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
633
6311
6312
CK
LP
DI
FR
1331
1332
1333
133
6321
6322
111
112
113
X1
YD1
Y1
Y6
121
122
101

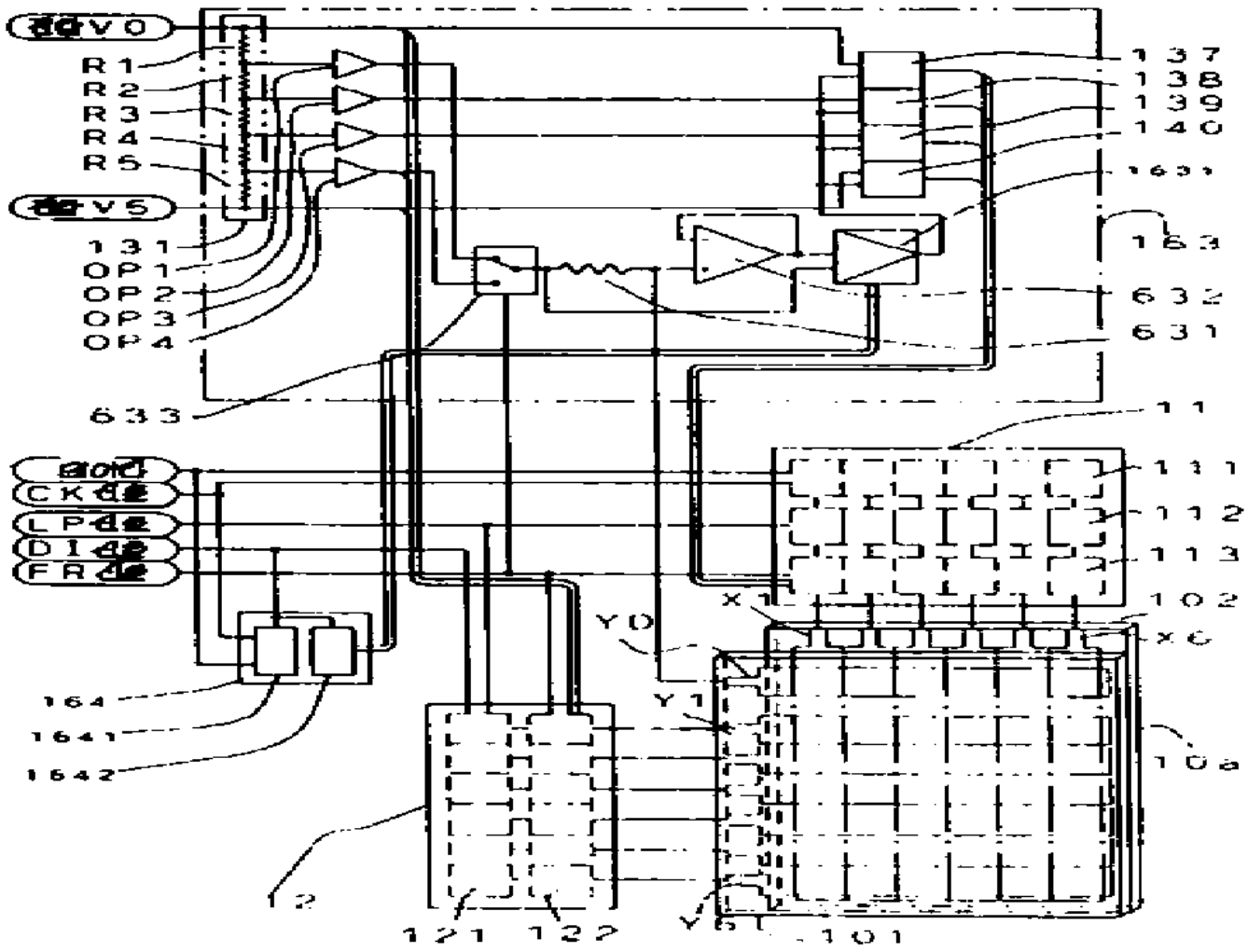
도면 14


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
633
631
CK
LP
DI
FR
1431
1432
1433
143
632
111
112
113
X1
Y01
Y1
Y6
10a
12
121
122
101

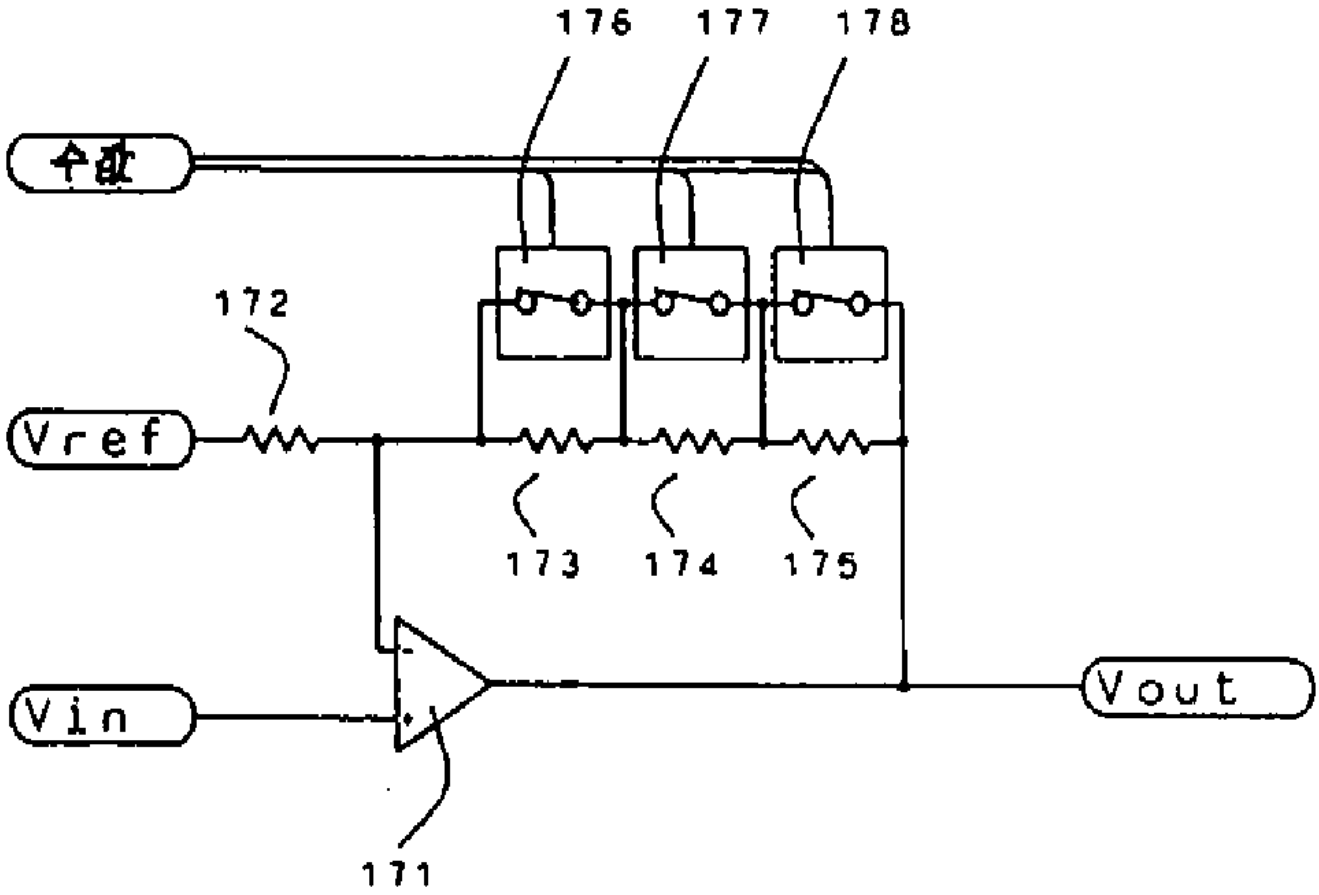
도면 15



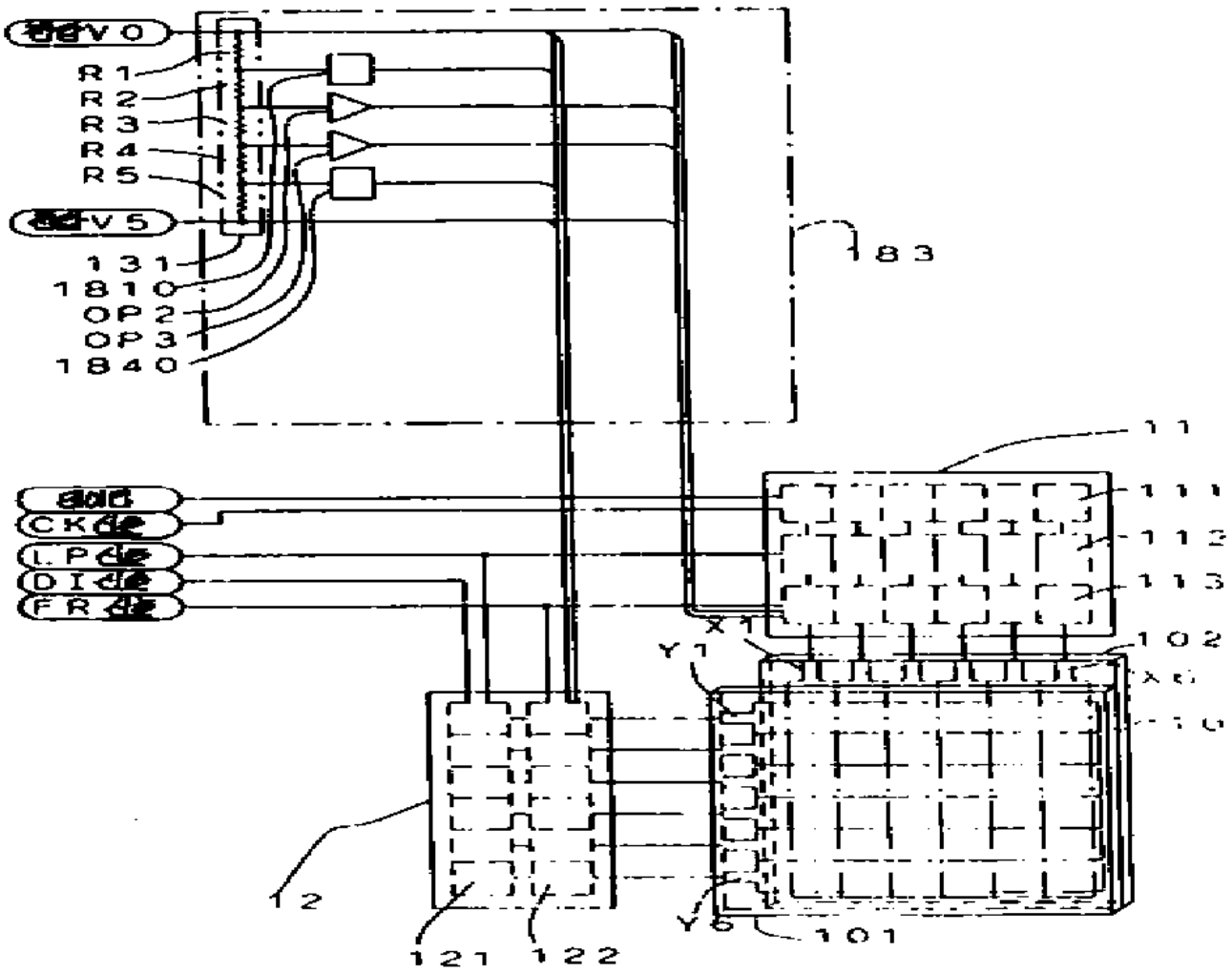
도면 16


V0
R1
R2
R3
R4
R5
V5
131
OP1
OP2
OP3
OP4
633
CK
LP
DI
FR
164
1641
1642
12
121
122
137
138
139
140
163
632
631
11
111
112
113
102
X1
X6
Y0
Y1
Y6
101
10a

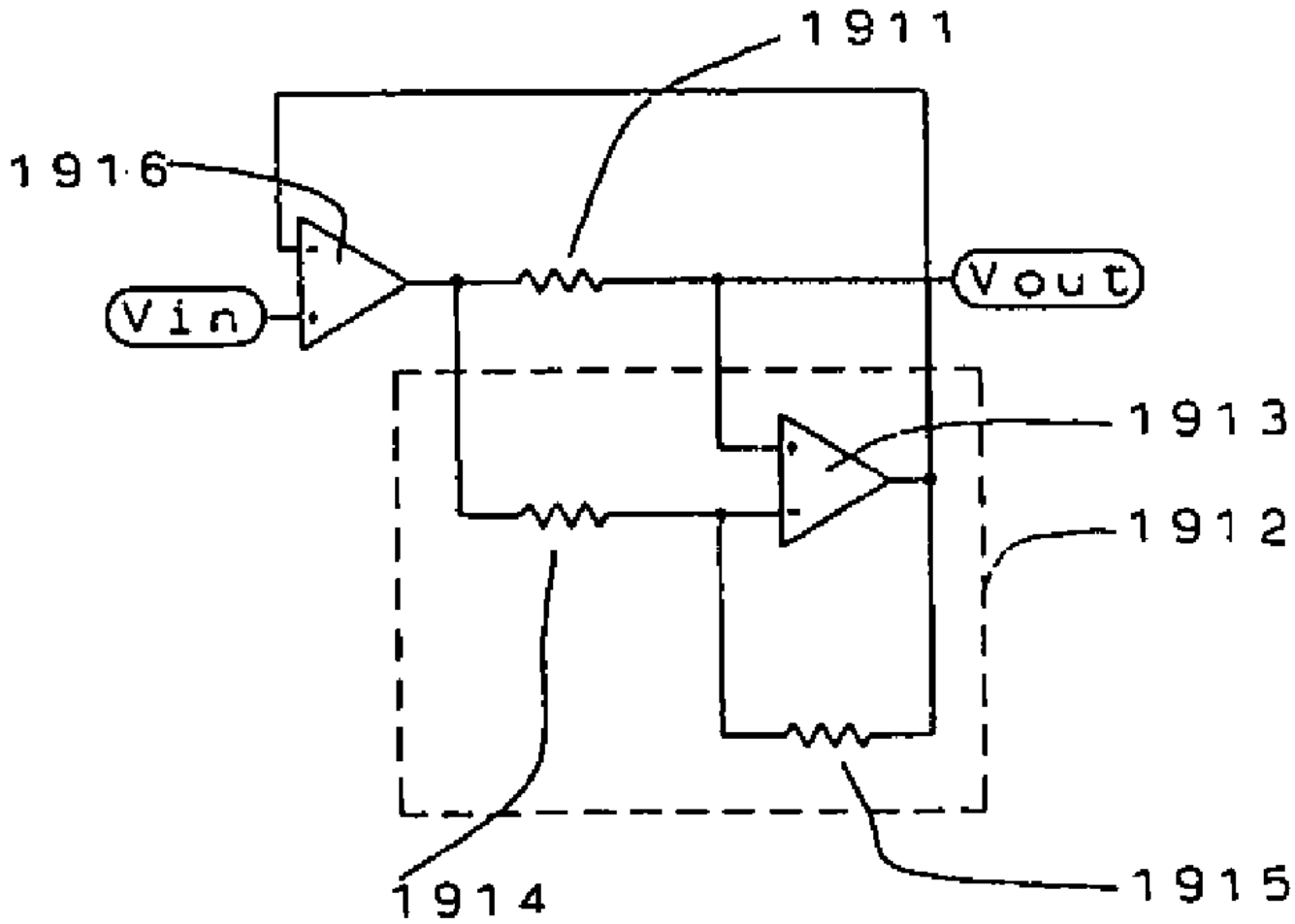
도면 17



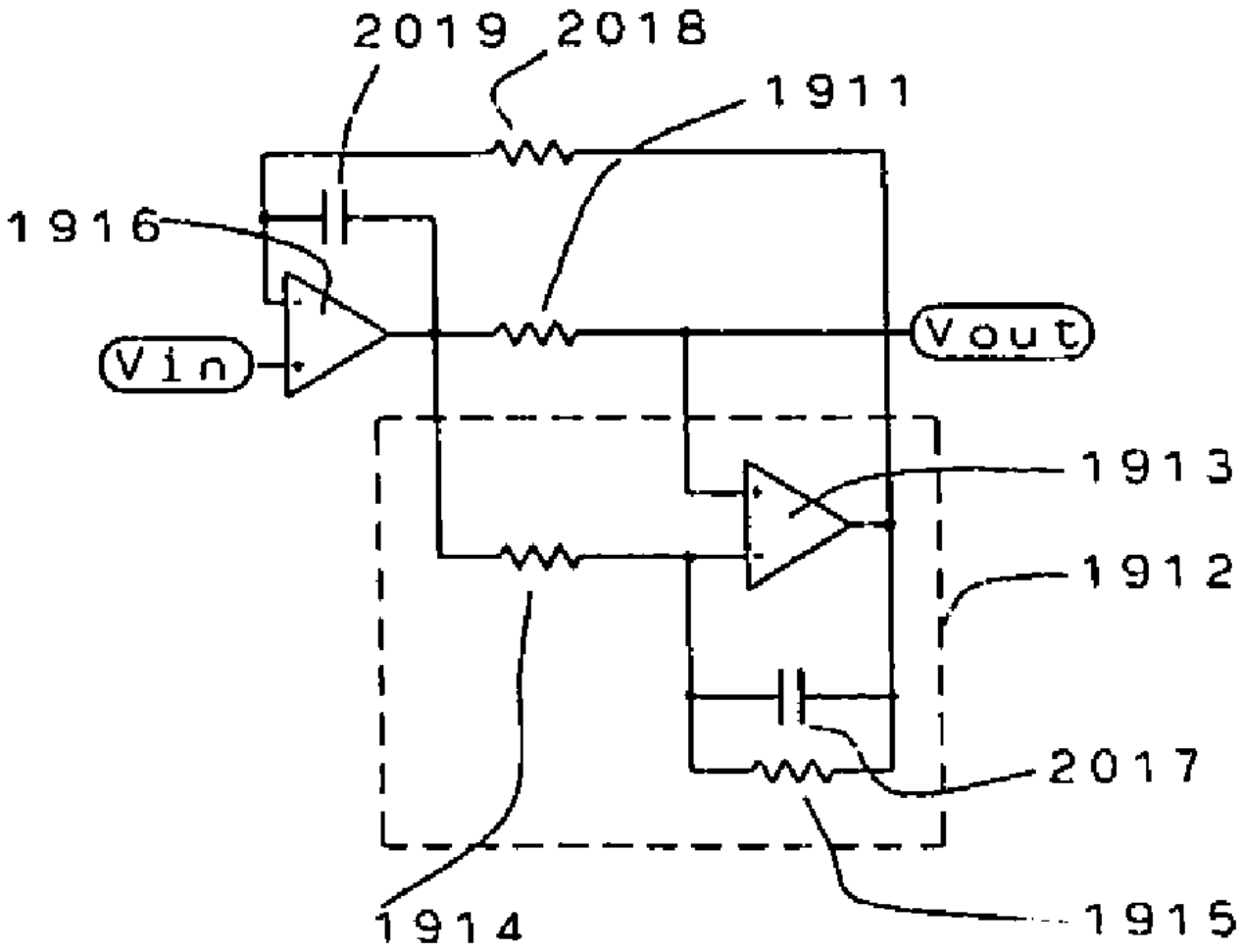
도면 18


V0
R1
R2
R3
R4
R5
V5
131
1810
OP2
OP3
1840
183
CK
LP
DI
FR
111
112
113
102
101
X1
Y1
Y6
12
121
122

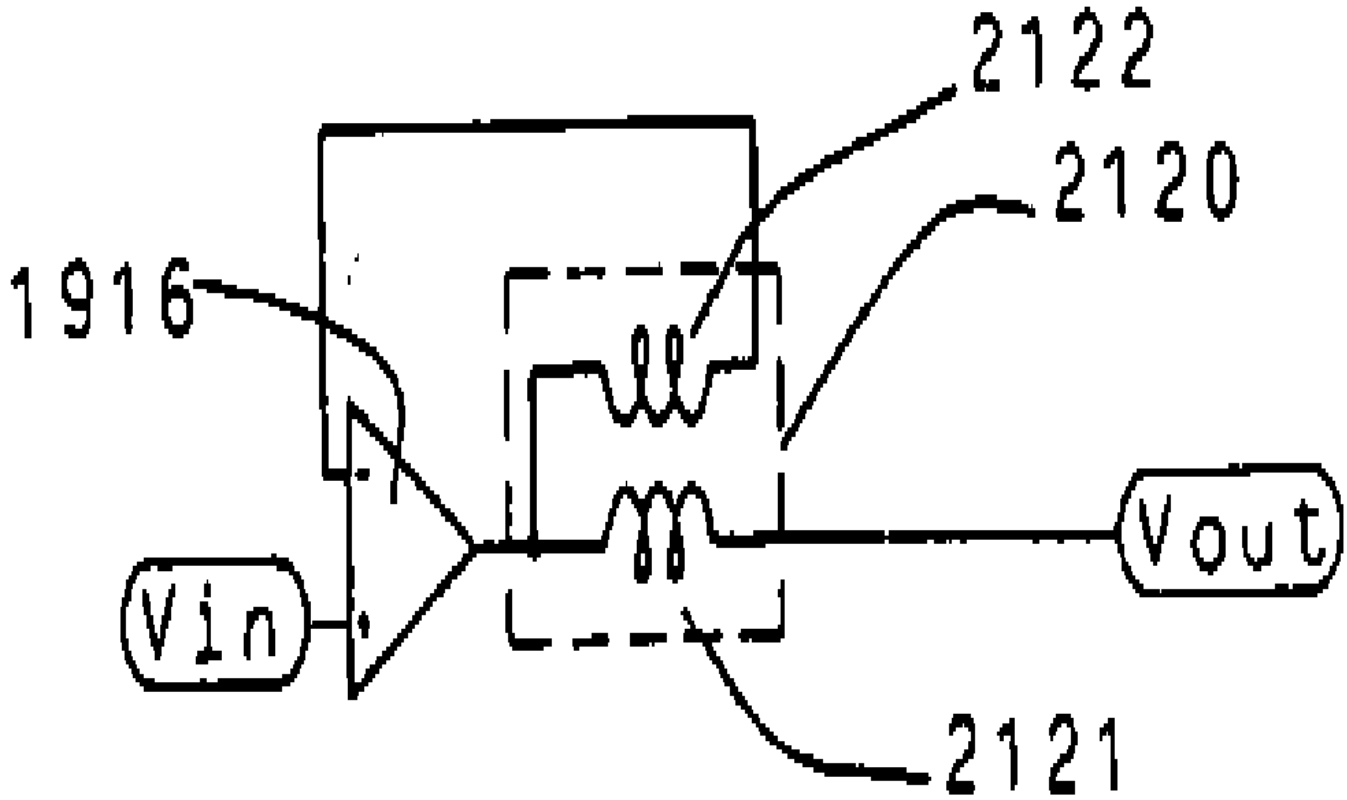
도면 19



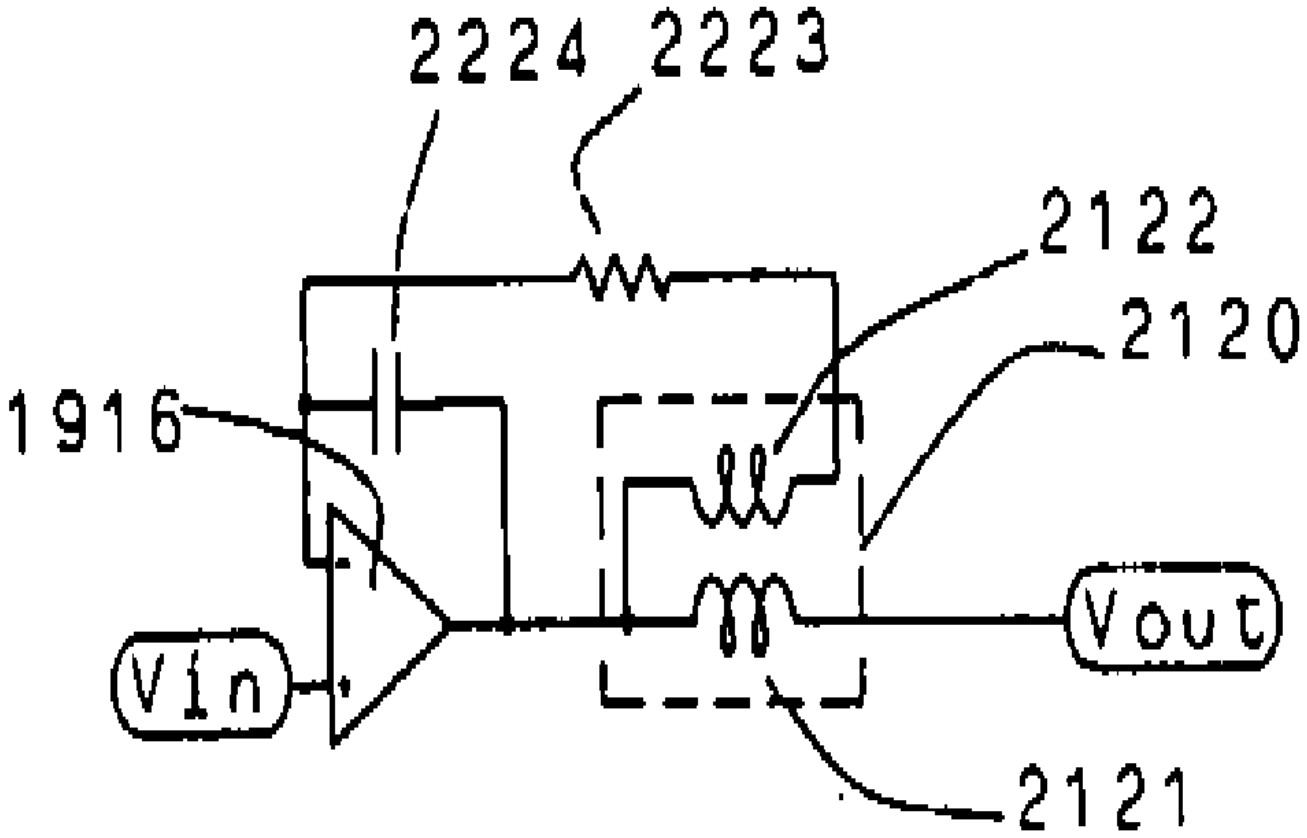
도면 20



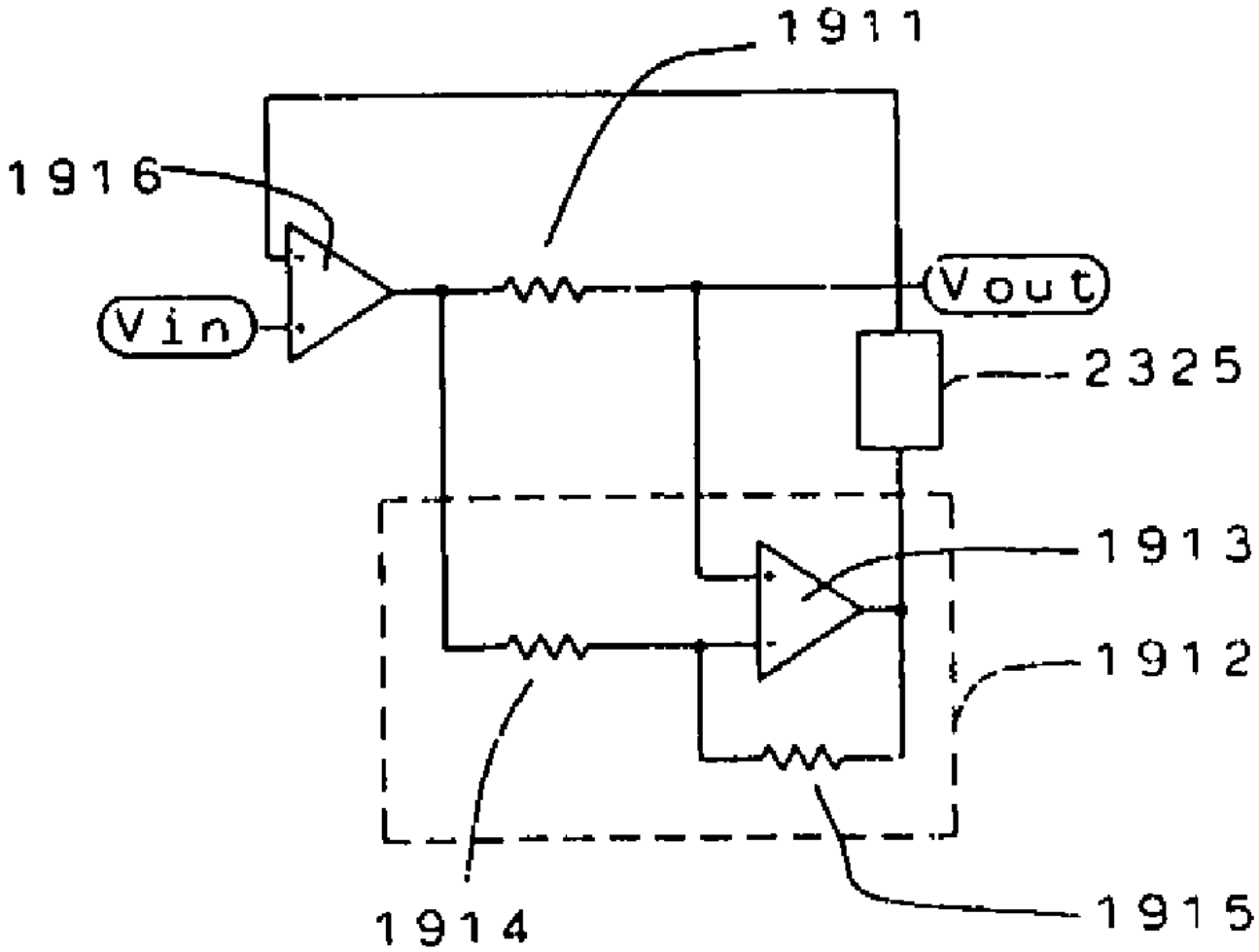
도면 21



도면 22



도면 23



도면 24

