



# [12] 发明专利申请公开说明书

[21] 申请号 02805012.6

[43] 公开日 2004年9月8日

[11] 公开号 CN 1528078A

[22] 申请日 2002.2.20 [21] 申请号 02805012.6

[30] 优先权

[32] 2001.2.23 [33] US [31] 09/792,494

[86] 国际申请 PCT/GB2002/000748 2002.2.20

[87] 国际公布 WO2002/069563 英 2002.9.6

[85] 进入国家阶段日期 2003.8.14

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 简·L·卡尔维格纳斯

玛库·海蒂斯 约瑟夫·F·洛根

法布瑞斯·J·维尔普兰肯

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 吴丽丽

权利要求书2页 说明书20页 附图7页

[54] 发明名称 网络处理器中分组描述符字段位置的分配

[57] 摘要

一种降低为获得帧控制块中的所需字段信息，访问存储器的次数的方法和系统。在一个实施例中，系统包括处理数据帧的处理器。处理器可包括接收和传输数据帧的数据流单元，每个数据帧可具有相关的帧控制块。每个帧控制块包含第一和第二控制块。处理器还可包括与数据流单元耦接，保存第一控制块的字段信息的第一存储器。处理器还可包括与数据流单元耦接的调度器，其中调度器被配置成调度数据流单元接收的数据帧。调度器可包括保存第二控制块的字段信息的第二存储器。

1、一种系统，包括：

被配置为处理数据帧的处理器，其中所述处理器包括：

被配置为接收和传输所述数据帧的数据流单元，其中每个所述数据帧具有相关的帧控制块，每个所述帧控制块包括第一和第二控制块；

与所述数据流单元耦接的第一存储器，其中所述第一存储器包括第一帧缓冲器控制单元，其中所述第一帧缓冲器控制单元保存所述帧控制块的所述第一控制块的字段信息；和

与所述数据流单元耦接的调度器，其中所述调度器被配置为调度所述数据流单元接收的数据帧，其中所述调度器包括第二存储器，所述第二存储器包括第二帧缓冲器控制单元，所述第二帧缓冲器控制单元保存所述帧控制块的所述第二控制块的字段信息。

2、按照权利要求 1 所述的系统，其中所述数据流单元包括若干队列，其中一个或多个所述帧控制块驻留在所述若干队列之一中。

3、按照权利要求 2 所述的系统，其中驻留于所述数据流单元的所述若干队列之一中的一个或多个所述帧控制块的所述第一控制块的字段中的信息保存在所述第一存储器的所述第一帧缓冲器控制单元中。

4、按照权利要求 1-3 任一所述的系统，其中所述调度器包括第一队列，其中一个或多个所述帧控制块驻留在所述第一队列中。

5、按照权利要求 4 所述的系统，其中驻留在所述第一队列中的一个或多个所述帧控制块的所述第二控制块的字段中的信息保存在所述第二存储器的所述第二帧缓冲器控制单元中。

6、一种降低为获得帧控制块中的所需信息，访问存储器的次数的方法，其中每个所述帧控制块包括第一控制块和第二控制块，所述第一控制块与第一存储器相关，所述第二控制块与第二存储器相关，所述第一存储器包括第一帧缓冲器控制单元，所述第一帧缓冲器控制

单元保存所述帧控制块的所述第一控制块的字段信息，所述第二存储器包括第二帧缓冲器控制单元，所述第二帧缓冲器控制单元保存所述帧控制块的所述第二控制块的字段信息，所述方法包括下述步骤：

访问所述第一存储器，以便读取或写入一个或多个所述帧控制块的所述第一控制块的字段中的信息；和

访问所述第二存储器，以便读取或写入一个或多个所述帧控制块的所述第二控制块的字段中的信息。

7、按照权利要求 6 所述的方法，其中一个或多个所述帧控制块驻留在数据流单元中的若干队列之一中，其中所述数据流单元与所述第一存储器相关。

8、按照权利要求 7 所述的方法，其中当所述一个或多个帧控制块驻留在所述数据流单元中的所述若干队列之一中时，访问第一存储器，以便读取或写入一个或多个所述帧控制块的所述第一控制块的字段中的信息。

9、按照权利要求 6-8 任一所述的方法，其中一个或多个所述帧控制块驻留在调度器中的一个队列中，其中所述调度器与所述第二存储器相关。

10、按照权利要求 9 所述的方法，其中当所述一个或多个帧控制块驻留在所述调度器的所述队列中时，访问第二存储器，以便读取或写入一个或多个所述帧控制块的所述第二控制块的字段中的信息。

11、一种保存在计算机可读存储介质上的计算机程序产品，当在计算机系统中运行时，指令计算机系统实现按照权利要求 1-5 任一所述的系统。

## 网络处理器中分组描述符字段位置的分配

### 技术领域

本发明涉及连网通信系统领域，更具体地说，涉及使对存储器的访问次数降至最小。

### 背景技术

分组交换网络具有用于在与网络相连的发送器和接收器之间传输数据的交换点或交换节点。这些交换点执行的交换事实上是把交换点或节点接收的数据的分组或“帧”传给网络中的另一节点的操作。这种交换操作是借助其通过分组交换网络转移通信数据的手段。

每个节点可以包括配置成处理数据分组或帧的分组处理器。每个数据帧可与配置成描述相关数据帧的帧控制块（FCB）有关。通常，FCB包括各种信息字段，信息字段由分组处理器中的存储器，例如四元数据速率静态随机存取存储器（QDR SRAM）提供。即，通过访问分组处理器中的存储器，例如QDR SRAM，获得FCB中的信息字段。

于是，希望限制字段控制块中需要信息的字段的数目，从而减少存储器访问次数，提高存储器空间效率，即存储器的带宽的效率。

### 发明内容

本发明提供一种表现为第一和第二控制块的逻辑字段控制块（FCB），第一控制块与第一存储器相关，第二控制块与第二存储器相关。每个存储器，即第一和第二存储器还可分别和分组处理器的一个数据流单元和一个调度器相关。分组处理器的数据流单元可被配置成接收并传送数据帧。分组处理器的调度器可被配置成调度要传送给分组交换网络中的另一交换机或端口的数据帧。当FCB驻留在数据

流单元中的一个队列中时，信息可保存在第一控制块的字段中，而不是保存在第二控制块的字段中。由于不访问第二存储器来相对于第二控制块的字段进行读取/写入操作，因此提高了第二存储器的带宽效率。当FCB驻留在调度器中的一个队列中时，信息可保存在第二控制块的字段中，而不是保存在第一控制块的字段中。由于不访问第一存储器来相对于第一控制块的字段进行读取/写入操作，因此提高了第一存储器的带宽效率。

根据一方面，本发明提供一种系统，包括：处理数据帧的处理器，其中所述处理器包括：接收和传输所述数据帧的数据流单元，其中每个所述数据帧具有相关的帧控制块，每个所述帧控制块包括第一和第二控制块；与所述数据流单元耦接的第一存储器，其中所述第一存储器包括第一帧缓冲器控制单元，其中所述第一帧缓冲器控制单元保存所述帧控制块的所述第一控制块的字段信息；和与所述数据流单元耦接的调度器，其中所述调度器调度所述数据流单元接收的数据帧，其中所述调度器包括第二存储器，其中所述第二存储器包括第二帧缓冲器控制单元，所述第二帧缓冲器控制单元保存所述帧控制块的所述第二控制块的字段信息。

最好，数据流单元包括若干队列，其中一个或多个所述帧控制块驻留在所述若干队列之一中。在优选实施例中，驻留于所述数据流单元的所述若干队列之一中的一个或多个所述帧控制块的所述第一控制块的字段中的信息保存在所述第一存储器的所述第一帧缓冲器控制单元中。

适宜地，调度器包括第一队列，其中一个或多个所述帧控制块驻留在所述第一队列中。更适宜的是，驻留在所述第一队列中的一个或多个所述帧控制块的所述第二控制块的字段中的信息保存在所述第二存储器的所述第二帧缓冲器控制单元中。

根据另一方面，本发明提供一种降低为获得帧控制块中的所需信息，访问存储器的次数的方法，其中每个所述帧控制块包括第一控制块和第二控制块，其中所述第一控制块与第一存储器相关，所述第

二控制块与第二存储器相关，所述第一存储器包括第一帧缓冲器控制单元，所述第一帧缓冲器控制单元保存所述帧控制块的所述第一控制块的字段信息，所述第二存储器包括第二帧缓冲器控制单元，所述第二帧缓冲器控制单元保存所述帧控制块的所述第二控制块的字段信息，所述方法包括下述步骤：访问所述第一存储器，以便读取或写入一个或多个所述帧控制块的所述第一控制块的字段中的信息；和访问所述第二存储器，以便读取或写入一个或多个所述帧控制块的所述第二控制块的字段中的信息。

可取的是，一个或多个所述帧控制块驻留在数据流单元中的若干队列之一中，其中所述数据流单元与所述第一存储器相关。更优选的是，当所述一个或多个帧控制块驻留在所述数据流单元中的所述若干队列之一中时，访问第一存储器，以便读取或写入一个或多个所述帧控制块的所述第一控制块的字段中的信息。最好，一个或多个所述帧控制块驻留在调度器中的一个队列中，其中所述调度器与所述第二存储器相关。适宜的是，当所述一个或多个帧控制块驻留在所述调度器的所述队列中时，访问第二存储器，读取或写入一个或多个所述帧控制块的所述第二控制块的字段中的信息。

根据另一方面，本发明提供一种保存在计算机可读存储介质上的计算机程序产品，当在计算机系统上运行时，指令计算机系统实现如上所述的系统。

#### 附图说明

下面参考附图中图解说明的本发明的优选实施例，举例说明本发明，其中：

图 1 图解说明根据本发明配置的分组处理器；

图 2 图解说明根据本发明配置的数据流单元；

图 3 是降低为获得帧控制块中的所需信息，访问存储器的次数的方法的流程图；

图 4 图解说明本发明的驻留在数据流单元的 FCB 自由队列中的

FCB的基本 FCB的一个实施例;

图 5 图解说明本发明的驻留在数据流单元的 FCB 自由队列中的 FCB 的流式 FCB 的一个实施例;

图 6 图解说明本发明的驻留在数据流单元的 GQ 中的 FCB 的基本 FCB 的一个实施例;

图 7 图解说明本发明的驻留在数据流单元的 GQ 中的 FCB 的流式 FCB 的一个实施例;

图 8 图解说明本发明的驻留在调度器的流队列中的 FCB 的基本 FCB 的一个实施例;

图 9 图解说明本发明的驻留在调度器的流队列中的 FCB 的流式 FCB 的一个实施例;

图 10 图解说明本发明的驻留在数据流单元的 TBQ 中的 FCB 的基本 FCB 的一个实施例;

图 11 图解说明本发明的驻留在数据流单元的 TBQ 中的 FCB 的流式 FCB 的一个实施例。

### 具体实施方式

本发明提供一种降低为获得帧控制块中所需字段信息, 访问存储器的次数的方法和系统。在本发明的一个实施例中, 系统包括配置成处理数据帧的处理器。处理器可包括配置成接收和传送数据帧的数据流单元, 每个数据帧可以具有相关的帧控制块。每个帧控制块可包括第一和第二控制块。处理器还可包括与数据流单元耦接的第一存储器, 第一存储器包括第一帧缓冲器控制单元。第一帧缓冲器控制单元可保存帧控制块的第一控制块的字段信息。处理器还可包括与数据流单元耦接的调度器, 调度器被配置成调度数据流单元接收的数据帧。调度器可包括第二存储器, 第二存储器包括第二帧缓冲器控制单元。第二帧缓冲器控制单元可保存帧控制块的第二控制块的字段信息。当帧控制块排队驻留在数据流单元中时, 信息可保存在第一控制块的字段中, 而不是保存在第二控制块的字段中。由于未访问第二存储器来

相对于第二控制块中的字段进行读/写操作，因此提高了第二存储器的带宽的效率。当帧控制块排队驻留在调度器中时，信息可保存在第二控制块的字段中，而不是保存在第一控制块的字段中。由于未访问第一存储器来相对第一控制块中的字段进行读/写操作，因此提高了第二存储器的带宽的效率。

图 1 图解说明了分组处理器 100。分组处理器 100 可包括数据流单元 110，数据流单元 110 被配置成从分组交换网络的特定交换机（未示出）或者端口（未示出）接收数据的数字分组，即数据帧，并把数据的数字分组，即数据帧传送给分组交换网络中的另一交换机或端口，例如交换机/端口 120。每个数据帧可与一个帧控制块（FCB）相关，FCB 描述数据的相关帧。与一个数据帧相关的每个 FCB 可和一个或多个缓冲器控制块（BCB）相关，与 FCB 相关的每个 BCB 可与数据存储单元 140 中的一个缓冲器相关。BCB 可被配置成描述与下一链接的 BCB 相关的缓冲器，如同在美国专利申请序列号 09/791336（代理人索引 RAL000095 下的同时待审 PCT 申请）中描述的那样。在一个实施例中，数据流单元 10 可驻留在集成电路，即集成芯片上。数据流单元 110 可与数据存储单元 140 耦接，数据存储单元 140 被配置成临时保存数据流单元 110 从分组交换网络中的一个交换机（未示出）或端口（未示出）接收的数据帧。数据流单元 110 还可与调度器 130 耦接，调度器 130 被配置成调度将从数据流单元 110 传送给交换机/端口 120 的数据帧。在一个实施例中，调度器 130 可驻留在集成电路，即集成芯片上。此外，数据流单元 110 还可与嵌入式处理器 150 耦接，嵌入式处理器 150 被配置成处理数据流单元 110 接收的数据帧。

图 2 更详细地说明了数据流单元 110。数据流单元 110 可包括接收器控制器 203，接收器控制器 203 被配置成接收和临时保存从分组交换网络中的交换机（未示出）或者端口（未示出）接收的数据分组，即数据帧。数据流单元 110 还可包括发射器控制器 201，发射器控制器 201 被配置成修改帧数据，并把修改后的帧数据传送给分组交

换网络中的交换机（未示出）或者端口（未示出）。数据流单元 110 还可包括嵌入式处理器接口控制器 202，嵌入式处理器接口控制器 202 被配置成交换要被嵌入式处理器 150 处理的帧。

数据分组，即数据帧可由端口/交换机接口单元 221 接收。当数据流单元 110 按照输出（egress）模式工作时，端口/交换机接口单元 221 可从分组交换网络中的交换机（未示出）接收数据。否则，当数据流单元 110 按照输入（ingress）模式工作时，端口/交换机接口单元 221 可从用作到分组交换网络的接口的端口（未示出）接收数据。在被保存在数据存储单元 140 中之前，数据流单元 110 接收的数据可临时保存在接收预备区存储器 220 中，数据存储单元 140 可由若干切片（slice）205AF 表示。切片 205AF 可整体地或者单独地分别称为切片 205。图 2 中的切片 205 的数目是例证性的，根据本发明的数据流单元 110 的实施例可具有其它预定数目的切片 205。每个切片可包括若干缓冲器。每个切片可代表一片存储器，例如动态随机存取存储器（DRAM），从而帧数据可被写入不同切片中的不同缓冲器中，以使存储器带宽达到最大。存储器判优器 204 可被配置成收集来自于接收器控制器 203、发射器控制器 201 和嵌入式处理器接口控制器 202 的请求，例如读取请求、写入请求，随后调度对特定数据存储存储器切片，即特定切片 205 中的特定缓冲器的访问。例如，接收器控制器 203 可被配置成向存储器判优器 204 发出写入请求，以便把接收的数据写入特定切片 205 中的各个缓冲器中。

如上所述，帧数据可保存在数据存储单元 140，即若干切片 205 中。在一个实施例中，帧数据可以这样的方式保存在一个或多个切片 205 中的一个或多个缓冲器中，以致可通过使缓冲器链接在一起，重新组合每个特定帧中的数据。即，特定帧中的数据可保存在按照数据写入其中的顺序链接在一起的一个或多个缓冲器中。一个或多个缓冲器的链接可由与数据流单元 110 耦接的存储器 229，例如四元数据速率静态随机存取存储器（QDR SRAM），中的缓冲器控制块单元（BCBU）208 控制。BCBU 208 可被配置成包括按照数据写入其中

的顺序链接在一起的一个或多个缓冲器的地址。借助保存在 BCBU 208 中的指针，可把包含相同帧的数据的不同缓冲器链接在一起。

如上所述，每个数据帧可与一个帧控制块（FCB）相关，FCB 描述数据的相关帧。存储器 210，例如 QDR SRAM，中的帧控制块单元 1（FCBU1）209 可被配置成保存要填入 FCB 的字段中的信息，例如帧控制信息。即，可通过访问存储器 210，即存储器 210 的 FCBU1 209，获得 FCB 中的信息字段。在图 3 的说明中讨论了和保存信息字段的存储器 210 的 FCBU1 209 相关的其它细节。

通过把要处理的各帧的报头传送给嵌入式处理器 150，保存在缓冲器中的帧数据可被嵌入式处理器 150 处理。如上所述，每帧数据可由一个 FCB 表示。这些 FCB 可临时保存在 G 队列（GQ）218 中。分配器逻辑电路 217 可被配置成使下一 FCB 从 GQ 218 出列。一旦分配器逻辑电路 217 使下一 FCB 出列，那么分配器逻辑电路 217 向存储器判优器 204 发出读取请求，以便读取位于保存在与出列 FCB 相关的数据存储单元 140 中的帧的起点（即该帧报头）中的数据。嵌入式处理器 150 随后处理分配器逻辑电路 217 读取的数据。

一旦嵌入式处理器 150 处理了帧数据，那么向存储器判优器 204 发出把处理后的帧数据写入一个或多个切片 205 中的各个缓冲器中的写入请求的嵌入式处理器逻辑电路 216，可把处理后的帧数据临时保存在数据存储单元 140，即切片 205 中。

一旦嵌入式处理器 150 处理了帧数据，那么嵌入式处理器逻辑电路 216 还向调度器 130 发出与处理后的帧相关的 FCB。调度器 130 可被配置成包括保存 FCB 的流队列 223。调度器 130 还可包括位于存储器 224，例如 QDR SRAM 内的帧控制块单元 2（FCBU2）225，FCBU2 225 被配置成类似于 FCBU1 209 工作。FCBU2 225 可被配置成当 FCB 临时驻留于流队列 223 中时，保存要填入 FCB 的字段中的信息。在图 3 的说明中讨论了和保存信息字段的调度器 130 的存储器 224 内的 FCBU2 225 相关的其它细节。调度器 130 可被配置成把保存在流队列 223 中的 FCB 传送给目标刀形（blade）队列（TBQ）列

队 (enqueue) 逻辑电路 227, TBQ 列队逻辑电路 227 被配置成把接收的 FCB 排列到 TBQ 215 中。

在 TBQ 215 中列队的 FCB 可由 TBQ 调度器 228 安排成从 TBQ 215 出列, 并被载入端口控制块 (PCB) 224 中。TBQ 调度器 228 可被配置成使下一 FCB 从 TBQ 215 出列, 并把该 FCB 排列到 PCB 224 中。一旦下一 FCB 被排列到 PCB 224 中, 那么 PCB 224 可向存储器判优器 204 发出读取请求, 以便读取位于保存在与出列 FCB 相关的数据存储单元 140 中的帧的起点 (即帧报头) 中的数据。在把处理后的帧数据传送给分组交换网络中的交换机 (未示出) 或者端口 (未示出) 之前, PCB 224 读取的数据可临时保存在数据预备区存储器 214 中。为清楚起见, 注意 PCB 224 可被配置成在每个特定读取请求中, 读取保存在处理后的帧中的一部分数据。即, 可在 PCB 224 提供的多个读取请求中读取保存在处理后的帧中的整个数据。一旦读取了保存在处理后的帧中的整个数据, 那么数据存储单元 140 可保存另外的帧数据。

发射器控制器 201 还可包括帧改变预备区存储器 213, 帧改变预备区存储器 213 被配置成接收修改临时保存在数据预备区存储器 214 中的处理帧的命令。这些命令通常称为由嵌入式处理器 150 发出, 并由嵌入式处理器逻辑 216 保存在特定缓冲器的特定存储区中的帧修改命令, 如美国专利申请序列号 09/792557 中更详细说明的那样。在一个实施例中, PCB 224 可被配置成取回保存在特定缓冲器的特定存储区中的帧修改命令, 并把这些命令保存在帧改变预备区存储器 213 中。帧改变 (FA) 逻辑单元 212 可被配置成执行保存在帧改变预备区存储器 213 中的命令, 以修改临时保存在数据预备区存储器 214 中的处理帧的内容。一旦 FA 逻辑单元 212 修改了处理帧的内容, 那么可通过交换机/端口接口单元 211 传送修改后的处理帧。当数据流单元 110 按照输出模式工作时, 交换机/端口接口单元 211 可把数据传送给用作到分组交换网络的接口的端口 (未示出)。否则, 当数据流单元 110 按照输入模式工作时, 交换机/端口接口单元 211 可把数据

传送给分组交换网络中的交换机（未示出）。

数据流单元 110 还可包括缓冲器控制块（BCB）判优器 207，缓冲器控制块判优器 207 被配置成仲裁来自发射器控制器 201、嵌入式处理器接口控制器 202 和接收器控制器 203 的不同 BCB 请求，以便相对于 BCBU 208 进行读取或写入操作。BCB 判优器 207 可被配置成调度不同的访问，以便尽可能高效地利用存储器带宽。数据流单元 110 还可包括帧控制块（FCB）判优器 206，FCB 判优器 206 被配置成仲裁来自嵌入式处理器接口控制器 202、接收器控制器 203 和发射器控制器 201 的不同 FCB，以便相对于 FCBU1 209 进行读取或写入操作。

如上所述，每个数据帧可与一个 FCB 相关。由于处理帧从数据存储单元 140（例如 DDR DRAM）读取，并且处理帧被修改和被传送给分组交换网络中的交换机（未示出）或端口（未示出），因此与这种处理帧相关的 FCB 停止表示特定的数据帧。一旦 FCB 不再与帧数据相关，FCB 可保存在 FCB 判优器 206 内的 FCB 自由队列 222 中。FCB 自由队列 222 可被配置成包括不再与特定帧数据相关的若干 FCB。注意，FCB 自由队列 222 可包括任意数目的不再与特定帧数据相关的 FCB。一旦数据流单元 110 接收一个数据分组，即一个数据帧，那么接收器控制器 203 的重装控制块（RCB）219 可使来自 FCB 自由队列的特定 FCB 与接收的数据帧关联起来，随后，新关联的 FCB 可由 RCB 219 排列到 GS 218 中。

如上所述，每个数据帧可与一个 FCB 相关。与一个数据帧相关的每个 FCB 可与一个或多个 BCB 相关，与 FCB 相关的每个 BCB 可与数据存储单元 140 的特定缓冲器相关。一旦保存在数据存储单元 140 的缓冲器中的处理帧数据被发射器控制器 201 取回，随后被修改并被传送给分组交换网络中的交换机（未示出）或者端口（未示出），那么与不再包括任意帧数据的特定缓冲器相关的 BCB 停止包含任意有效信息。即，与不再包括任意帧数据的特定缓冲器相关的 BCB 包括无用的数据，因为与 BCB 相关的特定缓冲器不再包括任意

帧数据。一旦 BCB 停止包含任意有效信息，即，一旦特定缓冲器中的帧数据已被传送，那么 BCB 可保存在 BCB 判优器 206 内的 BCB 自由队列 206 中。BCB 自由队列 226 可被配置成包括不包含任意有效信息的若干 BCB。注意，BCB 自由队列可包括任意数目的不包含任意有效信息的 BCB。一旦接收器控制器 203 把接收的帧数据写入数据存储单元 140 的特定缓冲器中，那么接收器控制器 203 的 RCB 219 可把有效信息写入 BCB 自由队列 226 中的特定 BCB 中，所述特定 BCB 与保存接收的数据帧的特定缓冲器相关。

如上所述，FCB 可临时驻留在 FCB 自由队列 222 中，或者临时驻留在其它队列，例如 GQ 218、流队列 213、TBQ 215 之一中。在图 3 中讨论了 FCB 的“生命周期”的更详细说明，其中 FCB 最初可保存在 FCB 自由队列 222 中，随后通过队列（例如 GQ 218、流队列 223、TBQ 215）转移，直到被列队到 FCB 自由队列 222 中为止。在 FCB 的“生命周期”内，因为 FCB 可临时从 FCB 自由队列 222 移除，因此可认为该 FCB 从 FCB 自由队列 222 被租用。注意各个队列，例如 GQ 218、流队列 223、TBQ 215、FCB 自由队列 222 都可同时包括一个或多个不同 FCB。还要注意在其“生命周期”内，FCB 临时驻留在每个队列中，例如 GQ 218、流队列 223、TBQ 215、FCB 自由队列 222。

如同在背景技术部分中所述那样，FCB 包括各种信息字段，信息字段由分组处理器 100 中的存储器 210 和 224 供给。即，通过访问分组处理器 100 中的存储器 210，例如 QDR SRAM，获得 FCB 中的信息字段。于是最好如下所述限制字段控制块中需要信息的字段的数目，从而减少存储器访问的次数，从而降低对存储器 210 和 224 的带宽要求。

图 3 图解说明了减少为获得帧控制块中的所需字段信息，访问存储器，例如存储器 210、存储器 224 的次数，从而提高存储器，例如存储器 210、存储器 224 的带宽效率的方法 300 的流程图。存储器 210 是与数据流单元 110 相关的存储器；存储器 224 是与调度器 130

相关的存储器。

如上所述，每帧数据可与一个帧控制块（FCB）相关。在本发明的一个实施例中，逻辑 FCB 可表示成两个不同的控制块，因为存在两个存储器 210 和 224。例如，基本 FCB（BFCB）可与存储器 210 相关。流式 FCB（FFCB）可与存储器 224 相关。这两个不同的控制块，即 BFCB 和 FFCB 可共用相同的存储器地址，即物理存储器地址，但是将在这两个不同控制块的字段中提供的数据可驻留在独立的存储器，例如存储器 210、存储器 224 中。

在步骤 301 中，RCB 219 可使驻留在 FCB 判优器 206 的 FCB 自由队列 222 中的 FCB 从 FCB 自由队列 222 出列。图 4 图解说明了驻留在 FCB 自由队列 222 中的 FCB 的 BFCB 400 的字段。BFCB 400 可包括两个条目或者两行，每个条目为 36 位。注意，BFCB 400 可包括任意数目的字段和任意的行数，所述字段和行包含任意数目的二进制位，图 4 只是说明性的。

驻留在 FCB 自由队列 222 中的 FCB 的 BFCB 400 可包括两个字段，例如 NFA（下一 FCB 地址）和 ECC（纠错码）。NFA 字段指向下一 FCB 地址，从而允许 FCB 的连接。ECC 字段可包括纠错码用代码，如美国专利申请序列号 09/792533 中所述。

图 5 图解说明了驻留在 FCB 自由队列 222 中的 FCB 的 FFCB 500 的字段。FFCB 500 可包括一个条目或一行，所述条目或行为 36 位。注意，FFCB 500 可包括任意数目的字段和任意的行数，所述字段和行包括任意数目的二进制位，图 5 是说明性的。

驻留在 FCB 自由队列 222 中的 FCB 的 FFCB 500 可包括两个字段，例如 NFA、与 FCB 相关的一个或多个缓冲器的字节计数（BCNT），以及一个奇偶校验位（PTY）。NFA 字段可包括指向下一 FCB 地址，从而允许 FCB 自由队列 222 中 FCB 的链接的指针。BCNT 字段可包括与 FCB 相关的一个或多个 BCB 的字节计数长度。但是，可能不访问存储器 224 的 FCBU2 225，取回要保存在驻留于 FCB 自由队列 222 中的 FCB 的 FFCB 500 的字段中的信息，因为驻

留于 FCB 自由队列 222 中的 FCB 的 FFCB 500 可能与一帧数据无关。即，驻留在 FCB 自由队列 222 中的 FCB 的 FFCB 500 的字段不重要，于是不必访问与 FFCB 500 相关的存储器 224 的 FCBU2 225。在美国专利申请序列号 09/791336 中描述了和 FCB 与一个或多个 BCB 的关联，以及保存在 FCB 的字段中的信息有关的其它细节。在美国专利申请序列号 09/792533 中提供了 FCB 中的奇偶校验位的细节。

信息可保存在 BFCB 400 中，而不是保存在 FFCB 500 中，因为 FCB 自由队列 222 由数据流单元 110 处理，而不受调度器 130 处理，下面将进一步说明。于是，驻留在 FCB 自由队列 222 中的 FCB 的 BFCB 400 中的字段可包括有效信息；然而，驻留在 FCB 自由队列 222 中的 FCB 的 FFCB 500 中的字段可包含无效信息。

如上所述，当数据流单元 110 通过端口/交换机接口单元 221，从分组交换网络中的交换机（未示出）或者用作到分组交换网络的接口的端口（未示出）接收帧数据时，在步骤 301 中，数据流单元 110 的 RCB 219 使一个 FCB 从 FCB 自由队列 222 出列，以使接收的帧数据和 FCB 相关联。通过 RCB 219 向存储器 210 的 FCBU1 209 发出取回 FCB 自由队列 222 中 FCB 的 BFCB 400 中字段 NFA 和 ECC 的信息的读取请求，使该 FCB 从 FCB 自由队列 222 出列。数据流单元 110 的 RCB 219 可只向存储器 210 的 FCBU1 209 发出读取请求，而不向存储器 224 的 FCBU2 225 发出读取请求，因为存储器 210 与数据流单元 110 相关，而存储器 224 与调度器 130 相关。于是，RCB 219 不访问存储器 224 的 FCBU2 225 来取回驻留在 FCB 自由队列 222 中的 FCB 的 FFCB 500 的字段，例如 NFA、BCNT 的信息。由于不访问存储器 224，因此提高了存储器 224 的带宽效率。

在步骤 302 中，RCB 219 可把从 FCB 自由队列 222 出列的 FCB 排列到 GQ 218 中。图 6 图解说明了驻留在 GQ 218 中的 FCB 的 BFCB 600 的字段。BFCB 600 可包括两个条目，每个条目为 36 位。注意，BFCB 600 可包括包含任意位数的任意数目的条目，图 6 是说

明性的。

驻留在 GQ 218 中的 FCB 的 BFCB 600 可包括第一条目中的两个字段，例如下一个 FCB 地址 (NFA)、字节计数长度 (BCNT)，以及一个奇偶校验位 (PTY)。驻留于 GQ 218 中的 FCB 的 BFCB 600 的第二条目可包括三个字段，例如第一个 BCB 地址 (FBA)，和与该 FCB 相关联的第一个 BCB 有关的缓冲器的起始字节位置 (SBP)，和与该 FCB 相关联的第一个 BCB 有关的缓冲器的结束字节位置 (EBP)，以及奇偶校验位 (PTY)、FCB 类型位 (FTO) 和异常终止位 (ABOR)。NFA 字段可指向 GQ 218 中的下一个 FCB 地址，从而允许 GQ 218 中 FCB 的链接。BCNT 字段可包括与该 FCB 相关的一个或多个 BCB 的字节计数长度。FBA 可包括与该 FCB 相关联的第一个 BCB 的地址。SBP 可包括和与该 FCB 相关联的第一个 BCB 有关的缓冲器的起始字节位置。EBP 可包括和与该 FCB 相关联的第一个 BCB 有关的缓冲器的结束字节位置。如上所述，在美国专利申请序列号 09/791336 中描述了和保存在 FCB 的字段，例如 FBA、SBP、EBP 中的信息有关的其它细节。FTO 位可包括 FCB 的类型。ABOR 位可指示与该 FCB 相关的帧数据遇到异常情况，该 FCB 不应被认为有效。

图 7 图解说明了驻留在 GQ 218 中的 FCB 的 FFCB 700 的字段。FFCB 700 包括一个 36 位的条目。注意，FFCB 700 可包括任意位数的任意数目的条目，图 7 只说明性的。

驻留于 GQ 218 中的 FCB 的 FFCB 700 可包括两个字段，例如 NFA、帧字节计数 (BCNT)，以及一个奇偶校验位 (PTY)。NFA 字段可指向下一个 FCB 地址，从而允许 GQ 218 中 FCB 的链接。BCNT 字段可包括与该 FCB 相关的一个或多个 BCB 的字节计数长度。但是，不访问存储器 224 的 FCBU2 225 来取回保存在驻留于 GQ218 中的 FCB 的 FFCB 700 的字段中的信息，因为驻留于 GQ 218 中的 FCB 的 FFCB 700 可能与一帧数据无关。即，驻留于 GQ 218 中的 FCB 的 FFCB 700 的字段不重要，于是，不必访问与 FFCB 700

相关的存储器 224 的 FCBU2 225。

如同下面进一步说明的那样，由于 GQ 218 由数据流单元 110 处理，而不是由调度器 130 处理，因此信息可保存在 BFCB 600 中，而不是保存在 FFCB 700 中。于是，驻留于 GQ 218 中的 FCB 的 BFCB 600 中的字段可包括有效信息；而驻留于 GQ 218 中的 FCB 的 FFCB 700 中的字段可包含无效信息。

如上所述，RCB 219 使从 FCB 自由队列 222 出列的 FCB 排列到 GQ 218 中。RCB 219 可向存储器 210 的 FCBU1 209 发出两个写入请求，把 FCB 的 BFCB 600 的字段中的信息写入 GQ 218 中。第一写入请求是写入第一条目的字段，例如 NFA、BCNT 中的信息。第二写入请求是写入第二条目的字段，例如 FBA、SBP、EBP 中的信息。RCB 219 只可以把这两个写入请求发给存储器 210 的 FCBU1 209，而不发给存储器 224 的 FCBU2 225，因为存储器 210 与数据流单元 110 相关，而存储器 224 与调度器 130 相关。于是，RCB 219 不访问存储器 224 的 FCBU2 225 来取回驻留于 FCB 自由队列 222 中的 FCB 的 FFCB 500 的字段，例如 NFA、BCNT 的信息。由于不访问存储器 224，因此提高了存储器 224 的带宽效率。

在步骤 303 中，分配器逻辑单元 217 可使 GQ 218 中的 FCB 出列，从而如图 2 的说明中讨论的那样，嵌入式处理器 150 能够处理与该 FCB 相关的帧数据。分配器逻辑单元 217 可向存储器 210 的 FCBU1 209 发出两个读取请求，读取 GQ 218 中该 FCB 的 BFCB 600 的字段中的信息。第一读取请求是读取第一条目的字段，例如 NFA、BCNT 中的信息。第二读取请求是读取第二条目的字段，例如 FBA、SBP、EBP 中的信息。分配器逻辑单元 217 只可以把这两个读取请求发给存储器 210 的 FCBU1 209，而不发给存储器 224 的 FCBU2 225，因为存储器 210 与数据流单元 110 相关，而存储器 224 与调度器 130 相关。即，分配器逻辑单元 217 只向存储器 210 的 FCBU1 209 发出读取请求，而不向存储器 224 的 FCBU2 发出读取请求，因为 GQ 218 中该 FCB 的 FFCB 700 的字段中的信息不重要，即

是无效信息。由于不访问存储器 224，因此提高了存储器 224 的带宽效率。

在步骤 304 中，在调度器 130 中，可使该 FCB 排列到流队列 223 中。如上所示，嵌入式处理器逻辑单元 216 把与处理帧数据相关的 FCB 发给调度器 130。调度器 130 可被配置成把接收的 FCB 保存在流队列 223 中。图 8 图解说明了驻留于流队列 223 中的 FCB 的 BFCB 800 的字段。BFCB 可包括两个条目，每个条目为 36 位。注意 BFCB 800 可包括任意数目的字段和任意行数，所述字段和行可包括任意数目的二进制位，图 8 是说明性的。

驻留于流队列 223 中的 FCB 的 BFCB 800 可包括第一条目中的一个字段，例如下一帧控制缓冲器地址 (NFA)，和第二条目中的三个字段，例如第一 BCB 地址 (FBA)，和与该 FCB 相关联的第一 BCB 有关的缓冲器的起始字节位置 (SBP)，和与该 FCB 相关联的第一 BCB 有关的缓冲器的结束字节位置 (EBP)。NFA 字段可指向流队列 223 中的下一 FCB 地址，从而允许流队列 223 中 FCB 的链接。FBA 可包括与该 FCB 相关的第一 BCB 的地址。SBP 可包括和与该 FCB 相关联的第一 BCB 有关的缓冲器的起始字节位置。EBP 可包括和与该 FCB 相关联的第一 BCB 有关的缓冲器的结束字节位置。但是，不访问存储器 210 的 FCBUI 209 来取回要保存在驻留于流队列 223 中的 FCB 的 BFCB 800 的字段中的信息，因为驻留于流队列 223 中的 FCB 的 BFCB 800 可能与一帧数据无关。驻留于流队列 223 中的 FCB 的 BFCB 800 的第一条目中的字段可包含不重要的信息，第二条目中的字段可包含需要被记住的信息。于是，不必访问与 BFCB 800 相关的存储器 210 的 FCBUI 209。

即，驻留于流队列 223 中的该 FCB 的 BFCB 800 的字段不重要，于是，不必访问与 BFCB 800 相关的存储器 210 的 FCBUI 209。

图 9 图解说明了驻留于流队列 223 中的 FCB 的 FFCB 900 的字段。FFCB 900 可包括一个 36 位的条目。注意，FFCB 900 可包括任意数目的字段和任意行数，所述字段和行可包括任意数目的二进制

位，图 9 是说明性的。

驻留于流队列 223 中的 FCB 的 FFCB 900 可包括两个字段，例如 NFA 和帧字节计数 (BCNT)，以及一个奇偶校验位 (PTY)。NFA 字段可指向下一 FCB 地址，从而允许流队列 223 中 FCB 的链接。BCNT 字段可包括与该 FCB 相关的一个或多个 BCB 的字节计数长度。

信息保存在 FFCB 900 中，而不是保存在 BFCB 800 中，因为流队列 223 由调度器 130 处理，不是由数据流单元 110 处理，下面将进一步说明。

如上所述，在处理帧数据之后，嵌入式处理器逻辑单元 216 把与处理帧数据相关的 FCB 发给调度器 130。调度器 130 可被配置成在步骤 304 中，把接收的 FCB 排列到流队列 223 中。调度器 130 可向存储器 224 的 FCBU2 225 发出一个写入请求，写入流队列 223 中该 FCB 的 FFCB 900 的字段中的信息。写入请求是写入 FFCB 900 的字段，例如 NFA、BCNT 中的信息。调度器 130 只可以向存储器 224 的 FCBU2 225，而不向存储器 210 的 FCBU1 209 发出一个读取请求。因为存储器 224 与调度器 130 相关，而存储器 210 与数据流单元 110 相关。由于不访问存储器 210，因此提高了存储器 210 的带宽效率。

在步骤 305 中，调度器 130 可使流队列 223 中的 FCB 出列。调度器 130 可向存储器 224 的 FCBU2 225 发出一个读取请求，读取流队列 223 中该 FCB 的 FFCB 900 的字段中的信息。读取请求是读取 FFCB 900 的字段，例如 NFA、BCNT 中的信息。调度器 130 只向存储器 224 的 FCBU2，而不向存储器 210 的 FCBU1 209 发出读取请求，因为存储器 224 与调度器 130 相关，而存储器 210 与数据流单元 110 相关。即，调度器 130 可向存储器 224 的 FCBU2 225 和存储器 210 的 FCBU1 209 发出一个读取请求，因为流队列 223 中 FCB 的 BFCB 800 的字段中的信息不重要，即是无效信息。由于不访问存储器 210，因此提高了存储器 210 的带宽效率。

在步骤 306 中，发射器控制器 201 的 TBQ 列队逻辑单元 227 可使从流队列 223 出列的 FCB 排列到 TBQ 215 中。图 10 图解说明了驻留于 TBQ 215 中的 FCB 的 BFCB 1000 的字段。BFCB 1000 可包括两个条目，每个条目为 36 位。注意，BFCB 1000 可包括任意数目的字段和任意行数，所述字段和行可包括任意数目的二进制位，图 10 是说明性的。

驻留于 TBQ 215 中的 FCB 的 BFCB 1000 可包括第一条目中的两个字段，例如下一帧控制缓冲器地址 (NFA)，与该 FCB 相关的一个或多个 BCB 的字节计数 (BCNT) 长度，以及一个奇偶校验位，和第二条目中的四个字段，例如第一 BCB 地址 (FBA)，和与该 FCB 相关联的第一 BCB 有关的缓冲器的起始字节位置 (SBP)，和与该 FCB 相关联的第一 BCB 有关的缓冲器的结束字节位置 (EBP)，帧类型字段 (FT)，以及一个奇偶校验位。NFA 字段可指向 TBQ 215 中的下一 FCB 地址，从而允许 TBQ 215 中 FCB 的链接。BCNT 字段可包括与该 FCB 相关的一个或多个 BCB 的字节计数长度。FBA 可包括与该 FCB 相关的第一 BCB 的地址。SBP 可包含和与该 FCB 相关联的第一 BCB 有关的缓冲器的起始字节位置。EBP 可包括和与该 FCB 相关联的第一 BCB 有关的缓冲器的结束字节位置。FT 字段可包括该 FCB 的类型。

图 11 图解说明了驻留于 TBQ 215 中的 FCB 的 FFCB 1100 的字段。FFCB 可包括一个 36 位的条目。注意，FFCB 1100 可包括任意数目的字段和任意行数，所述字段和行可包括任意数目的二进制位，图 11 是说明性的。

驻留于 TBQ 215 中的 FCB 的 FFCB 1100 可包括两个字段，例如 NFA，与 FCB 相关的一个或多个 BCB 的字节计数 (BCNT) 长度，以及一个奇偶校验位 (PTY)。NFA 字段可指向下一 FCB 地址，从而允许 TBQ 215 中 FCB 的链接。BCNT 字段可包含与该 FCB 相关的一个或多个 BCB 的字节计数长度。但是，不访问存储器 224 的 FCBU2 225 来取回要保存在驻留于 TBQ 215 中的 FCB 的 FFCB

1100 的字段中的信息，因为驻留于 TBQ 215 中的该 FCB 的 FFCB 1100 与一帧数据无关。即，驻留于 TBQ 215 中的该 FCB 的 FFCB 1100 的字段不重要，于是不必访问与 FFCB 1100 相关的存储器 224 的 FCBU2 225。

信息可保存在 BFCB 1000 中，而不是保存在 FFCB 1100 中，因为 TBQ 215 由数据流单元 110 处理，而不是由调度器 130 处理，下面将进一步说明。于是，驻留于 TBQ 215 中的该 FCB 的 BFCB 1000 的字段可包括有效信息；而驻留于 TBQ 215 中的该 FCB 的 FFCB 1100 可不包含有效信息。

如上所述，TBQ 列队逻辑单元 227 把从调度器 130 接收的 FCB 排列到 TBQ 215 中。TBQ 列队逻辑单元 227 可向存储器 210 的 FCBU1 209 发出一个写入请求，写入 TBQ 215 中该 FCB 的 BFCB 1000 的字段，例如 NFA、BCNT 中的信息。当发射器控制器 201 从调度器 130 收到该 FCB 时，TBQ 列队逻辑单元 227 可从调度器 130 接收 FFCB 900 中 BCNT 字段中的信息的副本。随后，TBQ 列队逻辑单元 227 可被配置成把 FFCB 900 的 BCNT 字段中的信息写入 BFCB 1000 的 BCNT 字段中。TBQ 列队逻辑单元 227 不发出写入第二条目的字段中的信息的另一写入请求，因为当在流队列 223 中时，BFCB 800 的第二条目的字段中的信息不被更新。从而，TBQ 列队逻辑单元 227 只访问存储器 210 的 FCBU1 209 一次，而不是访问两次，从而提高了存储器 210 的带宽效率。此外，TBQ 列队逻辑单元 227 只向存储器 210 的 FCBU1 209，而不向存储器 224 的 FCBU2 225 发出一个写入请求，因为存储器 210 与数据流单元 110 相关，而存储器 224 与调度器 130 相关。于是，TBQ 列队逻辑单元 227 不访问存储器 224 的 FCBU2 225 来写入驻留于 TBQ 215 中的该 FCB 的 FFCB 1100 的字段，例如 NFA、BCNT 中的信息。由于不访问存储器 224，因此提高了存储器 224 的带宽效率。

在步骤 307 中，TBQ 调度器 228 可使 TBQ 215 中的 FCB 出列，从而如图 2 的说明中讨论的那样，TBQ 调度器 228 可读取与该

FCB 相关的帧数据。TBQ 调度器 228 可向存储器 210 的 FCBU1 209 发出两个读取请求，读取 TBQ 215 中该 FCB 的 BFCB 1000 的字段中的信息。第一读取请求是读取第一条目的字段，例如 NFA、BCNT 中的信息。第二读取请求是读取第二条目的字段，例如 FBA、FT、SBP、EBP 中的信息。TBQ 调度器 228 只可以向存储器 210 的 FCBU1 209，而不向存储器 224 的 FCBU2 225 发出这两个读取请求，因为存储器 210 与数据流单元 110 相关，而存储器 224 与调度器 130 相关。于是，TBQ 调度器 228 不访问存储器 224 的 FCBU2 225 来取回用于驻留在 TBQ 215 中的该 FCB 的 FFCB 1100 的字段，例如 NFA、BCNT 的信息。由于不访问存储器 224，因此提高了存储器 224 的带宽效率。

在步骤 308 中，一旦与该 FCB 相关的处理帧数据通过交换机/端口接口单元 211 被传送给分组交换网络中的交换机（未示出）或者用作到分组交换网络接口的端口（未示出），那么该 FCB 可排列到 FCB 判优器 206 的 FCB 自由队列 222 中。FCB 判优器 206 可被配置成从发射器控制器的 PCB 224 接收与传送的处理帧数据相关的 FCB，这里 FCB 可由 PCB 224 排列在 FCB 自由队列 222 中。

如上所述，图 4 图解说明了驻留在 FCB 自由队列 222 中的 FCB 的 BFCB 400 的字段。驻留于 FCB 自由队列 222 中的该 FCB 的 BFCB 400 可包括两个字段，例如 NFA（下一 FCB 地址）、ECC（纠错码）。NFA 字段指向下一 FCB 地址，从而允许 FCB 自由队列 222 中 FCB 的链接。ECC 字段可包含纠错码用代码，如美国专利申请序列号 09/792533 中所述。

如上所述，图 5 图解说明了驻留在 FCB 自由队列 222 中的 FCB 的 FFCB 500 的字段。FFCB 可包含一个 36 位的条目。驻留在 FCB 自由队列 222 中的该 FCB 的 FFCB 500 可包括两个字段，例如 NFA，与该 FCB 相关的一个或多个 BCB 的字节计数（BCNT）长度，以及一个奇偶校验位（PTY）。NFA 字段指向下一 FCB 地址，从而允许 FCB 自由队列 222 中 FCB 的链接。BCNT 字段可包含与该

FCB 相关的一个或多个 BCB 的字节计数长度。

信息保存在 BFCB 400 中，而不是保存在 FFCB 500 中，因为 FCB 自由队列 222 由数据流单元 110 处理，而不是由调度器 130 处理，下面将进一步说明。于是，驻留在 FCB 自由队列 222 中的该 FCB 的 BFCB 400 中的字段可包含有效信息；而驻留在 FCB 自由队列 222 中的该 FCB 的 FFCB 500 中的字段可以包含无效信息。

如上所述，FCB 判优器 206 可被配置成从发射器控制器的 PCB 224 接收与传送的处理帧数据相关的 FCB，这里该 FCB 可由 PCB 224 排列到 FCB 自由队列 222 中。PCB 224 可向存储器 210 的 FCBU1 209 发出一个写入请求，写入用于 FCB 自由队列 222 中该 FCB 的 BFCB 400 中的字段 NFA 和 ECC 的信息。PCB 224 只可以向存储器 210 的 FCBU1 209，而不是向存储器 224 的 FCBU2 225 发出写入请求，因为存储器 210 与数据流单元 110 相关，而存储器 224 与调度器 130 相关。于是，PCB 224 不访问存储器 224 的 FCBU2 225 来取回用于驻留在 FCB 自由队列 222 中的该 FCB 的 FFCB 500 的字段，例如 NFA、BCNT 的信息。由于不访问存储器 224，因此提高了存储器 224 的带宽效率。

注意方法 300 描述了 FCB 的“生命周期”。还要注意方法 300 可描述网络处理器 100 中其它 FCB 的“生命周期”。另外要指出的是一个或多个不同的 FCB 可临时同时驻留在每个队列中，例如 GQ 218、流队列 223、TBQ 215、FCB 自由队列中。

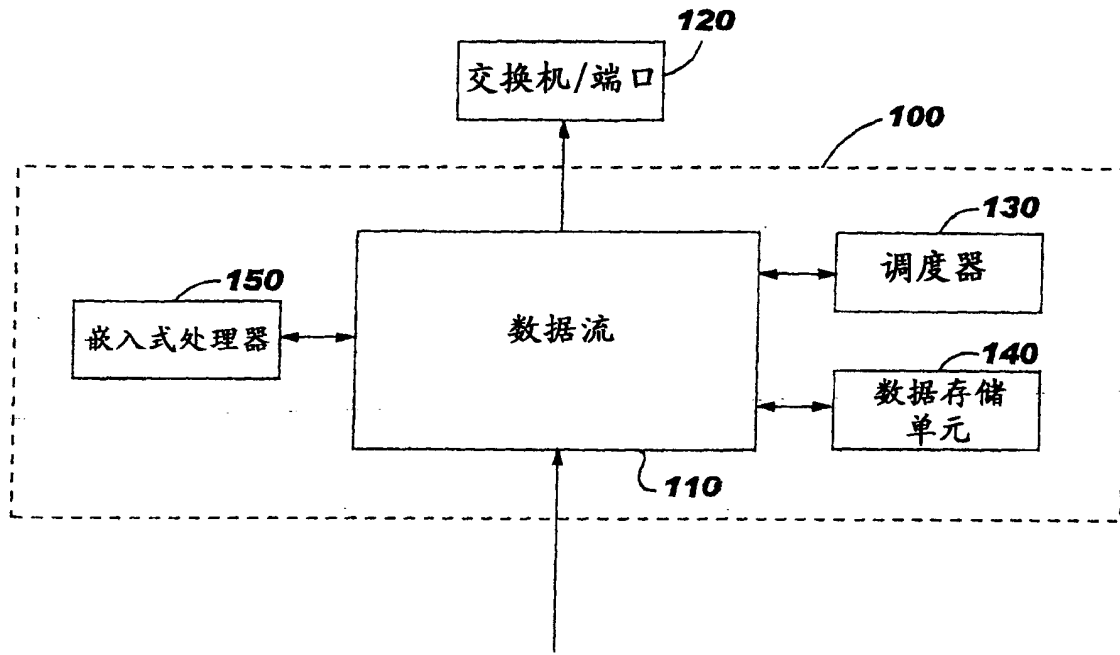


图1

图2

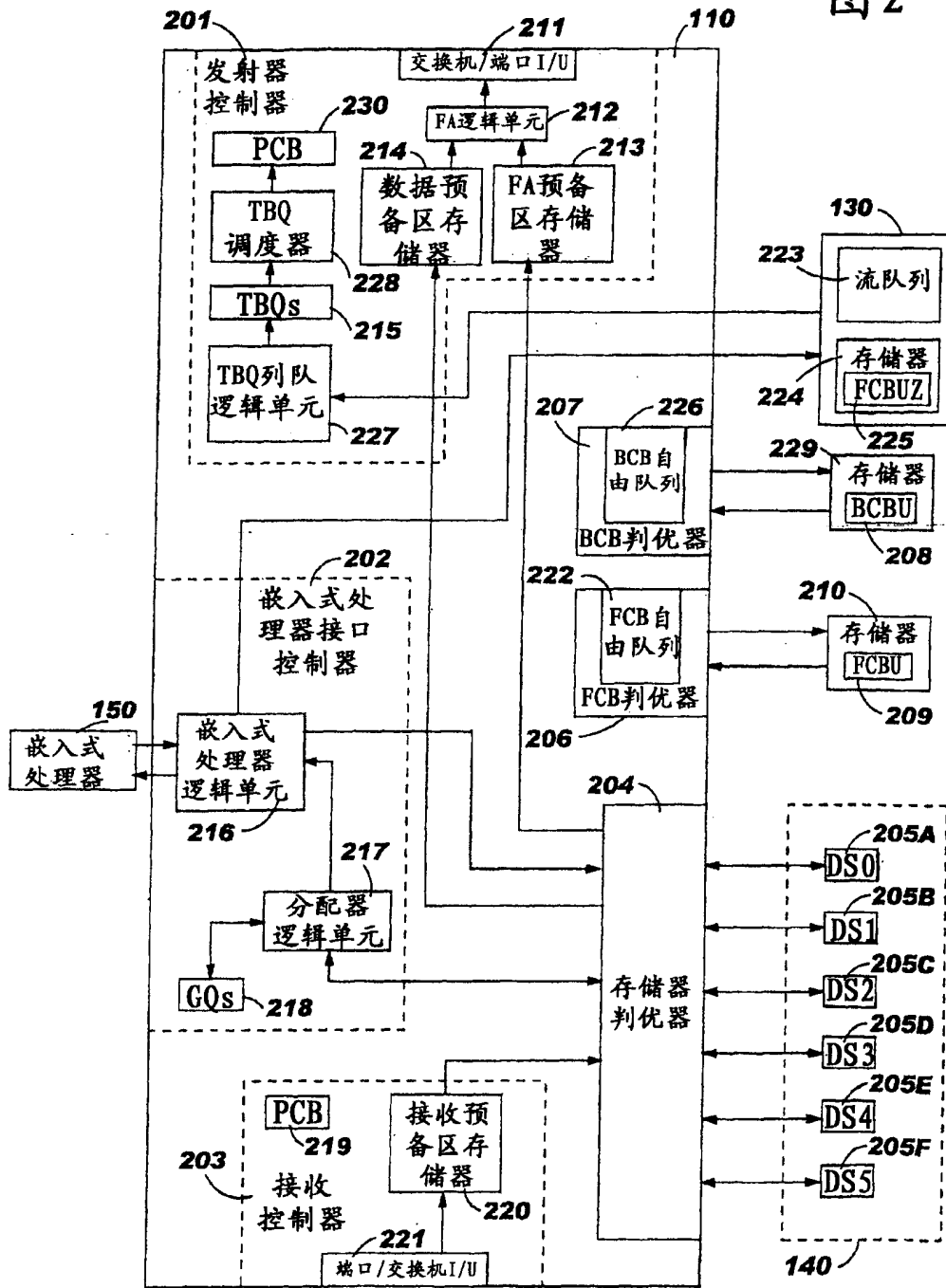
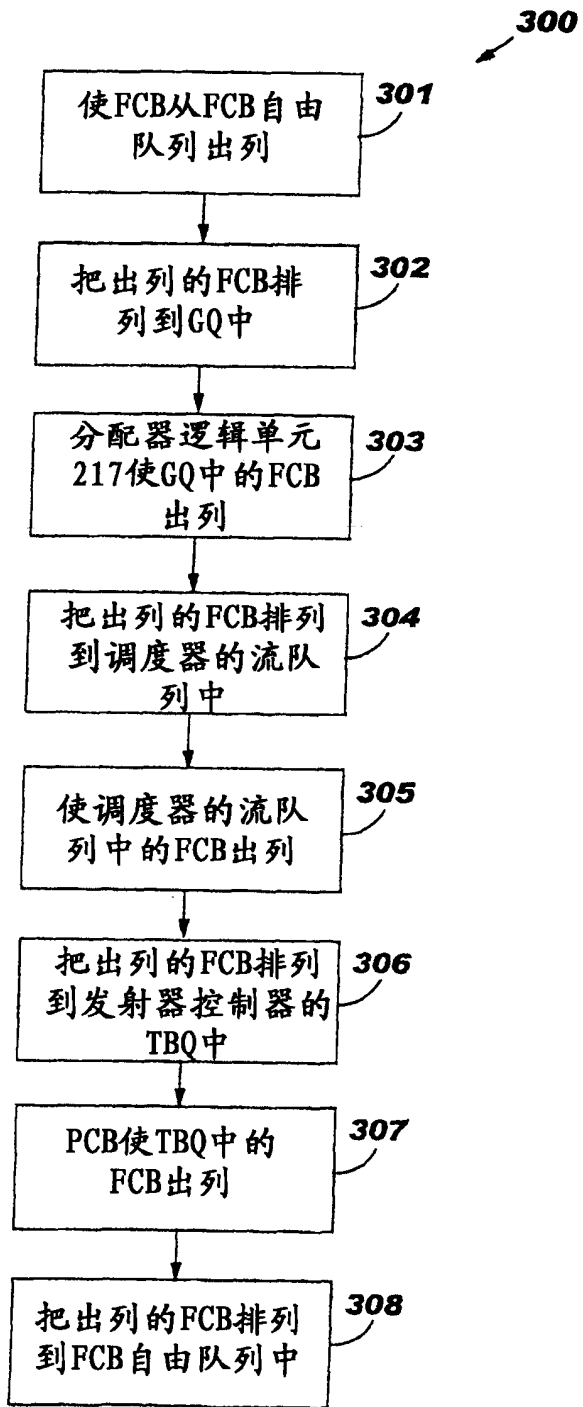
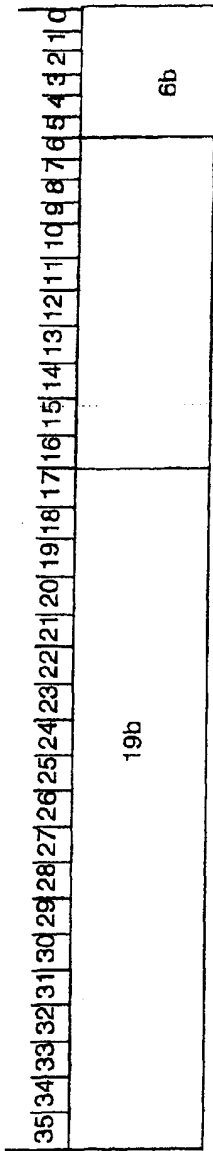


图 3



400

图 4



500

图 5

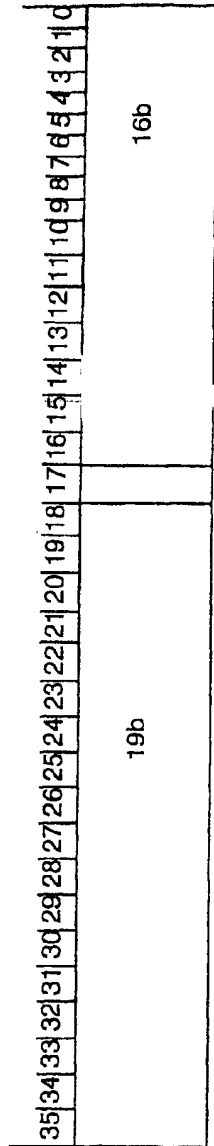


图6

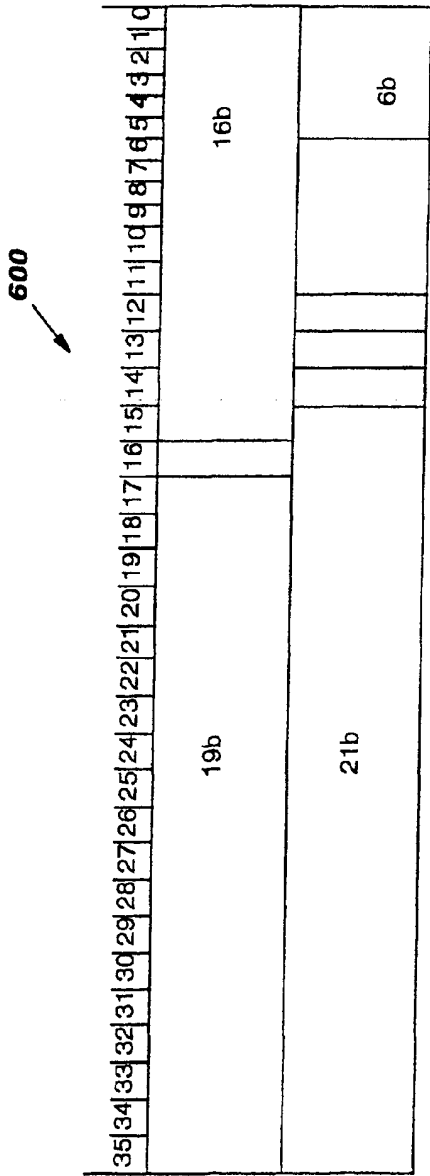


图7

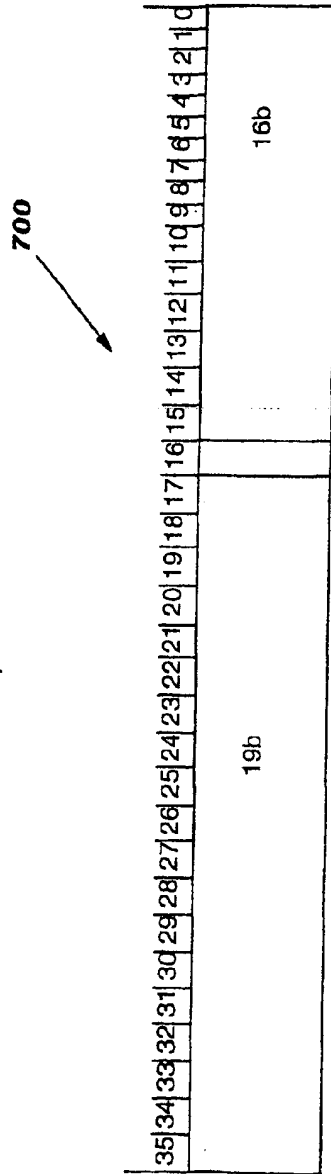


图8

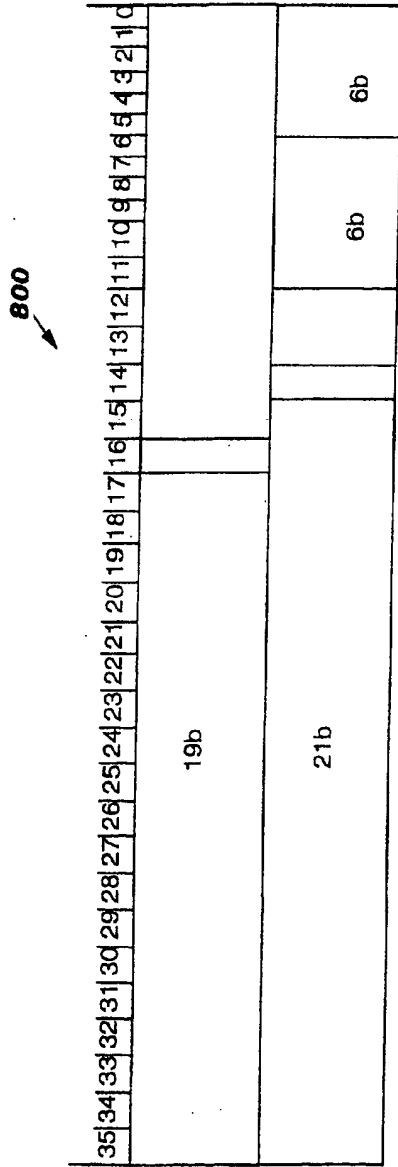


图9

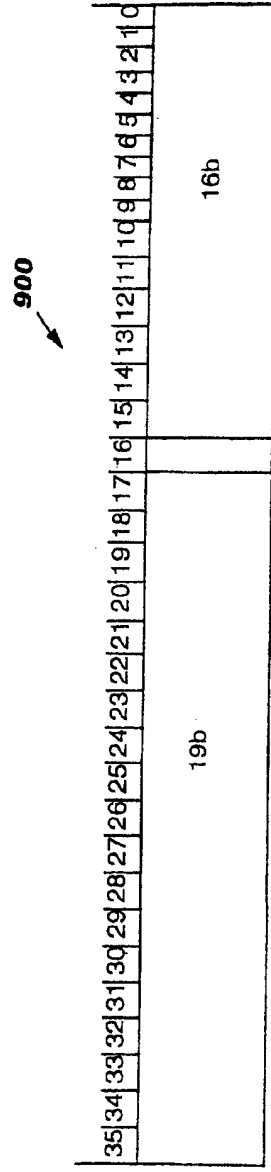


图10

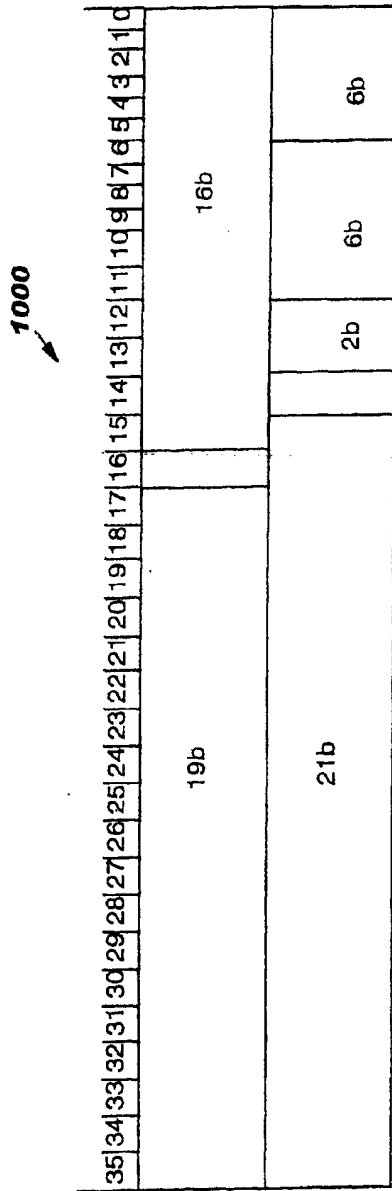


图11

