

公告本

295701

申請日期	85.5.21
案 號	85105977
類 別	Int. Cl ⁶ 1401L 7/322

A4
C4

295701

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有高輸出之高頻靜電感應電晶體
	英 文	HIGH FREQUENCY STATIC INDUCTION TRANSISTOR HAVING HIGH OUTPUT
二、發明 創作人	姓 名	(1)西 澤 潤 一 (2)本 谷 蘇 (3)伊 藤 彰
	國 籍	日 本
	住、居所	(1)日本國宮城縣仙台市青葉區米ヶ袋1丁目6番16號 (2)日本國宮城縣仙台市青葉區花壇4丁目17番408號 (3)日本國宮城縣仙台市若林區遠見塚2丁目25番13號
三、申請人	姓 名 (名稱)	財團法人半導體研究振興會 (財團法人半導體研究振興會)
	國 籍	日 本
	住、居所 (事務所)	日本國宮城縣仙台市青葉區川内
	代 表 人 姓 名	緒 方 研 二

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

日 本 國 (地 區) 申請專利，申請日期：1995-5-22 案號：7-145178，☐有 ☒無主張優先權
1995-5-22 7-145179

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1')

[發明之背景]

1. 發明之領域

本發明有關於靜電感應電晶體 (SIT)，尤其有關於具有高輸出功率之高頻凹陷閘極型或側閘極型之靜電感應電晶體。

2. 相關技術之說明

下面將參照圖 20 用來說明相關技術之 SIT。圖 20(A) 顯示一種表面閘極型 SIT，包括有： n^+ 基體 101，作為吸極區域； n 外延層 102，作為通道區域，被設在基體 101 上； n^+ 源極區域 103 和閘極區域 104，形成在 n 外延層 102 之表面上。依照此種表面閘極構造時，可以減小閘極電阻藉以改良高頻特性。目前所提供之表面閘極型 SIT 可以在高達大約 1 GHz 之頻率進行動作。因為所提供之 p^+ 閘極區域 104 具有 $2-3\mu m$ 以上之擴散深度，所以當 n 外延層 102 之厚度為 $20\mu m$ 時可以獲得 200-300V 之崩潰電壓，相似的，當 n 外延層 102 之厚度為 $6\mu m$ 時可以獲得 600V 之崩潰電壓。

圖 20(B) 和 (C) 所示之凹陷閘極型 SIT 和側閘極型 SIT 用來更進一步的改良高頻特性。在凹陷閘極型 SIT 中，溝槽 105 形成在 n 外延層 102，和 p^+ 閘極區域 106 設在溝槽 105 之底部。在側閘極型 SIT 中， p^+ 閘極區域 108 形成在由 n 外延層 102 製成之溝槽 107 之二個角落。當與表面閘極型 SIT 比較時，因為此等 SIT 具有較小之閘極—源極電容量 C_{gs} 和閘極—吸極電容量 C_{gd} ，所以功率增益可以增加到接近 UHF 頻帶之上限。例如，在凹陷型 SIT 中，假如 n 外延層 102 之厚度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

大約為 $6-10\mu\text{m}$ ，則在 $1-3\text{GHz}$ 之功率增益為 $7-10\text{dB}$ ，該裝置可以在數個 GHz 之最高振盪頻率 f_{max} (這時之增益變成 $1(0\text{ dB})$) 進行動作。

為著加強高頻特性，可以減小閘極—源極電容量 C_{gs} 和閘極—吸極電容量 C_{gd} 。為著減小 C_{gd} ，可以將 p^+ 閘極區域 106 之擴散深度 X_j 製成較淺。因為 C_{gd} 之增加與閘極區域和吸極區域之間之距離成反比，所以可以將 n 外延層 102 製成較厚藉以減小 C_{gd} 。然而，假如 n 外延層 102 被製成較厚時，由於電子從源極區域流到吸極區域所產生之過渡時間效應，會使增益減小。因此， C_{gd} 和 f_{max} 對 n 外延層 102 之厚度具有權衡之關係。

為著增加閘極—吸極崩潰電壓 BV_{gd} ，可以增加 X_j 。然而，閘極區域和吸極區域之間之距離減少時會使 C_{gd} 增加。亦即， BV_{gd} 和 C_{gd} 對 p^+ 閘極區域 106 之擴散厚度 X_j 具有權衡之關係。如上所述，高頻特性和崩潰電壓具有密切之關係。 BV_{gd} 是閘極和吸極區域之間之 pn 接合之反崩潰電壓，藉以決定可施放到吸極區域之最大電壓(崩潰電壓)。

利用這種方式，凹陷閘極型 SIT 之實際 BV_{gd} 低於由平坦接合部位所決定之理論上之崩潰電壓。施加電壓到閘極和吸極區域之間之 pn 接合直至崩潰電壓，然後以紅外線顯微鏡觀測該 SIT 之表面。可以發現在 p^+ 閘極區域 106 之最外之周邊部位發生溫度之上升，因此，在最外之周邊部位所產生之球形或圓筒形接合部位之崩潰電壓會被降低，低於在閘極和吸極區域之間之平坦接合部位(在此部位獲得理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

論上之崩潰電壓)者。

因為SIT之輸出功率與吸極電壓和吸極電流之乘積成正比，所以最佳之設計是提供由閘極和吸極區域之間之厚度所決定之理論上之崩潰電壓而不降低高頻特性，藉以實現高頻和大輸出功率之裝置。然而，實際之 BV_{gd} 低於理論上之崩潰電壓，因此，需要將 BV_{gd} 增加到理論上之潰崩電壓，用來提供高頻和大輸出功率之凹陷閘極型SIT。對於側閘極型SIT亦具有相同之情況。

下面將參照圖21(A)用來概略的說明SIT之閘極和源極電極之結構。 p^+ 閘極和 n^+ 源極區域被配置在虛線所包圍之區域(元件部位120)內形成互相平行，和閘極電極108和源極電極109分別被設在 p^+ 閘極和 n^+ 源極區域上。鋁(A1)閘極接觸襯墊110和鋁(A1)表面接觸襯墊111形成在元件部位120外之區域。右上斜線表示閘極接觸襯墊110和每一個閘極電極108之間之連接部位112，左向斜線表示源極接觸襯墊111和每一個源極電極109之間之連接部位113。如圖21(B)所示，閘極接觸襯墊110設在形成於 n 外延層102上之氧化膜114之上。同樣的，圖中未顯示者，源極接觸襯墊111亦形成在氧化膜114之上。在此種襯墊結構中，閘極和吸極區域之間之崩潰電壓大約為200-300V，其決定是依照下層之每一個A1襯墊之氧化膜之厚度和品質。

另外，SIT由一個之元件部位所構成。因為吸極電流與總源極長度成正比例，所以可以經由增加元件部位120之面積用來增加總源極長度藉以增加吸極電流。然而，源極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

和閘極區域之電阻和電感會隨著元件部位120之面積之增加而增加；尤其是當SIT使用在微波頻帶時，該裝置之操作狀況會受到電阻和電感之大幅影響。因此，元件部位之面積之增加具有一定之限度。

[發明之概要]

因此，本發明之一目的是提供一種凹陷閘極或側閘極型SIT，具有高崩潰電壓之閘極—吸極接合和改良之高頻特性。

本發明之另一目的是提供一種高頻凹陷閘極或側閘極型SIT，具有大輸出功率特性。

本發明之另一目的是提供一種凹陷閘極或側閘極型SIT，具有較小之閘極—吸極和閘極—源極寄生電容。

本發明之另一目的是提供一種凹陷閘極或側閘極型SIT，能夠容許大電流之流動和具有較小之電感。

利用下列之結構可以達成上述之目的和優點。

依照本發明之一態樣是提供一種凹陷閘極或側閘極型之靜電感應電晶體，包含有：吸極區域，具有第一導電型；通道區域，設在該吸極區域上，具有第一導電型；多個溝槽，各形成在該通道區域；多個源極區域，具有該第一導電型，各被設在該通道區域，形成被配置在該多個溝槽之間；多個閘極區域，具有第二導電型，各被設在該溝槽之底部，其中該多個閘極區域和該多個源極區域被配置成互相平行；和保護環區域，具有該第二導電型，設在該通道區域，形成包圍該閘極區域。在此種結構中，該保護環區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

域被配置成使最外之閘極區域分別依縱向重疊在該保護環之一側，和該閘極區域之每一個以其二個邊緣耦合到該保護環區域。

依照本發明之另一態樣，閘極和源極電極襯墊只設在該保護環區域形成互相對立。

[附圖之簡要說明]

本發明之新穎性和特徵見于本申請案所附之申請專利範圍。然而，經由參考下列之說明和附圖當可瞭解本發明之其他目的和優點，在附圖中：

圖1(A)是平面圖，用來概略的顯示本發明之SIT之第一具體例；

圖1(B)是圖1(A)之以圓圈包圍之部位之部份放大圖；

圖2是沿著圖1(B)之線II-II'剖開之剖面圖；

圖3用來顯示寬度 L_1 和閘極區域與吸極區域間之崩潰電壓之間之關係；

圖4用來顯示SIT之功率增益之頻率特性；

圖5是剖面圖，用來概略的顯示本發明之SIT之第二具體例；

圖6是剖面圖，用來概略的顯示本發明之SIT之第三具體例；

圖7至21是剖面圖，用來顯示製造本發明之SIT之步驟；

圖13是平面圖，用來概略的顯示本發明之SIT之第四具體例；

圖14是沿著圖13之線IVX-IVX'剖開之剖面圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (6)

圖 15(A)是沿著圖 13之線 XVA-XVA'剖開之剖面圖；

圖 15(B)是沿著圖 13之線 XVB-XVB'剖開之剖面圖；

圖 16(A)是當襯墊延伸到通道區域之表面時之部份剖面圖；

圖 16(B)是當襯墊延伸到浮動區域時之部份剖面圖；

圖 17是具有 n^+ 區域作為切片區域之 SIT之剖面圖；

圖 18是平面圖，用來概略的顯示本發明之具有二個元件區域之 SIT之第五具體例；

圖 19是平面圖，用來概略的顯示具有四個元件區域之 SIT；

圖 20(A)至 (C)是剖面圖，用來概略的顯示習知之 SIT；

圖 21(A)是平面圖，用來概略的顯示習知之 SIT；和

圖 21(B)是沿著圖 21(A)之線 XXI-XXI'剖開之剖面圖。

[較佳具體例之說明]

下面將參照附圖用來說明本發明之具體例。

首先說明本發明之第一具體例。

如圖 1(A)所示，凹陷閘極型 SIT包括有多個長條形之 p^+ 閘極區域 16(包含 16a和 16b)，多個長條形之 n^+ 源極區域 18，和帶狀之 p^+ 保護環區域 13被配置成包圍該 p^+ 閘極區域 16(被虛線包圍之部位)。該 p^+ 閘極區域 16和 n^+ 源極區域 18被配置成實質上垂直於 p^+ 保護環區域 13之長邊，和交替的被定位於平行於 p^+ 保護環區域 13之短邊。

如圖 1(B)所示，被配置在最外(最左)側之 p^+ 閘極區域 16a沿著縱向被連接到 p^+ 保護環區域 13，和被包夾在 n^+

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

源極區域 18 之間之每一個 p^+ 閘極區域 16b 在其一邊緣(或端)被連接到 p^+ 保護環區域 13。 p^+ 保護環區域 13 之角落被整圓藉以減小電場強度。另外，為著防止閘極—源極間之崩潰電壓 BV_{gs} 之降低，所以最好將每一個 n^+ 源極區域 18 設置成可以滿足 $L_2 \geq W_{gs}$ 。在附圖中， L_1 表示 p^+ 保護環區域 13 之寬度， L_2 表示 n^+ 源極區域 18 之邊緣和 p^+ 保護環區域 13 之間之距離，和 W_{gs} 表示 n^+ 源極區域 18 和 p^+ 閘極區域 16 之間之距離。

另外，下面將參照圖 2(沿著圖 1(B)之線 II-II' 剖開之剖面圖)用來更詳細的說明該凹陷閘極型 SIT。該凹陷閘極型 SIT 包括有： n^+ 吸極區域(n^+ 基體) 11； n 外延層 12，具有高電阻通道區域設在 n^+ 吸極區域 11；溝槽 14a 和 14b，形成在該 n 外延層 12；絕緣膜 15，形成在 n 外延層 12， p^+ 閘極區域 16a 和 16b，形成在溝槽 14a 和 14b 之底部； p^+ 保護環區域 13，形成在 n 外延層 12 藉以沿著 p^+ 閘極區域 16a 之外周邊部位被連接； n^+ 源極區域 18，設在 n 外延層 12；閘極電極 19 和源極電極 20，分別被配置在 p^+ 閘極區域 16 和 n^+ 源極區域 18；和吸極電極 21，設在 n^+ 吸極區域 11 上。絕緣膜 15 可以使用 SiO_2 膜， SiN 膜，PSG 膜，或其組合之膜。

在圖 2 中， W_1 表示 n 外延層 12 之厚度， W_2 表示 p^+ 閘極區域 16 和 n^+ 吸極區域 11 之間之距離， W_3 表示 p^+ 保護環區域 13 和 n^+ 吸極區域 11 之間之距離； X_j 表示 p^+ 保護環區域 13 之擴散深度，和 R_j 表示 p^+ 保護環區域 13 之曲率半徑。 R_j 大約為 X_j 之 80%。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

例如，假設 W_1 為 $9\mu m$ ，溝槽14之深度大約為 $1-1.5\mu m$ ，和 p^+ 閘極區域16之擴散深度大約為 $0.5\mu m$ 。未具有 p^+ 保護環區域之傳統式之裝置，其 BV_{gd} 大約為 $50-60V$ 。相對的，本發明之裝置設有 p^+ 保護環區域13具有 $8-13\mu m$ 之 L_1 和大約 $2\mu m$ 之 X_j ，其 BV_{gd} 變成 $120-140V$ ；該值大約為傳統式裝置者之2倍以上。

在上述之結構中，考慮到 n^+ 吸極區域11和 n 外延層12之間之過渡區域，所以 W_2 大約為 $7\mu m$ 。在此種情況中，理論上之崩潰電壓由 p^+ 閘極區域之平坦接合部位來決定，其值大約為 $156V$ 。依照本發明之具有 p^+ 保護環區域16之結構所提供之值可以接近理論值之90%。

下面將說明 p^+ 保護環區域13之寬度 L_1 。在設有 p^+ 保護環區域13之SIT中，於 p^+ 保護環區域13和 n^+ 吸極區域11之間產生有寄生電容量 C_{gd}' 。除非 C_{gd}' 遠低於形成在 p^+ 閘極區域16和 n^+ 吸極區域11之間之 C_{gd} ，否則高頻特性會被降低，因而減小功率增益。因此，需要減小 C_{gd}' 。儘可能的減小 L_1 。然而，假如 L_1 太短，則崩潰電壓 BV_{gd} 會被降低，因為其大小之決定是根據設在 p^+ 保護環區域13之周邊之圓筒接合部位。因此，需要利用 L_1 和 BV_{gd} 之間之關係用來決定 p^+ 保護環區域13之寬度 L_1 。

保護環區域13之不純物濃度可以等於或小於 p^+ 閘極區域16a，16b者。假如保護環區域13之不純物濃度小於 p^+ 閘極區域16a，16b者，則空乏層亦延伸到 p^+ 保護環區域13藉以更進一步的增加崩潰電壓和減小寄生電容量。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

雖然在圖 1(A)中未顯示有閘極和源極接觸襯墊，但是實際上在具有 p^+ 保護環區域 13 之 n 外延層 12 上設有連接到多個長條形 p^+ 閘極區域 16 之一邊緣之閘極接觸襯墊和連接到多個長條形 n^+ 源極區域 18 之一邊緣之源極接觸襯墊，經由絕緣膜使其互相面對。

圖 3 顯示在 SIT 中之 p' 保護環寬度 L_1 和閘極—吸極崩潰電壓 BV_{gd} 之間之關係，該 SIT 具有 W_1 為 $9\mu m$ ，溝槽 14 之深度被設定為 $1\sim 1.5\mu m$ ， p^+ 閘極區域 16 之擴散深度被設定為大約 $0.5\mu m$ ，和 X_j 被設定為 $2\mu m$ 。依照圖 3，當 L_1 為 $8\mu m$ 以上時， BV_{gd} 變成飽和。當 L_1 為 $8\mu m$ 以上，空乏層延伸到吸極區域 11 和從 p^+ 閘極區域 16 超出距離 W_2 (大約 $7\sim 7.5\mu m$) 到達 n^+ 吸極區域 11，用來減小在表面之電場強度。亦即，崩潰電壓 BV_{gd} 是由裝置內 p^+ 閘極區域 16 之平坦接合部位決定。因此，為著能夠同時達成獲得指定之崩潰電壓和減小寄生電容量 $C_{gd'}$ ，所以最好是使 p^+ 保護環 13 之寬度 L_1 大致等於或稍微大於 W_2 。

圖 4 顯示經由量度凹陷閘極型 SIT 之 S 參數所計算出之功率增益和頻率之關係，其中以 100 個長條形源極區域並聯連接 (每一個源極長度為 $120nm$ ，總源極長度為 $1.2cm$)。使本發明之具有 L_1 為 $8\mu m$ 之 SIT 和傳統式之未具有保護環結構之 SIT 進行比較。其基本條件如下：因為設有 p^+ 保護環之本發明之 SIT 具有大 BV_{gd} ，所以 V_{ds} 被設定為傳統式 SIT 之雙倍之 $50V$ 。)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

基本條件	$V_{ds}(V)$	$I_d(mA)$	$V_{gs}(V)$
本發明之SIT	50	50	-3.17
傳統式SIT	25	50	-4.45

如圖4所示，對於最大穩定增益，本發明之SIT由於有 C_{gd}' 所以被減小大約0.5dB。然而，對於最大可得增益，本發明之SIT所具有之功率增益大致等於傳統式SIT者，而且在某些頻率大於傳統式之SIT，這是因為除了 C_{gd} 和 C_{gd}' 外，還有電感之效應。本發明之SIT之崩潰電壓可以增加到傳統式SIT之2倍或3倍而不會使頻率特性劣化。亦即，對SIT之DC輸入可以成為雙倍，因此當與具有相同源極長度之SIT比較時，可以使本發明之輸出功率加倍。

下面將參照圖5用來說明本發明之第二具體例。其與參照圖2所說明者相同之部份以相同之參考號碼表示。具有不純物濃度與 p^+ 保護環區域13相似之 p^+ 浮動區域22，形成在 n 外延層12成為接近 p^+ 保護環區域13。其形成用來包圍 p^+ 保護環區域13。該 p^+ 浮動區域22亦可以設置成雙倍或三倍用以獲得較高之崩潰電壓。

圖6顯示本發明之第三具體例，其中 n^+ 區域23被配置成包圍 p^+ 保護環區域13。用來防止空乏層從 p^+ 保護環區域13過渡的延伸和沿著A-A'線被使用作切片區域。利用該 n^+ 區域23，在晶片之切片時可以防止不希望有之洩漏電流之產生和增加。最好是使 n^+ 區域23之擴散深度至少大於 p^+ 保護環區域13和可以到達 n^+ 吸極區域11。 p^+ 浮動區域22可以被配置成包圍 p^+ 保護環區域13，在其周圍設置 n^+ 區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

域 23。

下面將參照圖 7 至 12 (用來顯示沿著圖 1(B)之線 II-II' 剖開之剖面圖) 用來說明本發明之製造 SIT 之方法。

首先準備 n^+ 基體 11 用來形成具有 (100) 或 (111) 平面之吸極區域，具有大約 1×10^{18} 至 $1 \times 10^{19} \text{ cm}^{-3}$ 之不純物濃度，以下稱為 n^+ 吸極區域。以使用有 SiCl_4 和 H_2 之氣相成長法，在 n^+ 吸極區域 11 上成長高電阻 n 型外延層 12。 n 外延層 12 之不純物濃度為 $1 \times 10^{13} \text{ cm}^{-3}$ 以下，或是 1×10^{13} 至 $1 \times 10^{15} \text{ cm}^{-3}$ 。為著獲得夾止特性，所以促成鄰近基體 11 之 n 外延層 12 之下部之不純物濃度成為 $1 \times 10^{13} \text{ cm}^{-3}$ ，和使離開 n 外延層 12 之表面之厚度 $2 \sim 3 \mu\text{m}$ 之上部之不純物濃度成為 5×10^{14} 至 $1 \times 10^{15} \text{ cm}^{-3}$ 。依照設計，該 n 外延層 12 可以具有均勻或不均勻之不純物濃度分布。因此，使用離子植入法等，以 SiO_2 等 (圖中未顯示) 作為罩幕，在 n 外延層 12 形成具有 1×10^{17} 到 $1 \times 10^{20} \text{ cm}^{-3}$ 之表面不純物濃度之 p^+ 保護環區域 13 (圖 7)。

其次，使用 RIE (反應離子蝕刻) 法，利用 SiO_2 膜等 (圖中未顯示) 作為罩幕，在 n 外延層 12 形成多個長條形之溝槽 14a 和 14b 用以變成凹陷閘極。最外之溝槽 14a 形成依縱向部份的重疊在 p^+ 保護環區域 13，和溝槽 14b 形成以其二個邊緣 (圖中未顯示) 重疊在 p^+ 保護環區域 13。溝槽 14a 和 14b 分別為 $2 \mu\text{m}$ 和 $1 \mu\text{m}$ 寬，和 $1.5 \mu\text{m}$ 深。溝槽 14a 和 14b 互相隔開 $3 \sim 7 \mu\text{m}$ 。該 RIE 使用 SF_2 和 O_2 氣體之混合電漿 (圖 8)。

然後，在水蒸氣中使 n 外延層 12 氧化，用來形成具有大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

約 $0.5 \sim 1 \mu m$ 厚之厚氧化膜之絕緣膜 15。以使用 CF_4 或 CF_4 與 CHF_3 之混合氣體之 REE，對絕緣膜 15 進行選擇性之蝕刻用來使 n 外延層 12 從溝槽 14a 和 14b 之底部露出。然後，使露出之溝槽 14a 和 14b 之底部接受硼擴散或離子植入，用來產生具有 1×10^{18} 至 $1 \times 10^{20} cm^{-3}$ 之不純物濃度之 p^+ 閘極區域 16a 和 16b。在此步驟中，使 p^+ 閘極區域 16a 連接到 p^+ 保護環區域 13。同樣的， p^+ 閘極區域 16b 以其二個邊緣（圖中未顯示）連接到 p^+ 保護環區域 13。 p^+ 閘極區域 16 之擴散深度大約為 $0.5 \mu m$ （圖 9）。

其次，使抗蝕劑材料等之單幕圖型 17 形成在基體表面上，和利用 RIE 法等選擇性的移去絕緣膜 15 用來使 n 外延層 12 露出（圖 10）。將磷或砷之離子植入該露出之 n 外延層 12 用來在其中產生 n^+ 源極區域 18。然後，移去該單幕圖型 17。假如使用 SiO_2 等作為單幕圖型 17，則亦可以利用含有 n 型不純物（圖 11）之聚矽層之擴散用以形成 n^+ 源極區域 18。然後，在 p^+ 閘極區域 16， n^+ 源極區域 18，和 n^+ 吸極區域 11 分別形成閘極電極 19，源極電極 20，和吸極電極 21（圖 12）。

下面將參照圖 13-17 用來說明本發明之第四具體例。

如圖 13 所示，凹陷閘極型 SIT 包含有：多個長條型 p^+ 閘極區域（包含 37a 和 37b）；多個長條形之 n^+ 源極區域 39；一個長方形之 p^+ 保護環區域 33，被配置成包圍 p^+ 閘極區域 37（圖中之虛線包圍之部份）； p^+ 浮動區域 34，位於 p^+ 保護環區域 33 之外部周邊；閘極電極接線層 40，設在 p^+

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(13)

閘極區域 37 和在 p^+ 保護環區域上 33 上互相連接；源極電極接線層 41，設在 n^+ 源極區域 39 上和 在 p^+ 保護環區域 33 上互相連接；閘極接觸襯墊(結合襯墊)43，連接到閘極電極接線層 40；和源極接觸襯墊(結合襯墊)44，連接到源極電極接線層 41。在此種情況中，閘極和源極接觸襯墊 43 和 44 被配置在 p^+ 環區域 33 上。

由圖 13 可以瞭解，左上斜線表示閘極電極接線層 40，右上斜線表示源極電極接線層 41。例如，以摻雜有矽之聚矽作為閘極和源極電極接線層 40 和 41，以如同 Al 或 Al-Si 之金屬作為閘極和源極接觸襯墊 43 和 44。

p^+ 閘極區域 37 和 n^+ 源極區域 39 被交替的配置成互相平行。被配置在最外側之 p^+ 閘極區域 37a 依縱向連接到 p^+ 保護環區域 33，和被包夾在 n^+ 源極區域 39 之間之每一個 p^+ 閘極區域 37b 以其二個邊緣連接到 p^+ 保護環區域 33。 p^+ 保護環區域 33 之角落被整圓用來減小電場強度。 p^+ 閘極區域 37 和 n^+ 源極區域 39 被配置成垂直於 p^+ 保護環區域 33 之對立之長邊，和對閘極和源極接觸襯墊 43 和 44 之中心線形成對稱。閘極和源極電極接線層 40 和 41 具有指狀組合型電極結構。

下面將參照圖 14(沿著圖 13 之線 IVX-IVX' 剖開之剖面圖)用來說明凹陷閘極型 SIT 之剖面。該凹陷閘極型 SIT 包括有： n^+ 吸極區域(n^+ 基體)31； n 外延層 32，作為設在 n^+ 吸極區域 31 上之高電阻通道區域；溝槽 35a 和 35b，形成在該 n 外延層 32；絕緣膜 36，形成在該 n 外延層 32 上； p^+ 閘極區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(14)

域 37a 和 37b，從溝槽 35a 和 35b 之底部形成在該 n 外延層 32 上；p⁺ 保護環區域 33，形成在該 n 外延層 32，促成依縱向連接到 p⁺ 閘極區域 37 之外部周邊部位；p⁺ 浮動區域 34，形成在 n 外延層 32；n⁺ 源極區域 39，設在該 n 外延層 32 上；閘極和源極電極接線層 40 和 41，分別被配置在 p⁺ 閘極區域 37 和 n⁺ 源極區域 39；和吸極電極 42，設在 n⁺ 吸極區域 31 上。絕緣膜 36 可以使用 SiO₂ 膜，SiN 膜，PSG 膜，聚酰亞胺膜，或該等膜之組合膜。

如圖 15(A) 所示，p⁺ 閘極區域 37b 和 p⁺ 保護環區域 33 互相連接。每一個閘極電極接線層 40 被設在 p⁺ 閘極區域 37b 上和經由絕緣膜 36 延伸到 p⁺ 保護環區域 33，和閘極接觸襯墊 43 被設在 p⁺ 保護環區域 33 上之閘極電極接線層 40 之上。如圖 15(B) 所示，每一個源極電極接線層 41 被設在 n⁺ 源極區域 39 上和經由絕緣膜 36 延伸到 p⁺ 保護環區域 33，和源極接觸襯墊 44 形成在 p⁺ 保護環區域 33 上之源極電極接線層 41 之上。

如上所述，閘極和源極接觸襯墊 43 和 44 只被配置在 p⁺ 保護環區域 33 上。如圖 16(A) 所示，假如閘極電極襯墊 43' 延伸到 p⁺ 保護環區域 33 和 p⁺ 浮動區域 34 之間之部位，則崩潰電壓在圓形部份會被降低。如圖 16(B) 所示，假如襯墊 43" 達到或超過 p⁺ 浮動區域 34，則閘極—吸極崩潰電壓 BV_{gd} 被減小和閘極—吸極電容量被增加，因此在高頻區域之功率增益被減小。另外，產生包含有 p⁺ 保護環區域 33，n 外延層 32 和 p⁺ 浮動區域 34 之寄生 MOS 電晶體。因此，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(15)

假如閘極一吸極崩潰電壓 BV_{gd} 大約為600V時，就被減小為大約300V。所以，必需只在 p^+ 保護環區域33設置閘極和源極接觸襯墊43和44。

另外，因為 p^+ 閘極區域37a之最外之周邊部位沿著縱向連接到 p^+ 保護環區域33，和利用 p^+ 閘極區域37之平坦接合部位用來決定閘極一吸極崩潰電壓 BV_{gd} ，所以 BV_{gd} 可以被加強成近似理論上之崩潰電壓。然而，如上所述，假如閘極和源極接觸襯墊43和44位於 p^+ 保護環區域33之外，則崩潰電壓會被降低。因此，為著使SIT之崩潰電壓變高，所以設有 p^+ 保護環區域33和只在 p^+ 保護環區域33上配置閘極和源極接觸襯墊43和44。

例如，當 n 外延層32為 $35-55\mu m$ 厚，溝槽35為 $1-1.5\mu m$ 深，和互相隔開 $7-10\mu m$ 時，該 p^+ 保護環區域33在單幕位準為 $30-10\mu m$ 寬，和 p^+ 保護環區域33之擴散深度大約為 $5\mu m$ ，所獲得之凹陷閘極型SIT具有大約300-600V之閘極一吸極崩潰電壓 BV_{gd} ，和在10MHZ具有20-25dB，在100MHZ具有10-15dB之功率增益。

另外，如圖17所示，在 p^+ 浮動區域34之外部周邊設有 n^+ 區域45。當沿著線B-B'切割晶片時可以防止洩漏電流之產生和增加。最好是使 n^+ 區域之擴散深度至少比 p^+ 保護環區域33深。

下面將說明本發明之第五具體例。

圖18顯示有SIT其中包括有2個並聯連接之單元50a和50b各具有閘極和源極區域等，其方式與圖13者相同。圖18之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(16)

單元 50a 和 50b 之細節說明與圖 13 者相似，故被省略。 p^+ 保護環區域 33 被設置成連續之方式用來界定長方形單元 50a 和 50b，和連接閘極區域之兩端之 p^+ 保護環區域 331 形成在單元 50a 和 50b 之間。

單元 50a 之源極接觸襯墊 44a 和單元 50b 之源極電極襯墊 44b 被設在 p^+ 保護環區域之二個外長邊之中心。閘極接觸襯墊 43 被配置在共同 p^+ 保護環區域 331，該閘極接觸襯墊 43 被連接到單元 50a 和 50b 之閘極區域，用來對準源極接觸襯墊 44a 和 44b。如圖 13 所示，在每一個單元， p^+ 閘極區域和 n^+ 源極區域垂直於 p^+ 保護環區域 33 之對立長邊，和對閘極和源極接觸襯墊 43、44a，和 44b 之中心線形成對稱。用以配置閘極和源極接觸襯墊 43、44a、44b 之 p^+ 保護環區域 33 之面積比其他部位者大。

圖 19 所示之 SIT 包括有並聯連接之 4 個單元 50a-50d。在此種情況中，如圖 18 所示，設有長方形 p^+ 保護環區域 33 用來界定該等單元 50a-50d。源極接觸襯墊 44 和閘極接觸襯墊 43 只在 p^+ 保護環區域 33 交替的配置。

因此經由在具有共同部位之 p^+ 保護環區域 33 上配置閘極和源極接觸襯墊 43 和 44，可以很容易的使一大數目之單元 50 形成並聯連接。當考慮到電容量和電阻值等之時，可以在每一個保護環區域配置二個以上之襯墊。在接觸襯墊下之 p^+ 保護環區域 33 可以具有所希望之組態。因為其通道具有高電阻，所以很容易在該單元內產生匯集。

當 SIT 被使用在頻率比 HF 頻帶高之 VHF 或 UHF 頻帶時，源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

極和閘極電感之效應就不可以忽視。然而，包括有數個小面積單元50形成並聯連接之裝置，當與只有一個大面積單元之裝置結構比較時，可以減少不希望有之電感量。另外，此種裝置可以均勻的操作。

第四和第五具體例所示之裝置亦可以使用與圖7-12所示之相似步驟用來進行製造。

雖然上面所說明的是凹陷閘極型SIT，但是以上之說明亦適用於側閘極型SIT。本發明不僅可以適用於由Si製成之SIT，而且也適用於由GaAs，InP等製成之複合半導體。

依照本發明之凹陷或側閘極型SIT，在閘極區域之周邊設有保護環區域，用來大幅的增加閘極—吸極接面崩潰電壓。在本發明之SIT中，可以施加在吸極和源極間之電壓變成為2倍以上而不會使高頻特性劣化（當與傳統式之SIT比較時），和可以提供高輸出功率SIT。因為設有 p^+ 保護環區域耦合到 p^+ 閘極區域之最外之周邊部位，和只在 p^+ 保護環區域上配置閘極和源極接觸襯墊，藉以改良崩潰電壓和提供具有良好之高頻特性之SIT。另外，可以很容易提供小面積單元之並聯連接，藉以增加總源極長度和減小電感量。

熟悉本技術之士當可瞭解本發明所揭示之裝置之較佳具體例之上述說明，和在不偏離本發明之精神和範圍內所進行之各種變更和修改。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

四、中文發明摘要 (發明之名稱： 具有高輸出之高頻靜電感應電晶體)

一種凹陷閘極型之靜電感應電晶體，具有高崩潰電壓，包括有：n型通道區域，設在n⁺型吸極區域上；p⁺型長條形閘極區域，設在通道區域之溝槽；n⁺型長條形區域，形成在通道區域上，被排列成與閘極區域平行，各被配置在閘極區域之間；和p⁺型保護環區域，設在通道區域和被排列成包圍閘極區域。該長條形閘極區域以其二個邊緣耦合到保護環區域。另外，最外之長條形閘極區域分別沿著縱向耦合到保護環區域，藉以增加該裝置之崩潰電壓。

另外，只在保護環區域設置閘極和源極接觸襯墊使其互相對立，藉以減小閘極和吸極區域之間，和閘極和源極區域之間之不希望有之寄生電容。

英文發明摘要 (發明之名稱： HIGH FREQUENCY STATIC INDUCTION TRANSISTOR HAVING HIGH OUTPUT)

A recess-gate type static induction transistor having a high breakdown voltage is provided, which includes an n-type channel region provided over an n⁺-type drain region, p⁺-type elongated gate regions provided in grooves of the channel region, n⁺-type elongated regions formed on the channel region so as to be arranged in parallel with the gate regions, each of which is disposed between the gate regions, and a p⁺-type guard ring region provided in the channel region and arranged to surround the gate regions. The elongated gate regions are coupled to the guard ring region at both edges. In addition, the outer-most elongated gate regions are coupled to the guard ring region along the longitudinal direction, respectively, thereby increasing the breakdown voltage of the device.

Further, gate and source contact pads are provided only on the guard ring region so as to be opposed, thereby reducing unwanted parasitic capacitances between gate and drain regions and between gate and source regions.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種靜電感應電晶體，其特徵是包含有：

吸極區域，具有第一導電型；

通道區域，設在該吸極區域上，具有該第一導電型；

多個溝槽，各形成在該通道區域；

多個源極區域，具有該第一導電型，各被設在該通道區域，形成被配置在該多個溝槽之間；

多個閘極區域，具有第二導電型，各被設在該溝槽之底部，其中該多個閘極區域和該多個源極區域被配置成互相平行；和

保護環區域，具有該第二導電型，設在該通道區域，該保護環區域被配置成包圍該多個閘極區域，促成該多個閘極區域之最外之閘極區域分別重疊在該保護環區域之一側，和該多個閘極區域之每一個以其二個邊緣耦合到該保護環區域。

2. 如申請專利範圍第1項之靜電感應電晶體，其中該保護環之寬度等於或稍微大於該多個閘極區域之每一個和該吸極區域之間之距離。

3. 如申請專利範圍第1項之靜電感應電晶體，其中在該通道區域設有第二導電型之浮動區域形成包圍該保護環區域。

4. 如申請專利範圍第1項之靜電感應電晶體，其中具有該第一導電型之半導體區域被配置在該通道區域形成包圍該保護環區域。

5. 如申請專利範圍第4項之靜電感應電晶體，其中該半

六、申請專利範圍

導體區域被使用作切片區域。

6. 如申請專利範圍第1項之靜電感應電晶體，其中具有指狀組合型結構之源極和閘極電極經由絕緣膜被設在該通道區域。

7. 一種靜電感應電晶體，其特徵是包含有：

吸極區域，具有第一導電型；

通道區域，設在該吸極區域上，具有該第一導電型；

多個溝槽，各形成在該通道區域和具有底部；

多個源極區域，具有該第一導電型，各被設在該通道區域，形成被置在該多個溝槽之間，其中該多個溝槽和該多個源極區域被配置成互相平行；

多個閘極區域，具有第二導電型，各被設在該底部；

保護環區域，設在該通道區域，具有第二導電型，該保護環區域被配置成包圍該多個閘極區域，促成該多個閘極區域之最外閘極區域分別重疊在該保護環區域之一側，和該多個閘極區域之每一個以其二個邊緣耦合到該多個閘極區域；

源極電極，各被設在該多個源極區域之每一個；

閘極電極，各被設在該多個閘極區域之每一個；和

第一和第二接觸襯墊，經由絕緣膜設在該保護環區域，和分別連接到該源極電極和該閘極電極。

8. 如申請專利範圍第7項之靜態感應電晶體，其中該多個源極區域之每一個和該多個閘極區域之每一個被配置成互相交替。

六、申請專利範圍

9. 如申請專利範圍第7項之靜電感應電晶體，其中該第一和第二接觸襯墊被配置成互相面對。

10. 如申請專利範圍第7項之靜電感應電晶體，其中該多個閘極區域和該多個源極區域被配置成對該第一和第二接觸襯墊之中心之連接直線形成對稱。

11. 一種靜電感應電晶體，其特徵是包含有：

吸極區域，具有第一導電型；

通道區域，設在該吸極區域上，具有該第一導電型；

保護環區域，具有第二導電型，該保護環區域被設在該通道區域，用來界定第一和第二區域使其分開該保護環區域之共同部份；

多個溝槽，各形成在該第一和第二區域之每一個和具有底部；

多個源極區域，具有該第一導電型，各被設在該第一和第二區域之每一個，形成被配置在該多個溝槽之間，其中多個溝槽和該多個源極區域被配置成互相平行；

多個閘極區域，具有第二導電型，各被設在該底部；

源極電極，各被設在該多個源極區域之每一個；

閘極電極，各被設在該多個閘極區域之每一個；

第一和第二接觸襯墊，經由絕緣膜設在該保護環區域和連接到該源極電極；和

第三接觸襯墊，經由該絕緣膜設在該保護環之該共同部份。

12. 如申請專利範圍第11項之靜電感應電晶體，其中該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

第一，第二和第三接觸襯墊互相對準。

13. 如申請專利範圍第11項之靜電感應電晶體，其中該多個源極區域和該多個閘極區域垂直於該保護環區域之一側。

14. 如申請專利範圍第11項之靜電感應電晶體，其中該第一和第二區域對該保護環區域之該共同部份形成對稱。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

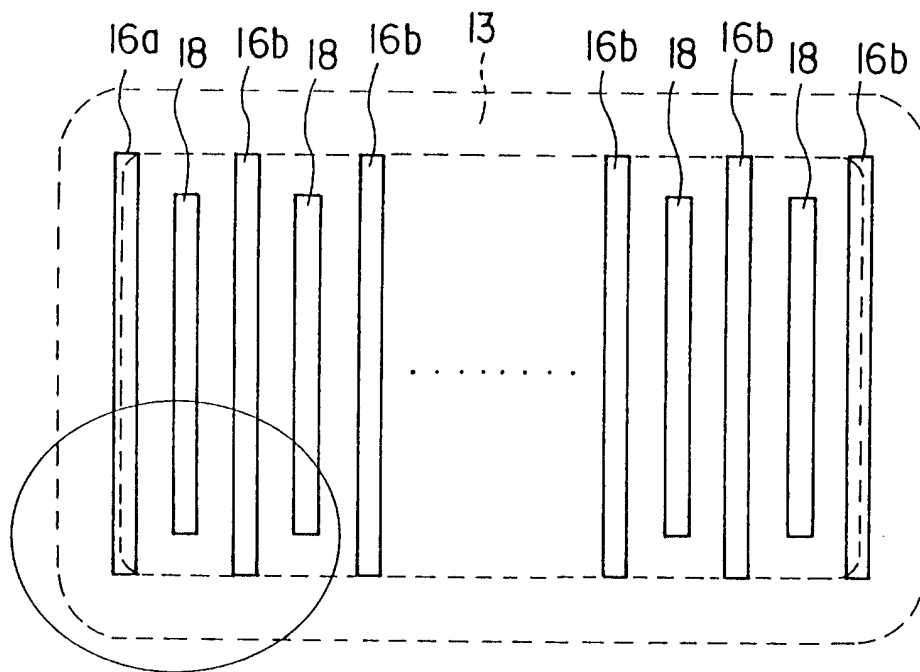


圖 1 A

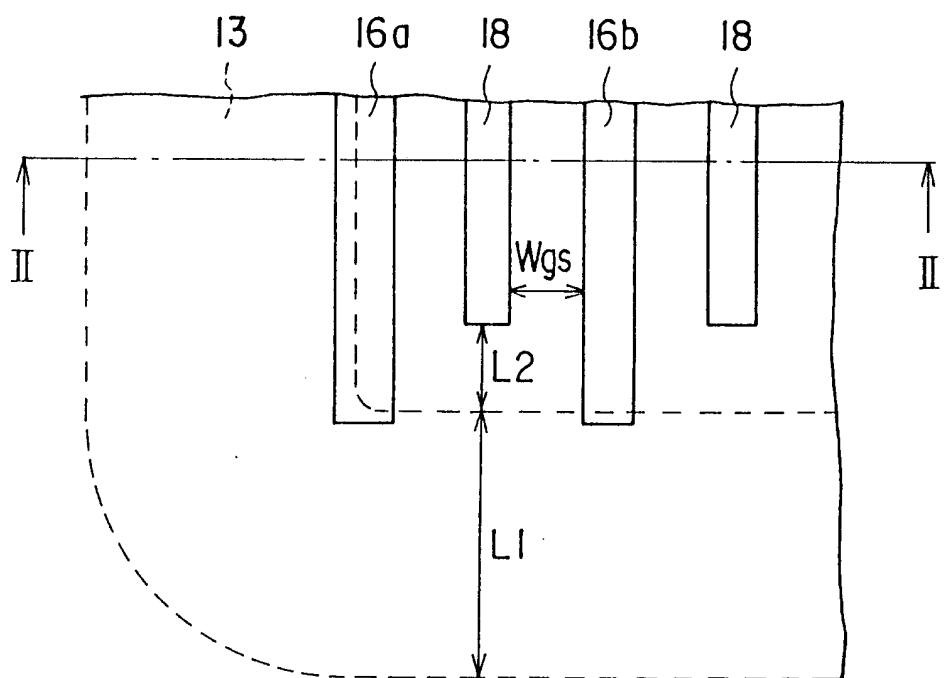


圖 1 B

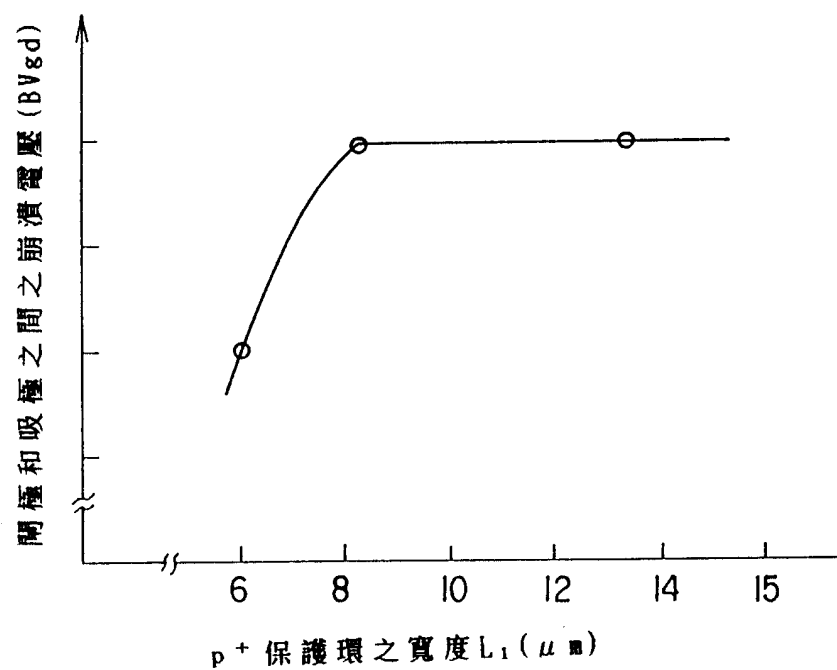


圖 3

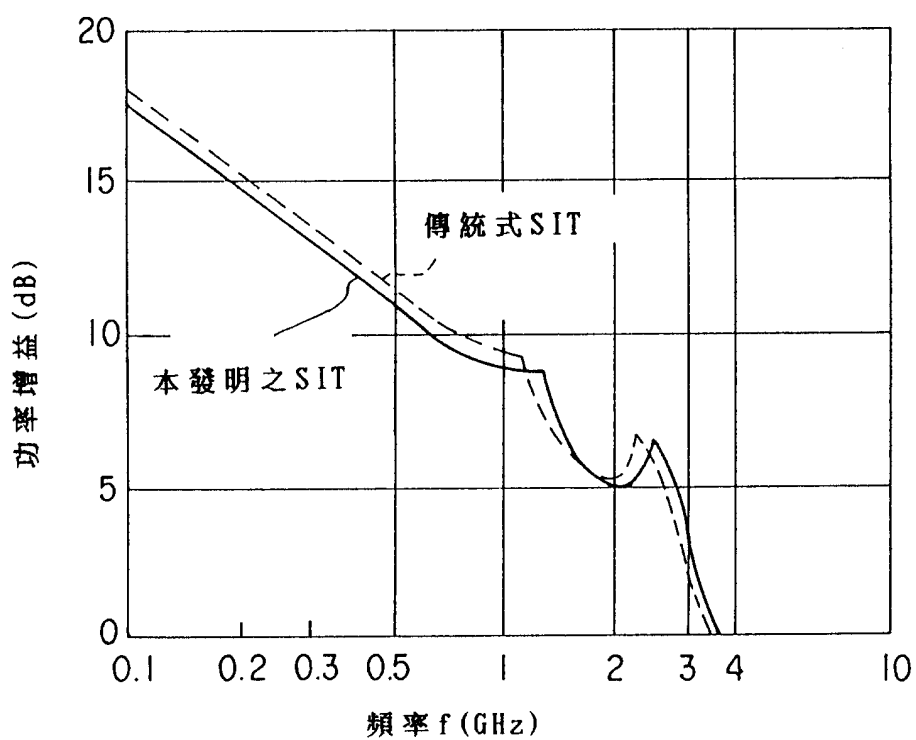


圖 4

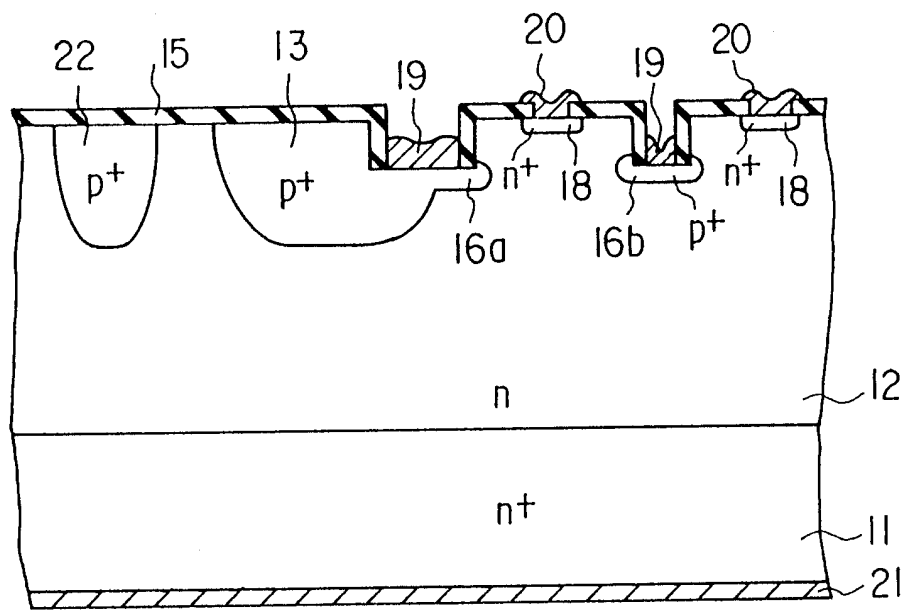


圖 5

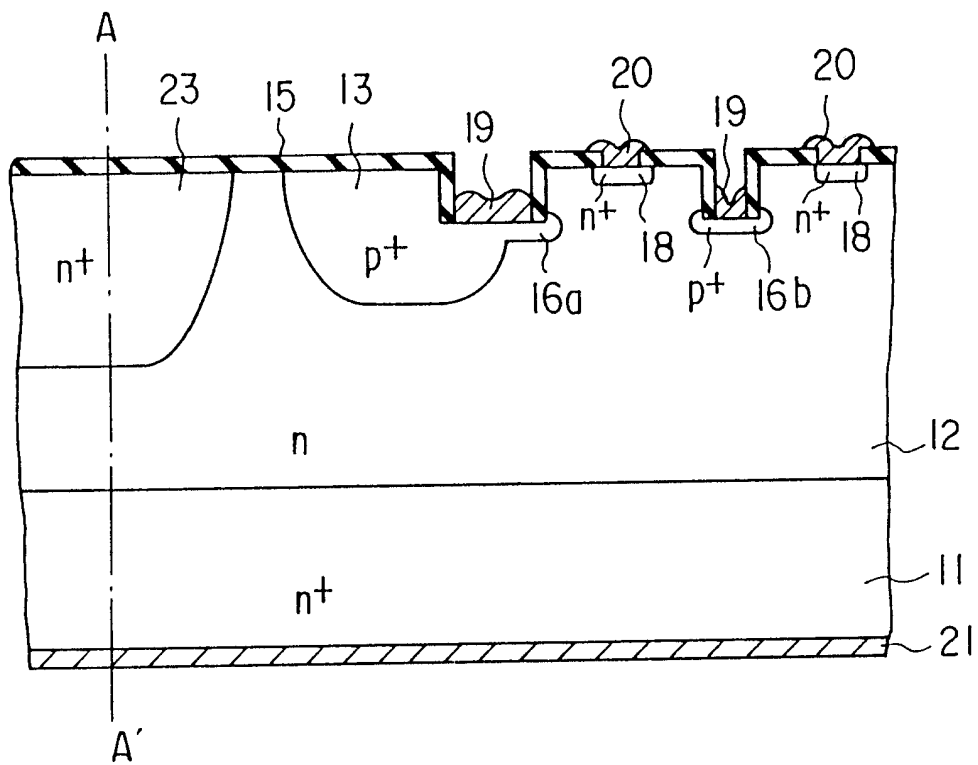


圖 6

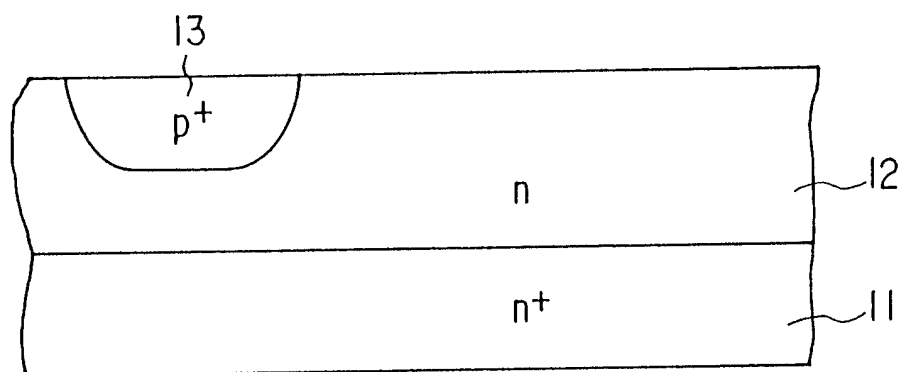


圖 7

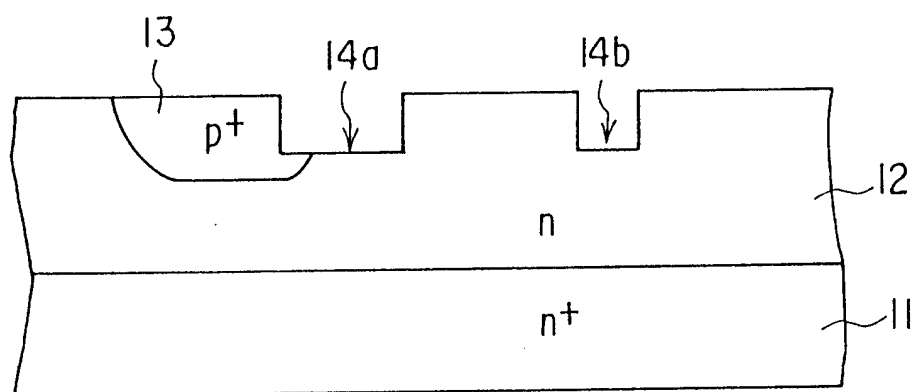


圖 8

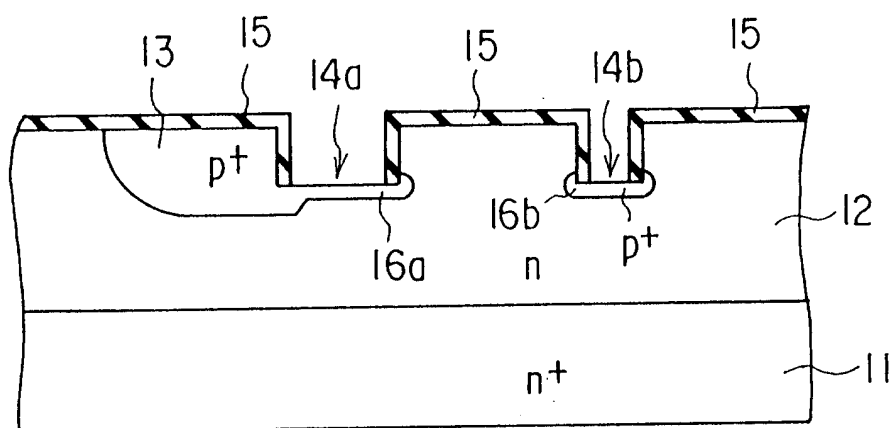


圖 9

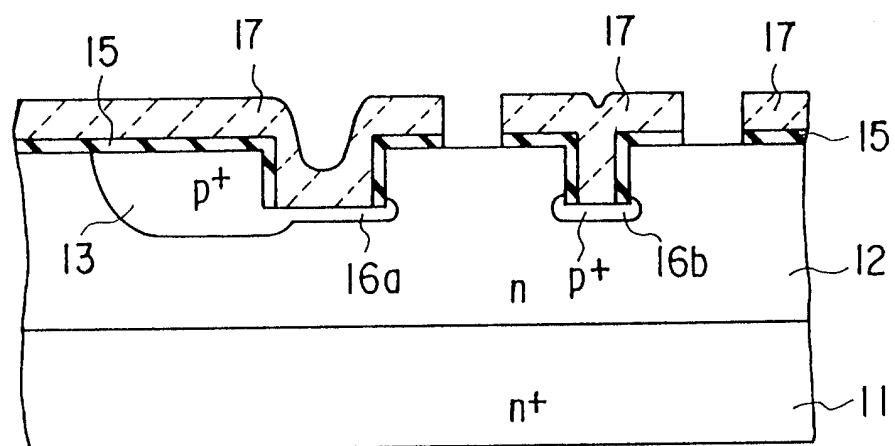


圖 10

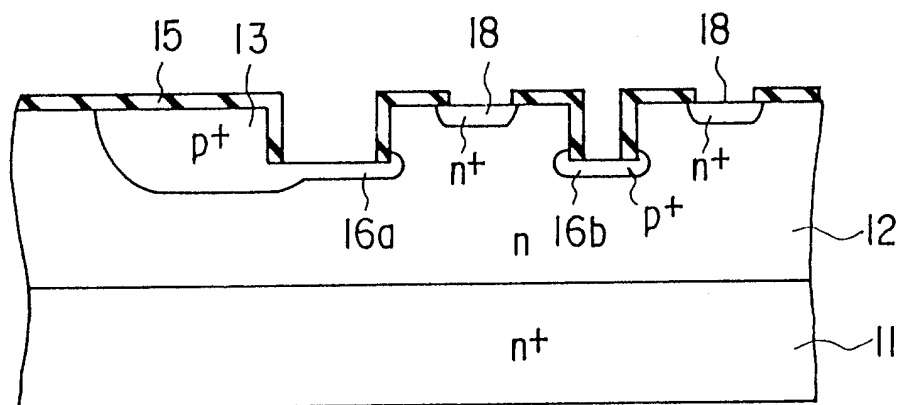


圖 11

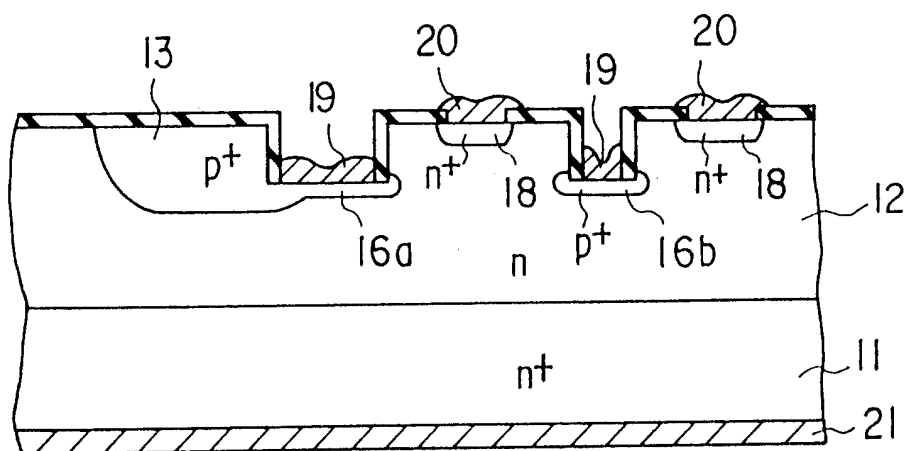


圖 12

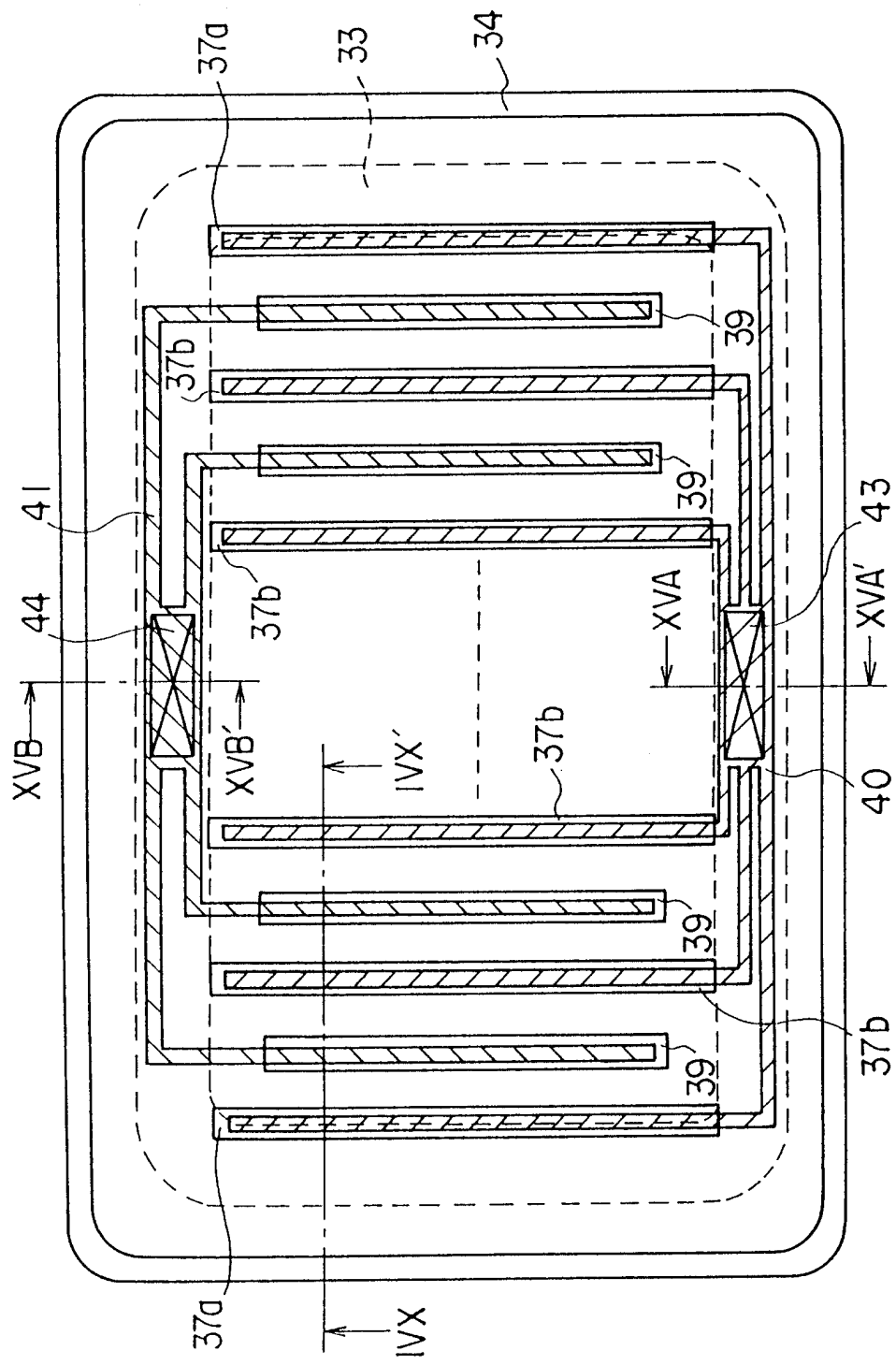


圖 13

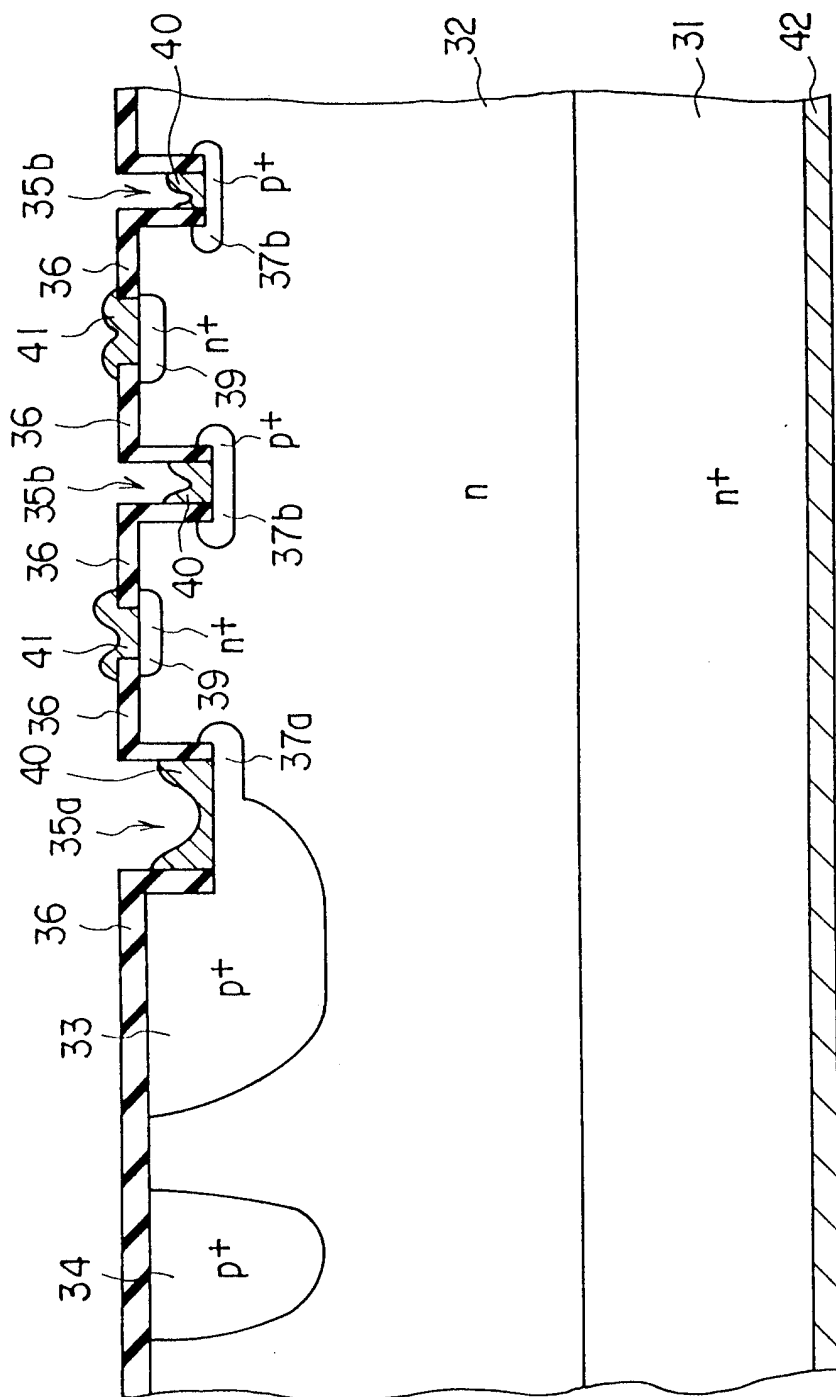
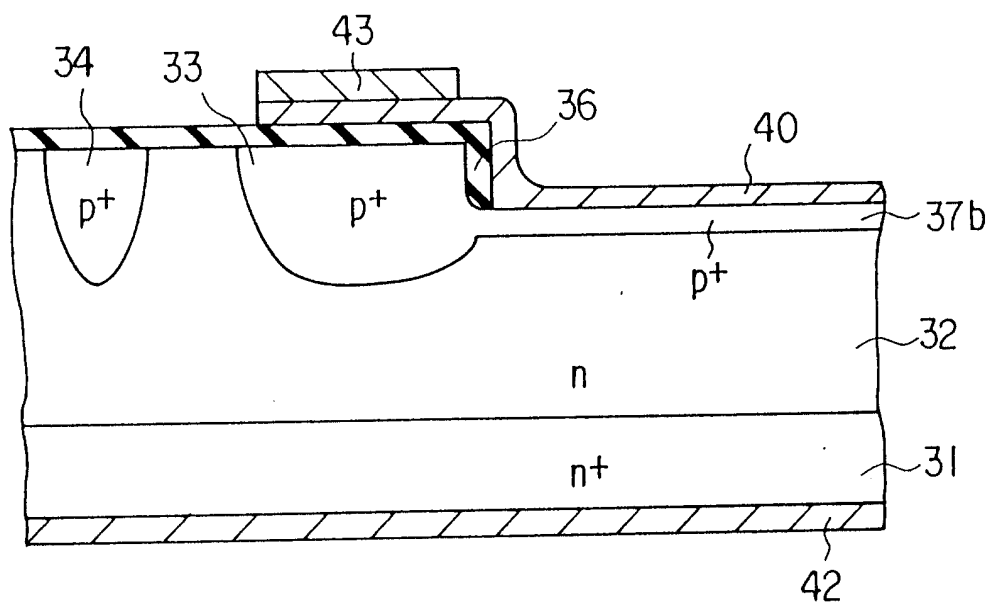
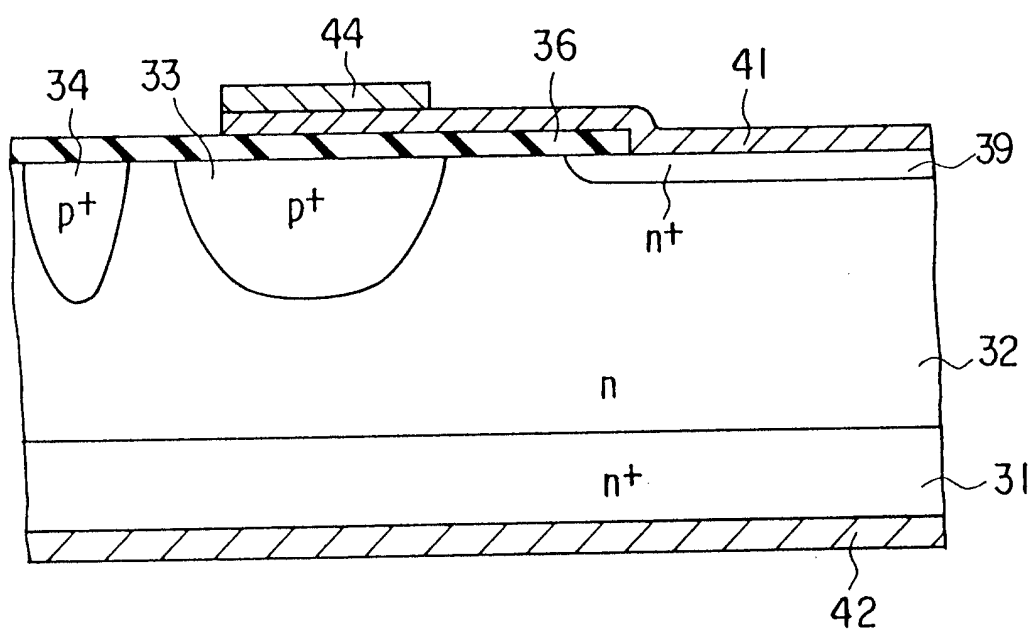


圖 14



■ 15 A



■ 15 B

圖 16 A

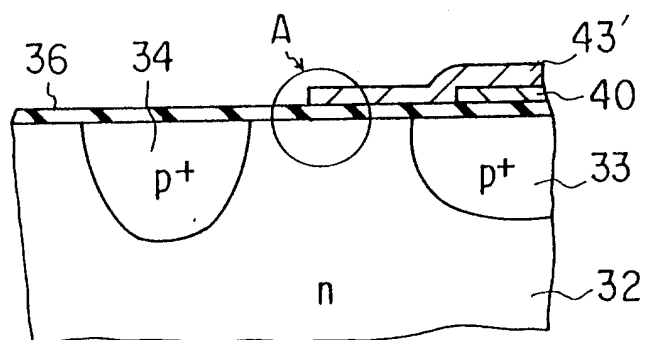


圖 16 B

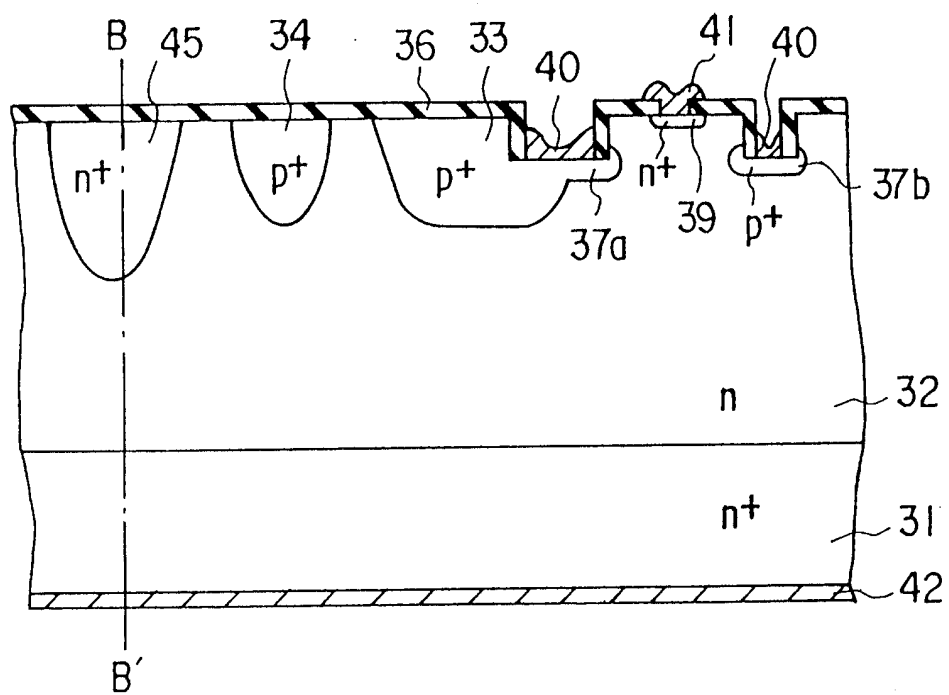
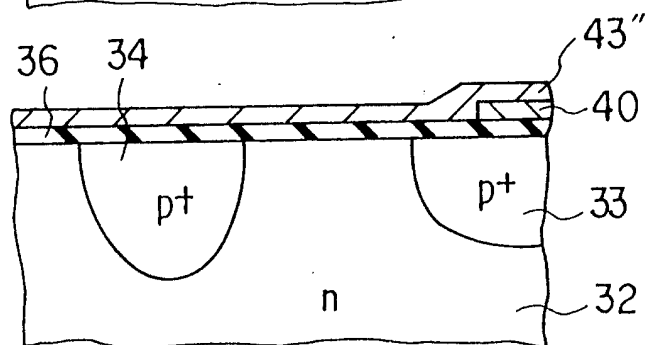
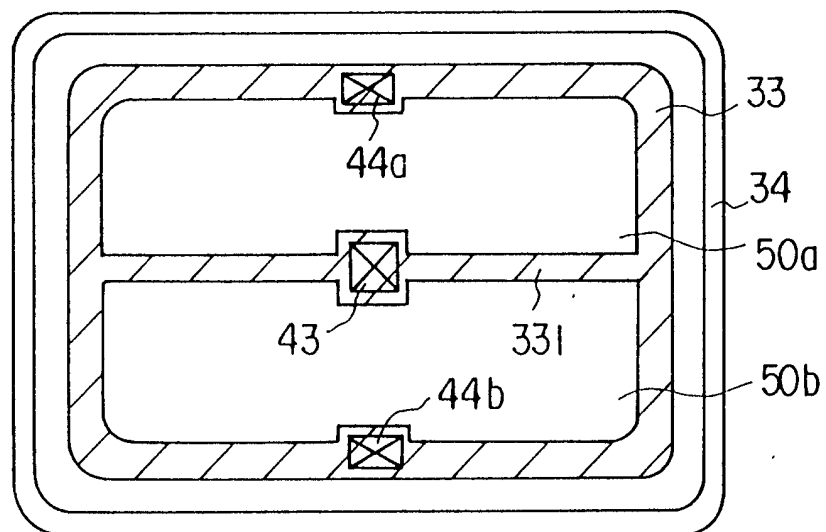
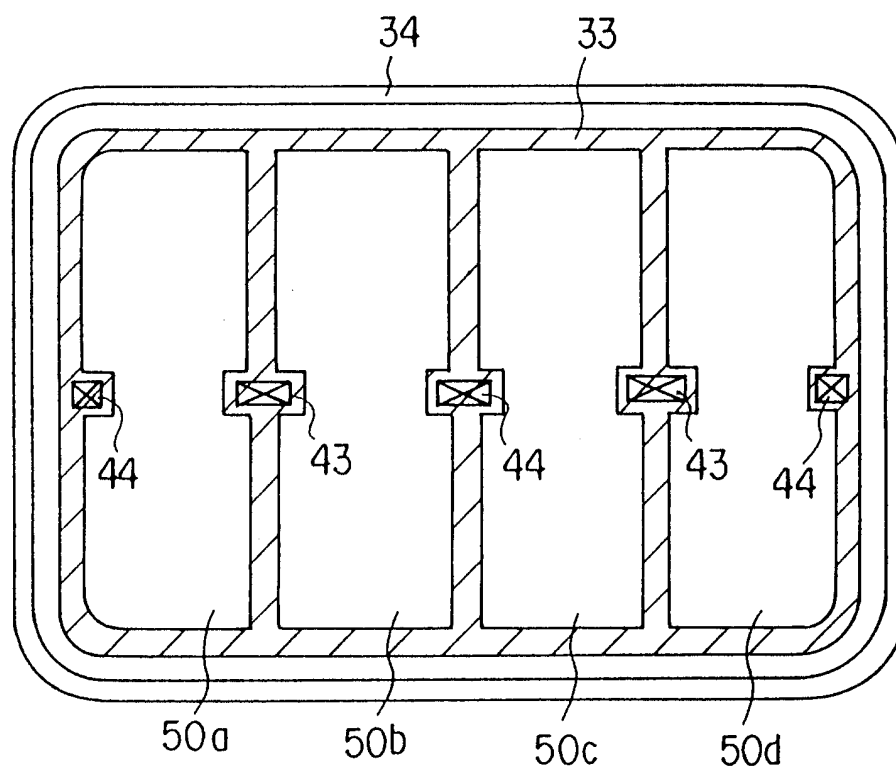


圖 17



■ 18



■ 19

圖 20 A

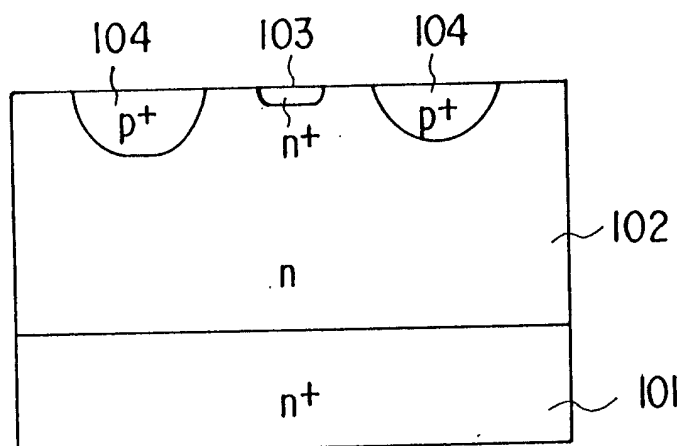


圖 20 B

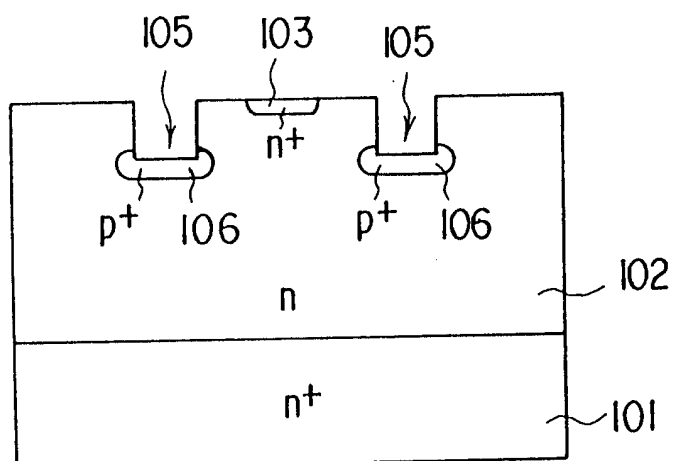
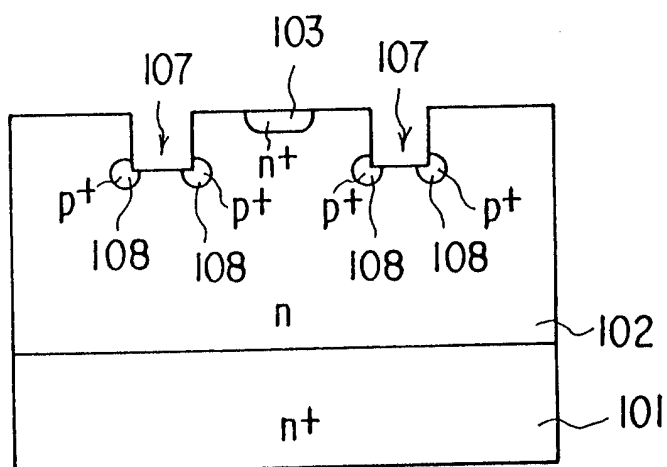


圖 20 C



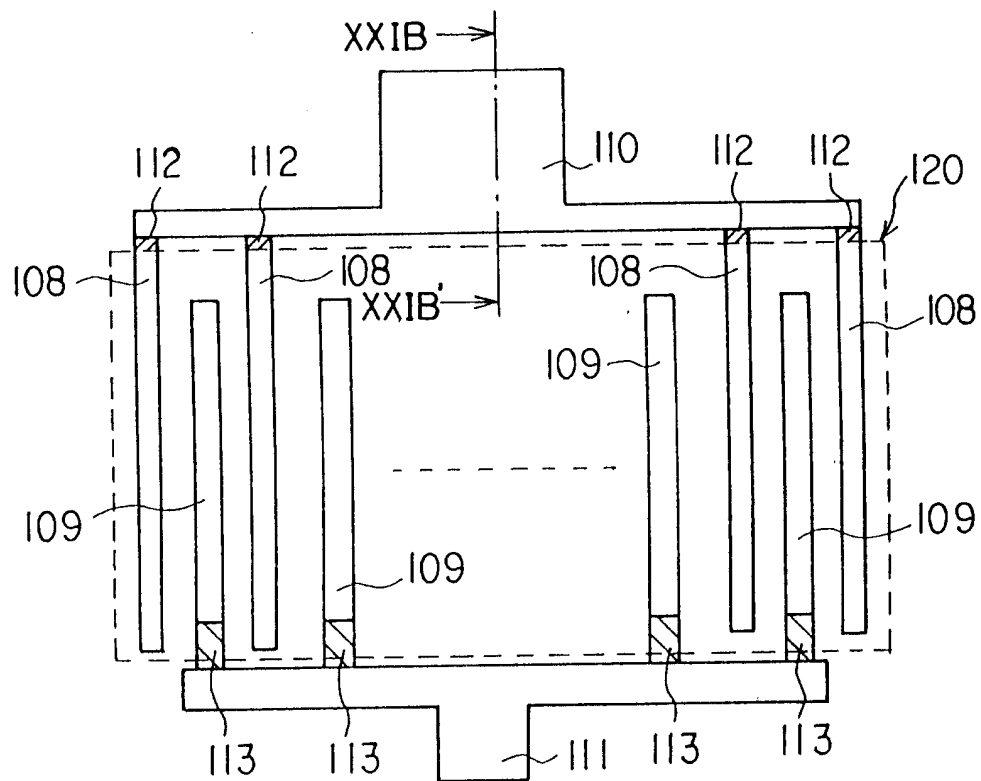


FIG 21 A

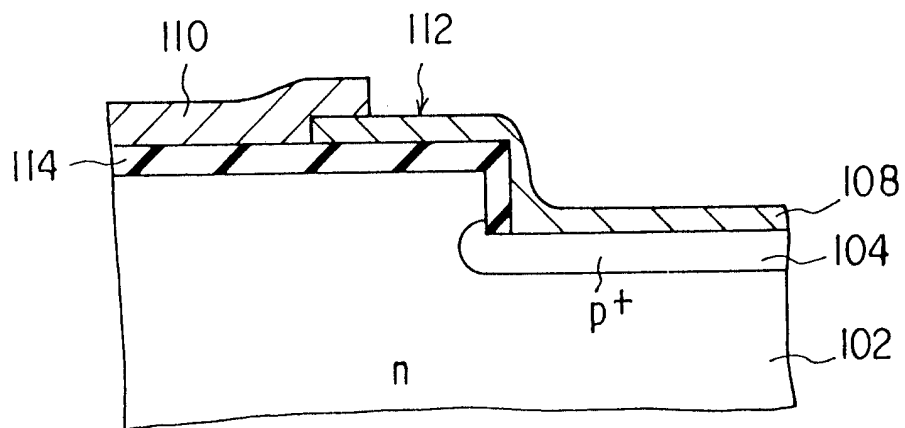


FIG 21 B