(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 21/28

(45) 공고일자 1996년07월25일
(11) 공고번호 특1996-0010062
(24) 등록일자 1996년07월25일

(21) 출원번호 특1993-0003005
(22) 출원일자 1993년03월02일
(65) 공개번호 특1999-1000001
(43) 공개일자 1999년01월01일
(30) 우선권주장 92-060696 1992년03월17일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 시키모리야
일본국 도쿄토 지요다쿠 마루노우치 2쵸메 2-3
(72) 발명자 돗도리 이사오
일본국 효고켄 이타미시 미즈하라 4-1 미쓰비시덴키 가부시키가이샤 엘. 에스. 아이 겐큐쇼 나이
(74) 대리인 정우훈, 박태경

심사관 : 김승조 (책자공보 제4570호)

(54) 반도체장치 및 그 제조방법

요약

요약없음

대표도

도1

명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 이 발명의 한실시예에 의한 반도체장치를 개략표시한 단면도.

제2도~제6도는 제조공정을 표시하는 제1도의 반도체장치 단면도.

제7도는 제1불순물농도와 제2불순물농도가 동일함으로써 발생하는 문제점을 개략표시한 반도체장치의 확대단면도.

제8도는 이 발명의 다른 실시예에 의한 반도체장치의 구성을 개략표시한 단면도.

제9도는 이 발명의 또다른 실시예에 의한 반도체장치의 구성을 개략표시한 단면도.

제10도는 절연층의 불순물농도 변경에 의하여 글라스전이온도의 변화를 표시하는 그래프.

제11도는 제1절연층과 제2절연층이 다른 재료로 형성된 반도체장치의 구성을 개략표시한 단면도.

제12도는 각종 재료의 온도와 점성간의 관계를 표시하는 그래프.

제13도는 불순물을 포함하는 절연층의 두께변화에 의한 유동(flow)각 θ를 표시하는 그래프.

제14도는 평탄화처리시에 분위기변화에 의한 유동각 θ 표시도.

제15도는 종래의 반도체장치의 구성을 개략표시한 단면도.

제16도~제28도는 제조공정을 표시한 제15도의 종래의 반도체장치의 단면도.

제29도는 레지스트를 노출시킨 상태의 개략표시도.

제30도는 레지스트를 노출시 최적초점위치를 개략표시하는 단면도.

제31도 및 제32도는 레지스트를 노출시 초점위치에 관련하여 직면하는 문제점의 상태를 개략표시한 단면도.

제33도는 접속공을 플러그로 충전함으로써 직면하는 문제점의 상태를 개략표시하는 단면도.

제34도는 접속공을 플러그로 충전함으로써 직면하는 문제점의 상태를 개략표시한 평면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 다결정실리콘막3 : 제1불순물농도의 산화막

4a : 다결정실리콘막4b : 고융점금속 실리사이드

5 : 제2불순물농도의 산화막6 : 제3도전층

10 : 반도체기판

[발명의 상세한 설명]

이 발명은 반도체 장치 및 그 제조방법에 관한 것으로서, 특히 고도로 평탄화된 표면을 가진 절연층을 포함하는 반도체장치 및 그 제조방법에 관한 것이다.

먼저 종래의 반도체장치의 구성을 설명한다.

제15도는 종래의 반도체장치의 구성을 개략표시하는 단면도이다.

제15도를 참조하여, 실리콘으로 된 반도체기판(110)의 표면에는 두께가 대략 300~800nm인 절연산화막(111)이 형성되어 있다.

이 절연산화막(111)으로 절연된 영역에는 MOSFET와 같은 소자가 설치된다.

이 MOSFET는 소스 및 드레인이 되는 불순물확산층(114a) 및 (114b), 게이트산화막(112) 및 게이트로 되는 다결정실리콘막(101)으로 형성된다.

소스 및 드레인이 되는 불순물확산층(114a) (114b)은 반도체기판(110)의 표면에 형성되며 저농도부분(114a)과 고농도부분(114b)을 포함한다.

게이트산화막(112)은 불순물확산층(114a)와 (114b)에 걸치도록 반도체기판(110)의 표면에 형성된다.

게이트가 되는 다결정실리콘막(101)은 게이트산화막(112)의 표면상에 형성된다.

이 다결정실리콘막(101)의 표면상에는 실리콘산화막(113)이 형성된다.

다결정실리콘막(101) 및 실리콘산화막(113)의 측벽에는 측벽(115a)이 형성된다.

MOSFET가 형성되어 있는 반도체기판 전면에는 얇은 실리콘산화막 또는 질화막(102)이 형성된다.

이 얇은 실리콘산화막 또는 질화막(102)에는 접속공(118)이 형성된다.

이 접속공(118)에는 불순물확산층(114b) 또는 다결정실리콘막(101)의 일부표면이 노출되어 있다.

얇은 실리콘산화막/질화막(102)의 표면상에는 불순물확산층(114b) 및 다결정실리콘막(101)의 노출부분에 접촉하도록 다결정실리콘막(104a)이 형성된다.

이 다결정실리콘막(104a)의 표면상에는 고융점 금속박막(104b)이 형성된다.

이 다결정실리콘막(104a)과 고융점금속박막(104b)로 배선층이 형성된다.

이 배선층이 형성된 얇은 실리콘산화막/질화막(102)의 전면에는 불순물을 함유하는 층간절연층(103)이 형성되어 배선층을 피복하고 있다.

이 절연청(103)은 평탄화처리가 실시되어 있다.

층간절연층(103)에는 접속공(119)이 형성되어 있다.

이 접속공(119)에는 다결정실리콘막(104a)에 접속되지 않은 불순물확산영역(114b)의 일부표면이 노출되어 있다.

이 불순물확산층(114b)의 노출부분에 접촉되도록 알루미늄과 동의 합금으로 된 배선층(106)이 절연층(103)의 표면상에 형성된다.

상기와 같이 종래의 반도체장치는 구성되어 있다.

다음은 종래의 반도체장치의 제조방법을 설명한다.

제16도~제18도는 종래의 반도체장치의 제조공정을 개략표시하는 단면도이다.

제16도를 참조하여, 실리콘으로 된 반도체기판(110)의 표면에 국부산화법에 의하여 두께가 300~800nm정도의 절연산화막(111)을 형성한다.

제17도를 참조하여, 절연산화막(111)으로 피복안된 반도체기판(110)의 노출영역에는 열산화법에 의하여 막 두께가 5~30nm인 게이트산화막(112)을 형성한다.

다음에 반도체기판(110)의 표면상에 화학증착법(CVD)에 의하여 인과 비소를 함유하는 다결정실리콘막(101)과 실리콘산화막(113)을 형성한다.

게이트산화막(112), 다결정실리콘막(101) 및 실리콘산화막(113)은 사진제판기술 및 RIE에 의하여 패터닝된다.

제18도를 참조하여, 다결정실리콘막(101), 실리콘산화막(113) 및 절연산화막(111)을 마스크로 하여 불순물 이온이 반도체기판(110)으로 주입된다.

이 이온주입에 의하여 반도체기판(110)의 노출표면에 불순물확산층(114a)이 형성된다. 제19도를 참조하여 반도체기판(110)의 표면에 화학증착법에 의하여 50~300nm 두께의 실리콘산화막(115)을 형성한다.

제20도를 참조하여 이 실리콘산화막(115)은 RIE법에 의하여 에칭되어 다결정실리콘막(101) 및 실리콘산화

막(113)의 측벽에 측벽(115a)을 형성한다.

이 측벽(115a), 실리콘산화막(113) 및 절연산화막(111)을 마스크로 하여 불순물이온을 반도체기판(110)으로 주입하여 불순물확산층(114b)를 형성한다.

이들 불순물확산층(114b)과 (114a)에 의하여 고불순물농도로 된 부분과 저불순물농도로 된 부분의 2층구조가 형성된다.

이 불순물확산층의 형성에 의하여 불순물확산층(114a)(114b), 게이트산화막(112) 및 다결정실리콘막(101)으로 된 MOS트랜지스터가 실현된다.

제21도를 참조하여, 반도체기판(110)의 표면에 형성된 MOS트랜지스터등의 소자를 피복하도록 얇은 실리콘산화막 또는 질화막(102)이 퇴적된다.

제22도를 참조하여 얇은 실리콘산화막/질화막(102)에 사전제판기술 및 RIE법에 의하여 접속공(118)을 형성한다.

이 접속공(118)에서 불순물확산층(114b) 또는 다결정실리콘막(101)의 일부표면이 노출된다.

다결정실리콘막(101)을 노출시키는 과정에서 실리콘산화막(113)도 에칭된다.

제23도를 참조하여 얇은 실리콘산화막/질화막(102)의 전면에 화학증착법에 의하여 다결정실리콘막(104a) 및 고융점금속박막(104b)을 형성한다.

이 다결정실리콘막(104a)은 접속공(118)을 경유하여 불순물확산층(114b) 또는 다결정실리콘막(101)에 전기적으로 접속된다.

제24도를 참조하여 다결정실리콘막(104a) 및 고융점금속박막(104b)이 사진제판기술 및 RIE에 의하여 패터닝한다.

이 패터닝에 의하여 다결정실리콘막(104a)과 고융점금속박막(104b)으로 구성된 배선층이 형성된다.

제25도를 참조하여, 불순물을 함유하는 산화막(103a)을 다결정실리콘막(104a)와 고융점금속박막(104b)으로 형성된 배선층을 피복하도록 반도체기판(110)의 표면에 퇴적시킨다.

제26도를 참조하여, 불순물을 함유하는 산화막(103a)은 평탄화를 위하여 온도 800~1000℃에서 열처리를 받는다.

이 열처리에 이어서 불순물을 함유하는 산화막(103a)은 전면에칭에 의하여 박막화된다.

이 불순물을 함유하는 산화막(103a)의 표면상에는 얇은 산화막 또는 질화막을 퇴적시킨다.

이와 같이 하여 층간절연층(103)을 얻게 된다.

제27도를 참조하여 접속공(119)을 사진제판기술 및 RIE에 의하여 층간절연층(103)에 형성한다.

이 접속공(119)은 다결정실리콘막(104a)에 전기적으로 접속되지 않은 불순물확산층(114b)에 도달하도록 형성된다.

제28도를 참조하여, 층간절연층(103)의 표면상에는 스터퍼링에 의하여 알루미늄-동 합금막을 퇴적한다.

이 알루미늄-동 합금막을 사진제판기술 및 RIE에 의하여 패터닝함으로써 배선층(106)이 형성된다.

이 배선층(106)은 접속공(119)을 통하여 불순물확산층(114B)에 전기적으로 접속된다.

상기와 같이 종래의 반도체장치가 형성된다.

종래의 반도체장치는 상기와 같이 형성되므로 층간절연층(103)의 표면의 평탄화가 불충분하였다.

평탄화가 결핍된 표면을 가진 층간절연층(103)은 다음 설명하는 바와 같은 문제점을 발생한다.

제29도를 레지스트를 노출시킨 상태를 개략적으로 표시하는 단면도이다.

제29도를 참조하여 하층(201)의 표면상에는 레지스트(202)가 도포된다.

레지스트(202)는 마스크(203)를 사용하여 소망의 형상으로 패터닝된다.

이 패터닝에 의하여 노출광은 마스크(203)에 의하여 규제된 노출되어야 할 영역(202a)에만 화살표A로 표시된 방향으로 입사된다.

그러나 하층(201)에 단부(stepped portion)가 존재하면 노출광이 화살표B로 표시한 방향으로 반사된다.

이 화살표B방향의 반사광은 본래 노출되지 말아야 할 영역(202b)를 노출시키게 된다.

이는 하층(201)에 단부가 존재하면 레지스트(202)을 소망의 형상으로 노출시키기가 곤란하다는 것을 뜻한다.

이 때문에 레지스트(202)를 소망의 형상으로 정확하게 패터닝하기가 어렵게 된다.

제30도는 레지스트를 노출시킬때 최적초점위치를 개략표시하는 단면도이다.

제30도를 참조하여, 레지스트(202)가 하층(201)표면에 도포되어 있다.

이 하층(201)에 단부가 있으면 레지스트(202)의 두께가 부분에 따라 다르다.

두께가 다르면 레지스트(202)를 노출시키는 노출광의 최적초점위치도 다르다.

즉 C 및 D의 각위치에서 노출광의 최적초점위치는 제30도에 표시한 바와 같이 각각 c 및 d가 된다.

이 때문에 초점을 C위치에 맞추어서 노출하게 되면 D위치의 패턴이 형상불량이 된다.

반대로 초점을 D위치에 맞추어서 노출하게 되면 제32도에 표시한 바와 같이 C위치의 패턴이 형상불량이 된다.

그러므로 레지스트(202)을 소망하는 형상으로 정확하게 패터닝하기가 곤란하다.

상기와 같이 하층(201)에 단부가 있으면 레지스트(202)를 소망하는 형상으로 패터닝 할수가 없다.

이러한 형상불량의 레지스트를 마스크로 사용하여 에칭하게 되면 완성품의 치수는 설계치수가 다르게 된다.

이러한 완성된 치수에 오차는 반도체장치의 미세화를 도모하는 경우 접속공과 금속 배선층의 패턴형성이 곤란하다는 치명적인 문제점이 된다.

또 제28도에 표시한 층간절연층의 표면의 평탄화가 불충분하면 접속공을 플러그로 충전하는 경우에 다음과 같은 문제점도 있다.

제33도 및 제34도는 접속공을 플러그로 충전함으로써 직면하는 문제점을 각각 개략표시하는 반도체장치의 단면도 및 평면도이다.

제33도 및 제34도를 참조하여, 접속공(201)내에 플러그(202)가 형성된다.

이 플러그(202)에 의하여 상부도전층(204)은 하부도전층(203)에 전기적으로 접속된다.

이 플러그(202)는 절연층(205)의 표면전면에 퇴적된 도전층을 에칭하여 형성한다.

절연층(205)표면의 평탄화가 불충분하면 플러그 형성시 절연층(205)표면의 단부에 잔사(202a)가 잔류하게 된다.

이 잔사(202a)에 의하여 제34도에 표시한 바와 같이 다른 배선층(206a)과 (206b)가 단락될 가능성이 있다.

이와 같이 제28도에 표시한 층간절연층(103)표면의 평탄화가 불충분하면 단부(段部)에 잔사발생으로 인한 배선층의 단락등의 전기적신뢰성이 떨어진다는 문제점이 있었다.

이 발명의 한 목적은 반도체장치에서 절연층의 표면단부를 감소시킴으로써 미세화에 따른 접속공과 금속 배선층의 패터닝형성을 용이하게 하는데 있다.

이 발명의 다른 목적은 반도체장치에서 절연층의 표면단부를 감소시킴으로써 반도체장치의 전기적신뢰성을 개선하는데 있다.

상기 목적을 달성하기 위하여 이 발명에 의한 반도체장치는 제1도전층, 제1절연층, 제2도전층, 제2절연층 및 제3도전층을 포함한다.

제1도전층은 반도체기판의 표면에 형성된다.

제1절연층은 제1글라스전이온도를 갖고 있으며 표면이 평탄화되고 제1도전층을 피복하도록 형성된다.

제2도전층은 평탄화된 제1절연층표면상에 형성된다.

제2절연층은 제1글라스전이온도보다 낮은 제2글라스전이온도를 갖고 있으며 표면이 평탄화되고, 제2도전층을 피복하도록 형성된다.

제3도전층은 평탄화된 제2절연층의 표면상에 형성된다.

반도체장치는 제1글라스전이온도를 가진 제1절연층과 제2글라스전이온도를 가진 제2절연층을 포함한다.

따라서 제1 및 제2의 절연층에 대하여 개별적으로 평탄화처리를 실시할 수가 있으므로 제2절연층의 표면단부를 효율적으로 저감시킬 수 있다.

다시 말하면, 제1절연막의 평탄화 후 제2절연막을 형성하므로 제2절연층의 표면단차는 비교적 감소된다.

제2절연막의 표면상단부는 제2절연막도 평탄화를 실시하게 되므로 더욱 감소된다.

이와 같이 제2절연막은 고도의 평탄화표면을 갖게 되어 절연층상방의 레지스트를 소망하는 형상으로 패터닝하는 것이 용이하게 된다.

또한 제2절연층이 고도의 평탄화표면을 갖게 되므로 플러그형성시 단부에 잔사가 잔류하지 않는다.

그러므로 잔사에 의하여 발생하는 다른 도전층간의 단락은 발생하지 않게 되므로 전기적 신뢰성이 향상된다.

제1절연층은 제1글라스전이온도를 가지며, 제2절연층은 제1글라스전이온도보다 낮은 제2글라스전이온도를 가지므로 제1절연층상방에 위치한 제2절연층에 평탄처리를 실시할때 제1절연층의 유동이 없다.

그러므로 제1절연층의 유동으로 인한 제1절연층표면상에 형성된 제2절연층의 변형이 발생하지 않는다.

다시 말하면, 제2도전층의 위치는 변위되지 않는다.

이에 따라 제2도전층이 위치변위에 의한 다른 도전층과의 전기적접속이 발생하지 않으므로 전기적 신뢰성이 향상된다.

상기 목적을 달성하기 위하여 반도체장치는 제1도전층, 제1절연층, 제2도전층, 제2절연층 및 제3도전층을 포함한다.

제1도전층은 반도체기판의 표면상에 형성된다.

제1절연층은 제1재료로 형성되고 그 표면이 평탄화되어 있으며 제1도전층은 피복한다.

제2도전층은 평탄화된 제1절연층상에 형성된다.

제2절연층은 제1재료와 다른 제2재료로 형성되고 그 표면이 평탄화되어 있으며 제2도전층을 피복한다.

제3도전층은 평탄화된 제2절연층의 표면에 형성된다.

반도체장치는 제1재료로 형성된 제1절연층과 제2재료로 형성된 제2절연층을 포함하므로 제1절연층상방의 제2절연층에 평탄화처리를 실시하더라도 제1절연층의 유동이 거의 없다.

제1절연층의 표면상에 형성된 제2도전층은 제1절연층의 유동에 의하여 이동하지 않는다.

다시 말하면 위치변위가 제2도전층에 발생하지 않으므로 위치변위로 발생하는 다른 도전층과의 전기적 접속이 발생하지 않는다.

그러므로 전기적 신뢰성이 향상된다.

상기 목적을 달성하기 위하여 이 발명의 반도체장치는 제1도전층, 제1절연층, 제2절연층, 제3절연층, 제2도전층, 제4절연층, 제5절연층, 제6절연층 및 제3도전층을 포함한다.

제1도전층은 반도체기판의 표면상에 형성된다.

제1절연층은 제1도전층을 피복하도록 반도체기판상에 형성된다.

제2절연층은 제1글라스전이온도를 가지며 제1절연층상에 형성된다.

제3절연층은 제2절연층상에 형성된다.

이 제3절연층의 표면상에는 제2도전층이 형성된다.

이 제2도전층의 표면을 피복하도록 제3절연층상에 제4절연층이 형성된다.

제5절연층은 이 제4절연층상에 형성되고 제1글라스전이온도보다 낮은 제2글라스전이온도를 갖는다.

이 제5절연층상에는 제6절연층이 형성된다.

또 이 제3도전층이 제6절연층의 표면상에 형성된다.

이 반도체장치는 제1, 제2, 제3, 제4, 제5 및 제6의 절연층이 있다.

제1절연층은 예를 들면 상층의 불순물이 제1도전층으로 확산되는 것을 방지하고 또한 제2절연층표면의 평탄화처리시 제1도전층의 산화를 방지한다.

제3절연층은 예를 들면 제2도전층을 고정하여 제2도전층의 위치변위를 방지하며 또한 제5절연층표면의 평탄화처리시 하층으로부터 제2도전층으로의 불순물확산을 방지한다. 제4절연층은 예를 들면 제2도전층의 위치변위를 방지하고 상층으로부터 제2도전층으로의 불순물확산을 방지하며 제5절연층표면의 평탄화처리시 제2도전층의 산화를 방지한다. 도전층이 예를 들어 제6절연층표면에 형성되면 제6절연층은 하층으로부터 이 도전층으로의 불순물확산을 방지하고 부식을 방지하게 된다.

상기 목적을 달성하기 위하여 반도체장치는 제1패턴층, 제1절연층, 제2패턴층 및 제2절연층을 포함한다.

도전재로 된 제1패턴층은 반도체기판의 표면에 형성된다.

제1절연층은 제1패턴층을 피복하도록 형성되고 이 제1절연층은 제1규정온도에서 유동되는 재료로 형성되고 이 제1규정온도에서 열에 의하여 상면이 평탄화된다.

도전재로 된 제2패턴층은 제1절연층상에 형성된다.

제2절연층은 제2패턴층을 피복하도록 형성되고 이 제2절연층은 제1규정온도보다 낮은 제2규정온도에서 유동되는 재료로 형성되고 이 제2규정온도에서 열에 의하여 상면이 평탄화된다.

이 반도체장치는 제1규정온도에서 유동되는 재료로 형성된 제1절연층과 제1온도보다 낮은 제2온도에서 유동되는 재료로 형성된 제2절연층이 있으므로, 제1 및 제2의 절연층은 개별적으로 평탄화처리를 실시할 수가 있다.

이 개별적인 평탄화처리를 제2절연층표면의 단부(stepped portion)를 현저히 낮추게 한다.

즉 제2절연층표면의 발생된 단부는 제2절연층이 제1절연층의 평탄화 후에 형성되므로 비교적 저감된다.

제2절연층에 평탄화처리를 실시하게 되고 따라서 제2절연층표면의 단부는 더욱 저감된다.

이 제2절연층의 고도의 평탄화표면은 이 절연층의 상층의 레지스트를 소망하는 형상으로 패터닝하는 것을 용이하게 한다.

또, 이 제2절연층의 고도의 평탄화표면으로 인하여 플러그 형성중에 표면단부에서 발생되는 잔사가 전혀 없으므로 다른 도전층간에 단락을 발생시키는 잔사문제가 해소되어 전기적 신뢰성을 향상시킨다.

제1절연층이 제1규정온도에서 가열되어 평탄화되고 제2절연층이 제1규정온도보다 낮은 제2규정온도에서 가열되어 평탄화되므로 제1절연층상에 위치한 제2절연층에 평탄화처리를 실시하더라도 제1절연층내에서

유동을 볼 수 없다.

그러므로 제1절연층표면에 형성된 제2패턴층은 제1절연층의 유동에 따라 이동하지 않는다.

즉, 제2패턴층의 위치변위는 발생하지 않는다.

그러므로 위치변위에 의하여 다른 도전층과 전기적으로 접속되는 제2패턴층의 문제는 발생하지 않으며 전기적 신뢰성이 향상된다.

상기 목적을 달성하기 위하여 이 발명에 의한 반도체장치의 제조방법은 반도체기판의 주표면상에 제1도전층을 형성하는 공정과, 이 제1도전층을 피복하도록 제1절연층를 형성하고 이 제1절연층의 표면을 제1조건에 의하여 평탄화하는 공정과 평탄화된 제1절연층의 표면상에 제2도전층을 형성하는 공정과, 이 제2도전층을 피복하도록 제2절연층을 형성하고, 이 제2절연층의 표면을 제1조건과 다른 제2조건에 의하여 평탄화하는 공정과, 이 평탄화된 제2절연층 표면상에 제3도전층을 형성하는 공정을 포함한다. 이 반도체장치의 제조방법에 의하면 제1 및 제2의 절연층으로 개별적으로 유동하게 되어 있으므로 제2절연층표면의 단부는 현저히 저감된다.

다시 말하면 제2절연층표면에 발생되는 단부가 제2절연층이 제1절연층의 평탄화후에 형성되므로 비교적 작게 된다.

이 제2절연층표면의 단부는 제2절연층에도 평탄화처리를 실시하게 되므로 더욱 저감된다.

이와 같이 제2절연층은 고도의 평탄화표면을 갖게 되어 제2절연층상의 레지스트를 소망하는 형상으로 패터닝하기가 용이하게 된다.

더욱이 제2절연층표면이 고도의 평탄화표면으로 되어 있으므로 플러그형성시에 표면단부에 잔류하는 잔사가 있을 가능성이 없다. 그러므로 잔사에 의하여 도전층간에 발생하는 단락이 없으면 전기적 신뢰성을 향상시키게 된다.

상기 목적을 달성하기 위하여 이 발명에 의한 반도체장치의 제조방법은 반도체기판의 표면상에 도전재로 된 제1패턴층을 형성하는 공정과, 이 제1패턴층을 피복하도록 제1규정온도에서 유동하는 재료로 된 제1절연층을 형성하고 이 제1절연층을 제1규정온도에서 가열하여 상면을 평탄화시키는 공정과, 이 제1절연층표면상에 도전재로 된 제2패턴층을 형성하는 공정과, 이 제2패턴층을 피복하도록 제1규정온도보다 낮은 제2규정온도에서 유동하는 재료로 된 제2절연층을 형성하고 이 제2절연층을 제2규정온도에서 가열하여 상면을 평탄화시키는 공정을 포함한다.

이 반도체장치의 제조방법에 의하면, 제1절연층과 제2절연층은 개별적으로 유동하게 되어 있으므로 제2절연층표면의 단부는 현저히 저감된다.

즉 제2절연층표면에 발생한 단부는 제2절연층이 제1절연층의 평탄화후에 형성되므로 작게 된다.

제2절연층표면의 단부는 제2절연층에도 평탄화처리를 실시하므로 더욱 저감된다.

이와 같이 제2절연층은 고도의 평탄화표면을 갖게 되어 제2절연층상의 레지스트를 소망하는 형상으로 패터닝하는 것이 용이하게 된다.

또, 제2절연층표면이 고도의 평탄화표면으로 되어 있으므로 플러그형성시 표면단부에 잔류하는 잔사가 없다.

그러므로 잔사에 의하여 도전층간에 발생하는 단락이 없으며 전기적 신뢰성이 개선된다.

제1절연층은 제1규정온도에 의하여 유동하게 되어 있으며, 제2절연층은 이 제1규정온도보다 낮은 제2규정온도에서 유동하게 되어 있으므로, 제1절연층은 제2절연층의 유동시에 유동상태가 되지 않는다.

그러므로 제1절연층의 유동으로 인하여 제1절연층표면상에 형성된 제2도전층의 위치변위는 발생하지 않는다.

즉 제2도전층의 위치에 편차가 없다.

따라서 제2패턴층이 위치편차로 발생되는 다른 도전층에 전기적으로 접속되는 것을 방지하므로 전기적 신뢰성이 개선된다.

다음은 이 발명의 한 실시예에 의한 반도체장치를 설명한다.

제1도를 참조하여, 실리콘으로 된 반도체기판(10)의 표면상에 두께가 대략 300~800㎚의 분리산화막(11)이 형성된다.

이 분리산화막(11)으로 분리된 반도체기판(10)상의 각 영역에는 MOSFET등의 소자가 형성된다.

이 MOSFET는 소스 및 드레인을 형성하는 불순물확산층(14a) 및 (14b)와, 게이트산화막(12)과, 게이트를 형성하는 다결정실리콘막(1)으로 구성된다.

반도체기판(10)표면에 소스 및 드레인이 되는 불순물확산층(14a) 및 (14b)이 형성된다.

이 불순물확산층(14a) 및 (14b)으로 된 소스 및 드레인에 걸치도록 게이트산화막(12)이 반도체기판(10)표면상에 형성된다.

이 게이트산화막(12)의 표면상에 게이트가 되는 다결정실리콘막(1)이 형성된다.

이 다결정실리콘막(1)을 포함하는 MOSFET로 제1도전층이 형성된다.

다결정실리콘막(1)의 표면상에는 실리콘산화막(13)이 형성되어 있다.

게이트산화막(12), 다결정실리콘막(1) 및 실리콘산화막(13)의 측벽에는 측벽(15a)이 형성된다.

MOSFET가 형성된 반도체기판(10)의 표면상에는 얇은 실리콘산화막 또는 질화막(2)이 각소자를 피복하도록 형성되어 있다.

이 얇은 실리콘산화막/질화막(2)의 표면상에는 제1불순물농도를 가진 평탄화된 산화막(3)이 형성된다.

이것이 제1절연막이 된다.

이 산화막(3)은 제1불순물농도이므로 제1글라스전이온도를 갖는다.

글라스전이온도란 절연층이 유동하기 시작하는 온도를 말한다.

얇은 실리콘산화막/질화막(2) 및 산화막(3)에는 접속공이 형성된다.

불순물확산층(14b) 또는 다결정실리콘막(1)의 일부표면이 접속공(18)내에서 노출된다.

다결정실리콘막(1)의 일부표면을 노출하는 접속공을 형성하기 위하여 실리콘산화막(13)도 에칭된다.

다결정실리콘막으로 형성된 플러그(7)가 접속공(18)내에 충전된다.

이 플러그(7)는 불순물확산층(14b) 또는 다결정실리콘막(1)에 전기적으로 접속된다.

불순물을 함유하는 산화막(3)의 표면상에 다결정실리콘막(4a)이 플러그(7)와 접촉하여 형성된다.

이 다결정실리콘막(4a)의 표면상에는 고융점금속실리사이드(4b)가 형성된다.

이 다결정실리콘막(4a) 및 고융점금속실리사이드(4b)는 제2도전층을 형성한다.

이 제2도전층은 플러그를 통하여 불순물확산층(14b) 또는 다결정실리콘막(1)에 전기적으로 접속된다.

산화막(3)의 표면상에 다결정실리콘막(4a) 및 고융점금속실리사이드(4b)로 형성된 제2도전층을 피복하도록 제2불순물농도의 산화막(5)이 형성된다.

이 산화막(5)의 제2불순물농도는 산화막(3)의 제1불순물농도보다 높다.

이 산화막(5)이 제2절연층이 된다.

이 산화막(5)은 제2불순물농도이므로 제2글라스전이온도를 갖는다.

산화막(5)의 전표면에는 제2의 얇은 실리콘산화막 또는 질화막(9)이 형성된다.

제1얇은 실리콘산화막/질화막(2), 산화막(3), 산화막(5), 및 제2의 얇은 실리콘산화막/질화막(9)내에는 접속공(19)이 형성된다.

이 접속공(19)에서는 플러그(7)에 전기적으로 접속되지 않은 불순물확산층(14b)의 일부표면이 노출된다.

이 접속공(9)은 텅스텐으로 형성되는 플러그(8)로 충전된다.

이 플러그(8)는 불순물확산층(14b)에 전기적으로 접속된다.

플러그(8)와 접촉하고 있는 제2실리콘산화막/질화막(9)의 표면상에는 제3도전층인 알루미늄-동 합금으로 된 배선층(6)이 형성된다.

이 배선층이 제3도전층을 구성한다.

상기와 같이 이 발명의 한 실시예에 의한 반도체장치가 구성되어 있다.

다음은 이 발명의 한 실시예에 의한 이 반도체장치의 제조방법을 설명한다.

제2도를 참조하여 불순물확산층(14a)(14b), 게이트산화막(12) 및 다결정실리콘막(1)으로 구성된 MOS트랜지스터를 형성하기까지의 공정은 종래예와 같으므로 설명을 생략한다.

제3도를 참조하여 화학증착법에 의하여 MOS트랜지스터등의 소자를 피복하도록 제1의 얇은 실리콘산화막/질화막(2)이 증착된다.

이 제1실리콘산화막/질화막(2)의 전표면에 제1불순물농도의 산화막(3)을 퇴적한다.

이 산화막(3)은 열처리에 의하여 표면이 평탄화된다.

다음에 산화막(3)의 전표면을 에칭하여 박막화된다.

제4도를 참조하여 표면의 평탄도가 양호한 산화막(3)에 사진제판기술 및 RIE에 의하여 접속공(18)을 형성한다.

산화막(3)의 전표면에는 화학증착법에 의하여 다결정실리콘막을 형성한다.

이 다결정실리콘막은 RIE에 의하여 에칭되어 접속공(18)을 충전하는 다결정실리콘플러그(7)을 형성한다.

이 다결정실리콘플러그(7)는 다결정실리콘막(1)에 전기적으로 접속된다.

산화막(3)의 전표면에는 다결정실리콘막(4a) 및 고융점금속박막(4b)을 퇴적한다.

이 다결정실리콘막(4a) 및 고융점금속박막(4b)은 사진제판기술 및 RIE에 의하여 패터닝되어 다결정실리콘플러그(7)와 접촉하는 다결정실리콘막(4a) 및 고융점금속실리사이드(4b)의 복합막층의 제2도전층을 형성한다.

이 제2도전층은 다결정실리콘플러그(7)를 통하여 불순물확산층(14b) 또는 다결정실리콘막(1)에 전기적으

로 접속된다.

제5도를 참조하여, 제1불순물농도의 산화막(3)의 표면상에는 제2도전층을 피복하도록 제1불순물농도보다 높은 제2불순물농도를 가진 산화막(5)을 퇴적시킨다.

이 산화막(5)은 제3산화막의 평탄화를 위한 열처리온도보다 낮은 열처리온도에서 평탄화가 실시된다.

이 평탄화처리 후, 산화막(5)은 전표면을 에칭하여 박막화된다.

평탄화된 산화막(5)의 전표면에 제2의 얇은 실리콘산화막/질화막(9)을 퇴적한다.

제2불순물농도의 산화막(3)이 연화되지 않는 낮은 온도로 설정하여야 한다.

즉 산화막(5)의 글라스전이온도는 산화막(3)의 글라스전이온도보다 낮아야 한다.

제6도를 참조하여 제1실리콘산화막/질화막(2), 산화막(3), 산화막(5), 제2실리콘산화막/질화막(9)에는 사진제판기술 및 RIE에 의하여 접속공(19)을 형성한다.

이 접속공(19)에 다결정실리콘플러그(7)에 전기적으로 접속안된 불순물확산층(14b)의 일부표면이 노출된다.

이 접속공(19)내로 불순물이 주입된다.

주입한 불순물을 활성화시키기 위하여 열처리가 실시된다.

이 열처리는 산화막(5)의 연화온도보다도 낮은 온도에서 실시된다.

그후 텅스텐플루오라이드(WF_6)를 함유하는 텅스텐박막을 제2실리콘산화막/질화막(9)상에 화학증착법에 의하여 형성한다.

RIE에 의하여 텅스텐박막을 에칭하여 접속공(19)을 충전하는 텅스텐플러그(8)을 형성한다.

제2실리콘산화막/질화막(9)의 표면상에는 스퍼터링에 의하여 알루미늄-동 합금막을 퇴적한다.

이 알루미늄-동 합금막을 사진제판기술 및 RIE에 의하여 패터닝하여서 제2실리콘산화막/질화막(9)의 표면상에 텅스텐플러그(8)과 접촉하는 알루미늄-동 합금으로 된 제3도전층(6)을 형성한다.

이 제3도전층(6)은 텅스텐플러그(8)를 통하여 불순물확산층(14b)에 전기적으로 접속된다.

상기와 같이 이 발명의 한 실시예에 의한 반도체장치가 제조된다.

다음은 제1도의 제1 및 제2의 실리콘산화막/질화막(2)(9)의 기능을 설명한다.

제1도를 참조하여, 제1의 얇은 실리콘산화막/질화막(2)은 평탄화처리시의 열처리중 산화막(3)의 불순물이 하층의 다결정실리콘막(1) 및 불순물확산층(14a)(14b)으로 확산하는 것을 방지한다.

산화막(3)의 평탄화를 위한 열처리는 확산로(爐)를 사용하는 수증기분위기등의 산화성분위기에서 실시하는 경우가 있다.

이 경우에 제1실리콘산화막/질화막(2)은 다결정실리콘막(1) 및 불순물확산층(14a)(14b)의 산화를 방지한다.

제2의 얇은 실리콘산화막/질화막(9)은 산화막(5)의 불순물이 상층의 제3도전층(6)으로 확산되는 것을 방지한다.

습기가 있는 분위기에서는 산화막(5)에 함유된 불순물인 붕소산화물을 표면층에서 석출하여 산을 형성한다.

이 산에 의하여 발생되는 배선부식을 제2실리콘산화막/질화막(9)이 억제하여 배선의 신뢰성저하를 방지한다.

제2실리콘산화막/질화막(9)은 또한 제3도전층(6)의 패터닝시에 레지스트의 밀착성을 향상시키는 효과가 있다.

실리콘산화막, 실리콘질화막, 도전층 및 플러그의 형성방법은 상기 실시예에서 설명한 것에 한정되지 않으며 다른 방법을 사용하여도 된다.

이 실시예에서는 플러그재료로서 다결정실리콘 및 텅스텐을 예로 설명하였으나 알루미늄등도 사용할 수 있다.

산화막(3) 또는 산화막(5)의 층간절연층에 함유된 불순물인 인, 붕소, 비소등 중 적어도 하나의 불순물이면 된다.

이 불순물은 층간절연층의 글라스전이온도를 저하시키는 것이 바람직하다.

산화막(3)과 산화막(5)의 퇴적막두께는 두꺼울수록 다음 공정에서의 평탄도가 양호하게 되므로 여기서는 단부상단분으로 한다.

에칭에 의한 산화막(3)(5)의 박막화방법은 HF(hydrofluoric acid)에 의한 방법. RIE법, 화학적기계적연마법(Journal fo Electrochemical Society, Vol 138, page 1778)에 의한 실리콘산화막의 연마등에 의하여 실시할 수 있다.

상기 실시예에서는 제1, 제2, 제3의 도전층이 있는 것을 설명하였으나, 이 발명은 3층이상의 도전층이 있는 반도체장치에도 적용가능하다.

다음은 같은 불순물농도를 가지는 제1도의 산화막(3) 및 산화막(5)의 문제점을 설명한다.

제7도를 참조하여, 제2불순물농도의 산화막(5)은 단부의 평탄화를 위하여 열처리를 실시하게 되며 이에 따라 산화막(5)이 연화되어 유동상태가 된다.

산화막(3)의 불순물농도가 산화막(5)과 동일하면 산화막(5)의 평탄화를 위한 열처리중 산화막(3)도 유동상태가 된다.

이 유동으로 산화막(3)이 변형된다.

이 산화막(3)의 변형에 따라 산화막(3)의 표면상에 형성된 제2도전층(4a)(4b)이 이동하여 위치변위가 발생한다.

이 제2도전층(4a)(4b)의 위치변위는 인접도전영역(8)과 접촉될 우려가 있다.

제2도전층(4a)(4b)이 인접도전영역(8)과 접촉하게 되면 반도체장치에 전기적결함이 발생하는 문제점이 있다.

다음은 이 발명의 다른 실시예에 의한 반도체장치의 구성을 설명한다.

제8도를 참조하여, 제3의 얇은 실리콘산화막 또는 질화막(20)이 제1불순물농도의 제3산화막(3)의 전표면에 형성된다.

이 제3실리콘산화막/질화막(20)의 표면상에 제2도전층(4a)(4b)가 불순물확산층(14b) 또는 다결정실리콘막(1)에 전기적으로 접속되도록 형성된다.

기타 구성은 제1도에 표시한 이 발명의 한 실시예에 의한 반도체장치와 동일하며, 그 설명은 생략한다.

제3의 얇은 실리콘산화막/질화막(20)은 제3산화막을 고정하는 역할을 하며 또한 산화막(5)의 평탄화를 위한 열처리중 발생하는 제2도전층(4a)(4b)의 위치변위를 억제하는 역할을 한다.

또한 제3의 얇은 실리콘산화막/질화막(20)은 제1불순물농도의 산화막(3)의 불순물이 제2도전층(4a)(4b)로 확산하는 것을 방지하고, 또 불순물의 흡습(吸濕)으로 인한 제2도전층(4a)(4b)의 부식을 방지하여 제2도전층(4a)(4b)의 패턴형성시의 레지스트의 밀착성을 향상시키는 역할도 한다.

다음은 이 발명의 또 다른 실시예에 의한 반도체장치의 구성을 설명한다.

제9도를 참조하여, 제1불순물농도의 제3산화막(3)의 전표면에 제3실리콘산화막/질화막(20)을 형성한다.

이 제3의 얇은 실리콘산화막/질화막(20)표면상의 제2도전층(4a)(4b)은 플러그(7)를 통하여 불순물확산층(14b) 및 다결정실리콘막(1)에 전기적으로 접속된다.

또 제3의 얇은 실리콘산화막/질화막(20)의 표면상에는 제2도전층(4a)(4b)을 피복하도록 제4의 얇은 실리콘산화막 또는 질화막(21)을 형성한다.

이 제4의 얇은 실리콘산화막/질화막(21)의 표면상에는 제2불순물농도의 산화막(5)이 형성된다.

나머지 구성은 제1도에 표시한 한 실시예에 의한 반도체장치와 동일하므로 그 설명은 생략한다.

제4실리콘산화막/질화막(21)은 제2도전층(4a)(4b)을 고정하는 역할을 하며 또 산화막(5)의 평탄화를 위한 열처리에 의하여 발생하는 제2도전층(4a)(4b)의 위치변위를 억제하는 역할을 한다.

또한 제4실리콘산화막/질화막(21)은 산화막(5)의 불순물이 하층의 제2도전층(4a)(4b)로 확산되는 것을 방지하며 또 확산로를 사용하여 수증기분위기등의 산화분위기하에 실시되는 산화막(5)의 평탄화를 위한 열처리중 발생하는 제2도전층(4a)(4b)의 산화를 방지하는 역할도 한다.

그러므로 대량의 불순물을 산화막(5)으로 주입할 수 있으므로 산화막(5)의 평탄화를 위한 열처리를 저온도에서 실시할 수 있다.

이 발명은 제1 및 제2의 절연층을 개별적으로 평탄화처리하기 위하여 제1절연층과 제2절연층의 불순물농도가 다르게 되어 있다.

즉 제1 및 제2의 절연층간에 상이한 불순물농도를 부여함으로써 제2절연층은 제1절연층에 비하여 낮은 글라스전이온도(연화점)를 갖도록 설정된다.

불순물농도에 따른 글라스전이온도의 변화에 대하여는 K. Nassauet al., J Electro-chem. Soc. : SOLID-STATE SCIENCE AND TECHNOLOGY, February 1985, 406~415쪽에 제10도(a)(b)에 표시한 관계에 관하여 설명하고 있다.

제10도(a)(b)를 참조하여, 횡축은 불순물농도를 표시하고 종축은 Tg : 글라스전이온도를 표시한다.

이 발명은 제10도에 표시한 불순물농도를 사용할 수 있다.

예를 들어, 제1불순물농도로서 B_2O_3 5몰(mol)%를 제1절연층인 산화막(3)으로 주입한다.

제2불순물농도로서 B_2O_3 10몰%를 제2절연층인 산화막(5)으로 주입한다.

이 경우 제10도에 표시한 바와 같이 대략 820℃의 온도가 산화막(3)의 글라스전이온도가 되고, 대략 700℃의 낮은 온도가 산화막(5)의 글라스전이온도가 된다.

이 발명은 제10도에 표시한 불순물농도에 한정되지 않으며 불순물농도의 수정에 의하여 글라스전이온도를 변경할 수 있고 바람직한 평탄화처리를 실시할 수 있다면 어떤 불순물농도라도 사용할 수 있다.

이 발명은 제1 및 제2의 절연층의 글라스전이온도를 수정하기 위하여 불순물농도를 변경시켰으나 글라스

전이온도를 다음(1)의 방법으로 변경할 수도 있다.

또는 평탄화의 정도는 다음 (2)(3)의 방법에 의하여 변경될 수 있다.

(1) 제1 및 제2의 절연층내에 함유된 불순물의 재료 또는 종류의 변경

(2) 제1 및 제2의 절연층두께의 변경

(3) 제1 및 제2의 절연층평탄화를 위한 열처리분위기의 변경

(1)의 방법에 관하여 그 반도체장치의 구성을 제11도에 표시한다.

제11도를 참조하여, 반도체기판(60)의 표면상에 제1도전층(51)이 형성된다.

이 제1도전층(51)을 피복하도록 제1절연층(52)이 형성된다.

이 제1절연층(52)의 표면상에 제2도전층(53)이 형성된다.

이 제2도전층(53)을 피복하도록 불순물의 재료 또는 종류가 제1절연층과 다른 불순물이 함유된 제2절연층(54)이 형성된다.

이 제2절연층의 표면상에 제3도전층(55)이 형성된다.

이 구성에서, 제1절연층(52)은 실리콘산화층을 포함할 수 있으며, 제2절연층(54)은 BPSG(Boron-doped phospho-silicate Glass)층을 포함할 수 있다.

즉 제1절연층(52)을 SOG(Spin On Glass)에 의하여 평탄화를 실시하고, 이어서 제1절연층(52)상의 제2도전층(53)을 피복하는 제2절연층(54)에 평탄화를 위한 열처리를 실시하게 된다.

제12도와 관련한 동일온도하의 재료에 따른 점성차이는 K. Nassauet al., S. Electrochem. Soc. : SOLID-STATE SCIENCE AND TECHNOLOGY, February 1985, 409~415쪽에 개시되어 있다.

제12도에서 온도는 횡축을 따라 표시되고, 점성(점성단위, log Viscosity poise)은 종축을 따라 표시된다.

이 발명에서 제12도에 표시한 불순물의 재료 또는 종류(B_2O_3, SiO_2, P_2O_3, GeO_2등)을 사용할 수 있다.

이 발명에서는 제12도에 표시한 불순물의 재료 또는 종류에 한정되는 것은 아니며, 불순물의 재료 또는 종류를 변경함으로써 글라스전이온도를 변화시킬 수 있고 바람직한 평탄화처리를 실시할 수 있는 것이면 어떠한 자재 또는 불순물도 사용할 수 있다.

절연층의 두께에 따라 평탄화의 정도를 변경하는 (2)방법에 관하여는 C. Y. Fu, IEDM85, 602~605쪽에 제13도에 표시된 관계가 제시되어 있다.

제13도에서 횡축은 두께를 표시하고, 종축은 절연층유동각Θ의 평탄화정도를 표시한다.

즉 이 발명의 상기 제조방법에 의하면 제1절연층인 산화막(3)이 제1막두께로 형성된다음 열처리에 의하여 평탄화되고, 제2절연층인 산화막(5)이 제1막두께보다도 두꺼운 제2막두께로 형성된 다음 평탄화를 위한 열처리가 실시된다.

제13도에서 알수 있는 바와 같이 열처리온도가 동일한 경우에도 두꺼운 막두께에 비해 열처리후의 유동각Θ는 작게 된다.

이는 산화막(3)보다 두꺼운 산화막(5)을 산화막(3)의 열처리온도보다 낮은 열처리온도에서 산화막(3)의 유동각 Θ와 같은 정도로 편탄화할 수 있음을 뜻한다.

사용한 시료는 붕소글라스이다.

이 발명에서는 제13도에 표시한 절연층의 두께를 사용할 수 있다.

이 발명에서는 제13도에 표시하는 절연층두께에 한정되는 것은 아니며, 제1 및 제2의 절연층두께를 변경함으로써 평탄화정도를 변경할 수 있고 바람직한 평탄화처리를 실시할 수 있으면 어느 두께라도 사용할 수 있다.

절연층을 평탄화하기 위한 열처리의 분위기를 변경함으로써 평탄화의 정도를 변경하는 (3)의 방법은 Jacques S. Mevcier, Solid State Technology/July 1987, 85~91쪽에 제14도(a)(b)에 표시한 관계가 제시되어 있다/

평탄화정도(유동각Θ)은 제14도(a)(b)의 종축에 표시되고, 평탄화처리시간 및 온도는 각각 제14도(a) 및 (b)의 횡축에 표시된다.

시료는 붕소와 인이 첨가된 BPSG막이다.

이 발명은 평탄화를 위한 열처리에 있어서 제14도(a)(b)에 표시한 분위기(수증기분위기, 질소분위기)를 사용할 수 있다.

이 발명에서는 제14도(a)(b)에 표시한 분위기에 한정되는 것은 아니고, 분위기의 변경으로 제1 및 제2의 절연층의 평탄화정도를 변경할 수 있으며 바람직한 평탄화처리를 실시할 수 있으면 어떠한 분위기도 사용할 수 있다.

알루미늄(AL)배선층상에 형성되는 패시베이션막은 일반적으로 PSG막으로 형성된다.

그러나 600℃ 이상온도는 하층의 알루미늄배선층을 융해시킬 가능성이 있으므로 이패시베이션막에는 고온의 열처리가 소요되는 평탄화처리를 실시할 수가 없다.

이 발명의 반도체장치는 제1글라스전이온도의 제1절연층과 제2글라스전이온도의 제2절연층을 포함하므로, 제2절연층은 고도의 평탄화표면을 갖게 되어 절연층상의 레지스트를 소망하는 형상으로 패터닝하는 것이 용이하게 된다.

또 잔사의 존재로 인한 다른 도전층간의 단락문제도 해소된다.

또한 제2도전층의 위치변위에 의하여 발생하는 다른 도전층에 제2도전층이 전기적으로 접속되는 문제도 방지된다.

이에 따라 전기적인 신뢰성이 향상된다.

이 발명의 다른 특징에 의한 반도체장치는 제1재료로 형성된 제1절연층과 제2재료로 형성된 제2절연층을 포함한다.

그러므로 제2도전층의 위치변위로 인한 다른 도전층에 제2도전층이 전기적으로 접속되지 않는다. 이에 따라 전기적인 신뢰성이 향상된다.

이 발명에 의한 반도체장치의 제조방법에서는, 제1절연층이 제1온도에서 유동되도록 제조되고 제2절연층은 제1온도보다도 낮은 제2온도에서 유동되도록 제조된다.

그러므로 제2절연층은 고도의 평탄화표면을 갖게 되어 절연층상의 레지스트를 소망하는 형상으로 패터닝하는 것이 용이하게 된다.

또 잔사로 인한 도전층간의 단락문제가 해소된다.

또한 제2도전층의 위치변위로 인하여 발생하는 제2도전층의 다른 도전층과의 전기적 접속이 발생하지 않으므로 전기적 신뢰성이 향상된다.

(57) 청구의 범위

청구항 1

반도체기판(10)의 표면상에 형성된 제1도전층(1)과; 이 제1도전층을 피복하도록 형성되고, 제1글라스전이온도를 가지며, 그 표면이 평탄화된 제1절연층(3)과; 이 평탄화된 제1절연층의 표면상에 형성된 제2도전층(4a)(4b)과; 상기 제2도전층을 피복하도록 형성되고, 상기 제1글라스전이온도보다도 낮은 제2글라스전이온도를 가지며, 그 표면이 평탄화된 제2절연층(5)과; 이 평탄화된 제2절연층의 표면상에 형성된 제3도전층(6)으로 구성된 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 제1절연층(3)과 상기 제2절연층(5)은 불순물로 구성되며, 상기 제1절연층은 제1불순물농도이고 상기 제2절연층은, 상기 제1불순물농도와 다른 제2불순물농도인 것을 특징으로 하는 반도체장치.

청구항 3

제2항에 있어서, 상기 제2불순물농도는 상기 제1불순물농도보다도 높은 것을 특징으로 하는 반도체장치.

청구항 4

제3항에 있어서, 상기 제1절연층(3)에 주입된 불순물과 상기 제2절연층(5)에 주입된 불순물은 동일 종류인 것을 특징으로 하는 반도체장치.

청구항 5

제4항에 있어서, 상기 불순물은 보론트리옥사이드(B_2O_3), 포스포러스 팬톡사이드(P_2O_5) 및 겔마늄(IV) 옥사이드(GeO_2)로 구성되는 그룹에서 선정되는 것을 특징으로 하는 반도체장치.

청구항 6

제1항에 있어서, 상기 제1절연층(3)은 제1불순물로 구성하고, 상기 제2절연층(5)은 상기 제1불순물과 다른 종류의 제2불순물로 구성하는 것을 특징으로 하는 반도체장치.

청구항 7

제6항에 있어서, 상기 제1불순물은 포스포러스 팬톡사이드(P_2O_5)로 구성되고, 상기 제2불순물은 보론트리옥사이드(B_2O_3)로 구성된 것을 특징으로 하는 반도체장치.

청구항 8

제1항에 있어서, 상기 제1절연층(3)은 불순물로 구성하지 않으며, 상기 제2절연층(5)은 불순물로 구성하는 것을 특징으로 하는 반도체장치.

청구항 9

제1항에 있어서, 상기 제1도전층(1)의 표면을 피복하도록 상기 반도체기판(10)과 상기 제1절연층(3)간에 형성된 제3절연층(2)을 추가구성한 것을 특징으로 하는 반도체장치.

청구항 10

제9항에 있어서, 상기 제3절연층(2)은 실리콘산화막 및 실리콘질화막 중 하나인 것을 특징으로 하는 반도체장치.

청구항 11

제1항에 있어서, 상기 제2절연층(5)과 상기 제3도전층(6)간에 형성된 제4절연층(9)을 추가구성한 것을 특징으로 하는 반도체장치.

청구항 12

제11항에 있어서, 상기 제4절연층(9)은 실리콘산화막 및 실리콘질화막 중 하나인 것을 특징으로 하는 반도체장치.

청구항 13

제1항에 있어서, 상기 제1절연층(3)과 상기 제2도전층(4a)(4b) 간에 형성된 제5절연층(20)을 추가구성한 것을 특징으로 하는 반도체장치.

청구항 14

제13항에 있어서, 상기 제5절연층(20)은 실리콘산화막 및 실리콘질화막 중 하나인 것을 특징으로 하는 반도체장치.

청구항 15

제1항에 있어서, 상기 제2도전층(4a)(4b)의 표면을 피복하도록 상기 제2도전층과 상기 제2절연층(5)간에 형성된 제6절연층(21)을 추가구성한 것을 특징으로 하는 반도체장치.

청구항 16

제15항에 있어서, 상기 제6절연층(21)은 실리콘산화막 및 실리콘질화막 중 하나인 것을 특징으로 하는 반도체장치.

청구항 17

제1항에 있어서, 상기 제1절연층(3)에는 상기 제1도전층(1)에 도달하는 접속공(18)이 있으며, 상기 제1 및 제2의 도전층(1)(4a)(4b)이 상기 접속공을 통하여 전기적으로 접속되는 것을 특징으로 하는 반도체장치.

청구항 18

제1항에 있어서, 상기 제1도전층(1)은 전계효과트랜지스터의 게이트전극을 구성하는 것을 특징으로 하는 반도체장치.

청구항 19

제1항에 있어서, 상기 제2도전층(4a)(4b)은 전계효과트랜지스터의 소스/드레인영역에 전기적으로 접속되는 배선층을 구성하는 것을 특징으로 하는 반도체장치.

청구항 20

제1항에 있어서, 상기 제3도전층(6)은 전계효과트랜지스터의 소스/드레인영역에 전기적으로 접속되는 배선층을 구성하는 것을 특징으로 하는 반도체장치.

청구항 21

반도체기판(60)의 표면상에 형성된 제1도전층(51)과; 이 제1도전층을 피복하도록 형성되고, 그 표면이 평탄화되어 있으며, 제1재료로 형성되는 제1절연층(52)과; 이 평탄화된 제1절연층의 표면상에 형성된 제2도전층(53)과; 이 제2도전층을 피복하도록 형성되고, 그 표면이 평탄화되어 있으며, 상기 제1재료로 다른 제2재료로 형성된 제2절연층(54)과; 평탄화된 상기 제2절연층의 표면상에 형성된 제3도전층(55)으로 구성된 것을 특징으로 하는 반도체장치.

청구항 22

제21항에 있어서, 상기 제1재료는 실리콘산화물로 구성되고 상기 제2재료는 BPSG(Boron-doped phospho-silicate Glass)로 구성되는 것을 특징으로 하는 반도체장치.

청구항 23

반도체기판(10)의 표면상에 형성된 제1도전층(1)과, 이 제1도전층을 피복하도록 상기 반도체기판상에 형성된 제1절연층(2)과, 이 제1절연층상에 형성되고 제1글라스전이온도를 가진 제2절연층(3)과, 이 제2절연층상에 형성된 제3절연층(20)과, 이 제3절연층의 표면상에 형성된 제2도전층(4a)(4b)과, 이 제2도전층의 표면을 피복하도록 상기 제3절연층상에 형성된 제4절연층(21)과, 이 제4절연층상에 형성되고 상기 제1글라스전이온도 보다도 낮은 제2글라스전이온도를 가진 제5절연층(5)과, 이 제5절연층상에 형성된 제6절연층(9)과, 상기 제5절연층의 표면상에 형성된 제3도전층(6)으로 구성된 것을 특징으로 하는 반도체장치.

청구항 24

반도체기판(10)의 표면상에 도전재로 된 제1패턴층(1)과; 이 제1패턴층을 피복하며, 제1규정온도에서 유동되는 재료로 형성되고, 제1규정온도로 가열함으로써 상면이 평탄화되는 제1절연층(3)과; 이 제1절연층

상에 도전재로 된 제2패턴층(4a)(4b)과; 이 제2패턴층을 피복하며, 제1규정온도보다 낮은 제2규정온도에서 유동되는 재료로 형성되고, 제2규정온도로 가열함으로써 상면이 평탄화되는 제2절연층(4)으로 구성된 것을 특징으로 하는 반도체장치.

청구항 25

제24항에 있어서, 상기 제1절연층(3)과 상기 제2절연층(5)은 불순물로 구성되며, 상기 제1절연층의 불순물은 제1불순물농도이고 상기 제2절연층의 불순물은 상기 제1불순물농도와 다른 제2불순물농도인 것을 특징으로 하는 반도체장치.

청구항 26

제24항에 있어서, 상기 제1절연층(3)은 제1불순물로 구성하고 상기 제2절연층(5)은 상기 제1불순물과 다른 종류의 제2불순물로 구성하는 것을 특징으로 하는 반도체장치.

청구항 27

제24항에 있어서, 상기 제2패턴층(4a)(4b)을 피복하도록 상기 제2도전층과 상기 제2패턴층(5)간에 제6절연층(21)을 추가구성한 것을 특징으로 하는 반도체장치.

청구항 28

반도체기판(10)의 표면상에 제1도전층(1)을 형성하는 공정과, 이 제1도전층을 피복하도록 제1절연층(3)을 형성하는 공정과, 이 제1절연층의 표면을 제1조건에 의하여 평탄화하는 공정과, 이 평탄화된 제1절연층의 표면상에 제2도전층(4a)(4b)을 형성하는 공정과, 이 제2도전층을 피복하도록 제2절연층(5)을 형성하는 공정과, 이 제2절연층의 표면을 상기 제1조건과 다른 제2조건에 의하여 평탄화하는 공정과, 이 평탄화된 제2절연층의 표면상에 제3도전층(6)을 형성하는 공정으로 구성된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 29

제28항에 있어서, 상기 제1 및 제2의 조건은 평탄화시의 분위기온도인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 30

제28항에 있어서, 상기 제1 및 제2의 조건은 평탄화시 가스분위기인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 31

제28항에 있어서, 상기 제1조건에 의한 평탄화공정은 기판의 스피닝가공공정을 포함하며 상기 제2조건에 의한 평탄화공정은 제2절연층을 유동시키기 위하여 소정온도까지 가열하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 32

반도체기판(10)의 표면상에 도전재료로 된 제1패턴층(5)을 형성하는 공정과, 이 제1패턴층을 제1규정온도에서 유동되는 재료로 된 제1절연층(3)으로 피복하는 공정과, 이 제1절연층을 상면이 평탄화되도록 제1규정온도로 가열하는 공정과, 상기 제1절연층상에 도전재로 된 제2패턴층(4a)(4b)을 형성하는 공정과, 이 제2패턴층을 제1규정온도보다 낮은 제2규정온도에서 유동하는 재료로 된 제2절연층(5)으로 피복하는 공정과, 이 제2절연층을 상면이 평탄화되도록 제2규정온도로 가열하는 공정으로 구성된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 33

제32항에 있어서, 상기 제1절연층(3)과 상기 제2절연층(5)은 주입된 불순물이 함유되고, 상기 제1절연층은 제1불순물농도이며, 상기 제2절연층은 제1불순물농도와 다른 제2불순물농도인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 34

제33항에 있어서, 상기 제2불순물농도는 상기 제1불순물농도보다 높은 것을 특징으로 하는 반도체장치의 제조방법.

청구항 35

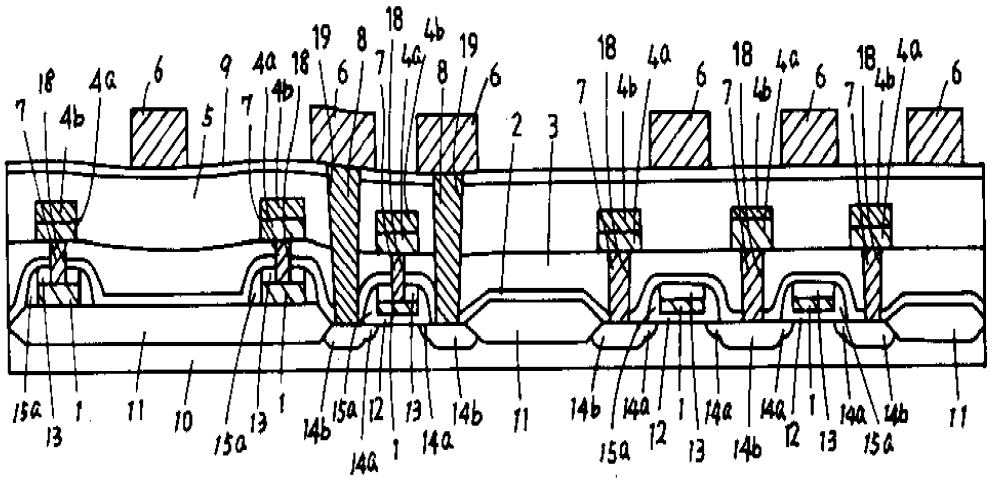
제32항에 있어서, 상기 제1절연층(3)은 상기 제1도전층(1)을 피복하도록 제1두께로 형성되고, 상기 제2절연층(5)은 상기 제2도전층(4a)(4b)을 피복하도록 상기 제1두께와 다른 제2두께로 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 36

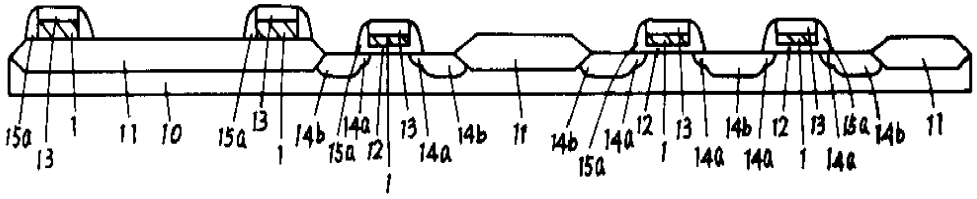
제35항에 있어서, 상기 제2두께는 상기 제1두께보다도 두꺼운 것을 특징으로 하는 반도체장치의 제조방법.

도면

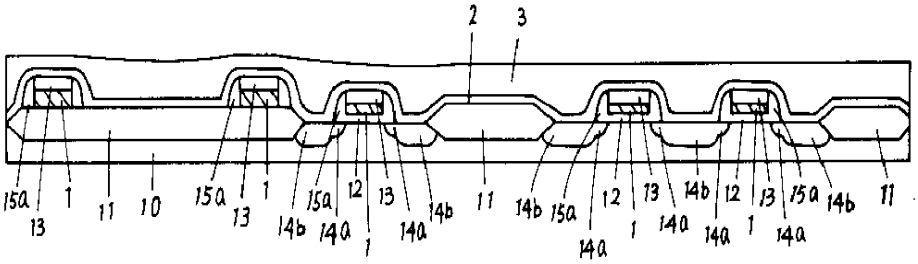
도면1



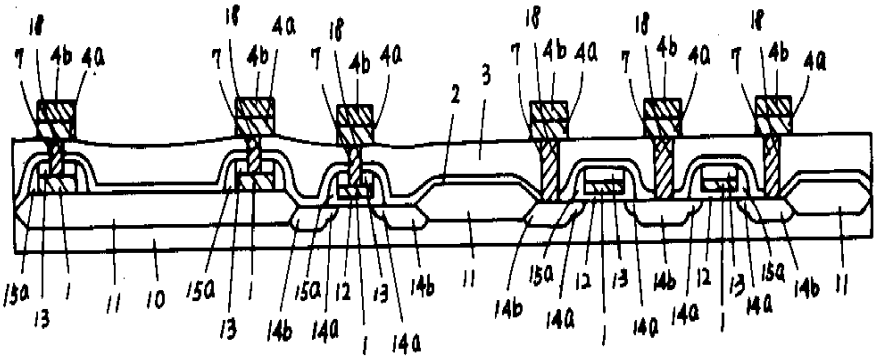
도면2



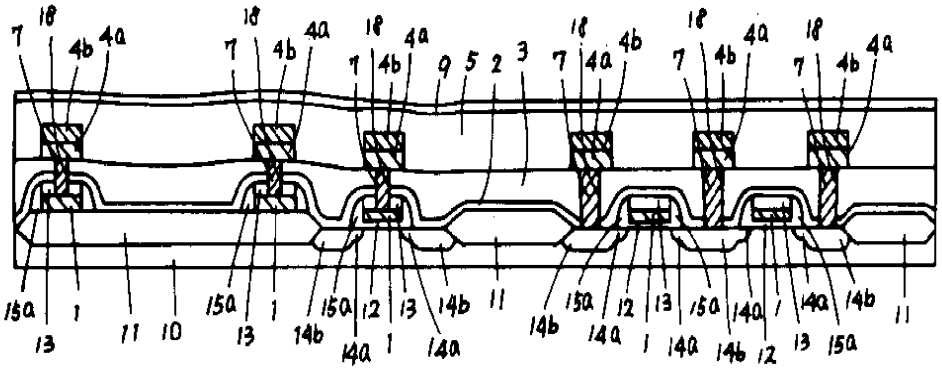
도면3



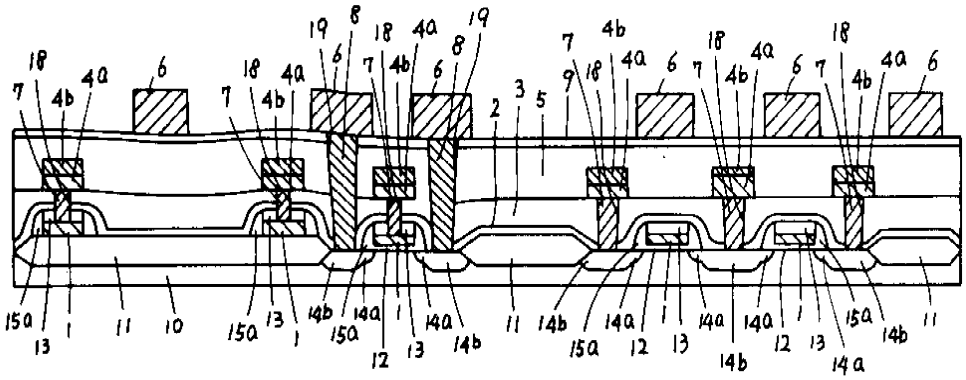
도면4



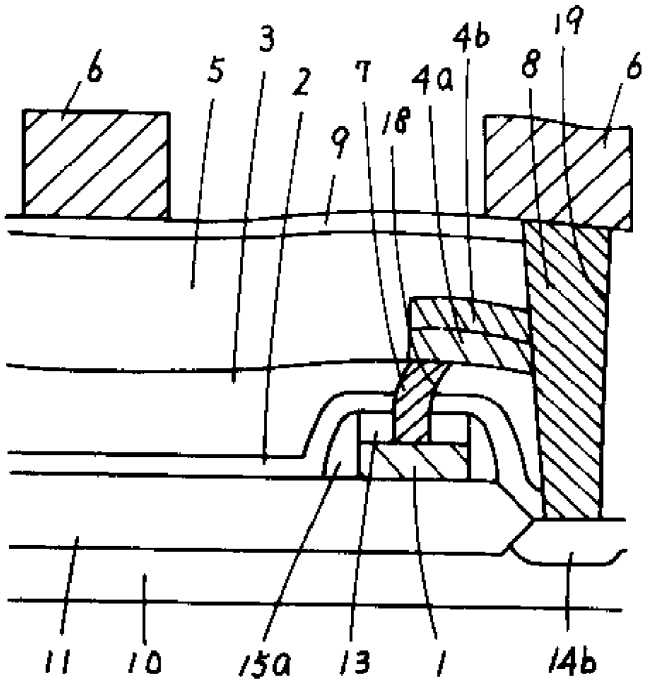
도면5



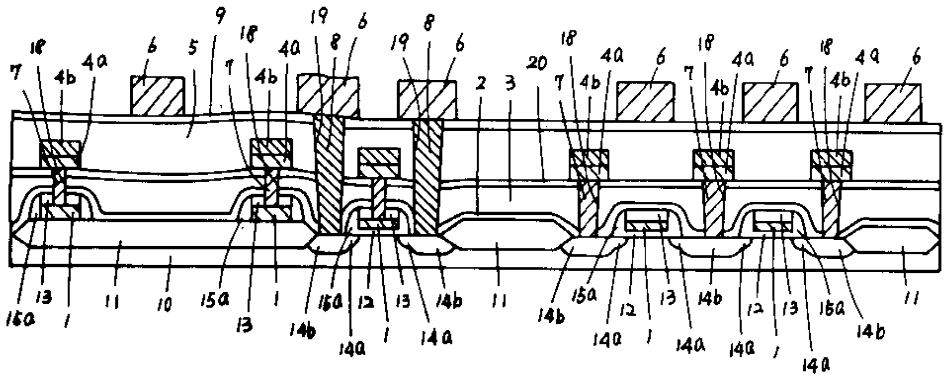
도면6



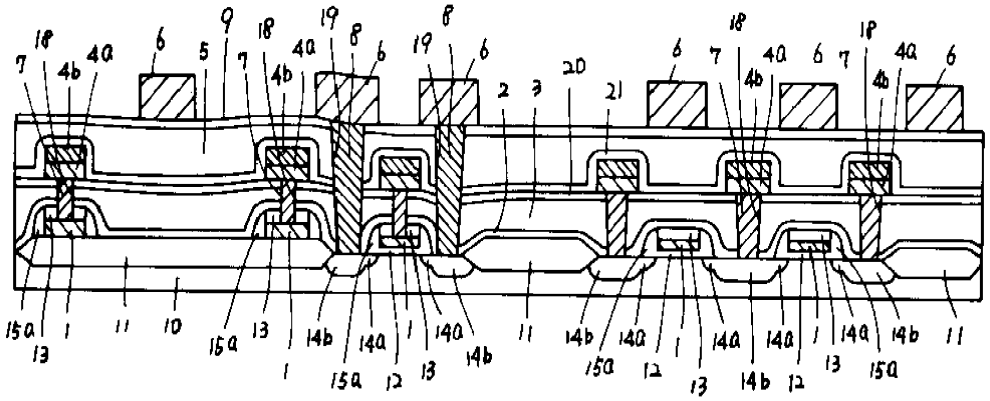
도면7



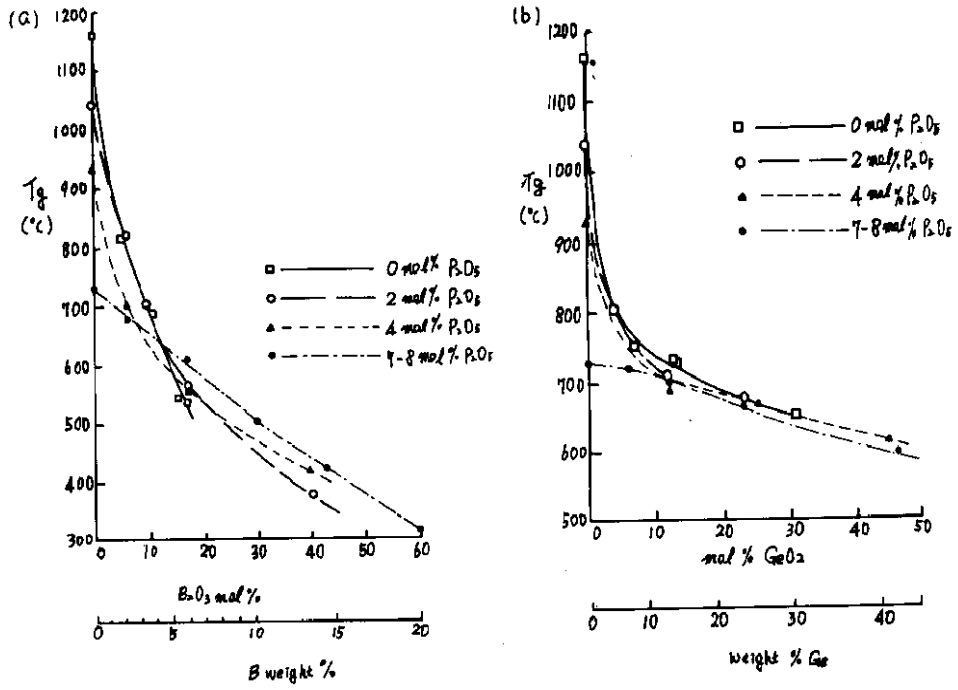
도면8



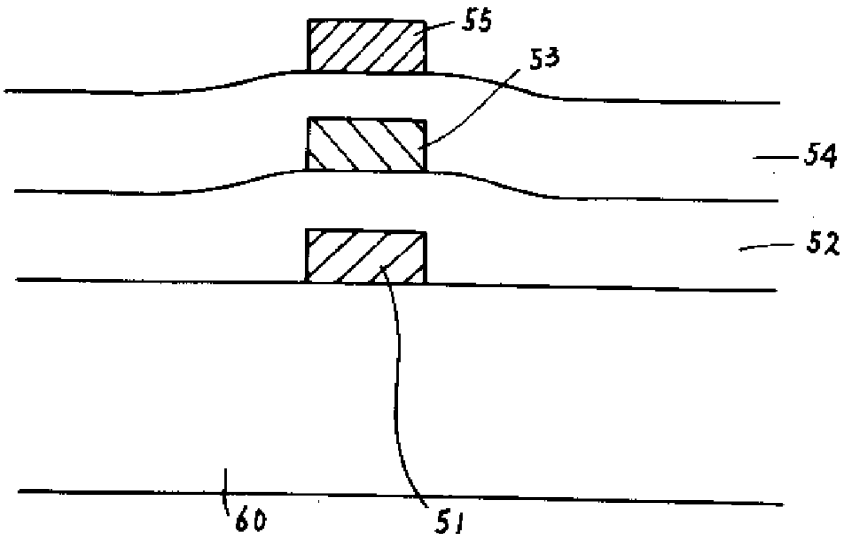
도면9



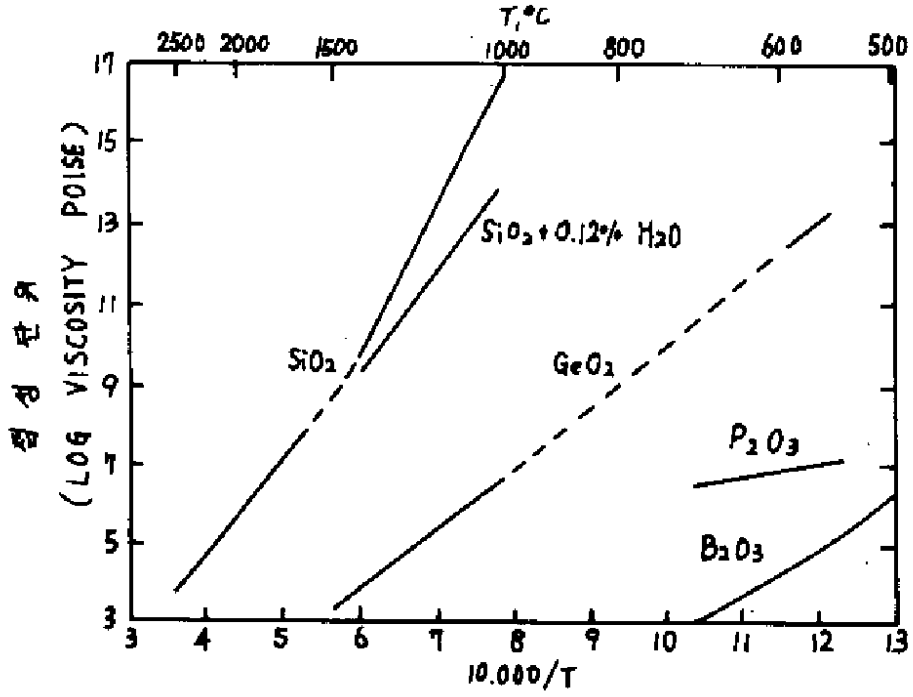
도면10


(a)
Tg (°C)
0 mol% P2O5
2 mol% P2O5
4 mol% P2O5
7-8 mol% P2O5
B2O3 mol%
B weight %
(b)
Tg (°C)
0 mol% P2O5
2 mol% P2O5
4 mol% P2O5
7-8 mol% P2O5
mol % GeO2
weight % Ge

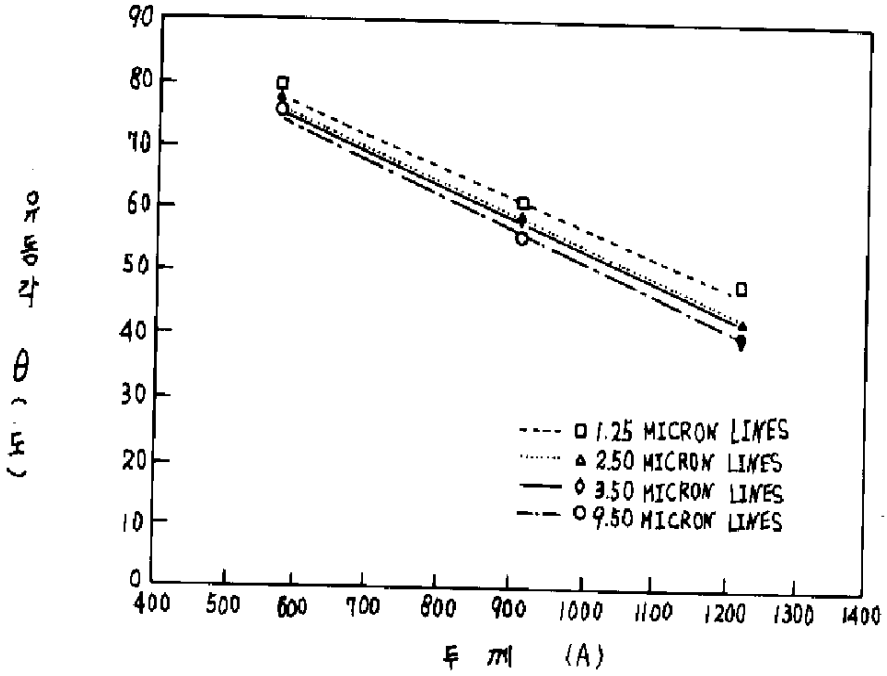
도면11


55
53
54
52
60
51

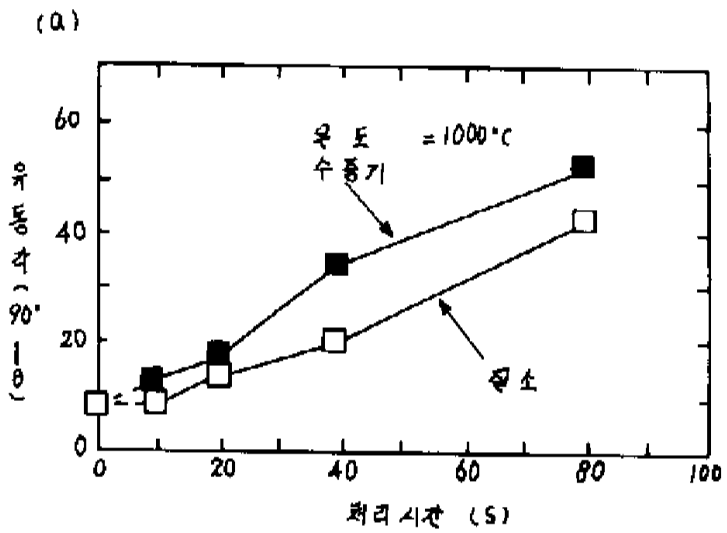
도면12

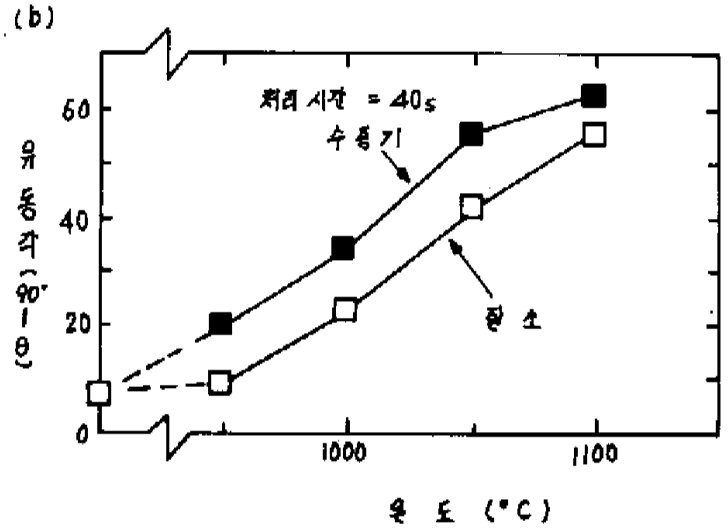

T,°C
2500
2000
1500
1000
800
600
500
(LOG VISCOSITY POISE)
점성 단위
17
15
13
11
9
7
5
3
SiO2
SiO2+0.12% H2O
GeO2
P2O3
B2O3
3
4
5
6
7
8
9
10
11
12
13
10.000/T

도면13

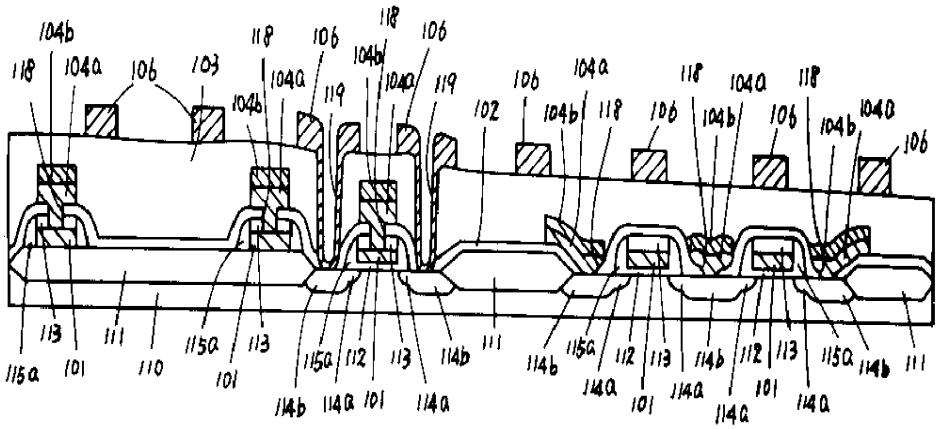

90
80
70
60
50
40
30
20
10
0
400
500
600
700
800
900
1000
1100
1200
1300
1400
□ 1.25 MICRON LINES
△ 2.50 MICRON LINES
◇ 3.50 MICRON LINES
○ 9.50 MICRON LINES
두 께 (A)

도면14

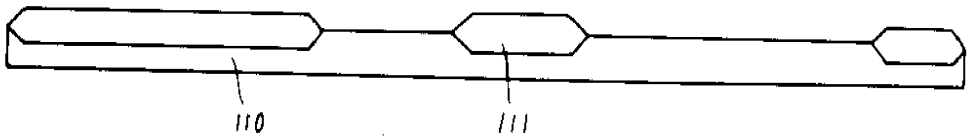

(a)
유동각 (90°-θ)
60
40
20
0
0
20
40
60
80
100
처리시간 (S)
온도 =1000°C
수증기
질소


(b)
유동각 (90°-θ)
60
40
20
0
1000
1100
온도 (°C)
처리시간 = 40s
수증기
질소

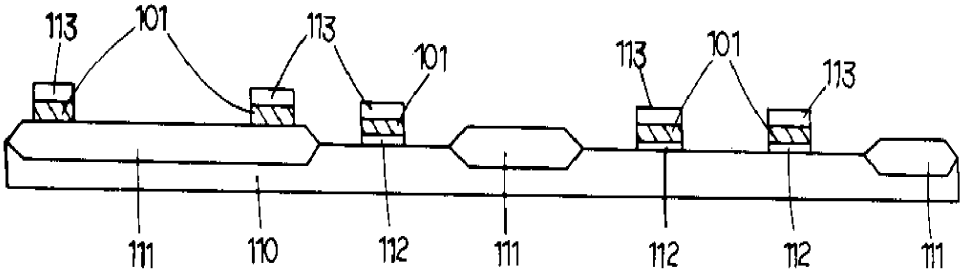
도면15


104b
118
104a
106
103
118
106
104b
104a
119
118
106
104b
104a
119
102
106
104a
104b
118
106
118
104a
104b
106
118
104b
104a
106
115a
113
101
111
110
115a
113
101
115a
112
113
114b
111
114b
114a
101
114a
114b
115a
112
113
114b
112
113
115a
114b
111
114a
101
114a
114a
101
114a

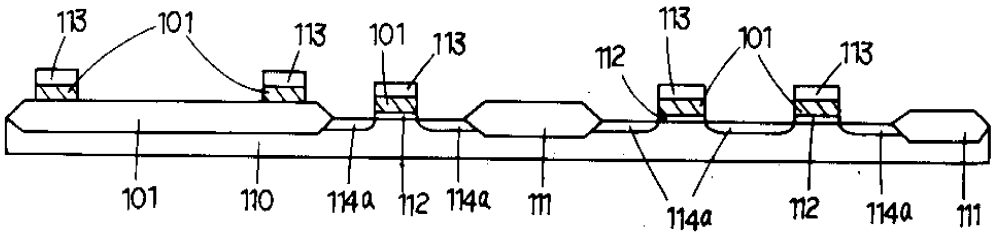
도면16



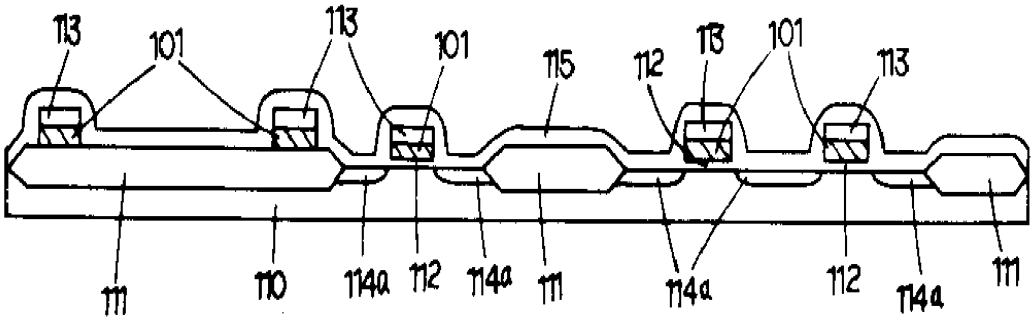
도면17



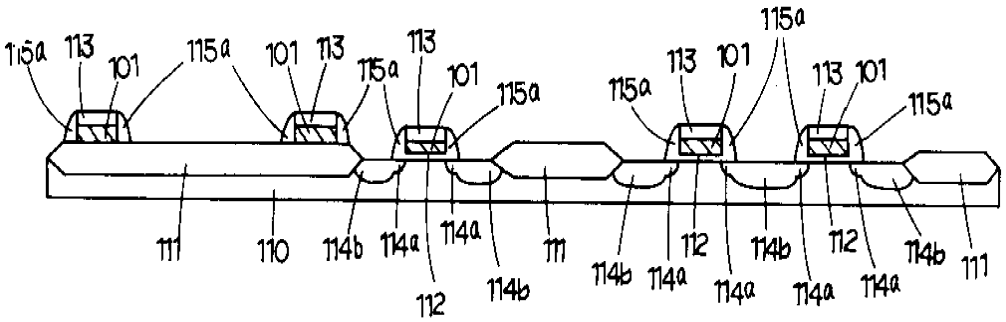
도면18



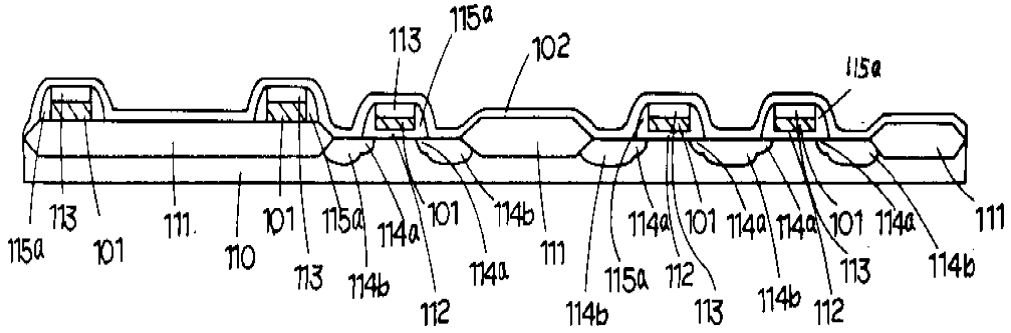
도면19



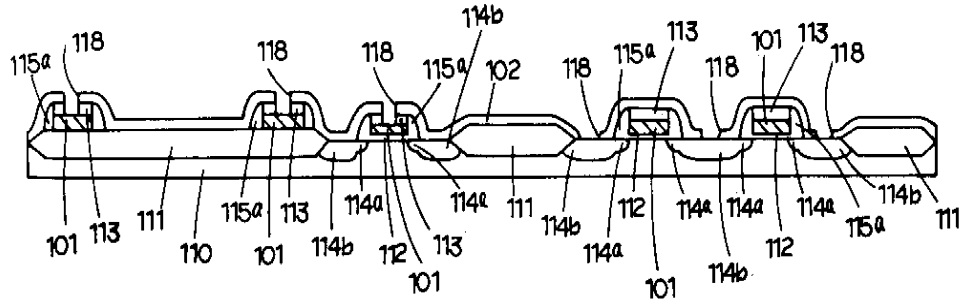
도면20



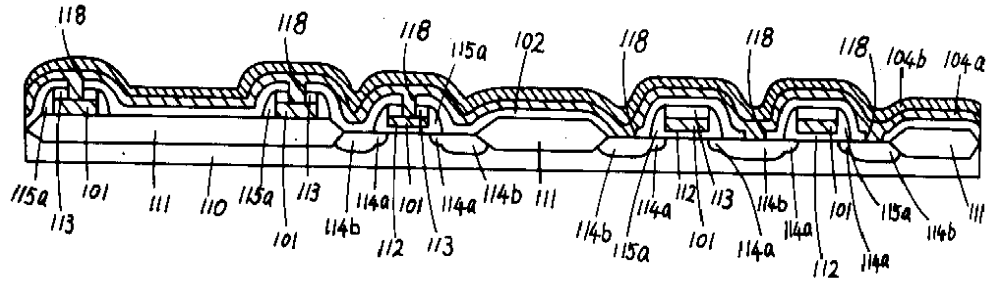
도면21



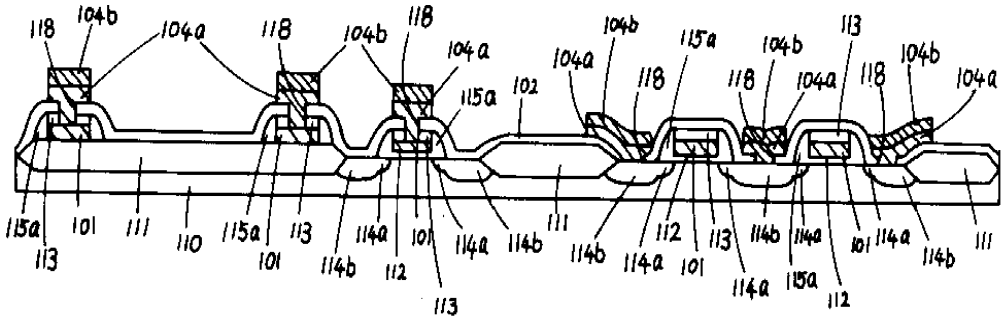
도면22



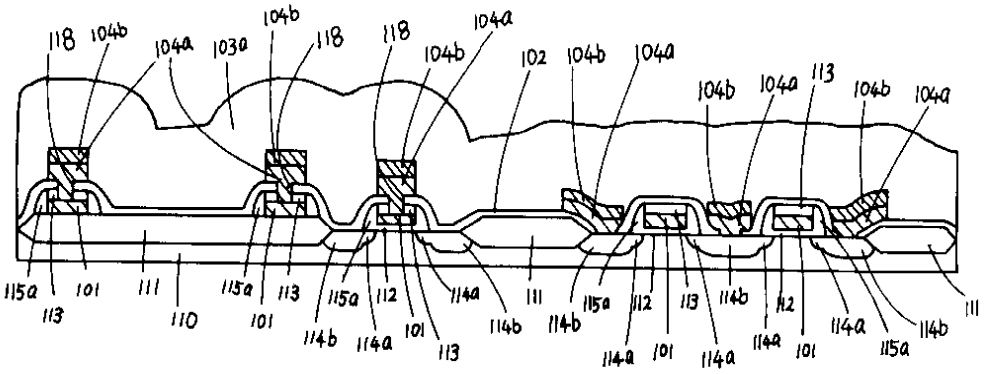
도면23



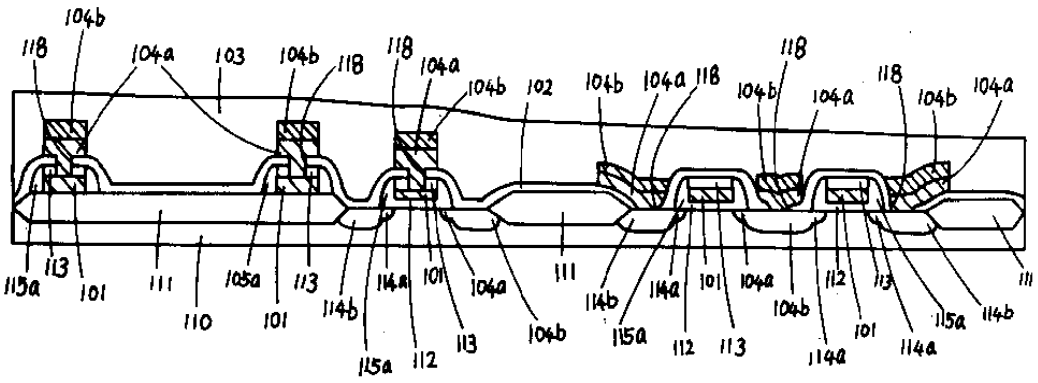
도면24



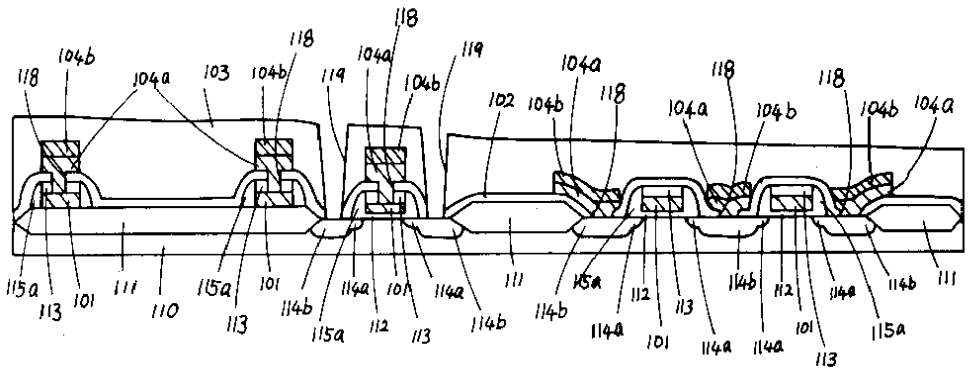
도면25



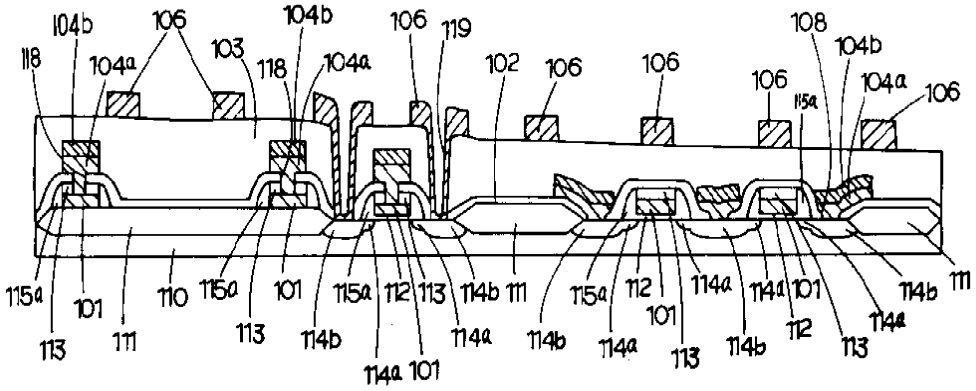
도면26



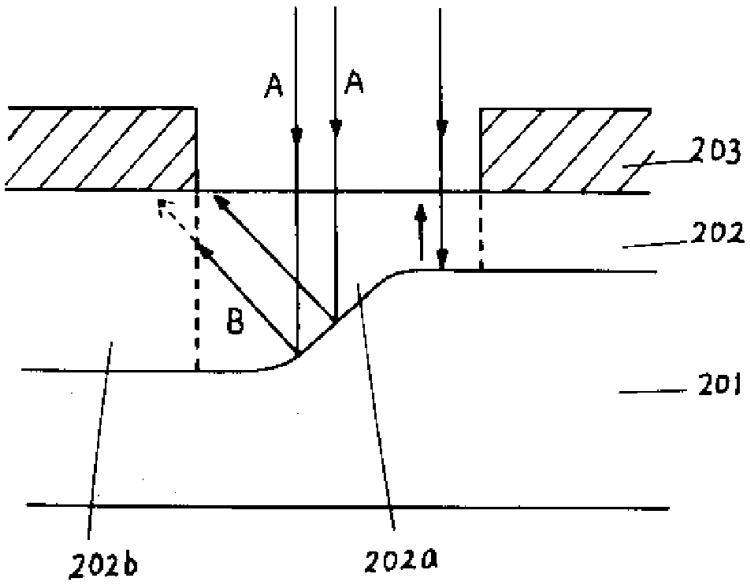
도면27



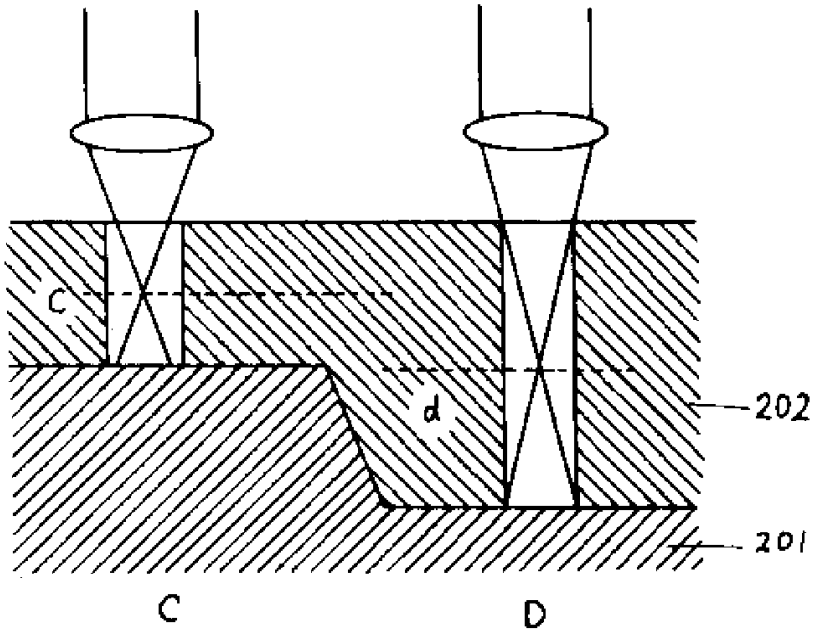
도면28


104b
106
104b
106
119
108
104b
118
104a
103
118
104a
102
106
106
106
104a
106
115a
115a
101
110
115a
101
115a
112
113
114b
111
115a
112
114a
114a
101
114b
111
113
111
113
114b
114a
101
114b
114a
101
113
114b
112
113
114a

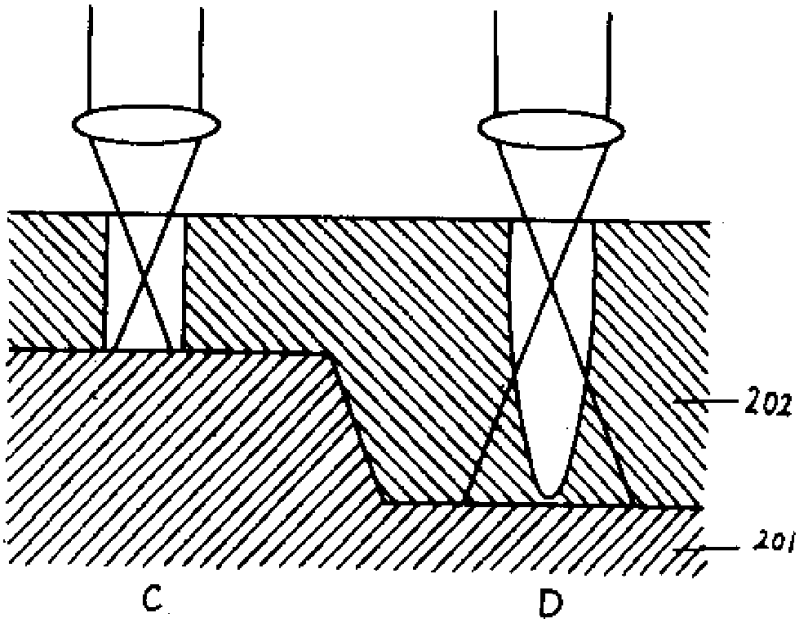
도면29


A
A
203
202
B
201
202b
202a

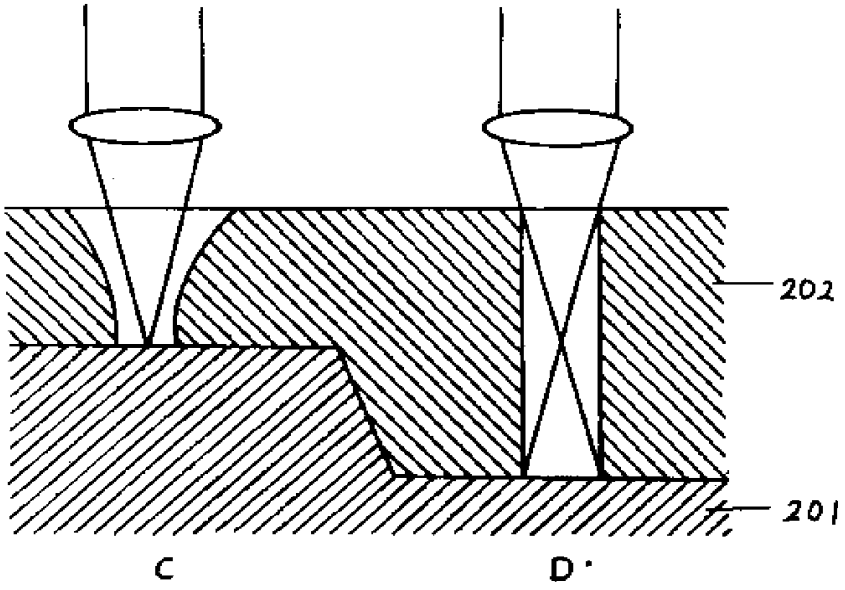
도면30



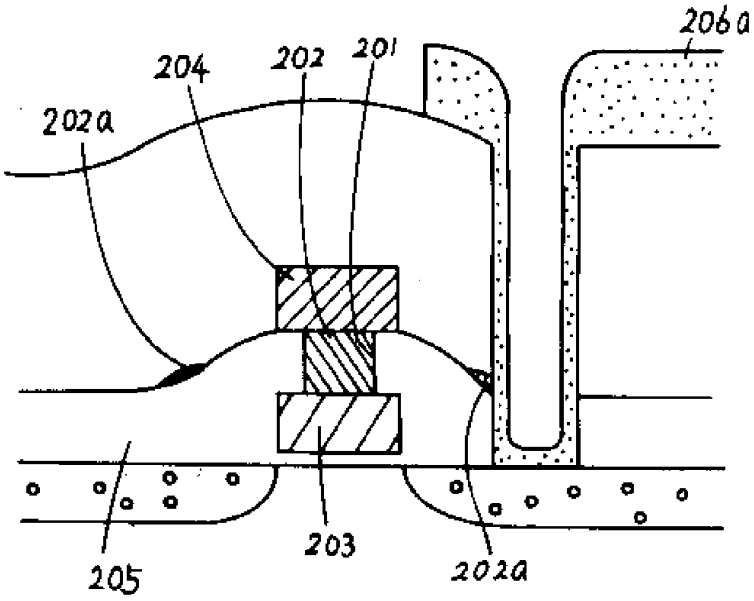
도면31



도면32



도면33



도면34

