(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 7 月 7 日 (07.07.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/106861 A1

(51) 国际专利分类号:
G06F 3/041 (2006.01)

(21) 国际申请号: PCT/CN2015/070831

(22) 国际申请日: 2015 年 1 月 16 日 (16.01.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201410842861.4 2014 年 12 月 30 日 (30.12.2014) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **薛景峰 (XUE, Jingfeng)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 **张鑫 (ZHANG, Xin)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD)**; 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: TOUCH PANEL

(54) **发明名称** : 触控面板

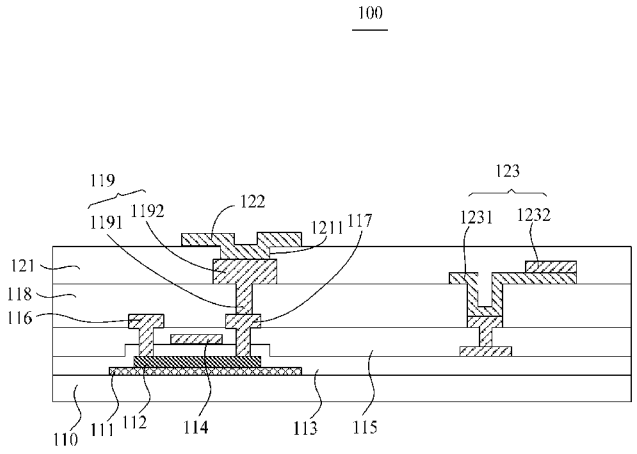


图 1 / FIG. 1

(57) **Abstract**: A touch panel (100), comprising: a substrate (110); a low-temperature polysilicon layer (112), a first insulation layer (113), a gate (114) and a second insulation layer (115) that are sequentially stacked on the surface of the substrate (110); a source (116) and a drain (117) that are disposed on the second insulation layer (115) at an interval and are respectively connected to the low-temperature polysilicon layer (112) via through holes; a planarization layer (118) stacked on the source (116), the drain (117) and the second insulation layer (115), the planarization layer (118) being provided with a first through hole (1181) that is disposed corresponding to the drain (117); a filling part (119) filling the first through hole (1181) and being electrically connected to the drain (117); a third insulation layer (121) stacked on the planarization layer (118) and provided with a second through hole (1211) that is disposed corresponding to the filling part (119); and a pixel electrode (122) disposed on the third insulation layer (121) and electrically connected to the filling part (119) via the second through hole (1211). The pixel electrode (122) of the touch panel (100) is less prone to disconnection and falling.

(57) **摘要**:

[见续页]

WO 2016/106861 A1

一种触控面板(100)，包括：基板(110)；依次层叠设置在基板(110)的表面上的低温多晶硅层(112)、第一绝缘层(113)、栅极(114)及第二绝缘层(115)；源极(116)和漏极(117)，源极(116)和漏极(117)设置在第二绝缘层(115)上，且源极(116)和漏极(117)间隔设置，源极(116)及漏极(117)分别通过通孔与低温多晶硅层(112)相连；平坦层(118)，层叠设置在源极(116)、漏极(117)及第二绝缘层(115)上，平坦层(118)设置有第一贯孔(1181)，第一贯孔(1181)对应漏极(117)设置；填充部(119)，填充第一贯孔(1181)，且填充部(119)与漏极(117)电连接；第三绝缘层(121)，层叠设置在平坦层(118)上，第三绝缘层(121)设置有第二贯孔(1211)，第二贯孔(1211)对应填充部(119)设置；像素电极(122)，设置在第三绝缘层(121)上且通过第二贯孔(1211)与填充部(119)电连接。所述触控面板(100)的像素电极(122)不容易断线和脱落。

触控面板

本发明要求 2014 年 12 月 30 日递交的发明名称为“触控面板”的申请号 201410842861.4 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及触控领域，尤其涉及一种触控面板。

背景技术

触控装置是一种常见的设备，由于其具有功耗低、体积小、质量轻等特点，因此备受用户的青睐。触控装置通常包括触控面板，低温多晶硅（Low Temperature Ploy-silicon，LTPS）薄膜晶体管（Thin Film Transistor, TFT）由于能够使得触控面板具有更高的分辨率、更低的能耗、更高的迁移率以及较低的制备温度而得到了广泛的研究及应用。在触控面板中，像素电极与漏极之间相隔隔离，并且像素电极通过贯孔与薄膜晶体管的漏极相连，通常情况下，像素电极与漏极之间的间隔物（比如绝缘层或者平坦层等）较厚从而使得连接像素电极与漏极之间的贯孔的深度较深。因此，当像素电极通过贯孔与漏极相连时，容易造成像素电极的断线，脱落，从而使得触控面板的良率下降。

发明内容

本发明提供了一种触控面板，所述触控面板包括:

基板;

依次层叠设置在所述基板的表面上的低温多晶硅层、第一绝缘层、栅极及第二绝缘层;

源极和漏极，所述源极和所述漏极设置在所述第二绝缘层上，且所述源极和所述漏极间隔设置，所述源极及所述漏极分别通过通孔与所述低温多晶硅层相连;

平坦层，层叠设置在所述源极、所述漏极及所述第二绝缘层上，所述平坦

层设置有第一贯孔，所述第一贯孔对应所述漏极设置；

填充部，填充所述第一贯孔，且所述填充部与所述漏极电连接；

第三绝缘层，层叠设置在所述平坦层上，所述第三绝缘设置有第二贯孔，所述第二贯孔对应所述填充部设置；

像素电极，设置在所述第三绝缘层上且通过所述第二贯孔与所述填充部电连接。

其中，所述填充部包括第一部分及与所述第一部分相连的第二部分，所述第一部分穿过所述第一贯孔与所述漏极电连接，所述第二部分设置在所述平坦层上且覆盖所述第一贯孔。

其中，所述触控面板还包括遮光层，所述遮光层设置在所述基板的表面上，所述低温多晶硅层通过所述遮光层设置在所述基板的表面上，且所述低温多晶硅层设置在所述遮光层的中部。

其中，所述触控面板还包括触控接收线及触控发射线，所述触控接收线用于接收检测信号，以检测所述触控面板上的触控动作以及触控动作的位置，所述触控发射线用于将表征触控动作及触控位置的信号传输至一芯片，所述触控接收线及所述触控发射线中的至少一条线包括第一透明导线及金属丝线，所述金属丝线设置在所述平坦层上，且所述金属丝线与所述第一透明导线电连接。

其中，所述填充部的材料为金属，所述填充部与所述金属丝线同时形成。

相较于现有技术，本发明触控面板通过在平坦层上设置第一贯孔，并在第一贯孔内填充所述填充部，所述填充部与所述漏极电连接，所述第三绝缘层上设置第二贯孔，所述第二贯孔对应所述填充部设置。当所述像素电极与所述漏极相连时，所述像素电极仅需通过第二贯孔与所述填充部电连接即可。换句话说，通过在平坦层上设置第一贯孔以及在第一贯孔内填充所述填充部以减小所述像素电极与所述漏极之间的深度，从而使得所述像素电极与所述漏极相连时，所述像素电极不容易断线和脱落，从而提高了所述触控面板的良率。进一步地，由于所述填充部的材质为金属或者合金，其阻值小于为透明金属氧化物的像素电极，因此，相较于现有技术中的像素电极直接与漏极相连，本发明的所述像素电极通过所述填充部与所述漏极相连时，能够减小像素电极与所述漏极之间的电阻值。

本发明提供了一种触控面板，所述触控面板包括：

基板；

依次层叠设置在所述基板的表面上的低温多晶硅层及第一绝缘层；

层叠设置在所述第一绝缘层上的两个第一类型重掺杂区域，且两个所述第一类型重掺杂区域间隔设置；

第二绝缘层，设置在所述第一类型重掺杂区域上；

依次层叠设置在所述第二绝缘层上的栅极及第三绝缘层；

源极和漏极，所述源极和所述漏极设置在所述第三绝缘层上，且所述源极和所述漏极间隔设置，所述源极及所述漏极分别通过通孔与所述第一类型重掺杂区域相连；

平坦层，层叠设置在所述源极、所述漏极及所述第三绝缘层上，所述平坦层设置有第一贯孔，所述第一贯孔对应所述漏极设置；

填充部，填充所述第一贯孔，且所述填充部与所述漏极电连接；

第四绝缘层，层叠设置在所述平坦层上，所述第四绝缘层设置有第二贯孔，所述第二贯孔对应所述填充部设置；

像素电极，设置在所述第四绝缘层上且通过所述第二贯孔与所述填充部电连接。

其中，所述填充部包括第一部分及与所述第一部分相连的第二部分，所述第一部分穿过所述第一贯孔与所述漏极电连接，所述第二部分设置在所述平坦层上且覆盖所述第一贯孔。

其中，所述触控面板还包括遮光层，所述遮光层设置在所述基板的表面上，所述低温多晶硅层通过所述遮光层设置在所述基板的表面上，且所述低温多晶硅层设置在所述遮光层的中部。

其中，所述触控面板还包括触控信号线，所述触控信号线用于检测所述触控面板上的触控动作以及触控动作的位置，且将表征触控动作及触控动作的位置的信号传输至一芯片，所述触控信号线包括第一透明导线及金属丝线，所述金属丝线设置在所述平坦层上，且所述金属丝线与所述第一透明导线电连接。

其中，所述填充部的材料为金属，所述填充部与所述金属丝线同时形成。

其中，所述触控面板还包括第一类型轻掺杂区域，所述第一类型轻掺杂区

域设置在所述第一绝缘层上，且设置在两个所述第一类型重掺杂区域之间。

相较于现有技术，本发明触控面板通过在所述平坦层上设置第一贯孔，并在第一贯孔内填充所述填充部，所述填充部与所述漏极电连接，所述第四绝缘层上设置第二贯孔，所述第二贯孔对应所述填充部设置。当所述像素电极与所述漏极相连时，所述像素电极仅需通过第二贯孔与所述填充部电连接即可。换句话说，通过在所述平坦层上设置第一贯孔以及在所述第一贯孔内填充所述填充部以减小所述像素电极与所述漏极之间的深度，从而使得所述像素电极与所述漏极相连时，所述像素电极不容易断线和脱落，从而提高了所述触控面板的良率。进一步地，由于所述填充部的材质为金属或者合金，其阻值小于为透明金属氧化物的像素电极，因此，相较于现有技术中的像素电极直接与漏极相连，本发明的所述像素电极通过所述填充部与所述漏极相连时，能够减小像素电极与所述漏极之间的电阻值。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明一较佳实施方式的触控面板的剖面结构示意图。

图 2 为本发明另一较佳实施方式的触控面板的剖面结构示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参阅图 1，图 1 为本发明一较佳实施方式的触控面板的剖面结构示意图。所述触控面板 100 包括基板 110，依次层叠设置在所述基板 110 的表面上的低温多晶硅层 112、第一绝缘层 113、栅极 114 及第二绝缘层 115。所述触控面板

100 还包括源极 116 和漏极 117，所述源极 116 和所述漏极 117 设置在所述第二绝缘层 115 上，且所述源极 116 和所述漏极 117 间隔设置，所述源极 116 及所述漏极 117 分别通过通孔与所述低温多晶硅层 112 相连。所述触控面板 100 还包括平坦层 118，所述平坦层 118 层叠设置在所述源极 116、所述漏极 117 及所述第二绝缘层 115 上，所述平坦层 118 设置有第一贯孔 1181，所述第一贯孔 1181 对应所述漏极 117 设置。所述触控面板 100 还包括填充部 119，所述填充部 119 填充所述第一贯孔 1181，且所述填充部 119 与所述漏极 117 电连接。所述触控面板 100 还包括第三绝缘层 121 和像素电极 122，所述第三绝缘层 121 层叠设置在所述平坦层 118 上，所述第三绝缘层 121 设置有第二贯孔 1211，所述第二贯孔 1211 对应所述填充部 119 设置。所述像素电极 122 设置在所述第三绝缘层 121 上且通过所述第二贯孔 1211 与所述填充部 119 电连接。优选地，所述像素电极 122 的材料与所述填充部 119 的材料不同。

所述填充部 119 包括第一部分 1191 和与所述第一部分 119 相连的第二部分 1192，所述第一部分 1191 穿过所述第一贯孔 1181 与所述漏极 117 电连接，所述第二部分 1192 设置在所述平坦层 118 上且覆盖所述第一贯孔 1181。在本实施方式中，所述填充部 119 的形状为“T”形。所述填充部 119 的材质为金属或者合金，举例而言，所述填充部 119 的材质选自铜、钨、铬、铝及其组合的其中之一。

所述触控面板 100 还包括遮光层 111，所述遮光层 111 设置在所述基板 110 的表面上，所述低温多晶硅层 112 通过所述遮光层 111 设置在所述基板 110 的表面上，且所述低温多晶硅层 112 设置在所述遮光层 111 的中部。在本实施方式中，低温多晶硅层 112、第一绝缘层 113、栅极 114、第二绝缘层 115、源极 116 和漏极 117 组成所述低温多晶硅薄膜晶体管，所述遮光层 111 用于防止所述触控面板 100 上的低温多晶硅薄膜晶体管漏光。

在本实施方式中，所述触控面板 100 为互电容式触控面板，所述触控面板 100 还包括触控接收线 123 和触控发射线（图未示）。所述触控接收线 123 用于接收检测信号，以检测所述触控面板 100 上的触控动作及触控动作的位置，所述触控发射线用于将表征触控动作及触控位置的信号传输至一芯片，以供所述芯片执行所述触控动作及所述触控动作的位置对应的操作。所述触控接收线

123 及所述触控发射线中的至少一条线包括第一透明导线 1231 及金属丝线 1232，所述金属丝线 1232 设置在所述平坦层 118 上，且所述金属丝线 1232 与所述第一透明导线 1231 电连接。所述第一透明导线 1231 的材质可以为透明的金属氧化物且具有导电性，所述第一透明导电线 1231 可以包含铟锡氧化物、铟锌氧化物、氧化铟或者氧化锌等之一或者任意组合，材质为金属氧化物的第一透明导线 1231 的导电性能与金属的导电性能相较，第一透明导线 1231 的导电性能较差，因此，通过所述金属丝线 1232 与所述第一透明导线 1231 电连接形成的信号线在保证透明度的基础上增加了其导电性能。

优选地，所述填充部 119 的材质为金属，所述填充部 119 与所述金属丝线 1232 同时形成。换句话说，所述填充部 119 与所述金属丝线 1232 在同一制程中形成，以节约所述触控面板 100 的制备工序。所述填充部 119 和所述金属丝线 1232 可以通过以下方式形成。首先，在所述平坦层 118 上设置一层金属层，接着，图案化所述金属层，以形成所述填充部 119 及所述金属丝线 1232。

在本实施方式中，所述基板 110 可以为玻璃基板，可以理解地，在其他实施方式中，所述基板 110 也可以为塑料基板或者是绝缘基板。所述第一绝缘层 113、所述第二绝缘层 115 及所述第三绝缘层 121 的材质可以为氧化硅层，氮化硅层，氮氧化硅层及其组合的其中之一。

优选地，所述基板 110 的表面还设置缓冲层，所述缓冲层用于缓冲在所述基板 110 上制作所述触控面板 100 的其他结构的过程中受到的应力，以避免所述基板 110 的损坏或者破裂。所述缓冲层的材质选自氧化硅层，氮化硅层，氮氧化硅层及其组合的其中之一。此时，所述遮光层 111、所述低温多晶硅层 112、所述第一绝缘层 113 以及其他各层通过所述缓冲层设置在所述基板 110 的表面上。

相较于现有技术，本发明触控面板 100 通过在平坦层 118 上设置第一贯孔 1181，并在第一贯孔 1181 内填充所述填充部 119，所述填充部 119 与所述漏极 117 电连接，所述第三绝缘层 121 上设置第二贯孔 1211，所述第二贯孔 1211 对应所述填充部 119 设置。当所述像素电极 122 与所述漏极 117 相连时，所述像素电极 122 仅需通过第二贯孔 1211 与所述填充部 119 电连接即可。换句话说，通过在平坦层 118 上设置第一贯孔 1181 以及在第一贯孔 1181 内填充所述

填充部 119 以减小所述像素电极 122 与所述漏极 117 之间的深度，从而使得所述像素电极 122 与所述漏极 117 相连时，所述像素电极 122 不容易断线和脱落，从而提高了所述触控面板 100 的良率。进一步地，由于所述填充部 119 的材质为金属或者合金，其阻值小于为透明金属氧化物的像素电极 122，因此，相较于现有技术中的像素电极直接与漏极相连，本发明的所述像素电极 122 通过所述填充部 119 与所述漏极 117 相连时，能够减小像素电极 122 与所述漏极 117 之间的电阻值。

请参阅图 2，图 2 为本发明另一较佳实施方式的触控面板的剖面结构示意图。所述触控面板 200 包括基板 210，依次层叠设置在所述基板 210 的表面上的低温多晶硅层 212 及第一绝缘层 213。所述触控面板 200 还包括层叠设置在所述第一绝缘层 213 上的两个第一类型重掺杂区域 214，且两个所述第一类型重掺杂区域 214 间隔设置。所述触控面板 200 还包括第二绝缘层 216，依次层叠设置在所述第二绝缘层 216 上的栅极 217 及第三绝缘层 218。所述第二绝缘层 216 设置在所述第一类型重掺杂区域 214 上。所述触控面板 200 还包括源极 219 和漏极 221，所述源极 219 和所述漏极 221 设置在所述第三绝缘层 218 上，且所述源极 219 和所述漏极 221 间隔设置，所述源极 219 及所述漏极 221 分别通过通孔与所述第一类型重掺杂区域 214 相连。所述触控面板 200 还包括平坦层 222，所述平坦层 222 层叠设置在所述源极 219、所述漏极 221 及所述第三绝缘层 218 上，所述平坦层 222 设置有第一贯孔 2221，所述第一贯孔 2221 对应所述漏极 221 设置。所述触控面板 200 还包括填充部 223，所述填充部 223 填充所述第一贯孔 2221，且所述填充部 223 与所述漏极 221 电连接。所述触控面板 200 还包括第四绝缘层 224 及像素电极 225，所述第四绝缘层 224 层叠设置在所述平坦层 222 上，所述第四绝缘层 224 设置有第二贯孔 2241，所述第二贯孔 2241 对应所述填充部 223 设置。所述像素电极 225 设置在所述第四绝缘层 224 上且通过所述第二贯孔 2241 与所述填充部 223 电连接。优选地，所述像素电极 225 的材料与所述填充部 223 的材料不同。

所述填充部 223 包括第一部分 2231 及与所述第一部分 2231 连接的第二部分 2232，所述第一部分 2231 穿过所述第一贯孔 2241 与所述漏极 221 电连接，所述第二部分 2232 设置在所述平坦层 222 上且覆盖所述第一贯孔 2241。在本

实施方式中，所述填充部 223 的形状为“T”形。所述填充部 223 的材质为金属或者合金，举例而言，所述填充部 223 的材质选自铜、钨、铬、铝及其组合的其中之一。

在本实施方式中，所述触控面板 200 还包括遮光层 211，所述遮光层 211 设置在所述基板 210 的表面上，所述低温多晶硅层 212 通过所述遮光层 211 设置在所述基板 210 的表面上，且所述低温多晶硅层 212 设置在所述遮光层 211 的中部。在本实施方式中，所述低温多经过层 212、所述第一绝缘层 213、所述第一类型重掺杂区域 214、所述第二绝缘层 216、所述栅极 217、所述第三绝缘层 218、所述源极 219 及所述漏极 221 形成低温多晶硅薄膜晶体管，所述遮光层 211 用于防止所述触控面板 200 上的低温多晶硅薄膜晶体管漏光。

在本实施方式中，所述触控面板 200 为自电容式触控面板，所述触控面板 200 还包括触控信号线 226，所述触控信号线 226 用于检测所述触控面板 200 上的触控动作以及触控动作的位置，且将表征触控动作及触控动作的文字的信号传输至一芯片，以供所述芯片执行所述触控动作及所述触控动作的位置对应的操作。所述触控信号线 226 包括第一透明导线 2261 和金属丝线 2262，所述金属丝线 2262 设置在所述平坦层 222 上，且所述金属丝线与所述第一透明导线 2261 电连接。所述第一透明导线 2261 的材质为透明的金属氧化物且具有导电性，所述第一透明导线 2261 包含铟锡氧化物、铟锌氧化物、氧化铟或者氧化锌等之一或者任意组合，材质为金属氧化物的第一透明导线 12261 的导电性能与金属的导电性能相较，第一透明导线 2261 的导电性能较差，因此，通过所述金属丝线 2262 与所述第一透明导线 2261 电连接形成的信号线在保证透明度的基础上增加了其导电性能。

优选地，所述填充部 223 的材料为金属，所述填充部 223 与所述金属丝线 2262 同时形成。换句话说，所述填充部 223 与所述金属丝线 2262 在同一制程中形成，以节约所述触控面板 200 的制备工序。所述填充部 223 和所述金属丝线 2262 可以通过以下方式形成。首先，在所述平坦层 222 上设置一层金属层，接着，图案化所述金属层，以形成所述填充部 223 及所述金属丝线 1232。

所处触控面板 200 还包括第一类型轻掺杂区域 215，所述第一类型轻掺杂区域 215 设置在所述第一绝缘层 213 上，且设置在两个所述第一类型重掺杂区

域214之间。所述第一类型轻掺杂区域215设置在两个所述第一类型重掺杂区域214之间，以减小所述低温多晶硅薄膜晶体管的泄露电流，提高所述低温多晶硅薄膜晶体管的性能。在本实施方式中，所述第一类型为P型，此时，所述第一类型重掺杂区域为P型重掺杂，第一类型轻掺杂为P型轻掺杂。可以理解地，在其他实施方式中，所述第一类型为N型，此时，所述第一类型重掺杂区域为N型重掺杂，第一类型轻掺杂为N型轻掺杂。

在本实施方式中，所述基板210可以为玻璃基板，可以理解地，在其他实施方式中，所述基板110也可以为塑料基板或者是绝缘基板。所述第一绝缘层213、所述第二绝缘层216、所述第三绝缘层218及所述第四绝缘层224的材质可以为氧化硅层，氮化硅层，氮氧化硅层及其组合的其中之一。

优选地，所述基板210的表面还设置缓冲层，所述缓冲层用于缓冲在所述基板210上制作所述触控面板200的其他结构的过程中受到的应力，以避免所述基板210的损坏或者破裂。所述缓冲层的材质选自氧化硅层，氮化硅层，氮氧化硅层及其组合的其中之一。此时，所述遮光层211、所述低温多晶硅层212、所述第一绝缘层213以及其他各层通过所述缓冲层设置在所述基板210的表面上。

相较于现有技术，本发明触控面板200通过在所述平坦层222上设置第一贯孔2221，并在第一贯孔2221内填充所述填充部223，所述填充部223与所述漏极219电连接，所述第四绝缘层224上设置第二贯孔2241，所述第二贯孔2241对应所述填充部223设置。当所述像素电极225与所述漏极221相连时，所述像素电极225仅需通过第二贯孔2241与所述填充部223电连接即可。换句话说，通过在所述平坦层222上设置第一贯孔2221以及在所述第一贯孔2221内填充所述填充部223以减小所述像素电极225与所述漏极221之间的深度，从而使得所述像素电极225与所述漏极221相连时，所述像素电极225不容易断线和脱落，从而提高了所述触控面板200的良率。进一步地，由于所述填充部223的材质为金属或者合金，其阻值小于为透明金属氧化物的像素电极225，因此，相较于现有技术中的像素电极直接与漏极相连，本发明的所述像素电极225通过所述填充部223与所述漏极221相连时，能够减小像素电极225与所述漏极221之间的电阻值。

以上所揭露的仅为本发明一种较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权 利 要 求

1.一种触控面板，其中，所述触控面板包括:

基板;

依次层叠设置在所述基板的表面上的低温多晶硅层、第一绝缘层、栅极及第二绝缘层;

源极和漏极，所述源极和所述漏极设置在所述第二绝缘层上，且所述源极和所述漏极间隔设置，所述源极及所述漏极分别通过通孔与所述低温多晶硅层相连;

平坦层，层叠设置在所述源极、所述漏极及所述第二绝缘层上，所述平坦层设置有第一贯孔，所述第一贯孔对应所述漏极设置;

填充部，填充所述第一贯孔，且所述填充部与所述漏极电连接;

第三绝缘层，层叠设置在所述平坦层上，所述第三绝缘设置有第二贯孔，所述第二贯孔对应所述填充部设置;

像素电极，设置在所述第三绝缘层上且通过所述第二贯孔与所述填充部电连接。

2.如权利要求 1 所述的触控面板，其中，所述填充部包括第一部分及与所述第一部分相连的第二部分，所述第一部分穿过所述第一贯孔与所述漏极电连接，所述第二部分设置在所述平坦层上且覆盖所述第一贯孔。

3.如权利要求 1 所述的触控面板，其中，所述触控面板还包括遮光层，所述遮光层设置在所述基板的表面上，所述低温多晶硅层通过所述遮光层设置在所述基板的表面上，且所述低温多晶硅层设置在所述遮光层的中部。

4.如权利要求 1 所述的触控面板，其中，所述触控面板还包括触控接收线及触控发射线，所述触控接收线用于接收检测信号，以检测所述触控面板上的触控动作以及触控动作的位置，所述触控发射线用于将表征触控动作及触控位置的信号传输至一芯片，所述触控接收线及所述触控发射线中的至少一条线包

括第一透明导线及金属丝线，所述金属丝线设置在所述平坦层上，且所述金属丝线与所述第一透明导线电连接。

5.如权利要求 4 所述的触控面板，其中，所述填充部的材料为金属，所述填充部与所述金属丝线同时形成。

6.一种触控面板，其中，所述触控面板包括:

基板;

依次层叠设置在所述基板的表面上的低温多晶硅层及第一绝缘层;

层叠设置在所述第一绝缘层上的两个第一类型重掺杂区域，且两个所述第一类型重掺杂区域间隔设置;

第二绝缘层，设置在所述第一类型重掺杂区域上;

依次层叠设置在所述第二绝缘层上的栅极及第三绝缘层;

源极和漏极，所述源极和所述漏极设置在所述第三绝缘层上，且所述源极和所述漏极间隔设置，所述源极及所述漏极分别通过通孔与所述第一类型重掺杂区域相连;

平坦层，层叠设置在所述源极、所述漏极及所述第三绝缘层上，所述平坦层设置有第一贯孔，所述第一贯孔对应所述漏极设置;

填充部，填充所述第一贯孔，且所述填充部与所述漏极电连接;

第四绝缘层，层叠设置在所述平坦层上，所述第四绝缘层设置有第二贯孔，所述第二贯孔对应所述填充部设置;

像素电极，设置在所述第四绝缘层上且通过所述第二贯孔与所述填充部电连接。

7.如权利要求 6 所述的触控面板，其中，所述填充部包括第一部分及与所述第一部分相连的第二部分，所述第一部分穿过所述第一贯孔与所述漏极电连接，所述第二部分设置在所述平坦层上且覆盖所述第一贯孔。

8.如权利要求 6 所述的触控面板，其中，所述触控面板还包括遮光层，所

述遮光层设置在所述基板的表面上，所述低温多晶硅层通过所述遮光层设置在所述基板的表面上，且所述低温多晶硅层设置在所述遮光层的中部。

9.如权利要求 6 所述的触控面板，其中，所述触控面板还包括触控信号线，所述触控信号线用于检测所述触控面板上的触控动作以及触控动作的位置，且将表征触控动作及触控动作的位置的信号传输至一芯片，所述触控信号线包括第一透明导线及金属丝线，所述金属丝线设置在所述平坦层上，且所述金属丝线与所述第一透明导线电连接。

10.如权利要求 9 所述的触控面板，其中，所述填充部的材料为金属，所述填充部与所述金属丝线同时形成。

11.如权利要求 6 所述的触控面板，其中，所述触控面板还包括第一类型轻掺杂区域，所述第一类型轻掺杂区域设置在所述第一绝缘层上，且设置在两个所述第一类型重掺杂区域之间。

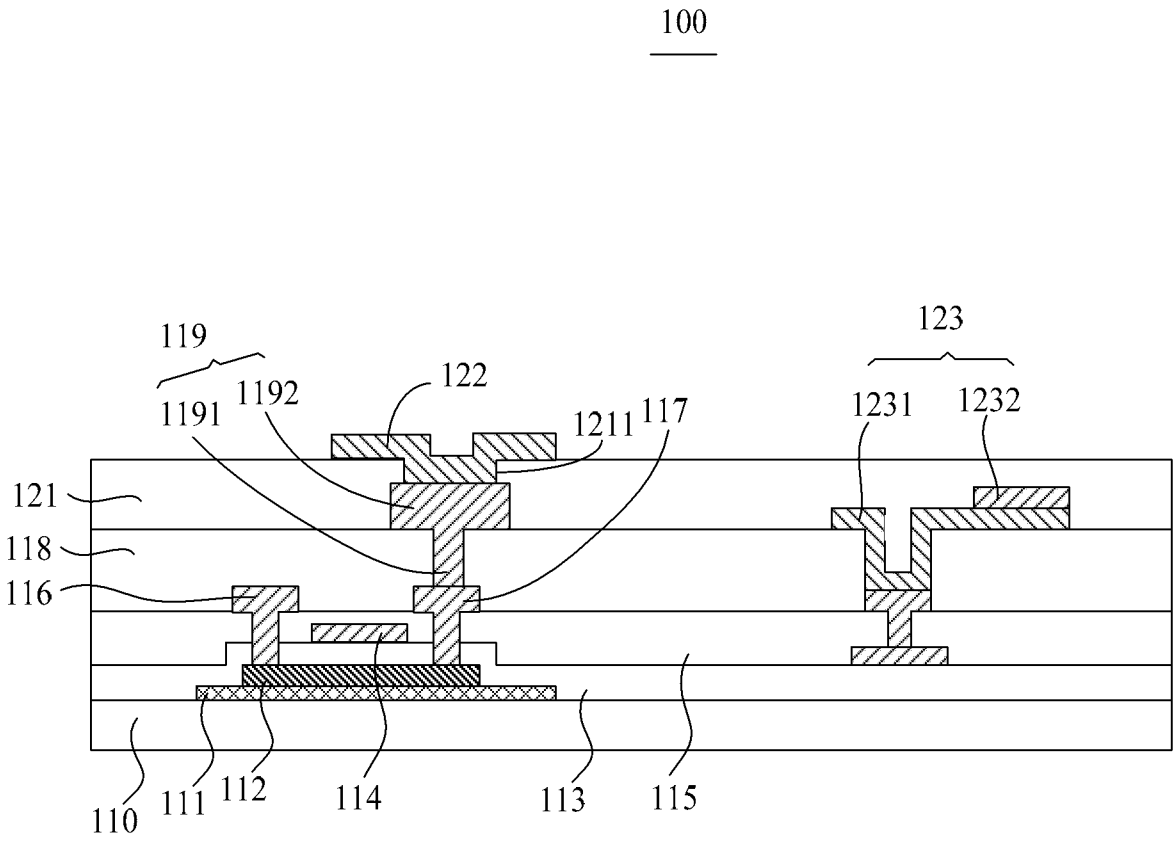

100
119
1191
1192
122
1211
117
123
1231
1232
121
118
116
110
111
112
114
113
115

图 1

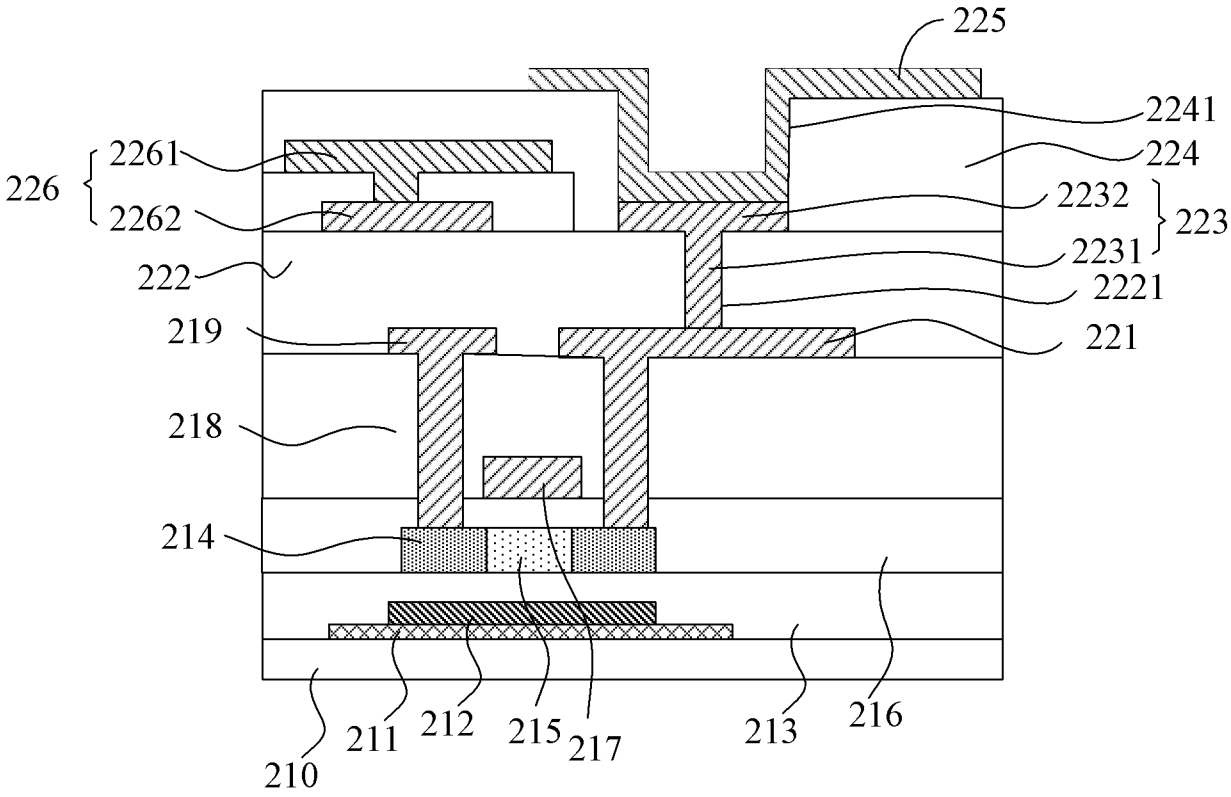

200
225
2241
224
2261
226
2262
2232
223
2231
222
2221
219
221
218
214
210
211
212
215
217
213
216

图 2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/070831

A. CLASSIFICATION OF SUBJECT MATTER

G06F 3/041 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: shenzhen optical valley huaxing photoelectric technology co., ltd. , xue jingfeng, zhang xin, drain electrode, source electrode, flat bed, insulating layer, SUBSTRATE?, PANEL?, PIXEL?, ELECTRODE?, TOUCH, INSULAT+, LAYER, HOLE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101241284 A (SEIKO EPSON CORP.) 13 August 2008 (13.08.2008) description, page 7, the eighth paragraph, page 12, the fifth paragraph to page 17, the third paragraph, and figure 5	1-11
A	CN 104199586 A (CHONGQING BOE OPTOELECTRONICS CO., LTD. et al.) 10 December 2014 (10.12.2014) the whole document	1-11
A	CN 103713792 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 9 April 2014 (09.04.2014) the whole document	1-11
A	US 2013082269 A1 (SEIKO EPSON CORPORATION) 4 April 2013 (04.04.2013) the whole document	1-11

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 August 2015	9 September 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Yunli Telephone No. (86-10) 61648434

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/070831

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20140004887 A (LG DISPLAY CO., LTD.) 14 January 2014 (14.01.2014) the whole document	1-11
A	JP 2009048063 A (SEIKO EPSON CORP.) 5 March 2009 (05.03.2009) the whole document	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/070831

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101241284 A	13 August 2008	US 7586552 B2	8 September 2009
		JP 4306737 B2	5 August 2009
		US 2008192159 A1	14 August 2008
		JP 2008191618 A	21 August 2008
CN 104199586 A	10 December 2014	None	
CN 103713792 A	9 April 2014	WO 2015096328 A1	2 July 2015
US 2013082269 A1	4 April 2013	JP 2013080040 A	2 May 2013
		US 8698157 B2	15 April 2014
KR 20140004887 A	14 January 2014	None	
JP 2009048063 A	5 March 2009	JP 5298480 B2	25 September 2013

国际检索报告

国际申请号
PCT/CN2015/070831

A. 主题的分类

G06F 3/041(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,CNKI, WPI,EPODOC: 华星光电，薛景峰,张鑫，面板，基板，孔，像素电极，漏极，源极，平坦层，绝缘层，SUBSTRATE?,PANEL?,PIXEL?,ELECTRODE?,TOUCH,INSULAT+,LAYER,HOLE

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 101241284 A (精工爱普生株式会社) 2008年 8月 13日 (2008-08-13) 说明书第7页第8段，第12页第5段至第17页第3段、图5	1-11
A	CN 104199586 A (重庆京东方光电科技有限公司 等) 2014年 12月 10日 (2014-12-10) 全文	1-11
A	CN 103713792 A (京东方科技集团股份有限公司 等) 2014年 4月 9日 (2014-04-09) 全文	1-11
A	US 2013082269 A1 (SEIKO EPSON CORPORATION) 2013年 4月 4日 (2013-04-04) 全文	1-11
A	KR 20140004887 A (LG DISPLAY CO., LTD.) 2014年 1月 14日 (2014-01-14) 全文	1-11
A	JP 2009048063 A (SEIKO EPSON CORP.) 2009年 3月 5日 (2009-03-05) 全文	1-11

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2015年 8月 27日	2015年 9月 9日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	受权官员 刘云丽 电话号码 (86-10)61648434

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/070831

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101241284	A	2008年 8月 13日	US	7586552	B2	2009年 9月 8日
				JP	4306737	B2	2009年 8月 5日
				US	2008192159	A1	2008年 8月 14日
				JP	2008191618	A	2008年 8月 21日
CN	104199586	A	2014年 12月 10日		无		
CN	103713792	A	2014年 4月 9日	WO	2015096328	A1	2015年 7月 2日
US	2013082269	A1	2013年 4月 4日	JP	2013080040	A	2013年 5月 2日
				US	8698157	B2	2014年 4月 15日
KR	20140004887	A	2014年 1月 14日		无		
JP	2009048063	A	2009年 3月 5日	JP	5298480	B2	2013年 9月 25日