

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 3 年 1 月 7 日 (2021.1.7)

【公表番号】特表 2020-533779 (P2020-533779A)

【公表日】令和 2 年 11 月 19 日 (2020.11.19)

【年通号数】公開・登録公報 2020-047

【出願番号】特願 2019-504796 (P2019-504796)

【国際特許分類】

H 0 1 L 21/8239 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 27/11507 (2017.01)

H 0 1 L 27/11509 (2017.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

【F I】

H 0 1 L 27/105 4 4 8

H 0 1 L 27/11507

H 0 1 L 27/11509

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

【手続補正書】

【提出日】令和 2 年 11 月 2 日 (2020.11.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

強誘電体単結晶層において形成されたメモリセルアレーを有する強誘電体メモリアレー、及び、

シリコンベース読み書き回路を含み、

前記メモリセルアレーにおける各記憶ユニットには、対応的に第 1 電極と第 2 電極が設置され、前記強誘電体単結晶層のドメインの分極方向は、前記強誘電体単結晶層の法線方向と略平行とならず、前記第 1 電極と第 2 電極の間に電気信号を施す時に、前記第 1 電極と第 2 電極の間にほぼ位置して前記記憶ユニットを形成するための強誘電体単結晶層のドメインを逆転させることができることにより、前記第 1 電極と第 2 電極をつなぐドメイン壁導電チャネルを形成でき、

前記強誘電体メモリアレーの各強誘電体メモリセルは、主にメモリセルアレーにおける一つの記憶ユニットによって形成されるか、又は主にメモリセルアレーにおける一つの記憶ユニットと、該記憶ユニットに電気接続されて前記シリコンベース読み書き回路のシリコンベース基板上に形成された一つのトランジスタによって形成される強誘電体メモリ集積回路。

【請求項 2】

前記強誘電体メモリ集積回路は、面内読み書き強誘電体メモリ回路であり、前記第 1 電極と第 2 電極は、ほぼ前記記憶ユニットの左右両側に配置され、前記記憶ユニットのドメインの分極方向は、前記第 1 電極と第 2 電極との接続線方向において成分を有する請求項 1 に記載の強誘電体メモリ集積回路。

【請求項 3】

前記強誘電体メモリ集積回路は、面外読み書き強誘電体メモリ回路であり、前記第1電極と第2電極は、ほぼ前記記憶ユニットの上下両側に配置され、前記記憶ユニットのドメインの分極方向は、前記第1電極と第2電極との接続線方向において成分を有する請求項1に記載の強誘電体メモリ集積回路。

【請求項 4】

前記強誘電体メモリ集積回路は、前記シリコンベース読み書き回路と前記強誘電体単結晶層の間に位置する絶縁質層をさらに含み、前記絶縁層の中にコンタクトホールが形成される請求項1に記載の強誘電体メモリ集積回路。

【請求項 5】

前記強誘電体単結晶層は、強誘電体単結晶基板又は強誘電体単結晶薄膜層である請求項1に記載の強誘電体メモリ集積回路。

【請求項 6】

各強誘電体メモリセルが主にメモリセルアレーにおける前記一つの記憶ユニットによって形成される場合、前記強誘電体単結晶層は強誘電体単結晶基板であり、前記シリコンベース読み書き回路は、前記強誘電体単結晶基板の上方に形成され、前記強誘電体メモリ集積回路はさらに、

前記強誘電体メモリアレーの対応する行の強誘電体メモリセルの記憶ユニットの第1電極/第2電極に電気接続されるプレート線、及び、

前記強誘電体メモリアレーの対応する列の強誘電体メモリセルの記憶ユニットの第2電極/第1電極に電気接続されるビット線を含む請求項2に記載の強誘電体メモリ集積回路。

【請求項 7】

各強誘電体メモリセルが主に前記一つの記憶ユニット及び前記一つのトランジスタによって形成される場合、前記強誘電体単結晶層は、強誘電体単結晶基板であり、前記シリコンベース読み書き回路は、前記強誘電体単結晶基板の上方に形成され、前記強誘電体メモリ集積回路はさらに、

前記強誘電体メモリアレーの対応する列の強誘電体メモリセルの記憶ユニットの第1電極/第2電極に電気接続されるプレート線、

前記強誘電体メモリアレーの対応する行の強誘電体メモリセルのトランジスタのゲートに電気接続されるワード線、

前記強誘電体メモリアレーの対応する列の強誘電体メモリセルのトランジスタのソース/ドレインに電気接続されるビット線を含む請求項2に記載の強誘電体メモリ集積回路。

【請求項 8】

前記プレート線は、前記強誘電体単結晶基板の上にパターン形成され、前記ビット線は、前記シリコンベース読み書き回路の上方にパターン形成され、前記ビット線は、コンタクトホールを介して対応する列の強誘電体メモリセルの記憶ユニットの第2電極/第1電極に電気接続される請求項6に記載の強誘電体メモリ集積回路。

【請求項 9】

前記プレート線は、前記強誘電体単結晶基板の上にパターン形成され、前記ビット線は、前記シリコンベース読み書き回路の上方にパターン形成され、前記トランジスタのドレイン/ソースは、コンタクトホールを介して対応する列の強誘電体メモリセルの記憶ユニットの第2電極/第1電極に電気接続される請求項7に記載の強誘電体メモリ集積回路。

【請求項 10】

各強誘電体メモリセルが主にメモリセルアレーにおける前記一つの記憶ユニットによって形成される場合、前記強誘電体単結晶層は強誘電体単結晶薄膜層であり、前記シリコンベース読み書き回路を形成するためのシリコンベース基板は単結晶シリコン基板であり、前記強誘電体単結晶基板は前記単結晶シリコン基板の上方に形成され、前記強誘電体メモリ集積回路はさらに、

前記強誘電体メモリアレーの対応する行の強誘電体メモリセルの記憶ユニットの第1電極/第2電極に電気接続されるプレート線、及び、

前記強誘電体メモリアレーの対応する列の強誘電体メモリセルの記憶ユニットの第2電極/第1電極に電気接続されるビット線を含む請求項1に記載の強誘電体メモリ集積回路。

【請求項11】

各強誘電体メモリセルが主に前記一つの記憶ユニット及び前記一つのトランジスタによって形成される場合、前記強誘電体単結晶層は強誘電体単結晶薄膜層であり、前記シリコンベース読み書き回路を形成するためのシリコンベース基板は単結晶シリコン基板であり、前記強誘電体単結晶基板は、前記単結晶シリコン基板の上方に形成され、前記強誘電体メモリ集積回路はさらに、

前記強誘電体メモリアレーの対応する列の強誘電体メモリセルの記憶ユニットの第1電極/第2電極に電気接続されるプレート線、

前記強誘電体メモリアレーの対応する行の強誘電体メモリセルのトランジスタのゲートに電気接続されるワード線、及び、

前記強誘電体メモリアレーの対応する列の強誘電体メモリセルのトランジスタのソース/ドレインに電気接続されるビット線を含む請求項1に記載の強誘電体メモリ集積回路。

【請求項12】

前記プレート線は、前記強誘電体単結晶薄膜層の上にパターン形成され、前記ビット線は、前記単結晶シリコン基板の上にパターン形成され、前記ビット線は、コンタクトホールを介して対応する列の強誘電体メモリセルの記憶ユニットの第2電極/第1電極に電気接続される請求項10に記載の強誘電体メモリ集積回路。

【請求項13】

前記プレート線は、前記強誘電体単結晶薄膜層の上にパターン形成され、前記ビット線は、前記単結晶シリコン基板の上にパターン形成され、前記トランジスタのドレイン/ソースは、コンタクトホールを介して対応する列の強誘電体メモリセルの記憶ユニットの第2電極/第1電極に電気接続される請求項11に記載の強誘電体メモリ集積回路。

【請求項14】

前記強誘電体単結晶層として使用される強誘電体材料は、タンタル酸リチウム塩 LiTaO_3 、ニオブ酸リチウム塩 LiNbO_3 、マルチフェロイック BiFeO_3 のうちの1種又は複数から選ばれるか、又は MgO 、 Mn_2O_5 又は Fe_2O_3 をドーブしたタンタル酸リチウム塩 LiTaO_3 、ニオブ酸リチウム塩 LiNbO_3 、マルチフェロイック BiFeO_3 のうちの1種又は複数から選ばれる請求項1に記載の強誘電体メモリ集積回路。

【請求項15】

MgO 、 Mn_2O_5 又は Fe_2O_3 をドーブしたタンタル酸リチウム塩 LiTaO_3 であり、ニオブ酸リチウム塩 LiNbO_3 のドーブ量は0.1～10mol%である請求項14に記載の強誘電体メモリ集積回路。

【請求項16】

前記記憶ユニットは、前記強誘電体単結晶層上にパターン形成された比較的に突き出しているプログラミングバンプである請求項2に記載の強誘電体メモリ集積回路。

【請求項17】

前記第1電極及び第2電極の材料は、 TiN 、 Pt 、 PtSi 、 NiSi 、 TiW 、 Ta 、 Ti 、 W 、 Mo 、 Al 、 Cu 、 Cr 、 SrRuO_3 、 RuO_2 のうちの1種又は複数から選ばれる請求項1に記載の強誘電体メモリ集積回路。

【請求項18】

前記強誘電体単結晶層のドメインの分極方向と、前記第1電極と第2電極との接続線方向とは夾角をなし、かつ前記ドメインに該接続線方向において成分を具備させる請求項1に記載の強誘電体メモリ集積回路。

【請求項19】

前記強誘電体メモリアレーは、強誘電体単結晶層上に形成されたメモリセルアレーを含み、

前記メモリセルアレーにおける各記憶ユニットには、対応的に第1電極と第2電極が設置され、前記強誘電体単結晶層のドメインの分極方向は前記強誘電体単結晶層の法線方向と

略平行とならず、前記第1電極と第2電極の間に電気信号を施す時に、前記第1電極及び第2電極との間にほぼ位置して前記記憶ユニットを形成するための強誘電体単結晶層のドメインを逆転させることができることにより、前記第1電極と第2電極をつなぐドメイン壁導電チャネルを形成でき、

前記強誘電体メモリアレーの各強誘電体メモリセルは、主にメモリセルアレーにおける一つの記憶ユニットによって形成される強誘電体メモリアレー。

【請求項 20】

前記記憶ユニットが前記ドメイン壁導電チャネルを既に形成した論理状態としてプログラミングされた場合、前記記憶ユニットは片方向導通特性を有する請求項19に記載の強誘電体メモリアレー。

【請求項 21】

前記第1電極と第2電極の間に第1方向の書き込み信号を施し、少なくとも一部の前記記憶ユニットのドメインを逆転させることにより、前記ドメイン壁導電チャネルを形成するという記憶情報「1」書き込みステップ、及び、

前記第1電極と第2電極の間に前記第1方向の読み出し信号を施し、前記読み出し信号の電圧が前記記憶ユニットの抗電圧より小さいという記憶情報読み出しステップを含む請求項1に記載の強誘電体メモリ集積回路の操作方法。

【請求項 22】

前記第1電極と第2電極の間に前記第1方向に反対する第2方向の書き込み信号を施し、前記記憶ユニットの中で既に逆転したドメインを初期分極方向に逆転させることにより、前記ドメイン壁導電チャネルを消すという記憶情報「0」書き込みステップをさらに含む請求項21に記載の操作方法。

【請求項 23】

各強誘電体メモリセルが主にメモリセルアレーにおける前記一つの記憶ユニットによって形成される場合、前記操作方は、

操作しようとする強誘電体メモリセルに対応する行のプレート線及び操作しようとする強誘電体メモリセルに対応する列のビット線を選択するステップをさらに含み、

前記書き込み信号は選択されたプレート線又はビット線に施される請求項21に記載の操作方法。

【請求項 24】

各強誘電体メモリセルが主にメモリセルアレーにおける前記一つの記憶ユニットと前記一つのトランジスタによって形成される場合、前記操作方は、

操作しようとする強誘電体メモリセルに対応する行のプレート線及びビット線を選択し、かつ操作しようとする強誘電体メモリセルに対応する列のワード線を選択するステップをさらに含み、

前記書き込み信号又は読み出し信号は選択されたプレート線及びビット線に施され、選択されたワード線には前記強誘電体メモリセルのトランジスタを導通させるスイッチ制御信号が施される請求項21に記載の操作方法。

【請求項 25】

強誘電体単結晶層として用いる強誘電体単結晶基板を提供するステップ、

前記強誘電体単結晶基板上に前記メモリセルアレーをパターン形成するステップ、

前記強誘電体単結晶基板の上に前記第1電極と第2電極、及び前記第1電極/第2電極に接続するプレート線をパターン形成するステップ、

前記強誘電体単結晶基板の上に絶縁層を成長させるステップ、

SOIプロセス又はエピタキシャル成長方法によって前記絶縁層の上方にシリコンベース薄膜層を形成するステップ、及び

前記シリコンベース薄膜層上に前記シリコンベース読み書き回路及びビット線を形成するステップを含む請求項1に記載の強誘電体メモリ集積回路の製造方法。

【請求項 26】

各強誘電体メモリセルが主に前記一つの記憶ユニットと前記一つのトランジスタによっ

て形成される場合、前記方法は、

前記シリコンベース読み書き回路及びビット線を形成する前に、前記シリコンベース薄膜層上に前記トランジスタのアレーを形成するステップ、及び、

前記トランジスタのアレーの上に前記トランジスタのゲートに接続するワード線をパターン形成するステップをさらに含む請求項25に記載の製造方法。

【請求項27】

単結晶シリコン基板を提供するステップ、

前記単結晶シリコン基板上に前記シリコンベース読み書き回路及びビット線を形成するステップ、

前記シリコンベース読み書き回路及びビット線の上に絶縁層を成長させるステップ、

SOIプロセス又はエピタキシャル成長方法によって前記絶縁層の上方において強誘電体単結晶層として用いる強誘電体単結晶薄膜層を形成するステップ、

前記強誘電体単結晶薄膜層上に前記メモリセルアレーをパターン形成するステップ、及び、

前記強誘電体単結晶薄膜層の上に前記第1電極と第2電極、及び前記第1電極/第2電極に接続するプレート線をパターン形成するステップを含む請求項1に記載の強誘電体メモリ集積回路の製造方法。

【請求項28】

単結晶シリコン基板を提供するステップ、

前記単結晶シリコン基板上に前記シリコンベース読み書き回路及びビット線を形成するステップ、

前記シリコンベース読み書き回路及びビット線の上に絶縁層を成長させるステップ、

前記絶縁層において第1電極を形成するステップ、

SOIプロセス又はエピタキシャル成長方法によって前記絶縁層の上方に強誘電体単結晶層として用いる強誘電体単結晶薄膜層を形成するステップ、及び、

前記強誘電体単結晶薄膜層の上に、前記第1電極とほぼ上下揃う前記第2電極及び前記第2電極に接続するプレート線をパターン形成するステップを含む請求項1に記載の強誘電体メモリ集積回路の製造方法。