

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月28日(28.07.2022)



(10) 国際公開番号

WO 2022/158388 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2022/001131

(22) 国際出願日: 2022年1月14日(14.01.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-006167 2021年1月19日(19.01.2021) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).

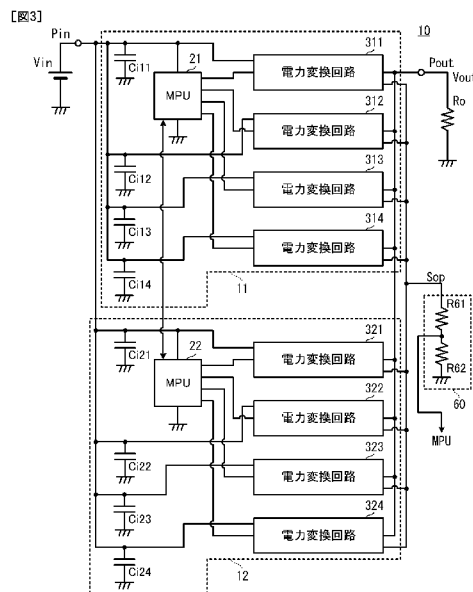
(72) 発明者: 細谷 達也 (HOSOTANI Tatsuya);
〒6178555 京都府長岡京市東神足 1 丁目 1 0 番
1 号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 弁理士法人 楓国際特許事務所
(KAEDE PATENT ATTORNEYS' OFFICE);
〒5400011 大阪府大阪市中央区農人橋 1
丁目 4 番 3 4 号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: POWER SOURCE SYSTEM DEVICE

(54) 発明の名称: 電源システム装置



311, 312, 313, 314, 321, 322, 323, 324 Power conversion circuit

(57) Abstract: Converter units (11, 12) of a power source system device (10) each perform feedback control that uses an individual voltage feedback loop. Master/slave control for synchronizing oscillation control signals is carried out such that the converter unit (11) performs master control and the converter unit (12) performs slave control. The oscillation control signals are set, in accordance with the number of power conversion circuits to be operated, such that phase differences occur among a plurality of the power conversion circuits. The power source system device (10) supplies power to a load

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告(条約第21条(3))

while a voltage conversion operation, for converting voltage of an input power source by using the plurality of power conversion circuits of the converter units (11, 12), is carried out synchronously in the converter units (11, 12).

(57) 要約：電源システム装置(10)のコンバータユニット(11、12)は、それぞれに、個別電圧帰還ループを用いたフィードバック制御を行う。コンバータユニット(11)をマスタ制御とし、コンバータユニット(12)をスレーブ制御とするように、発振制御信号を同期するマスタスレーブ制御を実行する。発振制御信号は、動作対象の電力変換回路の個数に応じて、複数の電力変換回路間で位相差が生じるように設定される。電源システム装置(10)は、入力電源の電圧をコンバータユニット(11、12)の複数の電力変換回路を用いて電圧変換する電圧変換動作を、コンバータユニット(11、12)で同期させて実行しながら、負荷に電力を供給する。

明 細 書

発明の名称 ： 電源システム装置

技術分野

[0001] 本発明は、複数の電力変換回路を備えた電源システム装置に関する。

背景技術

[0002] 特許文献 1 には、システムスイッチング電源装置が記載されている。特許文献 1 のシステムスイッチング電源装置は、インダクタ、スイッチング回路、および、個別アナログ制御部をそれぞれに備える複数の電力変換回路と、複数の電力変換回路に対して発振制御信号を出力する共通制御部とを備える。

[0003] 個別アナログ制御部は、アナログ電子回路によって形成されている。個別アナログ制御部は、電力変換回路の出力状態を検出して帰還信号を生成する帰還信号生成部と、帰還信号に応じてスイッチング回路の駆動制御を行う駆動部を備える。共通制御部は、プログラマブルな演算処理を実行できるデジタル電子回路によって形成されている。

先行技術文献

特許文献

[0004] 特許文献1：国際公開2020／183820号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献 1 に示す構成では、電力変換回路の必要な個数がさらに多くなると、共通制御部の制御がより複雑になり、難しくなる。共通制御部においては、数多くの信号入力端子と信号出力端子を備えることが必要となり、共通制御部が大型化する。また、電力変換回路の必要な個数に応じた設計変更や設計調整を行わなければならない、システムの変更が容易ではなかった。

[0006] したがって、本発明の目的は、必要な電力変換回路の個数変更に対応

応可能な電源システム装置を提供することにある。

課題を解決するための手段

- [0007] この発明の電源システム装置は、共通制御部および個別アナログ制御部を有するユニット制御部をそれぞれに備える複数のコンバータユニットを備える。
- [0008] 複数のコンバータユニットのそれぞれは、インダクタとスイッチング回路と個別アナログ制御部とをそれぞれに備える複数の電力変換回路と、複数の電力変換回路の入力部が並列に接続され、入力電源に接続される共通入力端子と、複数の電力変換回路の出力部が並列接続され、負荷に接続される共通出力端子と、複数の電力変換回路に対して、発振制御信号を出力する前記共通制御部と、を備える。個別アナログ制御部は、共通出力端子の出力電圧を検出して電圧帰還信号を生成し、電圧帰還信号をフィードバックする電圧帰還信号生成部および個別電圧帰還ループと、電圧帰還信号を用いてスイッチング回路のスイッチング素子を駆動する駆動部と、を備える。
- [0009] ユニット制御部は、個別電圧帰還ループを用いたフィードバック制御を行いながら、複数のコンバータユニットにおいて、一方のコンバータユニットをマスタ制御とし、他方のコンバータユニットをスレーブ制御とするように、発振制御信号を同期するマスタスレーブ制御を実行する。ユニット制御部は、入力電源の電圧を複数のコンバータユニットの複数の電力変換回路を用いて電圧変換する電圧変換動作を、複数のコンバータユニットで同期させて実行しながら、負荷に電力を供給する。
- [0010] この構成では、負荷の電力に応じて必要な電力変換回路の個数が変化しても、マスタスレーブ制御によって、電力変換回路の運転数、位相が自動的に適切に制御される。

発明の効果

- [0011] この発明によれば、電力変換回路の個数変更に対応でき、出力電流や出力電力の電気仕様の変更に対して柔軟な設計対応が可能な規模拡張性を備えた電源システム装置を実現できる。また、共通制御部においては、信号

入力端子と信号出力端子を数多く備えることが不要となり、流通量が多く、汎用性の高い制御回路を構成でき、シンプルで低コストに電源システム装置を実現できる。

図面の簡単な説明

[0012] [図1]図1は、第1の実施形態に係る電源システム装置の一例（4ユニット）を示す概略ブロック図である。

[図2]図2は、第1の実施形態に係る電源システム装置の一例（4ユニット）を示す回路ブロック図である。

[図3]図3は、第1の実施形態に係る電源システム装置の一例（2ユニット）を示す回路ブロック図である。

[図4]図4は、マスタ側のM P Uが実行する処理の一例を示すフローチャートである。

[図5]図5は、スレーブ側のM P Uが実行する処理の一例を示すフローチャートである。

[図6]図6は、位相制御の第1態様の一例を示す表である。

[図7]図7は、運転数の切り替えの概念を説明するための、出力電流と出力電圧との関係を示すグラフである。

[図8]図8は、位相制御の第2態様の一例を示す表である。

[図9]図9（A）、図9（B）、図9（C）、図9（D）は、本発明の実施形態を用いた場合の出力電流に対する出力電圧および電力変換効率を示すグラフである。

[図10]図10は、第1の実施形態に係る電力変換回路の等価回路図である。

[図11]図11は、本実施形態に係る帰還信号生成部の一例を示す等価回路図である。

[図12]図12は、第2の実施形態に係る電源システム装置の帰還信号生成部の等価回路図である。

発明を実施するための形態

[0013] [第1の実施形態]

本発明の第 1 の実施形態に係る電源システム装置について、図を参照して説明する。

[0014] (4 ユニット構成の電源システム装置 10U4 の概略構成)

図 1 は、第 1 の実施形態に係る電源システム装置の一例 (4 ユニット) を示す概略ブロック図である。図 2 は、第 1 の実施形態に係る電源システム装置の一例 (4 ユニット) を示す回路ブロック図である。

[0015] 図 1、図 2 に示すように、電源システム装置 10 は、コンバータユニット 11 およびコンバータユニット 12、および、分圧回路 60 を備える。コンバータユニット 11 およびコンバータユニット 12 は、共通入力端子 P_{in} および共通出力端子 P_{out} に、並列に接続されている。

[0016] 図 1、図 2 に示すように、電源システム装置 10U4 は、4 台のコンバータユニット 11-14、および、分圧回路 60 を備える。4 台のコンバータユニット 11-14 は、共通入力端子 P_{in} および共通出力端子 P_{out} に、並列に接続されている。

[0017] 共通入力端子 P_{in} は、外部の直流電圧源 (入力電源) に接続されている。電源システム装置 10 は、共通入力端子 P_{in} から直流の共通入力電圧 V_{in} の供給を受けている。共通出力端子 P_{out} は、負荷 R_o に接続されている。共通出力端子 P_{out} の電圧が、電源システム装置 10 の共通出力電圧 V_{out} となる。

[0018] 4 台のコンバータユニット 11-14 とは、それぞれの MPU の制御モードを除き、同じ回路構成である。4 台のコンバータユニット 11-14 の MPU は、相互にデータ通信可能であり、1 台の MPU がマスタ制御を行い、他の MPU がスレーブ制御を行う。例えば、コンバータユニット 11 の MPU 21 がマスタ制御を行い、他のコンバータユニット 12-14 の各 MPU がスレーブ制御を行う。これら各コンバータユニット 11-14 の MPU が、本発明の「共通制御部」に対応する。

[0019] コンバータユニット 11 は、MPU 21、電力変換回路 311、電力変換回路 312、電力変換回路 313、および、電力変換回路 314 を備える。

また、コンバータユニット 11 は、入力コンデンサ C_{i11} 、入力コンデンサ C_{i12} 、入力コンデンサ C_{i13} 、および、入力コンデンサ C_{i14} を備える。

[0020] コンバータユニット 12 は、MPU 22、電力変換回路 321、電力変換回路 322、電力変換回路 323、および、電力変換回路 324 を備える。
また、コンバータユニット 12 は、入力コンデンサ C_{i21} 、入力コンデンサ C_{i22} 、入力コンデンサ C_{i23} 、および、入力コンデンサ C_{i24} を備える。

[0021] 図示を省略しているが、コンバータユニット 13、14 は、それぞれに、MPU、および、複数の電力変換回路を備える。また、コンバータユニット 13、14 は、それぞれが備える電力変換回路毎に入力コンデンサを備える。

[0022] 分圧回路 60 は、抵抗 R_{61} と抵抗 R_{62} との直列回路である。抵抗 R_{61} と抵抗 R_{62} との直列回路の一方端は、4 台のコンバータユニット 11-14 の各電力変換回路に接続されている。抵抗 R_{61} と抵抗 R_{62} との直列回路の一方端は、基準電位に接続されている。抵抗 R_{61} と抵抗 R_{62} との接続点は、4 台のコンバータユニット 11-14 の MPU にそれぞれ接続されている。

[0023] (4 ユニット構成の電源システム装置 10U4 の概略制御)

マスタとなるコンバータユニットの MPU、例えば、コンバータユニット 11 の MPU 21 は、運転数信号 S_{op} に基づいて、運転数を含む運転情報を生成する。運転情報とは、マスタ側での運転数、スレーブ側での運転の有無、スレーブ側での運転数、および、制御信号の位相等が含まれている。

[0024] MPU 21 は、運転情報に基づいて、コンバータユニット 11 の複数の電力変換回路 311、312、313、314 に対する制御信号を生成して、複数の電力変換回路 311、312、313、314 に出力する。

[0025] MPU 21 は、スレーブとなるコンバータユニット 12-14 の各 MPU に対して、運転情報を送信する。すなわち、マスタである MPU 21 は、ス

レーブ側で運転が必要かどうかを判断し、その判断内容に応じた運転情報を生成して、スレーブとなる各MPUに送信する。

[0026] スレーブとなる各MPUは、運転情報に基づいて、それぞれが制御するコンバータユニット12-14の複数の電力変換回路に対する制御信号を生成して出力する。スレーブとなるコンバータユニット12-14は、それぞれのMPUからの制御信号に基づいて、電力変換を行う。

[0027] このように、コンバータユニット11のみを動作させるときは、MPU21は、コンバータユニット11のみを動作させる。一方、例えば、2台のコンバータユニット11、12を動作させるときは、各コンバータユニットのMPUは、同期して、2台のコンバータユニット11、12を並行して動作させる。また、3台のコンバータユニット11-13を動作させるときは、各コンバータユニットのMPUは、同期して、3台のコンバータユニット11-13を並行して動作させる。また、4台のコンバータユニット11-14を動作させるときは、各コンバータユニットのMPUは、同期して、4台のコンバータユニット11-14を並行して動作させる。

[0028] これにより、電源システム装置10U4は、負荷の状態に応じた運転対象の電力変換回路の個数変更に、容易に対応できる。したがって、電源システム装置10U4は、負荷の状態に応じた適切な共通出力電圧 V_{out} を、負荷に供給できる。

[0029] さらに、コンバータユニット11のみを動作させるときは、MPU21は、コンバータユニット11をマルチフェーズコンバータとして動作させる。一方、例えば、2台のコンバータユニット11、12を動作させるときは、各MPUは同期して、2台のコンバータユニット11、12を一体として、マルチフェーズコンバータとして動作させる。また、3台のコンバータユニット11-13を動作させるときは、各MPUは同期して、3台のコンバータユニット11-13を一体として、マルチフェーズコンバータとして動作させる。コンバータユニット11-14を動作させるときは、各MPUは同期して、4台のコンバータユニット11-14を一体として、マルチフェー

ズコンバータとして動作させる。すなわち、各コンバータユニットのMPUは、運転数に応じて、運転対象の電力変換回路に出力する制御信号の発振信号の位相を制御する。

[0030] このように、動作させるコンバータユニットの個数に応じて、動作させるコンバータユニットが同期して、マルチフェーズ制御される。これにより、電源システム装置10U4は、共通出力電圧 V_{out} のリプル電圧を小さくできる。

[0031] また、この構成では、1つのMPUで生成して出力する制御信号の数を、少なくできる。したがって、MPUの構成処理が簡素化できる。そして、このような簡素化されたMPUを用いても、上述のような多様な制御態様を、容易に且つ確実に実現できる。この際、MPUがプログラマブルなデジタル電子回路であることによって、上述の制御を、アナログ回路を用いるよりも、容易に実現できる。なお、電源システム装置を構成するコンバータユニットの台数は、4台に限るものではなく、複数台（2台以上）であれば、本発明の構成を適用し、同様の作用効果を奏することができる。

[0032] （2ユニット構成の電源システム装置10の全体の構成） 上述の説明では、4台のコンバータユニット11-14を用いた電源システム装置10U4について、概略的に説明したが、以下では、本発明の特徴がより分かり易くなるように、2台のコンバータユニット11、12を用いた電源システム装置10を用いて、より具体的な構成および制御を説明する。

[0033] 図3は、第1の実施形態に係る電源システム装置の一例（2ユニット）を示す回路ブロック図である。図3に示すように、電源システム装置10は、コンバータユニット11およびコンバータユニット12、および、分圧回路60を備える。コンバータユニット11およびコンバータユニット12は、共通入力端子 P_{in} および共通出力端子 P_{out} に、並列に接続されている。

[0034] 共通入力端子 P_{in} は、外部の直流電圧源（入力電源）に接続されている。電源システム装置10は、共通入力端子 P_{in} から直流の共通入力電圧 V

i nの供給を受けている。共通出力端子P o u tは、負荷R oに接続されている。共通出力端子P o u tの電圧が、電源システム装置10の共通出力電圧V o u tとなる。

[0035] コンバータユニット11とコンバータユニット12とは、MP U 21とMP U 22の制御モードを除き、同じ回路構成である。コンバータユニット11のMP U 21とコンバータユニット12のMP U 22とは、相互にデータ通信可能であり、一方がマスタ制御を行い、他方がスレーブ制御を行う。例えば、コンバータユニット11のMP U 21がマスタ制御を行い、コンバータユニット12のMP U 22がスレーブ制御を行う。

[0036] コンバータユニット11は、MP U 21、電力変換回路311、電力変換回路312、電力変換回路313、および、電力変換回路314を備える。また、コンバータユニット11は、入力コンデンサC i 11、入力コンデンサC i 12、入力コンデンサC i 13、および、入力コンデンサC i 14を備える。

[0037] コンバータユニット12は、MP U 22、電力変換回路321、電力変換回路322、電力変換回路323、および、電力変換回路324を備える。また、コンバータユニット12は、入力コンデンサC i 21、入力コンデンサC i 22、入力コンデンサC i 23、および、入力コンデンサC i 24を備える。

[0038] 分圧回路60は、抵抗R 61と抵抗R 62との直列回路である。抵抗R 61と抵抗R 62との直列回路の一方端は、コンバータユニット11の電力変換回路311、電力変換回路312、電力変換回路313、および、電力変換回路314と、コンバータユニット12の電力変換回路321、電力変換回路322、電力変換回路323、および、電力変換回路324とに接続されている。抵抗R 61と抵抗R 62との直列回路の一方端は、基準電位に接続されている。抵抗R 61と抵抗R 62との接続点は、MP U 21およびMP U 22に接続されている。

[0039] (コンバータユニット11の構成)

M P U 2 1 は、共通入力端子 P i n に接続されており、共通入力端子 P i n を通じて電源供給されている。この電源供給ラインは、入力コンデンサ C i 1 1 を通じてグランド基準電位に接続されている。

[0040] M P U 2 1 は、デジタル電子回路からなり、プログラマブルな M i c r o P r o c e s s i n g U n i t である。M P U 2 1 は、プログラマブルな演算処理を実行可能なデバイスである。M P U 2 1 は、プログラマブルな演算処理によって、複数の電力変換回路 3 1 1、3 1 2、3 1 3、3 1 4 の駆動部への制御信号（発振制御信号）を生成する。

[0041] M P U 2 1 は、複数の電力変換回路 3 1 1、3 1 2、3 1 3、3 1 4 に接続されている。M P U 2 1 は、複数の電力変換回路 3 1 1、3 1 2、3 1 3、3 1 4 のそれぞれに対して、制御信号を出力する。

[0042] 例えば、M P U 2 1 は、複数の電力変換回路 3 1 1、3 1 2、3 1 3、3 1 4 の内、運転する電力変換回路（動作を有効にする電力変換回路）に、その電力変換回路に応じた制御信号を出力し、運転しない電力変換回路（動作を無効にする電力変換回路）には制御信号を出力しない。

[0043] この際、M P U 2 1 は、共通出力電圧 V o u t に基づく運転数信号 S o p を分圧回路 6 0 によって分圧した電圧を用いて、運転する電力変換回路の個数を決定する。

[0044] M P U 2 1 から各電力変換回路に出力される制御信号は、各電力変換回路のスイッチング周波数からなる発振信号を含んでいる。各制御信号の発振信号は位相差を有し、M P U 2 1 は、この位相差を設定する。

[0045] 電力変換回路 3 1 1、電力変換回路 3 1 2、電力変換回路 3 1 3、および、電力変換回路 3 1 4 は、アナログ電子回路からなる。なお、電力変換回路 3 1 1、電力変換回路 3 1 2、電力変換回路 3 1 3、および、電力変換回路 3 1 4 の具体的な回路構成は、後述する。

[0046] 電力変換回路 3 1 1、電力変換回路 3 1 2、電力変換回路 3 1 3、および、電力変換回路 3 1 4 は、共通入力端子 P i n に接続されており、共通入力端子 P i n を通じて電源供給されている。電力変換回路 3 1 1 の電源供給ラ

インは、入力コンデンサC i 1 1を通してグランド基準電位に接続されている。電力変換回路3 1 2の電源供給ラインは、入力コンデンサC i 1 2を通してグランド基準電位に接続されている。電力変換回路3 1 3の電源供給ラインは、入力コンデンサC i 1 3を通してグランド基準電位に接続されている。電力変換回路3 1 4の電源供給ラインは、入力コンデンサC i 1 4を通してグランド基準電位に接続されている。

[0047] 電力変換回路3 1 1、電力変換回路3 1 2、電力変換回路3 1 3、および、電力変換回路3 1 4の出力端は、共通出力端子P o u tに接続されている。

[0048] 電力変換回路3 1 1、電力変換回路3 1 2、電力変換回路3 1 3、および、電力変換回路3 1 4は、電圧帰還信号生成部および個別電圧帰還ループを、それぞれに備えている。この構成によって、電力変換回路3 1 1、電力変換回路3 1 2、電力変換回路3 1 3、および、電力変換回路3 1 4は、M P U 2 1から制御信号を受けて、P W M制御を用いたスイッチング制御を行って、それぞれに電力変換を行う。この際、電力変換回路3 1 1、電力変換回路3 1 2、電力変換回路3 1 3、および、電力変換回路3 1 4は、それぞれの個別電圧帰還ループを用いた帰還信号に基づいて、共通出力電圧V o u tに応じて、すなわち、負荷の状態に応じて、インダクタ電流を、適切、且つ、高速に制御する。

[0049] そして、電力変換回路3 1 1、電力変換回路3 1 2、電力変換回路3 1 3、および、電力変換回路3 1 4に与えられる制御信号が位相差を有することによって、電力変換回路3 1 1、電力変換回路3 1 2、電力変換回路3 1 3、および、電力変換回路3 1 4は、マルチフェーズ制御される。したがって、共通出力電圧V o u tのリプル電圧は、抑制される。

[0050] (コンバータユニット1 2の構成)

M P U 2 2は、共通入力端子P i nに接続されており、共通入力端子P i nを通じて電源供給されている。この電源供給ラインは、入力コンデンサC i 2 1を通してグランド基準電位に接続されている。

- [0051] MPU22は、デジタル電子回路からなり、プログラマブルなMicro Processing Unitである。MPU22は、プログラマブルな演算処理を実行可能なデバイスである。MPU22は、プログラマブルな演算処理によって、複数の電力変換回路321、322、323、324の駆動部への制御信号（発振制御信号）を生成する。
- [0052] MPU22は、複数の電力変換回路321、322、323、324に接続されている。MPU22は、複数の電力変換回路321、322、323、324のそれぞれに対して、制御信号を出力する。
- [0053] この際、MPU22は、MPU21からの運転情報（詳細は後述する。）に基づいて、複数の電力変換回路321、322、323、324に対する制御信号を生成し、出力する。MPU22から各電力変換回路に出力される制御信号は、各電力変換回路のスイッチング周波数からなる発振信号を含んでいる。各制御信号の発振信号は位相差を有し、MPU22は、この位相差を設定する。
- [0054] 電力変換回路321、電力変換回路322、電力変換回路323、および、電力変換回路324は、アナログ電子回路からなる。なお、電力変換回路321、322、323、324の具体的な回路構成は、電力変換回路311、312、313、314と同様である。
- [0055] 電力変換回路321、電力変換回路322、電力変換回路323、および、電力変換回路324は、共通入力端子Pinに接続されており、共通入力端子Pinを通じて電源供給されている。電力変換回路321の電源供給ラインは、入力コンデンサCi21を通してグランド基準電位に接続されている。電力変換回路322の電源供給ラインは、入力コンデンサCi22を通してグランド基準電位に接続されている。電力変換回路323の電源供給ラインは、入力コンデンサCi23を通してグランド基準電位に接続されている。電力変換回路324の電源供給ラインは、入力コンデンサCi24を通してグランド基準電位に接続されている。
- [0056] 電力変換回路321、電力変換回路322、電力変換回路323、および

、電力変換回路 3 2 4 の出力端は、共通出力端子 P o u t に接続されている。

[0057] 電力変換回路 3 2 1、電力変換回路 3 2 2、電力変換回路 3 2 3、および、電力変換回路 3 2 4 は、電圧帰還信号生成部および個別電圧帰還ループを、それぞれに備えている。この構成によって、電力変換回路 3 2 1、電力変換回路 3 2 2、電力変換回路 3 2 3、および、電力変換回路 3 2 4 は、M P U 2 2 から制御信号を受けて、P W M 制御を用いたスイッチング制御を行って、それぞれに電力変換を行う。この際、電力変換回路 3 2 1、電力変換回路 3 2 2、電力変換回路 3 2 3、および、電力変換回路 3 2 4 は、それぞれの個別電圧帰還ループを用いた帰還信号に基づいて、共通出力電圧 V o u t に応じて、すなわち、負荷の状態に応じて、インダクタ電流を、適切、且つ、高速に制御する。

[0058] そして、電力変換回路 3 2 1、電力変換回路 3 2 2、電力変換回路 3 2 3、および、電力変換回路 3 2 4 に与えられる制御信号が位相差を有することによって、電力変換回路 3 2 1、電力変換回路 3 2 2、電力変換回路 3 2 3、および、電力変換回路 3 2 4 は、マルチフェーズ制御される。したがって、共通出力電圧 V o u t のリップル電圧は、抑制される。

[0059] (マスタスレーブ制御の具体例)

マスタ側のコンバータユニット 1 1 の M P U 2 1 は、運転数信号 S o p に基づいて、運転数を含む運転情報を生成する。運転情報とは、マスタ側での運転数、スレーブ側での運転の有無、スレーブ側での運転数、および、制御信号の位相等が含まれている。

[0060] M P U 2 1 は、運転情報に基づいて、コンバータユニット 1 1 の複数の電力変換回路 3 1 1、3 1 2、3 1 3、3 1 4 に対する制御信号を生成して、複数の電力変換回路 3 1 1、3 1 2、3 1 3、3 1 4 に出力する。

[0061] M P U 2 1 は、スレーブ側のコンバータユニット 1 2 の M P U 2 2 に対して、運転情報を送信する。すなわち、マスタである M P U 2 1 は、スレーブ側で運転が必要かどうかを判断し、その判断内容に応じた運転情報を生成し

て、スレーブ側のMPU22に送信する。

[0062] 例えば、MPU21は、図4に示すような処理フローによってマスタ制御を行う。図4は、マスタ側のMPUが実行する処理の一例を示すフローチャートである。

[0063] MPU21は、運転数信号Sopを取得する(S11)。MPU21は、運転数信号Sopのレベルから、運転数nを決定する(S12)。MPU21は、運転数の切り替えが必要であるか否かを判断する(S13)。

[0064] MPU21は、運転数の切り替えが必要であれば(S13: YES)、スレーブ側の運転が必要かどうかを判定する(S14)。一方、MPU21は、運転数の切り替えが必要でなければ(S13: NO)、現状の制御状態を維持する。

[0065] MPU21は、スレーブ側の運転が必要でなければ(S14: NO)、コンバータユニット11内での制御信号の変更を行う(S16)。

[0066] MPU21は、スレーブ側の運転が必要であれば(S14: YES)、スレーブのMPU22へ運転情報を送信して(S15)、コンバータユニット11内での制御信号の変更を行う(S16)。

[0067] コンバータユニット11は、MPU21からの制御信号に基づいて、電力変換を行う。

[0068] MPU22は、運転情報に基づいて、コンバータユニット12の複数の電力変換回路321、322、323、324に対する制御信号を生成して、複数の電力変換回路321、322、323、324に出力する。

[0069] 例えば、MPU22は、図5に示すような処理フローによってスレーブ制御を行う。図5は、スレーブ側のMPUが実行する処理の一例を示すフローチャートである。

[0070] MPU22は、マスタ側のMPU21から、運転情報を受信する(S51)。MPU22は、スレーブ側のコンバータユニット12での運転が必要であり、コンバータユニット12の各電力変換回路が運転中でなければ(S52: NO)、運転対象の電力変換回路への制御信号の生成、出力を開始する

(S 5 3)。

[0071] MPU 2 2 は、コンバータユニット 1 2 の各電力変換回路が運転中であり (S 5 2 : Y E S)、スレーブの運転停止でなければ (S 5 4 : N O)、コンバータユニット 1 2 内での制御信号の変更を行う (S 5 5)。MPU 2 2 は、コンバータユニット 1 2 の各電力変換回路が運転中であり (S 5 2 : Y E S)、スレーブの運転停止であれば (S 5 4 : Y E S)、コンバータユニット 1 2 の複数の電力変換回路 3 2 1、3 2 2、3 2 3、3 2 4 への制御信号の出力を停止する (S 5 6)。

[0072] コンバータユニット 1 2 は、MPU 2 2 からの制御信号に基づいて、電力変換を行う。

[0073] このように、コンバータユニット 1 1 のみを動作させるときは、MPU 2 1 は、コンバータユニット 1 1 のみを動作させる。一方、コンバータユニット 1 1 とコンバータユニット 1 2 とを動作させるときは、MPU 2 1 と MPU 2 2 とは同期して、コンバータユニット 1 1 とコンバータユニット 1 2 とを並行して動作させる。

[0074] これにより、電源システム装置 1 0 は、負荷の状態に応じた運転対象の電力変換回路の個数変更に、容易に対応できる。したがって、電源システム装置 1 0 は、負荷の状態に応じた適切な共通出力電圧 V_{out} を、負荷に供給できる。

[0075] さらに、コンバータユニット 1 1 のみを動作させるときは、MPU 2 1 は、コンバータユニット 1 1 をマルチフェーズコンバータとして動作させる。一方、コンバータユニット 1 1 とコンバータユニット 1 2 とを動作させるときは、MPU 2 1 と MPU 2 2 とは同期して、コンバータユニット 1 1 とコンバータユニット 1 2 とを一体として、マルチフェーズコンバータとして動作させる。すなわち、MPU 2 1 および MPU 2 2 は、運転数に応じて、運転対象の電力変換回路に出力する制御信号の発振信号の位相を制御する。

[0076] (位相制御の第 1 態様)

図 6 は、位相制御の第 1 態様の一例を示す表である。図 7 は、運転数の切

り替えの概念を説明するための、出力電流と出力電圧との関係を示すグラフである。なお、図7は、運転数が8よりも多い場合も含むグラフである。運転数が8よりも多く必要な場合は、上述のスレーブのコンバータユニットを増やすことによって対応可能である。

[0077] 図6に示す位相制御では、図7に示すように、マスタ側のコンバータユニットで対応可能な出力電流 I_{out} の範囲は、マスタ側のコンバータユニットを用い、マスタ側のコンバータユニットのみで対応不可能な出力電流 I_{out} の範囲では、マスタ側のコンバータユニットとスレーブ側のコンバータユニットとを用いる。なお、以下では、上述の説明のように、コンバータユニット11をマスタとして、コンバータユニット12をスレーブとする場合を説明する。なお、図6では、運転数 $n = 1, 2, 4, 5, 8$ の場合を示すが、他の運転数であっても、同様の概念で、位相制御を行う。

[0078] 図6に示すように、運転数 $n = 1$ では、マスタ側のMPU21は、コンバータユニット11の1つの電力変換回路に対して、制御信号を出力し、この電力変換回路を動作させる。

[0079] 運転数 $n = 2$ では、マスタ側のMPU21は、コンバータユニット11の2つの電力変換回路に対して、制御信号を出力し、これらの電力変換回路を動作させる。この際、MPU21は、2つの電力変換回路の一方に対して、位相 $\theta = 0^\circ$ の制御信号（発振信号）を出力し、他方に対して、 $\theta = 180^\circ$ の制御信号（発振信号）を出力する。

[0080] 運転数 $n = 4$ では、マスタ側のMPU21は、コンバータユニット11の3つの電力変換回路に対して、制御信号を出力し、これらの電力変換回路を動作させる。この際、MPU21は、3つの電力変換回路の1つに対して、位相 $\theta = 0^\circ$ の制御信号（発振信号）を出力し、別の1つに対して、 $\theta = 90^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 180^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 270^\circ$ の制御信号（発振信号）を出力する。

[0081] 運転数 $n = 5$ では、マスタ側のMPU21は、コンバータユニット11と

ともにコンバータユニット12も動作させることを判断し、スレーブ側のMPU22に、この運転情報を送信する。スレーブ側のMPU22は、この運転情報を受信する。

[0082] マスタ側のMPU21は、コンバータユニット11の4つの電力変換回路に対して、制御信号を出力し、これらの電力変換回路を動作させる。スレーブ側のMPU22は、コンバータユニット12の1つの電力変換回路に対して、制御信号を出力し、この電力変換回路を動作させる。

[0083] この際、MPU21は、コンバータユニット11の4つの電力変換回路の1つに対して、位相 $\theta = 0^\circ$ の制御信号（発振信号）を出力し、別の1つに対して、 $\theta = 72^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 144^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 216^\circ$ の制御信号（発振信号）を出力する。MPU22は、コンバータユニット12の1つの電力変換回路に対して、位相 $\theta = 288^\circ$ の制御信号（発振信号）を出力する。

[0084] 運転数 $n = 8$ では、マスタ側のMPU21は、コンバータユニット11とともにコンバータユニット12も動作させることを判断し、スレーブ側のMPU22に、この運転情報を送信する。スレーブ側のMPU22は、この運転情報を受信する。

[0085] マスタ側のMPU21は、コンバータユニット11の4つの電力変換回路に対して、制御信号を出力し、これらの電力変換回路を動作させる。スレーブ側のMPU22は、コンバータユニット12の4つの電力変換回路に対して、制御信号を出力し、この電力変換回路を動作させる。

[0086] この際、MPU21は、コンバータユニット11の4つの電力変換回路の1つに対して、位相 $\theta = 0^\circ$ の制御信号（発振信号）を出力し、別の1つに対して、 $\theta = 45^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 90^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 135^\circ$ の制御信号（発振信号）を出力する。MPU22は、コンバータユニット12の4つの電力変換回路の1つに対して、位相 $\theta = 180^\circ$ の

制御信号（発振信号）を出力し、別の1つに対して、 $\theta = 225^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 270^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 315^\circ$ の制御信号（発振信号）を出力する。

[0087] このように、コンバータユニット11のみ、または、コンバータユニット11とコンバータユニット12とが同期して、マルチフェーズ制御される。これにより、電源システム装置10は、共通出力電圧 V_{out} のリプル電圧を小さくできる。

[0088] また、この第1態様の位相制御では、マスタ側のコンバータユニットのみで対応な出力電流 I_{out} の範囲では、マスタ側のコンバータユニットを動作させる。したがって、スレーブ側のコンバータユニットの不要な動作を抑制でき、スレーブ側のコンバータユニットでの不要な電力損失を抑制できる。

[0089] また、この構成では、1つのMPUで生成して出力する制御信号の数を、少なくできる。したがって、MPUの構成処理が簡素化できる。そして、このような簡素化されたMPUを用いても、上述のような多様な制御態様を、容易に且つ確実に実現できる。この際、MPUがプログラマブルなデジタル電子回路であることによって、上述の制御を、アナログ回路を用いるよりも、容易に実現できる。

[0090] （位相制御の第2態様）

図8は、位相制御の第2態様の一例を示す表である。

[0091] 図8に示す位相制御では、運転数 $n = 2$ 以上において、マスタ側のコンバータユニットとスレーブ側のコンバータユニットとを用いる。なお、以下では、上述の説明のように、コンバータユニット11をマスタとして、コンバータユニット12をスレーブとする場合を説明する。なお、図6では、運転数 $n = 1, 2, 4, 8$ の場合を示すが、他の運転数であっても、同様の概念で、位相制御を行う。

[0092] 図8に示すように、運転数 $n = 1$ では、マスタ側のMPU21は、コンバ

ータユニット 11 の 1 つの電力変換回路に対して、制御信号を出力し、この電力変換回路を動作させる。

[0093] 運転数 $n = 2$ 以上では、MPU 21 は、コンバータユニット 11 とともにコンバータユニット 12 も動作させることを判断し、スレーブ側の MPU 22 に、この運転情報を送信する。スレーブ側の MPU 22 は、この運転情報を受信する。

[0094] 運転数 $n = 2$ では、マスタ側の MPU 21 は、コンバータユニット 11 の 1 つの電力変換回路に対して、制御信号を出力し、この電力変換回路を動作させる。マスタ側の MPU 22 は、コンバータユニット 12 の 1 つの電力変換回路に対して、制御信号を出力し、この電力変換回路を動作させる。この際、MPU 21 は、コンバータユニット 11 の 1 つの電力変換回路に対して、位相 $\theta = 0^\circ$ の制御信号（発振信号）を出力する。MPU 22 は、コンバータユニット 12 の 1 つの電力変換回路に対して、 $\theta = 180^\circ$ の制御信号（発振信号）を出力する。

[0095] 運転数 $n = 4$ では、マスタ側の MPU 21 は、コンバータユニット 11 の 2 つの電力変換回路に対して、制御信号を出力し、これらの電力変換回路を動作させる。マスタ側の MPU 22 は、コンバータユニット 12 の 2 つの電力変換回路に対して、制御信号を出力し、これらの電力変換回路を動作させる。この際、MPU 21 は、コンバータユニット 11 の 1 つの電力変換回路に対して、位相 $\theta = 0^\circ$ の制御信号（発振信号）を出力し、コンバータユニット 11 の他の 1 つの電力変換回路に対して、位相 $\theta = 180^\circ$ の制御信号（発振信号）を出力する。MPU 22 は、コンバータユニット 12 の 1 つの電力変換回路に対して、位相 $\theta = 90^\circ$ の制御信号（発振信号）を出力し、コンバータユニット 12 の他の 1 つの電力変換回路に対して、位相 $\theta = 270^\circ$ の制御信号（発振信号）を出力する。

[0096] 運転数 $n = 8$ では、マスタ側の MPU 21 は、コンバータユニット 11 の 4 つの電力変換回路に対して、制御信号を出力し、これらの電力変換回路を動作させる。スレーブ側の MPU 22 は、コンバータユニット 12 の 4 つの

電力変換回路に対して、制御信号を出力し、この電力変換回路を動作させる。

[0097] この際、MPU 21は、コンバータユニット11の4つの電力変換回路の1つに対して、位相 $\theta = 0^\circ$ の制御信号（発振信号）を出力し、別の1つに対して、 $\theta = 90^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 180^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 270^\circ$ の制御信号（発振信号）を出力する。MPU 22は、コンバータユニット12の4つの電力変換回路の1つに対して、位相 $\theta = 45^\circ$ の制御信号（発振信号）を出力し、別の1つに対して、 $\theta = 135^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 225^\circ$ の制御信号（発振信号）を出力し、また別の1つに対して、 $\theta = 315^\circ$ の制御信号（発振信号）を出力する。

[0098] このように、コンバータユニット11のみ、または、コンバータユニット11とコンバータユニット12とが同期して、マルチフェーズ制御される。これにより、電源システム装置10は、共通出力電圧 V_{out} のリプル電圧を小さくできる。

[0099] また、第2態様の位相制御では、 $n = 2$ 以上で、マスタ側のコンバータユニットとスレーブ側のコンバータユニットとを同期して動作させる。したがって、マスタ側のコンバータユニットとスレーブ側のコンバータユニットとで、電力損失を平均化して分散できる。

[0100] また、第2態様の位相制御では、1つのMPUが出力する複数の制御信号の位相差を大きくできる。これにより、より確実に所望の位相差を有する複数の制御信号を出力できる。したがって、リプル電圧の低減を、より確実に高精度に実現できる。また、この制御によって、ノイズや発熱を時間的に分散できる。

[0101] また、この構成では、第1態様と同様に、1つのMPUで生成して出力する制御信号の数を、少なくできる。したがって、MPUの構成処理が簡素化できる。そして、このような簡素化されたMPUを用いても、上述のような

多様な制御態様を、容易に且つ確実に実現できる。この際、MPUがプログラマブルなデジタル電子回路であることによって、上述の制御を、アナログ回路を用いるよりも、容易に実現できる。

[0102] また、この構成では、マスタ側のコンバータユニットとスレーブ側のコンバータユニットとが同じ構成である。したがって、マスタ側のコンバータユニットとスレーブ側のコンバータユニットとで部品の共通化を実現でき、低コスト化、設計期間の短縮等を実現可能な実用化に優れた電源システム装置を構築できる。

[0103] なお、上述の第1態様および第2態様の位相制御は、一例であり、マスタ側のコンバータユニットとスレーブ側のコンバータユニットとで、同期して、少なくとも一部の制御信号の位相を異ならせていれば、他の位相制御を行ってもよい。さらに、全ての制御信号の位相を異ならせることによって、電源システム装置10を擬似的に高周波動作させることができ、電力損失をさらに平均化して分散できる。

[0104] また、上述の説明では、運転数信号Sopに応じた制御の変更を行う態様（動的な制御の変更）を示した。しかしながら、上述のマスタスレーブの構成および制御は、負荷に対する電力仕様の増減（静的な制御の変更）に対しても適用できる。

[0105] この場合、図7に示すような特性を予め求めておき、電源システム装置10として必要な運転数nを算出する。そして、運転数nに応じて、マスタ側のコンバータユニットとスレーブ側のコンバータユニットの使用態様、すなわち、コンバータユニットだけでよいか、マスタ側のコンバータユニットとスレーブ側のコンバータユニットとを必要とするかを設定する。そして、設定した使用態様に応じて、位相制御を設定する。このような場合でも、安定した高精度な出力特性と高い電力変換効率を達成できる。

[0106] 図9（A）、図9（B）、図9（C）、図9（D）は、本発明の実施形態を用いた場合の出力電流に対する出力電圧および電力変換効率を示すグラフである。図9（A）は、出力電流が100Aに対応する構成における出力電

圧特性を示し、図 9 (B) は、出力電流が 100 A に対応する構成における電力変換効率を示す。図 9 (C) は、出力電流が 50 A に対応する構成における出力電圧特性を示し、図 9 (D) は、出力電流が 50 A に対応する構成における電力変換効率を示す。

[0107] 図 9 (A)、図 9 (B)、図 9 (C)、図 9 (D) に示すように、出力電流が 100 A に対応する構成であっても、50 A に対応する構成であっても、安定した高精度な出力特性と高い電力変換効率を達成できる。

[0108] 特に、この構成を用いることによって、図 9 (A)、図 9 (C) に示すように、出力電圧が約 1.8 V という低電圧であっても、安定した高精度な出力特性と高い電力変換効率を達成できる。

[0109] (電力変換回路の構成 (アナログ電子回路の部分の構成))

上述の特性をより効果的に実現するため、特に、低電圧での安定性をより効果的に実現するため、電力変換回路は、例えば、次に示す構成を備える。なお、電力変換回路 311、312、313、314、321、322、323、324 は、同じ回路構成であるので、以下では、電力変換回路 311 を例に説明する。

[0110] 図 10 は、第 1 の実施形態に係る電力変換回路の等価回路図である。図 10 に示すように、電力変換回路 311 は、駆動部 41、スイッチング素子 Q11、スイッチング素子 Q12、インダクタ L1、出力コンデンサ C_o1、抵抗 R_L1、コンデンサ C_L1、および、帰還信号生成部 51 を備える。帰還信号生成部 51 は、端子 511、端子 512、端子 513、および、端子 514 を備える。端子 511、端子 512、端子 513、および、端子 514 は、物理的な端子構造を有していてもよいが、機能的には、他の回路素子等への接続部である。スイッチング素子 Q11 およびスイッチング素子 Q12 からなる回路は、本発明の「スイッチング回路」に対応する。

[0111] 駆動部 41 は、共通入力端子 P_{in} に接続しており、共通入力端子 P_{in} を通じて電源供給されている。駆動部 41 は、アナログ回路によって形成されている。また、駆動部 41、および、帰還信号生成部 51 によって、個別

アナログ制御部が形成される。個別アナログ制御部とスイッチング回路とは、例えば、一体化して集積されたFET内蔵PWM制御ICによって形成される。

[0112] 駆動部41には、MPU21から上述の位相制御された制御信号が入力されている。駆動部41には、電圧帰還信号と電流帰還信号とが合成された帰還信号が、帰還信号生成部51から入力されている。すなわち、図8の二点鎖線に示すような個別電圧帰還制御ループ v_{FB} を介して個別電圧帰還信号が駆動部41にフィードバックされ、図8の点線に示すような個別電流帰還制御ループ i_{FB} を介して個別電流帰還信号が駆動部41にフィードバックされる。なお、これら個別電圧帰還制御ループ v_{FB} および個別電流帰還制御ループ i_{FB} に関する説明は、後述の帰還信号生成部51の箇所において行う。

[0113] 駆動部41は、制御信号と帰還信号とから、スイッチング素子Q11およびスイッチング素子Q12に対して、PWM（パルス幅変調）制御を用いたスイッチング制御信号を生成する。そして、駆動部41は、アナログ電子回路によって構成されているので、帰還信号の電圧に応じたPWM制御信号を高速で出力できる。

[0114] スwitching素子Q12のゲートは、駆動部41に接続されており、ドレインは、共通入力端子Pinに接続されており、ソースは、スイッチング素子Q11のドレインに接続されている。スイッチング素子Q11のゲートは、駆動部41に接続されており、ソースは、グランド基準電位に接続されている。

[0115] スwitching素子Q12のゲートには、駆動部41から、スイッチング素子Q12用のPWM制御信号が入力されている。スイッチング素子Q11のゲートには、駆動部41から、スイッチング素子Q11用のスイッチング制御信号が入力されている。

[0116] インダクタL1の一方端は、スイッチング素子Q12のソースとスイッチング素子Q11のドレインとの接続点に接続されている。

[0117] インダクタ L_1 の他方端は、共通出力端子 P_{out} に接続されている。インダクタ L_1 の他方端は、出力コンデンサ C_{o1} を通してグランド基準電位に接続されている。

[0118] 抵抗 R_{L1} とコンデンサ C_{L1} との直列回路は、インダクタ L_1 に並列接続されている。この回路が、本発明の「インダクタ電流検出回路」に対応する。抵抗 R_{L1} が、本発明の「検出用抵抗」に対応し、コンデンサ C_{L1} が、本発明の「検出用コンデンサ」に対応する。抵抗 R_{L1} とコンデンサ C_{L1} との接続点は、帰還信号生成部51の端子512に接続されている。すなわち、インダクタ L_1 に対するインダクタ電流検出回路は、コンデンサ C_{L1} の両端電圧を、インダクタ L_1 のインダクタ電流 i_{L1} の検出信号として、帰還信号生成部51に出力できる。

[0119] この際、インダクタ電流検出回路は、インダクタ L_1 のインダクタンス、インダクタ L_1 の等価直列抵抗 R_{s1} の抵抗値、抵抗 R_{L1} の抵抗値、および、コンデンサ C_{L1} のキャパシタンスを特定の関係にすることで、インダクタ L_1 に流れるインダクタ電流 i_{L1} を、無損失で検出できる。

[0120] 具体的には、 $R_{s1} / L_1 = 1 / (C_{L1} \cdot R_{L1})$ の関係をを用いる。すなわち、インダクタ L_1 のインダクタンス、インダクタ L_1 の等価直列抵抗 R_{s1} の抵抗値に対して、コンデンサ C_{L1} のキャパシタンス、および、抵抗 R_{L1} の抵抗値（コンデンサ C_{L1} と抵抗 R_{L1} からなるCR回路の時定数（CR時定数））を、上式を満たすように設定する。これにより、時間的に変化するインダクタ電流 $i_{L1}(t)$ を無損失で検出できる。

[0121] （帰還信号生成部51の構成）

図11は、本実施形態に係る帰還信号生成部の一例を示す等価回路図である。図10、図11に示すように、帰還信号生成部51は、端子511、端子512、端子513、端子514を備える。端子511は、共通出力端子 P_{out} 、言い換えれば、電力変換回路311、312、313、314の出力端の並列接続部に接続されている。端子512は、抵抗 R_{L1} とコンデンサ C_{L1} との接続点に接続されている。端子513は、駆動部41に接続

されている。

[0122] 端子514は、他の電力変換回路312、313、314の帰還信号生成部における端子514と同じ端子と並列に接続されている。すなわち、電力変換回路311の帰還信号生成部51の端子514、および、他の電力変換回路312、313、314の帰還信号生成部における端子514と同じ端子は、共通ノードに接続されている。共通ノードは、運転数信号Sopの出力部であり、分圧回路60と通じてMPU20に接続されている。

[0123] 帰還信号生成部51は、アナログ回路によって構成されており、共通出力電圧Vout、インダクタL1のインダクタ電流iL1、共通ノードの電圧（共通バス信号（運転数信号）の電圧）に基づいて、駆動部41への帰還信号を生成する。

[0124] 帰還信号生成部51は、個別電流信号生成部551、共通信号生成部552、個別帰還信号生成部553、および、電圧調整回路554を備える。

[0125] 個別電流信号生成部551は、増幅器U51、抵抗R51、抵抗R52、抵抗R53、および、抵抗R54を備える。

[0126] 増幅器U51の反転入力端子は、抵抗R51を通じて、端子511に接続されている。増幅器U51の非反転入力端子は、抵抗R52を通じて、端子512に接続されている。抵抗R51の抵抗値と抵抗R52の抵抗値とは同じである。抵抗R53は、非反転入力端子とグランド基準電位との間に接続されている。増幅器U51の出力端子は、抵抗R54を通じて、増幅器U51の反転入力端子に接続されている。抵抗R53の抵抗値と抵抗R54の抵抗値とは同じである。増幅器U51には、駆動電源VDDが供給されている。この回路構成によって、個別電流信号生成部551は、差動増幅回路を実現する。

[0127] 端子511は、共通出力端子Poutに接続されており、端子512は、コンデンサCL1と抵抗RL1との接続点に接続されている。これにより、増幅器U51の非反転入力端子と反転入力端子との間には、インダクタ電流iL1に対応した電位差が生じる。そして、増幅器U51の出力端子、すな

わち、個別電流信号生成部551の出力端子からは、インダクタ電流 i_L1 に基づく信号が所定の増幅率で増幅されて、個別電流信号として出力されている。

[0128] 共通信号生成部552は、増幅器U52、および、ダイオードD52を備える。増幅器U52の非反転入力端子は、増幅器U51の出力端子に接続されている。増幅器U52の出力端子は、ダイオードD52を通じて、増幅器U52の反転入力端子に接続されている。この際、ダイオードD52のアノードは、出力端子に接続され、ダイオードD52のカソードは、反転入力端子に接続されている。反転入力端子は、端子514、すなわち、共通ノードに接続されている。増幅器U52には、駆動電源VDDが供給されている。

[0129] この回路構成によって、共通信号生成部552は、複数の電力変換回路311、312、313、314に対する、個別電流信号の最大値保持回路を実現する。この個別電流信号の最大値からなる信号が、運転数信号Sopであり、本発明の「共通バス信号」に対応する。

[0130] 個別帰還信号生成部553は、増幅器U53、増幅器U54、トランジスタTr55、抵抗R55、抵抗R56、抵抗R57、抵抗R58、抵抗R551、および、抵抗R552を備える。

[0131] 増幅器U53の反転入力端子は、抵抗R55を通じて、増幅器U51の出力端子に接続されている。増幅器U53の非反転入力端子は、抵抗R56を通じて、ダイオードD52のカソード、および、端子514に接続されている。抵抗R55の抵抗値と抵抗R56の抵抗値とは同じである。抵抗R57は、増幅器U53の非反転入力端子とグランド基準電位との間に接続されている。増幅器U53の出力端子は、抵抗R58を通じて、増幅器U53の反転入力端子に接続されている。抵抗R57の抵抗値と抵抗R58の抵抗値とは同じである。増幅器U53には、駆動電源VDDが供給されている。

[0132] 増幅器U54の非反転入力端子は、増幅器U53の出力端子に接続されている。増幅器U54の出力端子は、NPN型のトランジスタTr55のベースに接続されている。トランジスタTr55のコレクタは、抵抗R551を

通じて、端子511に接続されている。トランジスタ T_{r55} のエミッタは、抵抗 R_{552} を通じてグランド基準電位に接続されている。また、トランジスタ T_{r55} のエミッタは、増幅器 U_{54} の反転入力端子に接続されている。

[0133] 増幅器 U_{53} の反転入力端子には、個別電流信号が入力され、非反転入力端子には、共通バス信号が入力されている。これにより、増幅器 U_{51} の非反転入力端子と反転入力端子との間には、共通バス信号と個別電流信号との電位差が生じる。そして、増幅器 U_{53} の出力端子からは、共通バス信号と個別電流信号との電位差に基づく信号が所定の増幅率で増幅されて、増幅器 U_{54} に出力されている。

[0134] 増幅器 U_{54} 、トランジスタ T_{r55} 、および、抵抗 R_{552} からなる回路によって、電圧－電流変換回路が実現されている。具体的には、この回路では、増幅器 U_{54} の非反転入力端子に差分信号（差分電圧）が印加されていると、トランジスタ T_{r55} のコレクターエミッタ間には、差分信号（差分電流 I_{adj} ）が流れる。この差分電流が、個別電流帰還信号に相当する。

[0135] 差分電流 I_{adj} が流れることによって、抵抗 R_{551} と抵抗 R_{11} との接続点（トランジスタ T_{r55} のコレクタ）の電圧は、 $V_{out} - (R_{r551} \times I_{adj})$ となる。 R_{r551} は、抵抗 R_{551} の抵抗値である。

[0136] ここで、共通出力電圧 V_{out} は、個別電圧帰還信号と同じである。したがって、個別帰還信号生成部553は、個別電流帰還信号と個別電圧帰還信号とを合成した帰還信号を生成でき、出力できる。

[0137] 電圧調整回路554は、いわゆる分圧回路であり、抵抗 R_{11} と抵抗 R_{12} との直列回路を備える。抵抗 R_{11} は、個別帰還信号生成部553のトランジスタ T_{r55} のコレクタと抵抗 R_{551} との接続点に接続されている。抵抗 R_{12} は、グランド基準電位に接続されている。抵抗 R_{11} と抵抗 R_{12} との接続点は、端子513に接続されている。端子513が、帰還信号生成部51における帰還信号の出力端子である。

- [0138] これにより、電圧調整回路 554 は、個別帰還信号生成部 553 から出力された帰還信号の電圧を、駆動部 41 が対応可能な電圧に変換して、端子 513 に出力する。
- [0139] 端子 513 に出力された帰還信号は、駆動部 41 にフィードバックされる。これにより、上述の駆動部 41 の説明に示すような個別電圧帰還制御ループ vFB (図 10 の二点鎖線) および個別電流帰還制御ループ iFB (図 10 の点線) が実現される。
- [0140] 駆動部 41 は、この帰還信号を用いて、上述のような PWM 制御を実行する。
- [0141] これにより、負荷の急激な変動が生じて、負荷の変動に応じて共通出力電圧 V_{out} を高速で応答させる。すなわち、負荷の変動に応じて共通出力電圧 V_{out} が変動すると、これが帰還信号に含まれる個別電圧帰還信号に反映される。駆動部 41 は、この個別電圧帰還信号の変化を用いて、共通出力電圧 V_{out} を安定させるように、PWM 制御を実行する。
- [0142] したがって、電力変換回路 311、および、これに並列接続される複数の電力変換回路 312、313、314 は、共通出力電圧 V_{out} の急激な変動に対して、高速に応答し、共通出力電圧 V_{out} を安定化させることができる。さらに、各個別アナログ制御部は、アナログ電子回路によって構成されているので、より高速な応答、共通出力電圧 V_{out} の安定化を実現できる。
- [0143] なお、この個別電圧帰還信号の制御は、その時点で共通出力電圧 V_{out} に対する寄与が大きな電力変換回路による制御が実質的に作用する。例えば、電力変換回路 311 が共通出力電圧 V_{out} を実質的に出力している期間では、電力変換回路 311 によってこの共通出力電圧 V_{out} を安定させる PWM 制御が実質的に作用する。また、電力変換回路 312 が共通出力電圧 V_{out} を実質的に出力している期間では、電力変換回路 312 によって、この共通出力電圧 V_{out} を安定させる PWM 制御が実質的に作用する。
- [0144] したがって、本願のような個別電流帰還信号を用いたフィードバック制御

を行わなければ、特定の電力変換回路の電力損失が大きくなってしまい、電源システム装置 10 としての電力効率を向上することができない。

[0145] しかしながら、本願のような個別電流帰還信号を用いたフィードバック制御を行うことで、並列接続される複数の電力変換回路のインダクタ電流を平均化できる。これにより、複数の電力変換回路の電力損失を平均化できる。

[0146] この結果、電源システム装置 10 は、マスタスレーブ制御を用いたマルチフェーズ制御による作用効果を実現しながら、さらに電力効率を向上し、電力損失によって発生する発熱を分散し、信頼性を向上できる。そして、この際、個別アナログ制御部がアナログ電子回路によって構成されているので、電源システム装置 10 は、この電力損失の平均化の制御を高速に実現できる。

[0147] [第 2 の実施形態]

本発明の第 2 の実施形態に係る電源システム装置について、図を参照して説明する。図 12 は、第 2 の実施形態に電源システム装置の帰還信号生成部の等価回路図である。

[0148] 図 12 に示すように、第 2 の実施形態に係る電源システム装置の帰還信号生成部 51R は、第 1 の実施形態に係る電源システム装置 10 の帰還信号生成部 51 に対して、共通信号生成部 53R を用いる点で異なる。帰還信号生成部 51R の他の構成は、帰還信号生成部 51 と同様であり、同様の箇所の説明は省略する。

[0149] 共通信号生成部 53R は、抵抗 R60 を備える。抵抗 R60 は、増幅器 U52 の出力端子と反転入力端子との間に接続されている。この構成によって、増幅器 U52 と抵抗 R60 とを備える平均値算出回路が実現される。

[0150] 共通信号生成部 53R は、この平均値信号を共通バス信号とする。このように、共通バス信号に平均値信号を用いても、上述の最大値信号と同様の処理を実現することが可能である。

[0151] なお、上述の各実施形態において、動作対象の電力変換回路の選択方法としては、回路基板上での複数の電力変換回路の配置パターンを考慮してもよ

い。例えば、電力変換回路間の距離が遠いもの同士を順に選択する。これにより、回路基板上の発熱を分散でき、電源システム装置の信頼性を向上できる。

[0152] また、上述の実施形態では、1つのコンバータユニットに備えられた電力変換回路の個数は、4個とした。しかしながら、1つのコンバータユニットに備えられる電力変換回路の個数は、複数であればよい。

符号の説明

[0153] 10、10U4：電源システム装置
11、12、13、14：コンバータユニット
21、22：MPU
41：駆動部
51、51R：帰還信号生成部
53R：共通信号生成部
60：分圧回路
311、312、313、314、321、322、323、324：電力変換回路
511、512、513、514：端子
551：個別電流信号生成部
552：共通信号生成部
553：個別帰還信号生成部
554：電圧調整回路
Ci11、Ci12、Ci13、Ci14、Ci21、Ci22、Ci23、Ci24：入力コンデンサ
CL1：コンデンサ
Co1：出力コンデンサ
D52：ダイオード
L1：インダクタ
n：運転数

P i n : 共通入力端子

P o u t : 共通出力端子

Q 1 1、Q 1 2 : スイッチング素子

R 1 1、R 1 2、R 5 1、R 5 2、R 5 3、R 5 4、R 5 5、R 5 5 1、R
5 5 2、R 5 6、R 5 7、R 5 8、R 6 0、R 6 1、R 6 2 : 抵抗

R L 1 : 抵抗

R o : 負荷

R s 1 : 等価直列抵抗

S o p : 運転数信号

T r 5 5 : トランジスタ

U 5 1、U 5 2、U 5 3、U 5 4 : 増幅器

V D D : 駆動電源

i F B : 個別電流帰還制御ループ

v F B : 個別電圧帰還制御ループ

V i n : 共通入力電圧

V o u t : 共通出力電圧

請求の範囲

[請求項1]

共通制御部および個別アナログ制御部を有するユニット制御部をそれぞれに備える複数のコンバータユニットを備え、

前記複数のコンバータユニットのそれぞれは、

インダクタとスイッチング回路と前記個別アナログ制御部とをそれぞれに備える複数の電力変換回路と、

前記複数の電力変換回路の入力部が並列に接続され、入力電源に接続される共通入力端子と、

前記複数の電力変換回路の出力部が並列接続され、負荷に接続される共通出力端子と、

前記複数の電力変換回路に対して、発振制御信号を出力する前記共通制御部と、

を備え、

前記個別アナログ制御部は、

前記共通出力端子の出力電圧を検出して電圧帰還信号を生成し、前記電圧帰還信号をフィードバックする電圧帰還信号生成部および個別電圧帰還ループと、

前記電圧帰還信号を用いて前記スイッチング回路のスイッチング素子を駆動する駆動部と、

を備え、

前記ユニット制御部は、

前記個別電圧帰還ループを用いたフィードバック制御を行いながら、

前記複数のコンバータユニットにおいて、一方のコンバータユニットをマスタ制御とし、他方のコンバータユニットをスレーブ制御とするように、前記発振制御信号を同期するマスタスレーブ制御を実行し、

前記入力電源の電圧を前記複数のコンバータユニットの前記複数の

電力変換回路を用いて電圧変換する電圧変換動作を、前記複数のコンバータユニットで同期させて実行しながら、前記負荷に電力を供給する、

電源システム装置。

[請求項2] 前記共通制御部は、プログラマブルなマイクロプロセッサで構成される、

請求項1に記載の電源システム装置。

[請求項3] 前記共通制御部は、前記複数の電力変換回路に対して、互いにスイッチング周波数の位相をずらせた前記発振制御信号を出力する、

請求項1または請求項2に記載の電源システム装置。

[請求項4] 前記複数のユニット制御部における前記スレーブ制御のユニット制御部は、前記複数のユニット制御部における前記マスタ制御のユニット制御部に対して、基準となる位相を所定値ずらす、

請求項1乃至請求項3のいずれかに記載の電源システム装置。

[請求項5] 前記所定値の位相は、 180° である、

請求項4に記載の電源システム装置。

[請求項6] 前記複数のユニット制御部は、前記複数の電力変換回路に対する前記発振制御信号の位相が全て異なるように設定する、

請求項1乃至請求項5のいずれかに記載の電源システム装置。

[請求項7] 前記電圧帰還信号生成部は、

前記複数の電力変換回路を並列に接続する共通ノードと、

前記複数の電力変換回路のインダクタの電流に基づく個別電流信号を生成する個別電流信号生成部と、

前記複数の電力変換回路に対する前記個別電流信号から前記共通ノードに流れる共通バス信号を生成する共通信号生成部と、

を備え、

前記個別電流信号と前記共通バス信号の差から個別電流帰還信号を生成し、前記電圧帰還信号として出力する、

請求項 1 乃至請求項 6 のいずれかに記載の電源システム装置。

[請求項 8]

前記電圧帰還信号生成部は、

前記共通出力端子の出力電圧に前記個別電流帰還信号を加算した信号を、前記電圧帰還信号として出力する、

請求項 7 に記載の電源システム装置。

[請求項 9]

前記共通信号生成部は、前記複数の電力変換回路の前記個別電流信号の最大値を用いて、前記共通バス信号を生成する、

請求項 7 または請求項 8 に記載の電源システム装置。

[請求項 10]

前記共通信号生成部は、前記複数の電力変換回路の前記個別電流信号の平均値を用いて、前記共通バス信号を生成する、

請求項 7 または請求項 8 に記載の電源システム装置。

[請求項 11]

前記インダクタの電流を検出するインダクタ電流検出回路を備え、
前記インダクタ電流検出回路は、

前記インダクタに並列接続される検出用コンデンサと検出用抵抗の直列回路を備え、

前記検出用コンデンサと前記検出用抵抗は、前記インダクタが有するスイッチング周波数における特定のインダクタンスと特定の交流抵抗に対して所定の関係を有する C R 時定数を有し、

前記検出用コンデンサの両端電圧を、前記インダクタの電流の検出信号とする、

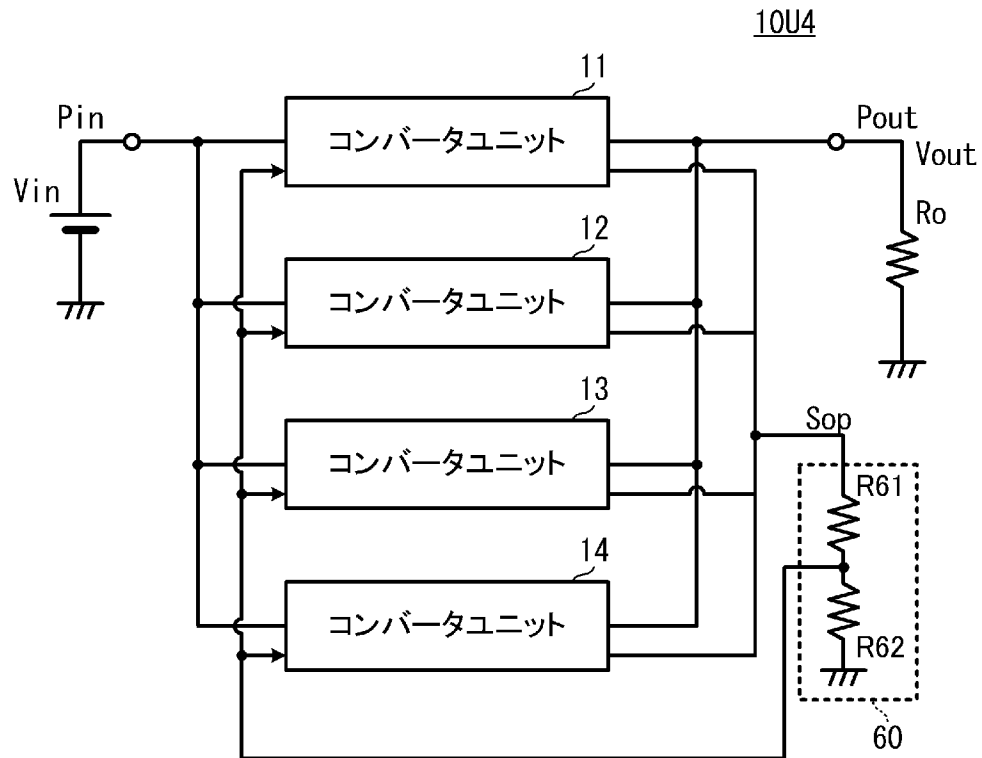
請求項 1 乃至請求項 10 のいずれかに記載の電源システム装置。

[請求項 12]

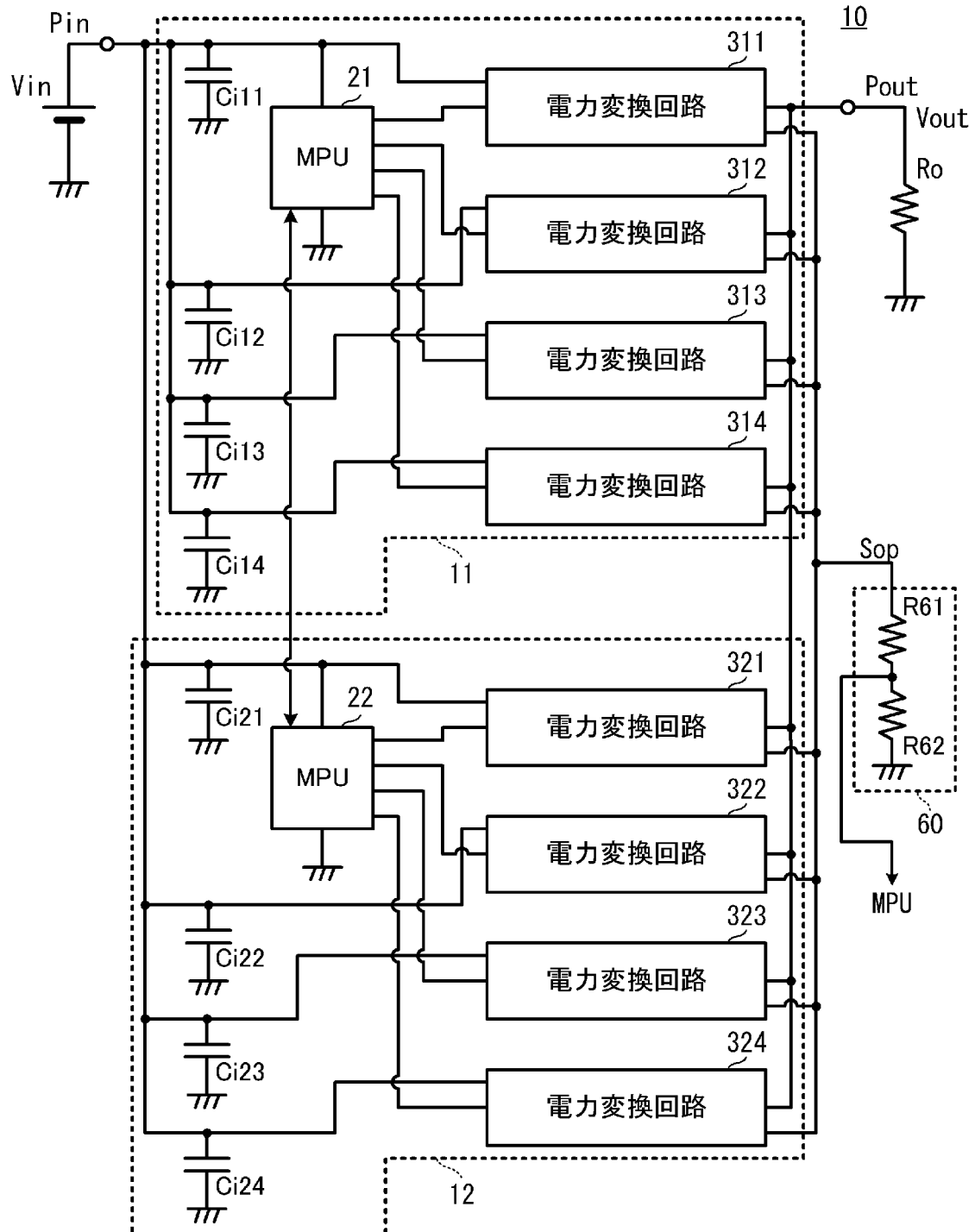
前記スイッチング回路と前記個別アナログ制御部とは、一体化して集積された F E T 内蔵 P W M 制御 I C で構成される、

請求項 1 乃至請求項 11 のいずれかに記載の電源システム装置。

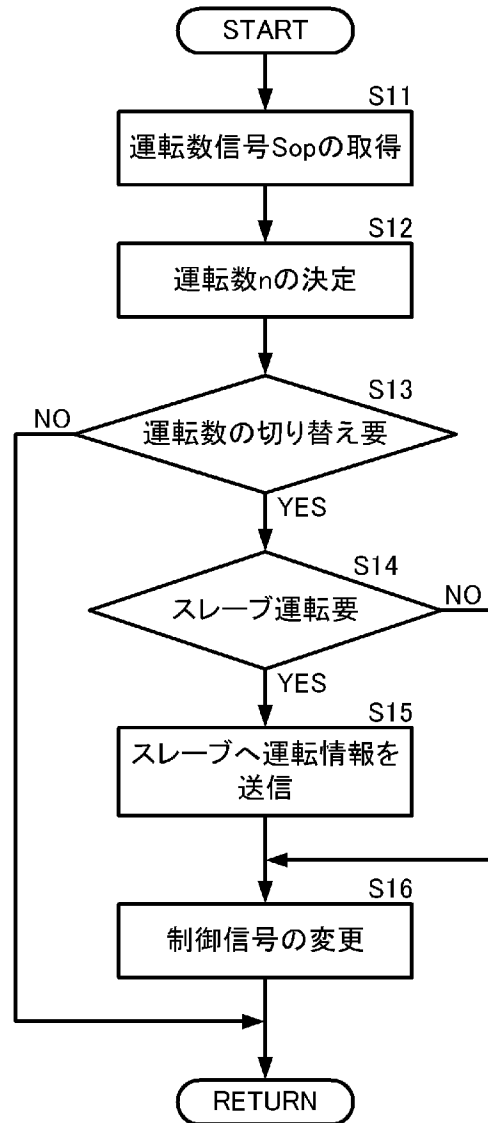
[図1]



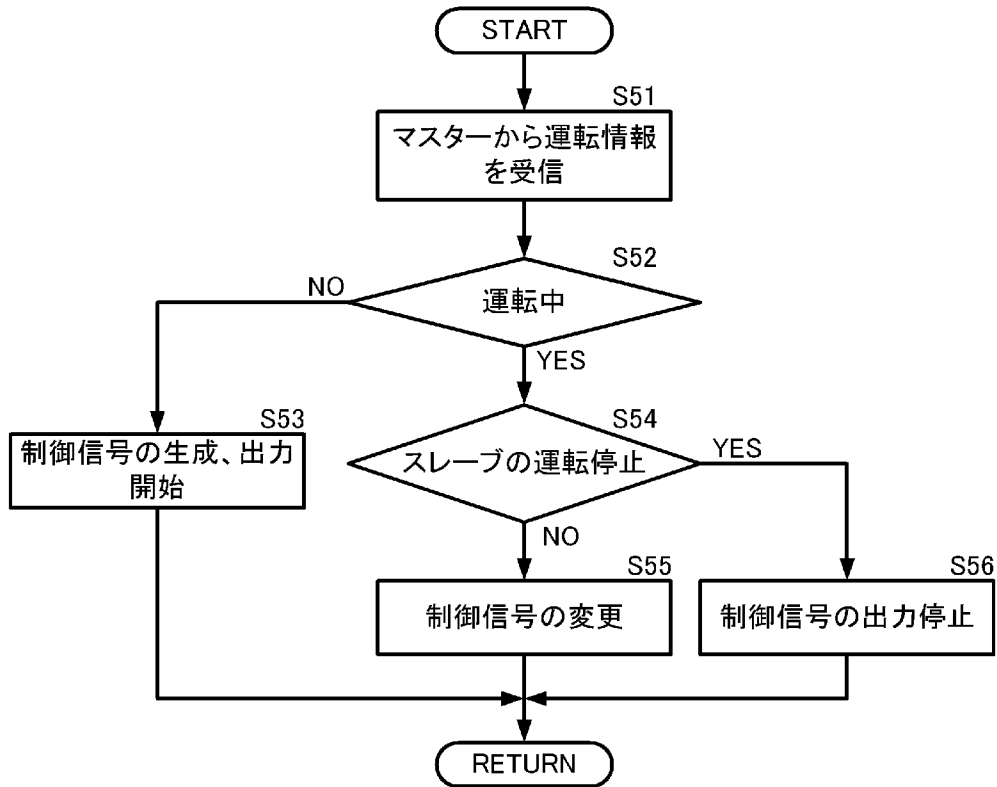
[図3]



[図4]



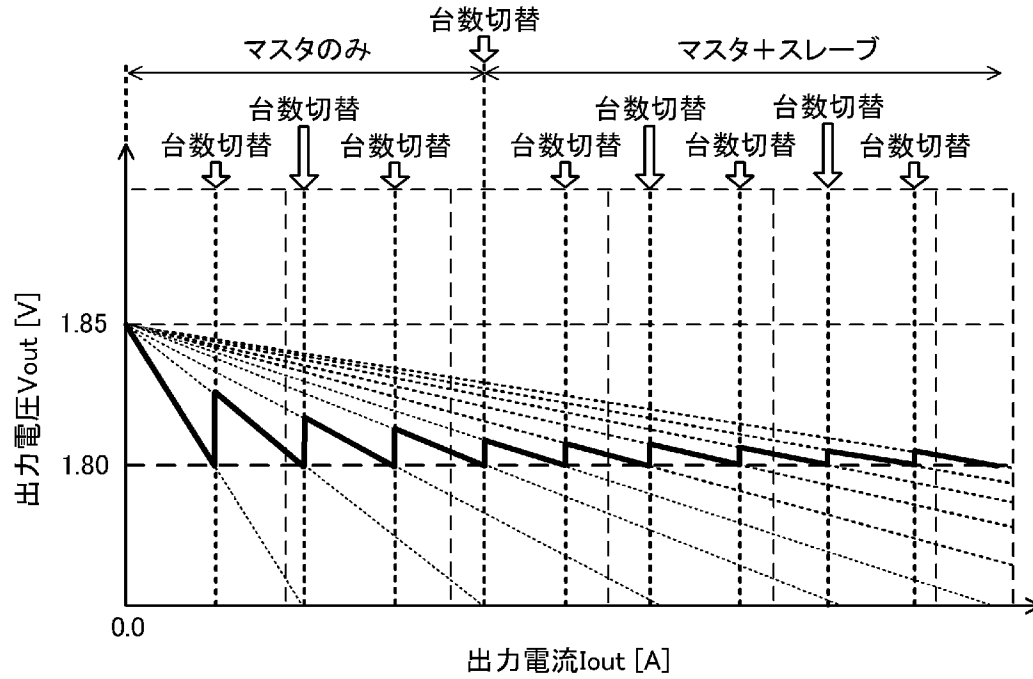
[図5]



[図6]

	運転数				
	n=1	n=2	n=4	n=5	n=8
マスタ	0°	0°	0°	0°	0°
	–	180°	90°	72°	45°
	–	–	180°	144°	90°
	–	–	270°	216°	135°
スレーブ	–	–	–	288°	180°
	–	–	–	–	225°
	–	–	–	–	270°
	–	–	–	–	315°

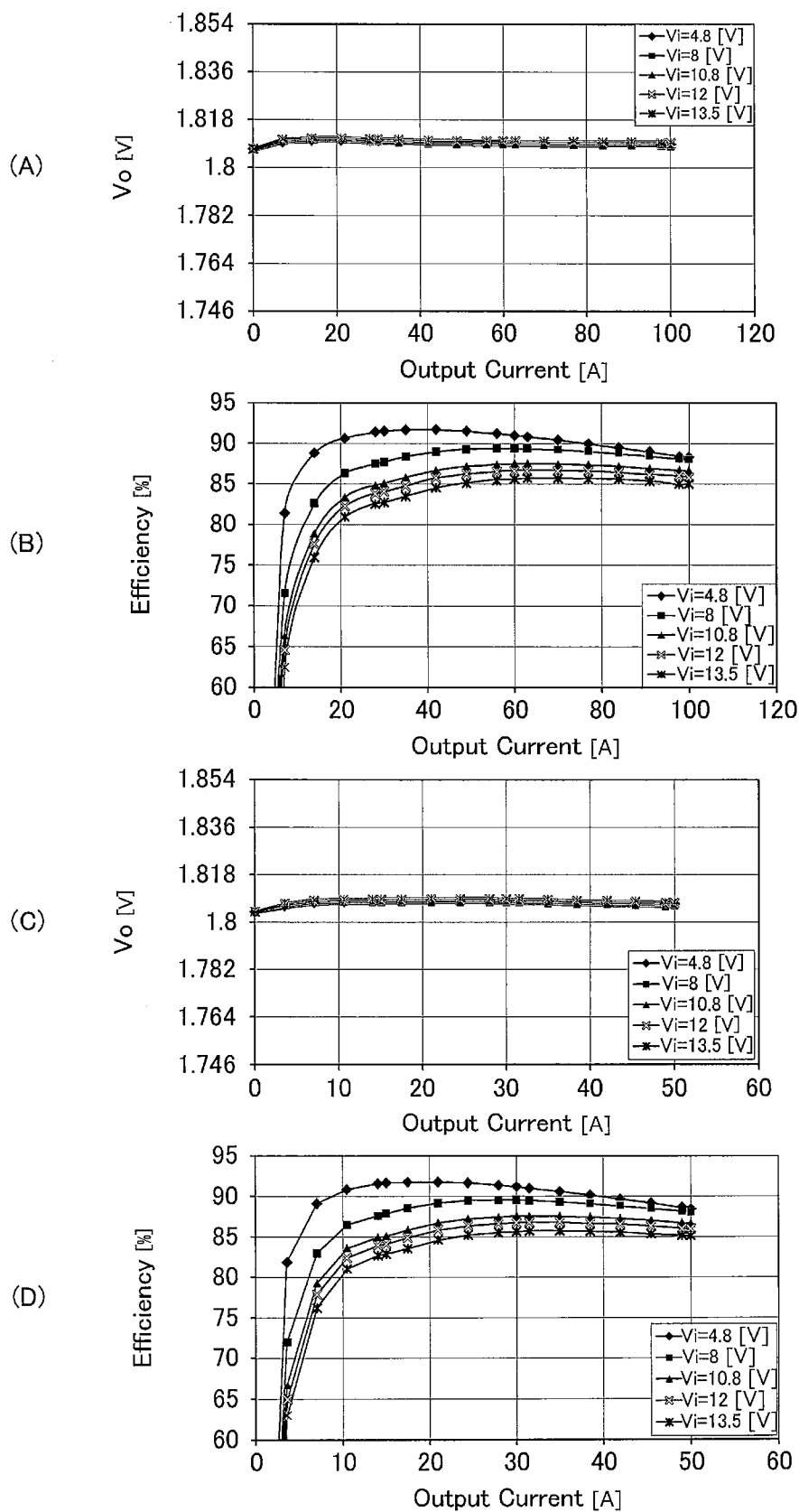
[図7]



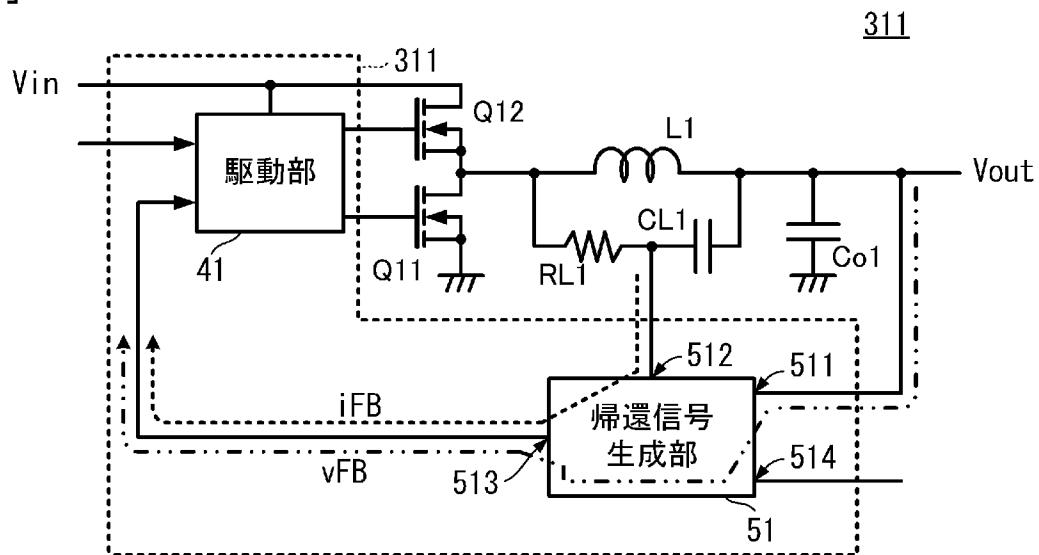
[図8]

	運転数			
	n=1	n=2	n=4	n=8
マスタ	0°	0°	0°	0°
	-	-	180°	90°
	-	-	-	180°
	-	-	-	270°
スレーブ	-	180°	90°	45°
	-	-	270°	135°
	-	-	-	225°
	-	-	-	315°

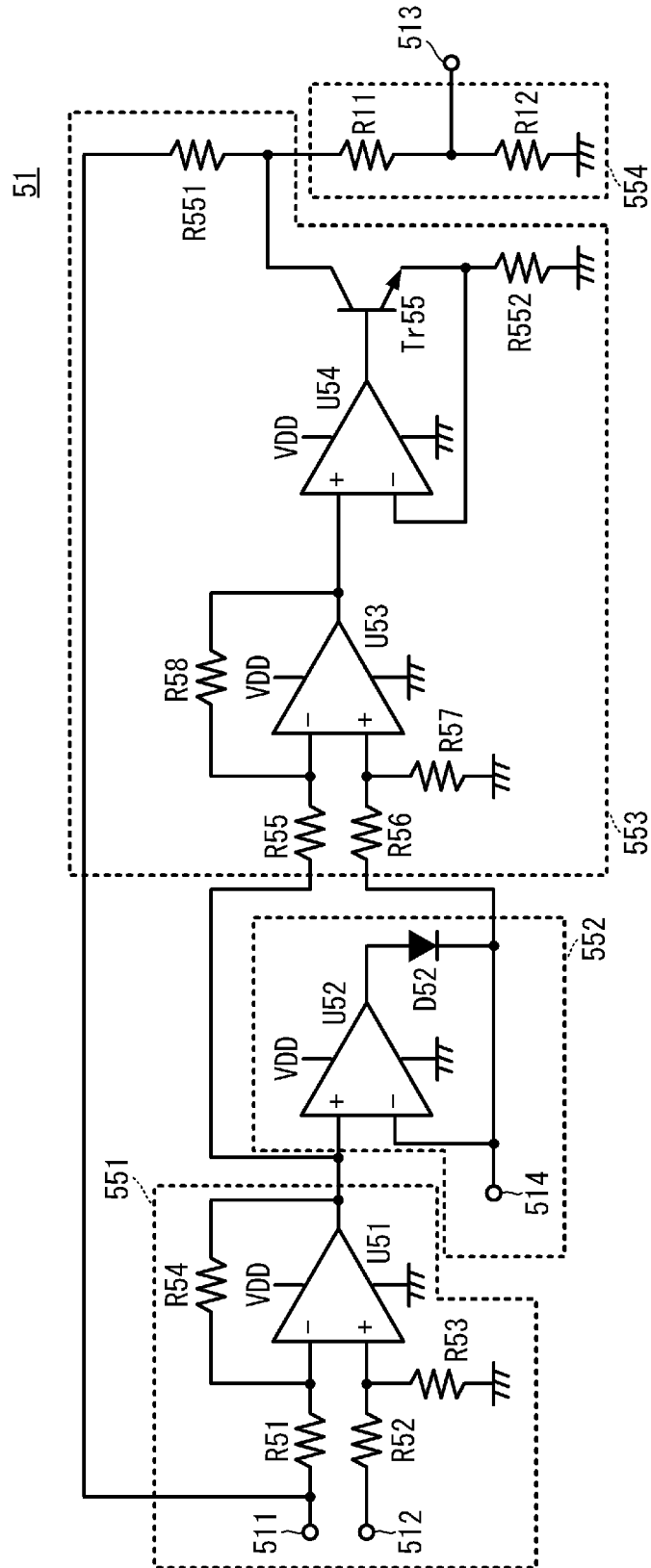
[図9]



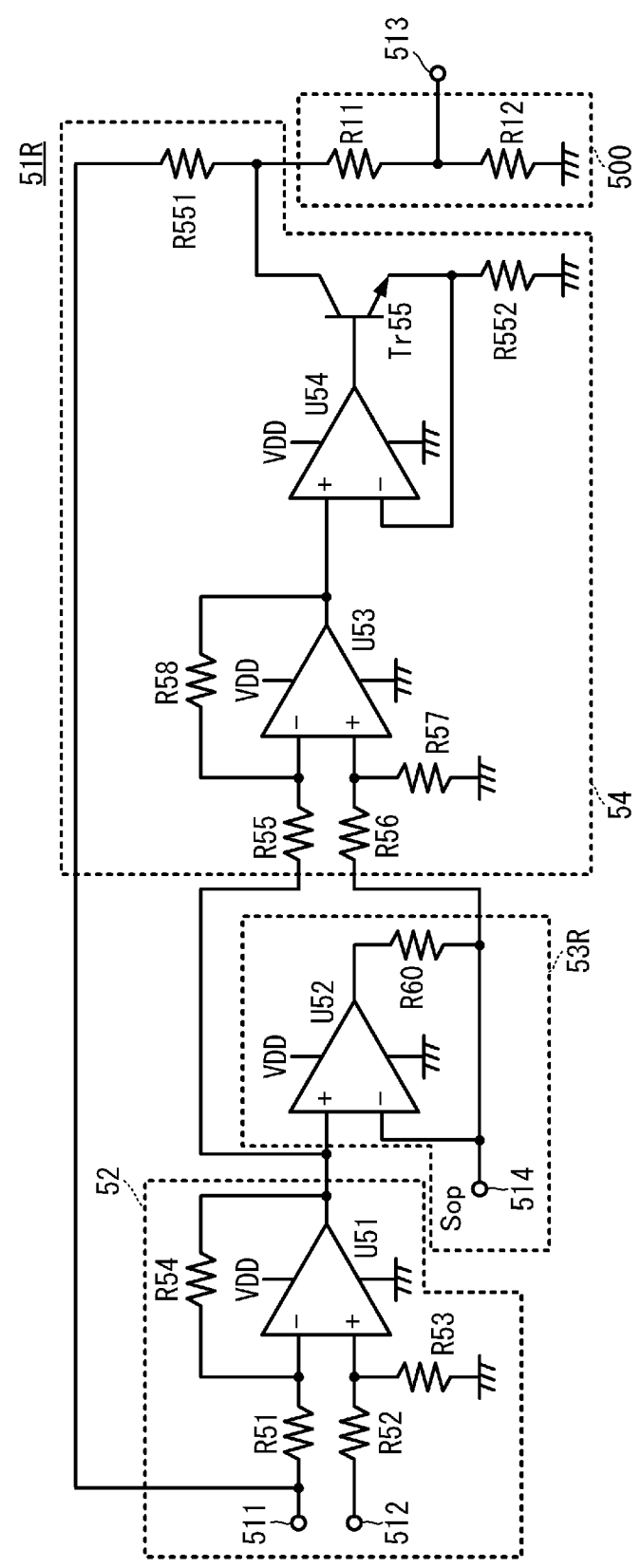
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/001131

A. CLASSIFICATION OF SUBJECT MATTER**H02M 3/155**(2006.01)i

FI: H02M3/155 W; H02M3/155 P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-50891 A (TOSHIBA TEC CORP.) 16 February 2006 (2006-02-16) entire text, all drawings	1-12
A	JP 2012-151937 A (COSEL CO., LTD.) 09 August 2012 (2012-08-09) entire text, all drawings	1-12
A	WO 2015/050094 A1 (MURATA MANUFACTURING CO., LTD.) 09 April 2015 (2015-04-09) entire text, all drawings	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 February 2022

Date of mailing of the international search report

08 March 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/001131

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2006-50891	A	16 February 2006	(Family: none)	
JP	2012-151937	A	09 August 2012	(Family: none)	
WO	2015/050094	A1	09 April 2015	US 2016/0190803 A1	
				entire text, all drawings	
				CN 105580259 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i FI: H02M3/155 W; H02M3/155 P		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H02M3/155		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2022年 日本国実用新案登録公報 1996 - 2022年 日本国登録実用新案公報 1994 - 2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-50891 A（東芝テック株式会社）16.02.2006（2006 - 02 - 16） 全文, 全図	1-12
A	JP 2012-151937 A（コーセル株式会社）09.08.2012（2012 - 08 - 09） 全文, 全図	1-12
A	WO 2015/050094 A1（株式会社村田製作所）09.04.2015（2015 - 04 - 09） 全文, 全図	1-12
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 24.02.2022		国際調査報告の発送日 08.03.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 遠藤 尊志 5G 3052 電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/001131

引用文献			公表日	パテントファミリー文献	公表日
JP	2006-50891	A	16.02.2006	(ファミリーなし)	
JP	2012-151937	A	09.08.2012	(ファミリーなし)	
WO	2015/050094	A1	09.04.2015	US 2016/0190803 A1	
				全文, 全図	
				CN 105580259 A	