

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 20 日(20.09.2012)



(10) 国際公開番号
WO 2012/124190 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/41 (2006.01)
H01L 21/02 (2006.01) H01L 29/47 (2006.01)
H01L 21/265 (2006.01) H01L 29/739 (2006.01)
H01L 27/04 (2006.01) H01L 29/78 (2006.01)
H01L 29/06 (2006.01) H01L 29/872 (2006.01)
H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2011/070908
- (22) 国際出願日: 2011 年 9 月 13 日(13.09.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-055945 2011 年 3 月 14 日(14.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 中澤 治雄 (NAKAZAWA, Haruo) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 荻野 正明 (OGINO, Mas-aaki) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 中嶋 経宏 (NAKAJIMA, Tsunehiro) [JP/JP]; 〒

2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

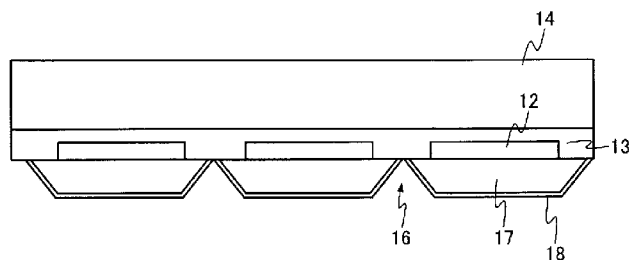
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR-DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置

[図7]



(57) Abstract: A top-surface element structure (12) is formed on the top surface of a silicon carbide wafer. A support substrate (14) is then bonded to said top surface with an adhesive layer (13) interposed therebetween. Next, with said support substrate (14) in place, the silicon carbide wafer is reduced in thickness by grinding and polishing from the bottom surface thereof. V-shaped grooves (V-grooves) (16) that penetrate the silicon carbide wafer and reach the aforementioned adhesive layer (13) are then formed in the bottom surface of the wafer, and the wafer is diced into individual chips (17). Electrode films (18) are formed on the side walls of the V-grooves (16) and the bottom surfaces of the chips (17), and together with drift layers comprising said chips (17), said electrode films (18) form Schottky junctions. The electrode films (18) are then annealed, tape (19) is then bonded to the bottom surfaces of the silicon carbide wafer diced into chips (17), and the support substrates (14) are then removed from the silicon carbide wafer.

(57) 要約:

[続葉有]

WO 2012/124190 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲及び説明書 (条約第 19 条(1))

S i C ウェハのおもて面側におもて面素子構造 (12) を形成する。ついで、S i C ウェハのおもて面に、接着層 (13) を介して支持基板 (14) を貼り付ける。ついで、支持基板 (14) を貼り合わせた状態で、S i C ウェハの裏面側から研削および研磨し、S i C ウェハを薄板化する。ついで、S i C ウェハの裏面に、S i C ウェハを貫通し接着層 (13) に達する V 字状の溝 (V 溝) (16) を形成し、S i C ウェハを個々のチップ (17) に切断する。V 溝 (16) 側壁およびチップ (17) の裏面に電極膜 (18) を成膜して、チップ (17) からなるドリフト層と電極膜 (18) とによるショットキー接合を形成する。ついで、電極膜 (18) をアニールする。ついで、チップ (17) 状に切断された S i C ウェハ裏面にテープ (19) を貼り付ける。ついで、S i C ウェハから支持基板 (14) を剥離する。

明 細 書

発明の名称：半導体装置の製造方法および半導体装置

技術分野

[0001] この発明は、半導体装置の製造方法および半導体装置に関する。

背景技術

[0002] 最近、半導体電力変換装置において、AC（交流）／AC変換、AC／DC（直流）変換、DC／AC変換などを行う例えばマトリックスコンバータなどの直接リンク形変換回路への双方向スイッチング素子の適用が、回路の小型化、軽量化、高効率化、高速応答化および低コスト化などの観点から着目されている。

[0003] マトリックスコンバータは、インバータ／コンバータよりも電力変換効率が高いという特徴を有する。通常、インバータ／コンバータが、交流電源から直流の中間電圧を生成して、この中間電圧をさらに交流電圧に変換するのに対し、マトリックスコンバータは、中間電圧を生成することなく直接、交流電源から交流電圧を生成するからである。

[0004] また、インバータ／コンバータは、中間電圧を生成するコンデンサに電解コンデンサを用いるため、電解コンデンサの寿命によって装置の寿命が決まるなどの問題が以前から生じていた。それに対して、マトリックスコンバータは、交流電源と交流電圧の出力部との間に中間電圧を生成するコンデンサを備える必要がないため、インバータ／コンバータに生じていた上記問題を回避することができる。

[0005] 図29、30は、従来のマトリックスコンバータを示す等価回路図である。マトリックスコンバータに用いるパワーデバイスとして、上述したように、双方向に電流を流すことができる双方向スイッチング素子が用いられる。双方向スイッチング素子は、素子単体で構成することができず、例えば、図29に示すように2個のダイオード101と2個のトランジスタ102とで構成される。

[0006] 図29に示す双方向スイッチング素子において、ダイオード101は、トランジスタ102に逆方向電圧が印加された場合に、パワーデバイスの耐圧を維持するために備えられる。トランジスタ102として用いられる通常のIGBT (Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ) やMOSFET (Metal Oxide Semiconductor Field Effect Transistor: 金属/酸化膜/半導体電界効果トランジスタ) などは逆方向耐圧を保証することができないからである。

[0007] 最近では、逆方向電圧が印加された場合にも耐圧を保証する逆阻止型IGBT (RB-IGBT: Reverse Blocking IGBT) が開発されており、双方向スイッチング素子は、例えば、図30のように2個の逆阻止型IGBT 103で構成される。図30に示す双方向スイッチング素子は、図29に示す双方向スイッチング素子と比較して素子数が少ないため、電力損失が小さく、かつ素子全体のサイズが小さい。このため、図30に示す双方向スイッチング素子をマトリックスコンバータに適用することで、低コストで、かつ微細化されたマトリックスコンバータを提供することが可能となる。

[0008] 逆阻止型IGBTを用いた双方向スイッチング素子として、GaN (ガリウムナイトライド) 半導体またはSiC (シリコンカーバイド: 炭化珪素) 半導体を主たる半導体結晶とする半導体基板からなるn-型ドリフト層の一方の表面層にゲート電極とエミッタ電極を含むMOSゲート構造を備え、チップ化のための切断端面が、前記n-型ドリフト層の表面と裏面とを連結するp型保護領域を有し、前記n-型ドリフト層の裏面に接触するコレクタ電極がショットキー性金属膜を有する逆耐圧を有する素子が提案されている (例えば、下記特許文献1参照。) 。

[0009] 逆阻止型IGBTは、順阻止能力と同程度の逆阻止能力を備える。この逆阻止能力を確保するために、逆阻止型IGBTには、半導体チップの裏面からおもて面にかけてドリフト層を貫通し、半導体チップの側面とドリフト層

とを分離する拡散層（以下、分離層とする）からなるpn接合が形成されている。このpn接合によって、逆阻止型IGBTの逆耐圧が維持される。

[0010] 次に、分離層を形成する方法について説明する。図31～35は、従来のシリコンでの逆阻止型IGBTの製造方法について示す断面図である。ここでは、半導体ウェハ上に塗布した不純物ソース（液状の拡散源）からドーパントを拡散させて（塗布拡散法）、分離層となる拡散層を形成する方法について示す。まず、例えば熱酸化等によって、n型の半導体ウェハ111のおもて面上に酸化膜112を形成する（図31）。

[0011] 酸化膜112の膜厚は、例えば2.5 μ m程度である。次に、フォトリソグラフィによって、酸化膜112に分離層を形成するための開口部113を形成し、ドーパントマスク用のマスク酸化膜114を形成する（図32）。次に、開口部113内部に埋め込むように、マスク酸化膜114上にボロン（B）ソース115を塗布する。

[0012] 次に、拡散炉内に半導体ウェハ111を挿入して高温で長時間の熱処理を行い、半導体ウェハ111のおもて面の表面層にp型の拡散層116を形成する（図33）。拡散層116の厚さは、例えば数百 μ m程度である。後の工程において、この拡散層116が分離層となる。

[0013] 次に、半導体ウェハ111のおもて面側に、逆阻止型IGBTのおもて面素子構造117（図35参照）を形成する。次に、半導体ウェハ111の裏面を拡散層116が露出するまで研削して、半導体ウェハ111を薄板化する（図34）。次に、半導体ウェハ111の研削された裏面に、pコレクタ領域118とコレクタ電極119とで構成される裏面素子構造を形成する（図35）。

[0014] 次に、半導体ウェハ111を、拡散層116の中心部に形成されたスクライブライン（不図示）に沿ってダイシングしチップ状に分離する。これにより、図35に示すように、チップの切断面120に拡散層116からなる分離層を備えた逆阻止型IGBTが完成する。

[0015] 図36～39は、従来のシリコンでの逆阻止型IGBTの製造方法の別の

一例について示す断面図である。ここでは、半導体ウェハにトレンチ（溝）を形成し、トレンチの側面に分離層となる拡散層を形成する方法について示す。まず、例えば熱酸化等によって、 n 型の半導体ウェハ 121 のおもて面上に、例えば数 μm 程度の厚い酸化膜 122 を形成する（図 36）。

[0016] 次に、ドライエッチングによって、半導体ウェハ 121 のおもて面側からトレンチ 123 を形成する（図 37）。トレンチ 123 の深さは、例えば数百 μm 程度である。このとき、酸化膜 122 には、トレンチ 123 の幅と等しい幅を有する開口部 124 が形成され、ドーパントマスク用のマスク酸化膜 125 が形成される。

[0017] 次に、気相拡散法によってトレンチ 123 の底面および側壁に不純物 126 を導入し、トレンチ 123 の底面および側壁に不純物層 127 を形成する（図 38）。後の工程において、この不純物層 127 が分離層となる。次に、半導体ウェハ 121 のおもて面側におもて面素子構造を形成した後、半導体ウェハ 121 の裏面を不純物層 127 が露出するまで研削し、この研削面に裏面素子構造を形成する（図 39）。

[0018] 次に、トレンチ 123 の内部に補強材 128 を充填した後、半導体ウェハ 121 をスクライブラインに沿ってダイシングしチップ状に分離する。スクライブラインは、トレンチ 123 の中心部に沿って半導体ウェハ 121 をダイシングすることができる位置に形成されている。これにより、図 39 に示すように、チップの切断面 129 に不純物層 127 からなる分離層を備えた逆阻止型 IGBT が完成する。

[0019] このように、トレンチ側壁に分離層を形成する方法として、シリコンにおいて次の方法が提案されている。第 2 導電型のエピタキシャル層をその上に形成した第 1 導電型の半導体材料の基板を準備する。次に、エピタキシャル層の上面内に第 1 導電型の第 2 の領域を形成し、第 2 の領域上面からエピタキシャル層を貫通して基板まで達し、かつ活性層を取り囲むトレンチを形成する。次に、このトレンチの側壁に第 1 導電型の不純物を注入してアニール処理を施し、第 2 の領域と基板とを電氣的に接続する低抵抗路を形成する（

例えば、下記特許文献2参照。) 。

[0020] また、シリコンにおいて別の方法として、次の方法が提案されている。ガードリング構造となる箇所の外側に、 n ベース領域の p コレクタ領域との p n 接合近傍に達する溝を形成する。その後、この溝の表面層を化学処理（エッチング）により除去する。このとき、エッチング後の溝の底部の深さを、 p n 接合を横切る深さにする。基板裏面側の p コレクタ領域と基板おもて面側 p 領域に接する p 領域を溝表面から形成する（例えば、下記特許文献3参照。) 。

[0021] また、シリコンにおいて別の方法として、耐圧構造の外周部と P コレクタ層に接するように、 N ベース層の側壁に P 層を形成する方法が提案されている（例えば、下記特許文献4参照。) 。

[0022] 図31～34に示す逆阻止型IGBTの製造方法において、数百 μm 程度の拡散深さを有する分離層（拡散層116）を形成する場合、高温で長時間の拡散処理が必要となる。このため、拡散炉を構成する石英ボードや石英管（石英チューブ）、石英ノズルなどの石英治具が劣化したり、ヒーターから汚染を受けたり、失透現象によって石英治具の強度が低下するという問題が生じる。

[0023] また、高温で長時間（例えば1300℃、200時間）の拡散処理に耐え得る良質で厚いマスク酸化膜114を形成する必要がある、拡散処理において例えばボロンがマスク酸化膜114を突き抜けないように、マスク酸化膜114の膜厚を約2.5 μm 程度にする必要がある。膜厚が約2.5 μm 程度の熱酸化膜を形成するためには、ドライ（乾燥酸素雰囲気）酸化法によって、例えば1150℃で約200時間の熱酸化を行う必要がある。

[0024] ドライ酸化法に比べて膜質がやや劣るが、ドライ酸化法よりも処理時間が短いウェット酸化またはパイロジェニック酸化であっても、約15時間程度の処理が必要となる。さらに、これらの酸化処理中に大量の酸素が半導体ウェハ中に導入されるため、酸素析出物が生じたり、酸化誘起積層欠陥（OSF: Oxidation Induced Stacking Fault

）などの結晶欠陥が導入されたり、酸素ドナーが発生したりする。それらが原因で、デバイス特性が劣化したり、デバイスの信頼性が低下するという問題が生じる。

[0025] また、ドライ酸化法においても、通常は酸化雰囲気下で上述したように高温長時間の拡散処理となるため、半導体ウェハ内の格子間に酸素が導入され、酸素析出物が生じたり、酸素ドナーが発生したり、酸化誘起積層欠陥やスリップ転位など結晶欠陥が導入されてしまう。それらが原因で、pn接合でのリーク電流が増大したり、半導体ウェハ上に形成された絶縁膜の耐圧や信頼性が大幅に低下する。また、拡散処理中に半導体ウェハ内に導入された酸素がドナー化し、耐圧が低下するという問題が生じる。

[0026] また、図31～34に示す逆阻止型IGBTの製造方法では、ボロンの拡散がマスク酸化膜114の開口部113からほぼ等方的に進行するため、ボロンを深さ方向に200 μ m拡散させると、横方向にもボロンが180 μ m程度拡散してしまう。そのため、デバイスピッチやチップサイズの縮小化が妨げられるという問題もある。

[0027] 一方、図36～39に示す逆阻止型IGBTの製造方法では、高アスペクト比のトレンチを形成し、トレンチ側壁に分離層を形成するため、図31～34に示す逆阻止型IGBTの製造方法に比べてデバイスピッチの縮小化を図ることができる。しかしながら、典型的なドライエッチング装置を用いて半導体ウェハに200 μ m程度の深さのトレンチを形成するには、ウェハ1枚あたり100分程度かかる。そのため、リードタイムが増加したり、ドライエッチング装置のメンテナンス回数が増加するという問題がある。

[0028] また、シリコン酸化膜(SiO₂)のマスクを用いたドライエッチング処理によって深いトレンチを形成する場合、マスクの選択比が約50以下であるため、数 μ m程度の厚さのシリコン酸化膜が必要となる。そのため、製造コストが上昇したり、酸化誘起積層欠陥や酸素析出物などのプロセス誘起結晶欠陥が導入されてしまい、良品率が低下するという問題点がある。

[0029] 高アスペクト比のトレンチをドライエッチングで形成する際に、次のよう

な問題が生じる。図40は、従来の逆阻止型IGBTの製造途中における要部について示す断面図である。図40に示すようにトレンチ123内にレジストの残渣131や薬液の残渣132などが発生することがあり、歩留まりが低下したり、信頼性が低下するという問題がある。

[0030] また、通常、トレンチ側壁に対してリン(P)やボロンなどのドーパントを導入する場合、トレンチ側壁が垂直となっているので、半導体ウェハを斜めにしてイオン注入することによりトレンチ側壁へのドーパント導入を行う。しかし、高アスペクト比のトレンチ内へ不純物を導入するにあたっては、実効ドーズ量の低下や、それに伴う注入時間の増加、実効投影飛程の低下、スクリーン酸化膜によるドーズ量ロス、注入均一性の低下などの理由によりイオン注入法が適当でない。

[0031] このため、イオン注入に代えて、ホスフィン(PH_3)やジボラン(B_2H_6)などのガス化させた不純物雰囲気中に半導体ウェハを曝す気相拡散法が用いられる。しかし、気相拡散法は、ドーズ量の精密制御性の点でイオン注入法より劣る。また、気相拡散法は、導入できるドーパントのドーズ量が固溶限(Solubility Limit)により制限されることが多く、イオン注入法に比べてドーズ量の精密制御性に劣る。

[0032] さらに、トレンチのアスペクト比が高いと、トレンチに絶縁膜を充填させる際に、トレンチ内にボイドと呼ばれる隙間ができることがあり、信頼性が低下するという問題がある。また、上述した特許文献2～4の製造方法では、半導体ウェハを個々のチップ状にダイシングする際に、トレンチを補強材などで埋める工程が必要となることが想定され、製造コストが上昇するという問題がある。

[0033] 上述したような問題を解消する方法として、シリコンにおいて次の方法が提案されている。図41、42は、従来の逆阻止型IGBTを示す断面図である。図41に示すようにエミッタ側からコレクタ側に向かって幅が広がるテーパ状の側面141、または、図42に示すようにコレクタ側からエミッタ側に向かって幅が広がるテーパ状の側面151を有する半導体チ

ップ140、150の、テーパ状の側面141、151に、不純物をイオン注入してアニールすることで分離層142、152を形成する（例えば、特許文献5参照。）。

[0034] 半導体チップの側面をテーパ状にする方法として、異方性エッチングによって半導体ウェハの一部を選択的に除去する方法がシリコンにおいて提案されている（例えば、下記特許文献6および下記特許文献7参照。）。

[0035] 図42に示すコレクタ側からエミッタ側に向かって幅が広がるテーパ状の側面151を有する逆阻止型IGBTは、図41に示すテーパ状の側面141を有する逆阻止型IGBTに比べて、エミッタ側の主面を広く利用することができる。このため、エミッタ側主面の表面層に形成するエミッタ領域やチャネル領域の幅を広くすることができ、電流密度の大きい逆阻止型IGBTを作製することができる。また、従来と同じ電流定格で、従来よりもチップ面積が小さい逆阻止型IGBTを作製することができる。

[0036] また、図41、42に示す逆阻止型IGBTにおいては、テーパ状の側面141、151に不純物をイオン注入してアニールを施すことによって分離層142、152を形成するため、図31～34に示すような高温長時間の拡散処理とならない。このため、半導体ウェハ内に結晶欠陥や酸素に起因する欠陥が導入されたり、拡散炉が劣化するなどの問題が生じない。

[0037] また、テーパ状の側面141、151からなる溝のアスペクト比はトレンチ（図36～39参照）のアスペクト比に比べて低い。このため、テーパ状の側面141、151に、ボイドや残渣（図40参照）を発生させずに、イオン注入によって簡単にドーパントを導入することができる。

先行技術文献

特許文献

[0038] 特許文献1：特開2009-123914号公報

特許文献2：特開平2-22869号公報

特許文献3：特開2001-185727号公報

特許文献4：特開2002-76017号公報

特許文献5：特開2006-303410号公報

特許文献6：特開2004-336008号公報

特許文献7：特開2006-156926号公報

発明の概要

発明が解決しようとする課題

[0039] SiCやGaNは、バンドギャップがシリコン(Si)の約3倍、破壊電界強度がシリコンの約10倍という優れた特性を有することから、低オン電圧で高速スイッチングが可能なパワーデバイスへの研究開発が行われている。しかしながら、本発明者らが鋭意研究を重ねた結果、次のような問題が生じることが新たに判明した。

[0040] 例えば、SiCやGaNを半導体材料とする基板（以下、単にSiC基板とする）を用いたパワーデバイスは、シリコンを半導体材料として用いたパワーデバイスと比較してドリフト領域の厚さを約1/10にすることができる。具体的には、SiC基板を用いた縦型パワーデバイスにおいては、ドリフト層の厚さを、1200V耐圧クラスの場合に15 μ m程度、耐圧600V耐圧クラスの場合に10 μ m以下程度とすることができる。

[0041] また、SiCやGaNは、シリコンよりもバンドギャップが広く、例えばIGBTを構成した場合にビルトイン電位が大きく、600V耐圧クラスや1200V耐圧クラスのデバイスを作製する際の半導体材料として適用される他に、MOSFETやJ-FET(Junction-Field Effect Transistor)を作製する際の半導体材料として適用され始めている。

[0042] しかしながら、MOSFETやJ-FETは、逆方向電圧が印加されたときに電圧を維持するpn接合が設けられていないため、逆耐圧を得ることができない。このため、MOSFETやJ-FETを逆阻止型デバイスとするために、ドレイン電極とドリフト層との接合をショットキー接合にする必要がある。この場合、デバイスの全体の厚さがドリフト層の厚さ程度となることから、製造が極めて困難になるという問題がある。

[0043] つまり、S i C基板を用いて低損失な逆阻止型M O S F E Tや逆阻止型I G B Tを作製するためには、S i C基板の厚さを数10 μ m程度にすることが望ましい。この場合、S i Cからなるウェハを薄板化した後に、薄板化したウェハ単体に対して各製造工程が順に行われることとなるため、ウェハに割れや欠けが生じる虞がある。これにより、逆阻止型デバイスの良品率が低下する虞がある。

[0044] この発明は、上述した従来技術による問題点を解消するため、低損失な半導体装置の製造方法および半導体装置を提供することを目的とする。また、歩留まりの高い半導体装置の製造方法および半導体装置を提供することを目的とする。

課題を解決するための手段

[0045] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、半導体ウェハのおもて面におもて面素子構造を形成する工程と、前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、前記半導体ウェハに、裏面側から溝を形成する工程と、前記溝の側壁および前記半導体ウェハの裏面に電極膜を成膜し、当該半導体ウェハと当該電極膜とによるショットキー接合を形成する工程と、前記半導体ウェハから前記支持基板を剥離する工程と、を含むことを特徴とする。

[0046] この発明によれば、半導体ウェハに割れや欠けを生じさせることなく、溝の側壁および半導体ウェハの裏面にショットキー接合を形成することができる。また、薄板化された半導体ウェハをチップ状に切断した状態で、この半導体チップの側面および裏面にショットキー接合を形成することができる。

[0047] また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、第1導電型の半導体ウェハのおもて面におもて面素子構造を形成する工程と、前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、前記半導体ウェハに、裏面側から溝を形成する工程と、前記溝の側壁に第2導電型不純物

を注入する工程と、前記溝の側壁に注入された第2導電型不純物を活性化し、当該溝の側壁の表面層に第2導電型の第1の半導体領域を形成する工程と、前記半導体ウェハの裏面に電極膜を成膜し、当該半導体ウェハと当該電極膜とによるショットキー接合を形成する工程と、前記半導体ウェハから前記支持基板を剥離する工程と、を含むことを特徴とする。

[0048] この発明によれば、半導体ウェハに割れや欠けを生じさせることなく、溝の側壁および半導体ウェハの裏面にショットキー接合を形成することができる。また、薄板化された半導体ウェハをチップ状に切断した状態で、このチップの裏面にショットキー接合を形成することができる。

[0049] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体ウェハに前記溝を形成した後、前記半導体ウェハの裏面に選択的に第2導電型不純物を注入する工程と、前記半導体ウェハの裏面に注入された第2導電型不純物を活性化し、当該半導体ウェハの裏面の表面層に選択的に第2導電型の第2の半導体領域を形成する工程と、をさらに含むことを特徴とする。

[0050] この発明によれば、半導体ウェハの裏面に選択的に形成された第2導電型の半導体領域によって、漏れ電流を低減することができる。

[0051] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記おもて面素子構造は、電界効果トランジスタのおもて面素子構造であり、前記電極膜は、ドレイン電極であることを特徴とする。

[0052] この発明によれば、逆阻止型MOSFETを形成することができる。

[0053] また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、第1導電型の半導体ウェハのおもて面におもて面素子構造を形成する工程と、前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、前記半導体ウェハに、裏面側から溝を形成する工程と、前記半導体ウェハの裏面に第2導電型不純物を注入する工程と、前記半導体ウェハの裏面に注入された第2導電型不純物を活性化し、当該半導体ウェハの裏面の表面層に第2導電型の第

3の半導体領域を形成する工程と、前記溝の側壁に第2導電型不純物を注入する工程と、前記溝の側壁に注入された第2導電型不純物を活性化し、当該溝の側壁の表面層に第2導電型の第1の半導体領域を形成する工程と、前記溝の側壁および前記半導体ウェハの裏面に電極膜を成膜し、前記第1の半導体領域および前記第3の半導体領域と当該電極膜とによるショットキー接合を形成する工程と、前記半導体ウェハから前記支持基板を剥離する工程と、を含むことを特徴とする。

[0054] この発明によれば、半導体ウェハに割れや欠けを生じさせることなく、溝の側壁および半導体ウェハの裏面に電極膜を形成することができる。また、薄板化された半導体ウェハをチップ状に切断した状態で、このチップの側面および裏面に電極膜を形成することができる。

[0055] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体ウェハの裏面に第2導電型不純物を注入するとともに、前記溝の側壁に第2導電型不純物を注入した後、前記半導体ウェハの裏面および前記溝の側壁に注入された第2導電型不純物を活性化することを特徴とする。

[0056] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記おもて面素子構造は、絶縁ゲート型バイポーラトランジスタのおもて面素子構造であり、前記電極膜は、コレクタ電極であることを特徴とする。

[0057] この発明によれば、逆阻止型IGBTを形成することができる。

[0058] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記溝は、前記半導体ウェハを貫通し前記支持基板に達することを特徴とする。

[0059] この発明によれば、逆阻止型MOSFETや逆阻止型IGBTを形成する工程中に、半導体ウェハをチップ状に切断することができる。

[0060] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記溝の幅は、前記半導体ウェハの裏面から当該半導体ウェハの深さ方向に向かって徐々に狭くなることを特徴とする。

[0061] この発明によれば、チップ側面に容易に電極膜を形成することができる。

- [0062] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体ウェハは、シリコンよりもバンドギャップが広い半導体材料からなることを特徴とする。
- [0063] この発明によれば、オン電圧が低い逆阻止型MOSFETおよび逆阻止型IGBTを形成することができる。高速スイッチングが可能な逆阻止型MOSFETおよび逆阻止型IGBTを形成することができる。
- [0064] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体ウェハは、炭化珪素からなることを特徴とする。
- [0065] この発明によれば、オン電圧が低い逆阻止型MOSFETおよび逆阻止型IGBTを形成することができる。高速スイッチングが可能な逆阻止型MOSFETおよび逆阻止型IGBTを形成することができる。
- [0066] また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、シリコンよりもバンドギャップが広い半導体材料からなる半導体基板と、前記半導体基板のおもて面側に設けられた電界効果トランジスタのおもて面素子構造と、前記半導体基板の側面および裏面に接するドレイン電極と、を備え、前記半導体基板と前記ドレイン電極によるショットキー接合が形成されていることを特徴とする。
- [0067] この発明によれば、ビルトイン電位の小さい逆阻止型MOSFETを提供することができる。また、オン電圧が低い逆阻止型MOSFETを提供することができる。高速スイッチングが可能な逆阻止型MOSFETを提供することができる。
- [0068] また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、シリコンよりもバンドギャップが広い半導体材料からなる第1導電型の半導体基板と、前記半導体基板のおもて面側に設けられた電界効果トランジスタのおもて面素子構造と、前記半導体基板の側面の表面層に設けられた第2導電型の半導体領域と、前記半導体基板の裏面に接するドレイン電極と、を備え、前記半導体基板と前記ドレイン電極によるショットキー接合が形成されていることを特徴とする。

[0069] この発明によれば、ビルトイン電位の小さい逆阻止型MOSFETを提供することができる。また、オン電圧が低い逆阻止型MOSFETを提供することができる。高速スイッチングが可能な逆阻止型MOSFETを提供することができる。

[0070] また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板の裏面の表面層に選択的に設けられ、かつ前記ドレイン電極に接する第2導電型の半導体領域をさらに備えることを特徴とする。

[0071] この発明によれば、漏れ電流を低減した逆阻止型MOSFETを構成することができる。

[0072] また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板は、テーパ状の側面を有することを特徴とする。

[0073] この発明によれば、安定した良品率を示す逆耐圧型MOSFETを構成することができる。

[0074] 以上、上述した発明によれば、薄板化されたSiCウェハに、低損失で、安定した良品率を示す逆阻止型MOSFETおよび逆阻止型IGBTを形成することができる。また、支持基板を用いることで、SiCウェハのおもて面におもて面素子構造を形成した後に、SiCウェハに割れや欠けを生じさせることなく、SiCウェハを研削および研磨して薄板化することができる。

発明の効果

[0075] 本発明にかかる半導体装置の製造方法および半導体装置によれば、低損失な半導体装置を提供することができるという効果を奏する。また、歩留まりを向上することができるという効果を奏する。

図面の簡単な説明

[0076] [図1]図1は、実施の形態1にかかる半導体装置を示す断面図である。

[図2]図2は、実施の形態1にかかる半導体装置の製造方法について示す断面図である。

[図3]図3は、実施の形態1にかかる半導体装置の製造方法について示す断面

図である。

[図4]図4は、実施の形態1にかかる半導体装置の製造方法について示す断面図である。

[図5]図5は、実施の形態1にかかる半導体装置の製造方法について示す断面図である。

[図6]図6は、実施の形態1にかかる半導体装置の製造方法について示す断面図である。

[図7]図7は、実施の形態1にかかる半導体装置の製造方法について示す断面図である。

[図8]図8は、実施の形態1にかかる半導体装置の製造方法について示す断面図である。

[図9]図9は、実施の形態2にかかる半導体装置を示す断面図である。

[図10]図10は、実施の形態2にかかる半導体装置の製造方法について示す断面図である。

[図11]図11は、実施の形態2にかかる半導体装置の製造方法について示す断面図である。

[図12]図12は、実施の形態2にかかる半導体装置の製造方法について示す断面図である。

[図13]図13は、実施の形態2にかかる半導体装置の製造方法について示す断面図である。

[図14]図14は、実施の形態3にかかる半導体装置を示す断面図である。

[図15]図15は、実施の形態4にかかる半導体装置を示す断面図である。

[図16]図16は、実施の形態4にかかる半導体装置の製造方法について示す断面図である。

[図17]図17は、実施の形態4にかかる半導体装置の製造方法について示す断面図である。

[図18]図18は、実施の形態4にかかる半導体装置の製造方法について示す断面図である。

[図19]図 1 9 は、実施の形態 4 にかかる半導体装置の製造方法について示す断面図である。

[図20]図 2 0 は、実施の形態 4 にかかる半導体装置の製造方法について示す断面図である。

[図21]図 2 1 は、実施の形態 4 にかかる半導体装置の製造方法について示す断面図である。

[図22]図 2 2 は、実施の形態 4 にかかる半導体装置の製造方法について示す断面図である。

[図23]図 2 3 は、実施の形態 4 にかかる半導体装置の製造方法について示す断面図である。

[図24]図 2 4 は、実施の形態 5 にかかる半導体装置の製造方法について示す断面図である。

[図25]図 2 5 は、実施の形態 5 にかかる半導体装置の製造方法について示す断面図である。

[図26]図 2 6 は、本発明にかかる半導体装置の製造方法における半導体ウェハの割れ率を示す特性図である。

[図27]図 2 7 は、本発明にかかる半導体装置の電気的特性を示す特性図である。

[図28]図 2 8 は、本発明にかかる半導体装置の電気的特性を示す特性図である。

[図29]図 2 9 は、従来のマトリックスコンバータを示す等価回路図である。

[図30]図 3 0 は、従来のマトリックスコンバータを示す等価回路図である。

[図31]図 3 1 は、従来のシリコンでの逆阻止型 I G B T の製造方法について示す断面図である。

[図32]図 3 2 は、従来のシリコンでの逆阻止型 I G B T の製造方法について示す断面図である。

[図33]図 3 3 は、従来のシリコンでの逆阻止型 I G B T の製造方法について示す断面図である。

[図34]図34は、従来のシリコンでの逆阻止型IGBTの製造方法について示す断面図である。

[図35]図35は、従来のシリコンでの逆阻止型IGBTの製造方法について示す断面図である。

[図36]図36は、従来のシリコンでの逆阻止型IGBTの製造方法の別の一例について示す断面図である。

[図37]図37は、従来のシリコンでの逆阻止型IGBTの製造方法の別の一例について示す断面図である。

[図38]図38は、従来のシリコンでの逆阻止型IGBTの製造方法の別の一例について示す断面図である。

[図39]図39は、従来のシリコンでの逆阻止型IGBTの製造方法の別の一例について示す断面図である。

[図40]図40は、従来の逆阻止型IGBTの製造途中における要部について示す断面図である。

[図41]図41は、従来の逆阻止型IGBTを示す断面図である。

[図42]図42は、従来の逆阻止型IGBTを示す断面図である。

発明を実施するための形態

[0077] 以下に添付図面を参照して、この発明にかかる半導体装置の製造方法および半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0078] (実施の形態1)

図1は、実施の形態1にかかる半導体装置を示す断面図である。図1に示す半導体装置は、逆耐圧型MOSFETである。図1に示す逆耐圧型MOSFETにおいて、ドリフト層となる n 型基板1のおもて面側には、 p ベース

領域 2、 n^+ ソース領域 3、 n^- コンタクト領域 4、ゲート絶縁膜 5、ゲート電極 6 および層間絶縁膜 7 などからなる MOS ゲート構造が設けられている。

[0079] n 型基板 1 は、シリコンよりもバンドギャップが広い半導体材料からなる。シリコンよりもバンドギャップが広い半導体材料とは、例えば、シリコンカーバイド (SiC) やガリウムナイトライド (GaN) である。

[0080] 逆耐圧型 MOSFET 完成後の最終的な n 型基板 1 の厚さ、つまりドリフト層の厚さ t_1 は、1200V 耐圧クラスの場合、例えば $15\mu\text{m}$ 程度であるのが好ましい。その理由は、高速スイッチング特性を向上することができるからである。また、ドリフト層の厚さ t_1 は、600V 耐圧クラスの場合、例えば $10\mu\text{m}$ 程度であってもよい。

[0081] n 型基板 1 は、例えばエピタキシャルウェハからチップ状に切断された個片である。 n 型基板 1 の側面 8 は、テーパ状となっている。具体的には、 n 型基板 1 の側面 8 は、ドレイン側 (n 型基板 1 の裏面側) からソース側 (n 型基板 1 のおもて面側) に向かって n 型基板 1 の幅が徐々に広がるような斜度で傾いている。

[0082] n 型基板 1 の裏面からテーパ状の側面 8 にかけて、 n 型基板 1 の裏面および側面 8 の全面に接するドレイン電極 9 が設けられている。 n 型基板 1 の裏面および側面 8 において、 n 型基板 1 とドレイン電極 9 とによるショットキー接合が形成されている。 n 型基板 1 とドレイン電極 9 とによるショットキー接合を形成することにより、図 1 に示す逆耐圧型 MOSFET は、逆方向電圧が印加されたときに電圧を維持する。

[0083] 次に、図 1 に示す逆耐圧型 MOSFET の製造方法について説明する。図 2～8 は、実施の形態 1 にかかる半導体装置の製造方法について示す断面図である。ここでは、1200V 耐圧クラスの逆耐圧型 MOSFET を、SiC ウェハ 11 を用いて作製する場合について説明する。図 2～8 では、SiC ウェハ 11 のおもて面を上にして図示するが、SiC ウェハ 11 の主面の向きは各処理に合わせて適宜変更されているものとする (以下、図 10～12, 16～23 においても同様)。

- [0084] まず、例えばn型のSiCウェハ11を準備する。SiCウェハ11の厚さt0は、例えば400 μ mであってもよい。次に、図2に示すように、SiCウェハ11のおもて面側に、pベース領域2、n⁺ソース領域3およびゲート電極6などからなる逆耐圧型MOSFETのMOSゲート構造（おもて面素子構造：図1参照）12を形成する。MOSゲート構造12は、チップとなる領域のチップのおもて面側に形成される。SiCウェハ11上の、チップとなる領域は、例えば格子状に設けられたスクライブラインの間に島状に設けられている。
- [0085] 次に、図3に示すように、SiCウェハ11のおもて面に、接着層13を介して例えばガラスからなる支持基板14を貼り付ける。具体的には、SiCウェハ11のおもて面上に、スピンコーターを用いて、接着層13となる接着材を塗布する。そして、接着層13となる接着材上に支持基板14を載せて、真空雰囲気中で加圧しながらSiCウェハ11のおもて面側に支持基板14を貼り合わせる。これにより、SiCウェハ11と支持基板14とが接着層13を介して貼り合わされる。
- [0086] 接着層13および支持基板14は、後のドレイン電極9を形成するためのアニール処理に対する耐熱性を有するのが好ましい。具体的には、接着層13および支持基板14は、例えば、400℃程度の耐熱性を有するのが好ましい。接着層13の厚さは、例えば、MOSゲート構造12を覆う程度の厚さとするのがよい。
- [0087] 支持基板14の直径は、SiCウェハ11よりも若干大きいのが好ましい。具体的には、支持基板14の直径は、SiCウェハ11の上端部を覆う程度にスピンコートした接着材を流動させることができる大きさであるのが好ましい。より具体的には、例えば、SiCウェハ11の直径が150mmの場合、支持基板14の直径は、150.5mm程度であるのが好ましい。これにより、SiCウェハ11の端部を保護するように接着層13を形成することができる。
- [0088] また、例えばSiCウェハ11にワックスを塗布し100℃程度に加熱し

て支持基板 14 を貼り合わせた場合、S i C ウェハ 11 が支持基板 14 に対して傾いた状態で貼り合わされてしまう可能性が高い（不図示）。しかし、上述したように S i C ウェハ 11 を支持基板 14 に貼り合わせることで、支持基板 14 に対して傾いた状態とならずに S i C ウェハ 11 を貼り合わせることができる。

[0089] 次に、支持基板 14 を貼り合わせた状態の S i C ウェハ 11 の裏面（MOS ゲート構造 12 が形成された面に対して反対側の面）側を、S i C ウェハ 11 の厚さが例えば $18\ \mu\text{m}$ 程度になるまで研削（グラインド）する。次に、S i C ウェハ 11 の裏面側から例えば $3\ \mu\text{m}$ 程度研磨（CMP，ポリシング等）して、S i C ウェハ 11 の裏面の平坦化および微細な研削痕の除去（ストレスリリース）を行う。これにより、S i C ウェハ 11 の最終的な厚さ t_1 を、例えば $15\ \mu\text{m}$ 程度に薄板化する。

[0090] 次に、図 4 に示すように、フォトリソグラフィによって、S i C ウェハ 11 の裏面に、レジストマスク 15 を形成する。レジストマスク 15 は、S i C ウェハ 11 から切断されるチップの側面（図 1 の n 型基板 1 の側面 8）をテーパ状に形成するためのエッチングに用いるエッチング用マスクであり、S i C ウェハ 11 に形成される溝の形成領域が開口されている。

[0091] 次に、図 5 に示すように、レジストマスク 15 をマスクとしてドライエッチングを行い、レジストマスク 15 の開口部に露出する S i C ウェハ 11 を除去して、S i C ウェハ 11 にほぼ V 字状の溝（以下、V 溝とする）16 を形成する。S i C ウェハ 11 のおもて面と V 溝 16 の側壁とのなす角度は、例えば 40° 以上 80° 以下であってもよく、好ましくは例えば 55° 程度であるのがよい。

[0092] このとき、S i C ウェハ 11 が個々のチップ 17 に切断された状態となるように、S i C ウェハ 11 を貫通し接着層 13 に達する V 溝 16 を形成するのが好ましい。これにより、ダイシング工程を行わずに S i C ウェハ 11 をチップ状にすることができる。V 溝 16 を形成する方法は、S i C ウェハ 11 を貫通する程度に溝を形成することができればよく、ドライエッチングや

ウエットエッチングなどを用いることができる。ここで、切断された各チップ１７は、図１に示すｎ型基板１となる。

[0093] 次に、図６に示すように、レジストマスク１５を除去する。次に、図７に示すように、Ｖ溝１６の側壁およびチップ１７の裏面（ＭＯＳゲート構造１２が形成された面に対して反対側の面）に電極膜１８を成膜し、チップ１７からなるドリフト層と電極膜１８とによるショットキー接合を形成する。電極膜１８は、例えばニッケル（Ｎｉ）、プラチナ（Ｐｔ）、チタン（Ｔｉ）、金（Ａｕ）等を積層した積層膜であってもよい。電極膜１８は、図１に示す逆耐圧型ＭＯＳＦＥＴのドレイン電極９である。

[0094] 次に、チップ１７の裏面への電極膜１８の密着性を良好にするために、接着層１３の耐熱性温度よりも低い温度で電極膜１８をアニールする。具体的には、チップ１７に例えば３００℃程度の炉アニールを行ってもよいし、チップ１７の裏面側をレーザーアニールし、チップ１７の裏面側の温度を３００℃程度に上昇させてもよい。

[0095] 次に、図８に示すように、チップ１７状に切断されたＳｉＣウェハの裏面側にテープ１９を貼り付けた後に、各チップ１７から支持基板１４を剥離する。このとき、接着層１３を加熱して接着層１３の付着力を弱めた後に支持基板１４を剥離する（加熱剥離）。また、支持基板１４と接着層１３との界面をレーザー照射により焼き切った後に支持基板１４を剥離してもよい（レーザー照射剥離）。これにより、すべてのチップ１７がテープ１９のみに支持された状態となる。

[0096] 次に、例えばテープ１９を両手で引き伸ばして拡張させるなどによって、テープ１９からチップ１７を剥離する。これにより、図１に示す逆耐圧型ＭＯＳＦＥＴが形成されたチップ１７が完成する。テープ１９として、加熱することで付着力が無くなる発泡剥離タイプのテープを用いてもよい。テープ１９として発泡剥離タイプのテープを用いることで、テープ１９からチップ１７を剥離しやすくなる。

[0097] 上述したＳｉＣウェハ１１への支持基板１４の貼り合わせは、ＳｉＣウェ

ハ１１のＣ（炭素）面側に行ってもよいし、Ｓｉ面側に行ってもよい。また、６００Ｖ耐圧クラスの逆耐圧型ＭＯＳＦＥＴを作製する場合には、ＳｉＣウェハ１１の最終的な厚さ t_1 は、例えば、 $10\mu\text{m}$ 程度であってもよい。

[0098] 以上、説明したように、実施の形態１によれば、ＳｉＣからなるｎ型基板１のおもて面にＭＯＳＦＥＴのおもて面素子構造を形成し、ｎ型基板１の側面および裏面に、ｎ型基板１とドレイン電極９とによるショットキー接合を形成する。これにより、逆阻止型ＭＯＳＦＥＴを形成することができる。また、ＳｉＣはシリコンと比べてバンドギャップが広く、破壊電界強度が高いため、Ｓｉウェハを用いる場合に比べて、オン電圧が低く、高速スイッチングが可能な逆阻止型ＭＯＳＦＥＴを作製することができる。また、ビルトイン電位の小さい逆阻止型ＭＯＳＦＥＴを提供することができる。これにより、低損失な逆阻止型ＭＯＳＦＥＴを形成することができる。

[0099] また、支持基板１４を貼り合わせた状態で薄板化された半導体ウェハ１１の裏面に、Ｖ溝１６を形成した後に、ドレイン電極９となる電極膜１８を形成する。このため、半導体ウェハ１１を薄板化した後に、Ｖ溝１６の側壁および半導体ウェハ１１の裏面に電極膜１８を形成したとしても、半導体ウェハに割れや欠けを生じさせることはない。これにより、歩留まりを向上することができ、安定した良品率を示す逆阻止型ＭＯＳＦＥＴを作製することができる。

[0100] また、Ｖ溝１６は、半導体ウェハ１１を貫通して接着層１３に達するように形成される。これにより、逆阻止型ＭＯＳＦＥＴを形成する工程中に、半導体ウェハを個々のチップに切断することができる。また、薄板化された半導体ウェハを個々のチップに切断した状態で、このチップの側面および裏面にショットキー接合を形成することができる。

[0101] また、Ｖ溝１６を形成してチップ側面をテーパ状にすることで、半導体ウェハ１１の裏面に垂直な側壁を有するトレンチを形成する場合に比べて、チップ側面に容易に電極膜１８を形成することができる。これにより、安定した良品率を示す逆耐圧型ＭＯＳＦＥＴを作製することができる。

[0102] (実施の形態2)

図9は、実施の形態2にかかる半導体装置を示す断面図である。図9に示す半導体装置は、逆耐圧型MOSFETである。実施の形態2にかかる逆耐圧型MOSFETは、実施の形態1にかかる逆耐圧型MOSFETにおいて、n型基板1の側面8にp-型半導体領域が設けられている。また、n型基板1の裏面に選択的にp-型半導体領域が設けられている。

[0103] 図9に示す逆耐圧型MOSFETにおいて、ドリフト層となるn型基板1のおもて面側には、実施の形態1にかかる逆耐圧型MOSFET(図1)と同様にMOSゲート構造が設けられている。n型基板1のおもて面側の端部には、p-型半導体領域(以下、FLR:フィールドリミットングリングとする)21が設けられている。

[0104] n型基板1の側面8は、実施の形態1にかかる逆耐圧型MOSFETと同様にテーパ状をなしている。n型基板1の側面8の表面層には、ドリフト層とn型基板1の側面とを分離するp-型半導体領域(以下、分離層とする、第1の半導体領域)22が設けられている。分離層22は、FLR21に接する。n型基板1の裏面には、p-型半導体領域(以下、p拡散領域とする、第2の半導体領域)23が選択的に設けられている。

[0105] n型基板1の裏面からテーパ状の側面8にかけて、n型基板1の裏面および側面8の全面に接するドレイン電極24が設けられている。ドレイン電極24は、分離層22およびp拡散領域23に接する。実施の形態2にかかる逆耐圧型MOSFETのそれ以外の構成は、実施の形態1にかかる逆耐圧型MOSFETと同様である。

[0106] 次に、図9に示す逆耐圧型MOSFETの製造方法について説明する。図10~13は、実施の形態2にかかる半導体装置の製造方法について示す断面図である。ここでは、1200V耐圧クラスの逆耐圧型MOSFETを、SiCウェハを用いて作製する場合について説明する。

[0107] まず、図2~5に示すように、実施の形態1と同様に、MOSゲート構造12を形成する工程から、V溝16を形成する工程まで行う。具体的には、

S i C ウェハ 1 1 のおもて面側に M O S ゲート構造 1 2 を形成した後（図 2）、接着層 1 3 を介して支持基板 1 4 を貼り合わせる（図 3）。次に、S i C ウェハ 1 1 を薄板化した後、S i C ウェハ 1 1 裏面に V 溝 1 6 の形成領域が開くレジストマスク 1 5 を形成する（図 4）。レジストマスク 1 5 をマスクとしてエッチングを行い、V 溝 1 6 を形成することにより、S i C ウェハ 1 1 を個々のチップ 1 7 に切断する（図 5）。

[0108] ここで、実施の形態 2 においては、S i C ウェハのおもて面側に M O S ゲート構造 1 2 を形成する際に、M O S ゲート構造 1 2 とともに F L R 2 1（図 9 参照、図 1 0 ～ 1 3 においては不図示）を形成する。F L R 2 1 は、M O S ゲート構造 1 2 を構成する p⁻型領域と同様の工程で形成してもよいし、M O S ゲート構造 1 2 を構成する各領域とは別の工程で形成してもよい。

[0109] 次に、図 1 0 に示すように、フォトリソグラフィによって、レジストマスク 1 5 を再度パターニングし、レジストマスク 1 5 に、チップ 1 7 の裏面に形成される p 拡散領域 2 3（図 9 参照）の形成領域が開く開口部を形成する。

[0110] 次に、図 1 1 に示すように、レジストマスク 1 5 をマスクとして、チップ 1 7 の裏面側に p 型不純物イオン（例えば、アルミニウムイオン：A l⁺）をイオン注入 3 1 する。このとき、例えばチップ 1 7 の裏面に対して斜め方向からイオン注入 3 1 を行うのが好ましい。また、イオン注入 3 1 は、接着層 1 3 の耐熱温度よりも低い 3 0 0 ℃～3 8 0 ℃でチップ 1 7 を加熱しながら実施するのが好ましい。

[0111] 次に、図 1 2 に示すように、レジストマスク 1 5 を除去した後、レーザーアニールによって、V 溝 1 6 の側壁およびチップ 1 7 の裏面に注入した p 型不純物を活性化する。レーザーアニールは、レーザー光の S i C 基板への吸収を高めるために、Y A G 3 ω （= 3 5 5 n m）、X e F（= 3 5 1 n m）または X e C l（= 3 0 8 n m）等の波長で行うのが好ましい。これにより、V 溝 1 6 の側壁およびチップ 1 7 の裏面に、p⁻型半導体領域 3 2（図 9 に示す分離層 2 2 および p 拡散領域 2 3）が形成される。このとき、チップ 1

7の裏面に形成されるp-型半導体領域32（p拡散領域23）は、イオン注入31で用いたレジストマスク15のパターンで形成される。

[0112] 次に、逆耐圧型MOSFETのドレイン電極24（図9参照）となる電極膜を形成する前処理として、フッ酸によってV溝16の側壁およびチップ17の裏面を洗浄する（不図示）。次に、図12に示すように、V溝16の側壁およびチップ17の裏面に、例えばTi、Au等を積層してなる電極膜33を成膜する。その後、電極膜33の密着性を良好にする電極アニール工程から以降の工程を実施の形態1と同様に行い、図13に示すように、テープ19からチップ17を剥離することにより、図9に示す逆耐圧型MOSFETが形成されたチップ17が完成する。

[0113] 以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。また、半導体ウェハ11の裏面に選択的に形成されたp拡散領域23によって、逆阻止型MOSFETの漏れ電流を低減することができる。

[0114] （実施の形態3）

図14は、実施の形態3にかかる半導体装置を示す断面図である。図14に示す半導体装置は、逆耐圧型MOSFETである。図14に示す逆耐圧型MOSFETは、実施の形態2にかかる逆耐圧型MOSFETにおいて、n型基板1の側面8にのみp-型半導体領域が設けられている。つまり、実施の形態3に示す逆耐圧型MOSFETには、n型基板1の裏面にp拡散領域が設けられていない。

[0115] 図14に示す逆耐圧型MOSFETにおいて、n型基板1の側面8は、実施の形態1にかかる逆耐圧型MOSFETと同様にテーパ状をなしている。n型基板1の側面8には、FLR21に接するp-型の分離層22が設けられている。

[0116] n型基板1の裏面からテーパ状の側面8にかけて、n型基板1の裏面および側面8の全面に接するドレイン電極41が設けられている。ドレイン電極41は、分離層22に接する。また、n型基板1の裏面において、n型基

板 1 とドレイン電極 4 1 とによるショットキー接合が形成されている。実施の形態 3 にかかる逆耐圧型 MOS F E T のそれ以外の構成は、実施の形態 2 にかかる逆耐圧型 MOS F E T と同様である。

[0117] 次に、図 1 4 に示す逆耐圧型 MOS F E T の製造方法について説明する。

図 1 4 に示す逆耐圧型 MOS F E T を作製するには、実施の形態 2 にかかる逆耐圧型 MOS F E T において、V 溝 1 6 の側壁の表面層にのみ p-型半導体領域 3 2 を形成する。具体的には、実施の形態 3 においては、実施の形態 2 の、チップ 1 7 の裏面に p-型半導体領域 3 2 を形成するためのレジストマスク 1 5 の 2 回目のパターニング（図 1 0 参照）工程を行わずに、V 溝 1 6 の側壁にのみイオン注入 3 1 およびレーザーアニールを行う。実施の形態 3 にかかる逆耐圧型 MOS F E T のそれ以外の製造方法は、実施の形態 2 にかかる逆耐圧型 MOS F E T の製造方法と同様である。

[0118] 以上、説明したように、実施の形態 3 によれば、実施の形態 2 と同様の効果を得ることができる。また、実施の形態 3 においては、V 溝 1 6 の側壁にのみレーザーアニールを行うため、アニール温度を高めに設定し、V 溝 1 6 の側壁に注入された p 型不純物を十分に活性化させることができる。

[0119] （実施の形態 4）

図 1 5 は、実施の形態 4 にかかる半導体装置を示す断面図である。図 1 5 に示す半導体装置は、逆耐圧型 I G B T である。図 1 5 に示す逆耐圧型 I G B T において、ドリフト層となる n 型基板 5 1 のおもて面側には、p ベース領域 5 2、n⁺エミッタ領域 5 3、n⁻コンタクト領域 5 4、ゲート絶縁膜 5 5、ゲート電極 5 6 および層間絶縁膜 5 7 などからなる MOS ゲート構造が設けられている。また、n 型基板 5 1 のおもて面側の端部には、p-型の F L R 5 8 が設けられている。

[0120] n 型基板 5 1 の側面 5 9 は、実施の形態 1 にかかる逆耐圧型 MOS F E T と同様にテーパ状となっている。具体的には、n 型基板 5 1 の側面 5 9 は、コレクタ側（n 型基板 5 1 の裏面側）からエミッタ側（n 型基板 5 1 のおもて面側）に向かって n 型基板 5 1 の幅が徐々に広くなるような斜度で傾い

ている。

[0121] n型基板51の側面59の表面層には、p-型の分離層60が設けられている。分離層60は、FLR58に接する。n型基板51の裏面には、p-型のコレクタ領域（第3の半導体領域）61が設けられている。コレクタ領域61は、分離層60に接する。つまり、FLR58、分離層60およびコレクタ領域61は連結されている。

[0122] n型基板51の裏面からテーパ状の側面59にかけて、コレクタ電極62が設けられている。つまり、コレクタ電極62は、分離層60およびコレクタ領域61に接する。n型基板51の裏面および側面59において、分離層60およびコレクタ領域61からなるp型領域とコレクタ電極62とによるショットキー接合が形成されている。n型基板51の側面59に分離層60が形成されていることにより、図15に示す逆耐圧型IGBTは逆方向電圧が印加されたときに電圧を維持する。n型基板51のそれ以外の構成は、実施の形態1にかかる逆耐圧型MOSFETのn型基板1と同様である。

[0123] 次に、図15に示す逆耐圧型IGBTの製造方法について説明する。図16～23は、実施の形態4にかかる半導体装置の製造方法について示す断面図である。まず、図16～20に示すように、逆耐圧型IGBTのMOSゲート構造72を形成する工程から、V溝76を形成した後にV溝76の形成に用いたレジストマスク75を除去する工程までを、実施の形態1と同様に行う。

[0124] 具体的には、SiCウェハ71のおもて面側に逆耐圧型IGBTのMOSゲート構造72を形成する（図16）。次に、接着層73を介して支持基板74を貼り合わせる（図17）。次に、SiCウェハ71を薄板化し、SiCウェハ71裏面にV溝76の形成領域が開口するレジストマスク75を形成する（図18）。次に、レジストマスク75をマスクとしてエッチングを行い、V溝76を形成することにより、SiCウェハ71を個々のチップ77に切断する（図19）。次に、レジストマスク75を除去する（図20）。ここで、接着層73および支持基板74の構成は、実施の形態1にかかる

逆耐圧型MOSFETを形成する際に用いた接着層および支持基板と同様である。

[0125] ここで、実施の形態4においては、SiCウェハ71のおもて面側にMOSゲート構造72を形成する際に、MOSゲート構造72とともにFLR58（図15参照、図16～23においては不図示）を形成する。FLR58は、MOSゲート構造72を構成するp⁻型領域と同様の工程で形成してもよいし、MOSゲート構造72を構成する各領域とは別の工程で形成してもよい。

[0126] その後、図21に示すように、チップ77の裏面側にp型不純物イオン（例えば、アルミニウムイオン：Al⁺）をイオン注入78する。このとき、例えばチップ77の裏面に対して斜め方向からイオン注入78を行うのが好ましい。また、イオン注入78は、接着層73の耐熱温度よりも低い300℃～380℃でチップ77を加熱しながら実施するのが好ましい。

[0127] 次に、レーザーアニールによって、イオン注入78を行ったV溝76の側壁およびチップ77の裏面に注入されたp型不純物を活性化する。レーザーアニールは、レーザー光のSiC基板への吸収を高めるために、YAG3 ω （＝355nm）、XeF（＝351nm）またはXeCl（＝308nm）等の波長で行うのが好ましい。これにより、V溝76の側壁およびチップ77の裏面全体に、p⁻型半導体領域79（図15に示す分離層60およびコレクタ領域61）が形成される。SiCでの不純物の活性化には、1000℃以上の温度を必要とするが、レーザーアニールを用いると局所的に1000℃以上の加熱が行え、かつ活性化するp⁻型半導体領域79が数 μ mの深さでもあるので十分に活性化ができる。

[0128] 次に、逆耐圧型IGBTのコレクタ電極62（図15参照）となる電極膜を形成する前処理として、フッ酸によってV溝76の側壁およびチップ77の裏面を洗浄する（不図示）。次に、図22に示すように、V溝76の側壁およびチップ77の裏面に、例えばTi、Au等を積層してなる電極膜80を成膜する。その後、電極膜80の密着性を良好にする電極アニール工程か

ら以降の工程を実施の形態１と同様に行い、図２３に示すように、テープ８１からチップ７７を剥離することにより、図１５に示す逆耐圧型ＩＧＢＴが形成されたチップ７７が完成する。

[0129] 以上、説明したように、実施の形態４によれば、実施の形態１にかかる逆阻止型ＭＯＳＦＥＴと同様の効果を有する逆阻止型ＩＧＢＴを作製することができる。

[0130] (実施の形態５)

図２４、２５は、実施の形態５にかかる半導体装置の製造方法について示す断面図である。図２４、２５を参照して、実施の形態４にかかる逆耐圧型ＩＧＢＴの製造方法の別の一例について示す。実施の形態５においては、実施の形態４においてチップ７７の側面および裏面に同時に行っていたイオン注入７８およびアニールを（図２１参照）、チップ７７の側面の表面層に分離層を形成するためのイオン注入およびアニールと、チップ７７の裏面にコレクタ領域を形成するためのイオン注入およびアニールとに分けて行ってもよい。

[0131] 実施の形態５においては、図１６～２０に示すように、実施の形態４と同様に、逆耐圧型ＩＧＢＴのＭＯＳゲート構造７２を形成する工程から、Ｖ溝７６を形成した後にＶ溝７６形成に用いたレジストマスク７５を除去する工程までを行う。

[0132] 次に、図２４に示すように、チップ７７の裏面側にｐ型不純物イオン（例えば、アルミニウムイオン： Al^{+} ）をイオン注入９１して、チップ７７の裏面全体にｐ-型半導体領域９２（図１５に示すコレクタ領域６１）を形成する。このとき、例えばチップ７７の裏面に対して垂直にイオン注入９１を行う。次に、チップ７７の裏面にレーザーアニールを行い、実施の形態４と同様に、チップ７７の裏面に注入したｐ型不純物を活性化する。これにより、チップ７７の裏面の表面層に、ｐ-型半導体領域９２が形成される。

[0133] 次に、図２５に示すように、チップ７７の裏面にｐ-型半導体領域９２を覆うレジストマスク９３を形成する。これにより、レジストマスク９３の開口

部に、V溝76の側壁が露出する。次に、チップ77の裏面側にp型不純物イオン（例えば、アルミニウムイオン： Al^{+} ）をイオン注入94する。このとき、例えばチップ77の裏面に対して斜め方向からイオン注入94を行う。

[0134] 次に、実施の形態4と同様に、レーザーアニールによって、V溝76の側壁に注入したp型不純物を活性化する。これにより、V溝76の側壁の表面層に、p⁻型半導体領域95（図15に示す分離層60）が形成される。その後、逆耐圧型IGBTのコレクタ電極62（図15参照）となる電極膜を形成する前処理から以降の工程を実施の形態4と同様に行い、図15に示す逆耐圧型IGBTが形成されたチップ77が完成する。

[0135] イオン注入91，94の注入条件は、実施の形態4におけるイオン注入78（図21参照）であってもよい。また、イオン注入91，94の注入条件は、それぞれ異なってもよい。

[0136] 上述した工程では、p⁻型半導体領域92を形成した後にp⁻型半導体領域95を形成しているが、p⁻型半導体領域95を形成した後にp⁻型半導体領域92を形成してもよい。

[0137] 以上、説明したように、実施の形態5によれば、実施の形態4と同様の効果を得ることができる。

[0138] （実施例1）

次に、本発明にかかる半導体装置を作製する際のSiCウェハの割れ率を検証した。図26は、本発明にかかる半導体装置の製造方法における半導体ウェハの割れ率を示す特性図である。まず、SiCウェハを用いて、実施の形態1，2，4に従い、それぞれ逆阻止型半導体装置を作製した（以下、第1～3の試料とする）。

[0139] つまり、第1の試料として、チップ側面側および裏面側にドレイン電極に接するp⁻型半導体領域を備えていない逆阻止型MOSFETを作製した（図1参照）。第2の試料として、チップ側面側にドレイン電極に接するp⁻型半導体領域を備え、かつチップ裏面側にドレイン電極に接するp⁻型半導体領域

を選択的に備える逆阻止型MOSFETを作製した（図9参照）。第3の試料として、チップ側面側およびチップ裏面側にコレクタ電極に接するp-型半導体領域を備える逆阻止型IGBTを作製した（図15参照）。

[0140] 比較として、支持基板を用いずに、薄板化したSiCウェハに逆阻止型MOSFETまたは逆阻止型IGBTを作製した（以下、比較例とする）。つまり、SiCウェハに支持基板を貼り合わせずに、実施の形態1にかかる半導体装置の製造方法を行い、比較例を作製した。第1～3の試料および比較例において、1200V耐圧クラスとし、ドリフト層の厚さ t_1 を $15\mu\text{m}$ とした。そして、上述した第1～3の試料および比較例を作製する際のSiCウェハの割れ率を算出した。

[0141] 図26に示すように、第1～3の試料においては、SiCウェハの割れ率が10%以下（図26の実線201が割れ率10%ラインを示す）と良好であった。一方、比較例では、SiCウェハの割れ率が100%であった。これにより、本発明のように支持基板を用いることによって、ドリフト層を $15\mu\text{m}$ まで薄くした場合でも、SiCウェハの割れ率を低くすることができ、歩留まりを向上することができることがわかった。

[0142] （実施例2）

次に、本発明にかかる半導体装置の逆バイアス時の電気的特性について検証した。図27、28は、本発明にかかる半導体装置の電気的特性を示す特性図である。図27には、逆バイアス印加時の測定結果を示す。図28には、順バイアス印加時の測定結果を示す。まず、実施例1と同様に、第1～3の試料を作製した。そして、第1、2の試料において、逆バイアス電圧印加時のドレインソース間電圧を測定した。第3の試料において、逆バイアス電圧印加時のコレクターエミッタ間電圧を測定した。図27、28において、第1～3の試料の測定電圧を電圧 V_{ce} と示す。

[0143] 図27に示す結果より、第1、2の試料の逆バイアス印加時の電圧、つまり逆耐圧は、第3の試料と同程度とすることができることがわかった。これにより、実施の形態1～3に従ってMOSFETを作成することで、逆バイ

アス印加時の漏れ電流を低減することができ、逆阻止型 I G B T と同程度の逆阻止型 M O S F E T を作製することができることがわかった。

[0144] また、図 28 に示す結果より、第 1, 2 の試料のビルトイン電位 V_{bi202} は 0.8 V であり、第 3 の試料のビルトイン電位 V_{bi203} は 2.5 V であった。これにより、実施の形態 1 ~ 3 に従って M O S F E T を作製することで、逆阻止型 I G B T よりもビルトイン電位の低い逆阻止型 M O S F E T を作製することができることがわかった。

[0145] 上述した各実施の形態では、ドレイン（コレクタ）側からソース（エミッタ）側に向かって幅が広がるテーパ状の側面を有する半導体チップに逆阻止型半導体装置を形成しているが、ソース（エミッタ）側からドレイン（コレクタ）側に向かって幅が広がるテーパ状の側面を有する半導体チップを用いてもよい。また、半導体ウェハの裏面からチップ側面となる部分を露出するための溝を形成する際に、半導体ウェハの主面に垂直な側壁を有する溝を形成してもよい。また、S i C ウェハの裏面側をエッチングすることによって S i C ウェハの薄板化を行ってもよい。また、半導体ウェハを貫通し接着層に達する V 溝を形成しているが、半導体ウェハを貫通しない深さで V 溝を形成してもよい。例えば、チップ側面に電極膜を形成する領域が露出する程度の深さで V 溝を形成してもよい。この場合、テープから各チップを剥離する前に、例えば半導体ウェハをダイシングしてチップ状に切断する。

産業上の利用可能性

[0146] 以上のように、本発明にかかる半導体装置の製造方法および半導体装置は、マトリックスコンバータなどの直接リンク形変換回路などに使用されるパワー半導体装置に有用である。

符号の説明

- [0147]
- 1 2 MOS ゲート構造
 - 1 3 接着層
 - 1 4 支持基板
 - 1 6 V 溝

1 7 チップ

1 8 電極膜

請求の範囲

- [請求項1] 半導体ウェハのおもて面におもて面素子構造を形成する工程と、
 前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、
 前記半導体ウェハに、裏面側から溝を形成する工程と、
 前記溝の側壁および前記半導体ウェハの裏面に電極膜を成膜し、当該半導体ウェハと当該電極膜とによるショットキー接合を形成する工程と、
 前記半導体ウェハから前記支持基板を剥離する工程と、
 を含むことを特徴とする半導体装置の製造方法。
- [請求項2] 第1導電型の半導体ウェハのおもて面におもて面素子構造を形成する工程と、
 前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、
 前記半導体ウェハに、裏面側から溝を形成する工程と、
 前記溝の側壁に第2導電型不純物を注入する工程と、
 前記溝の側壁に注入された第2導電型不純物を活性化し、当該溝の側壁の表面層に第2導電型の第1の半導体領域を形成する工程と、
 前記半導体ウェハの裏面に電極膜を成膜し、当該半導体ウェハと当該電極膜とによるショットキー接合を形成する工程と、
 前記半導体ウェハから前記支持基板を剥離する工程と、
 を含むことを特徴とする半導体装置の製造方法。
- [請求項3] 前記半導体ウェハに前記溝を形成した後、前記半導体ウェハの裏面に選択的に第2導電型不純物を注入する工程と、
 前記半導体ウェハの裏面に注入された第2導電型不純物を活性化し、当該半導体ウェハの裏面の表面層に選択的に第2導電型の第2の半導体領域を形成する工程と、
 をさらに含むことを特徴とする請求項2に記載の半導体装置の製造

方法。

[請求項4] 前記おもて面素子構造は、電界効果トランジスタのおもて面素子構造であり、

前記電極膜は、ドレイン電極であることを特徴とする請求項1～3のいずれか一つに記載の半導体装置の製造方法。

[請求項5] 第1導電型の半導体ウェハのおもて面におもて面素子構造を形成する工程と、

前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、

前記半導体ウェハに、裏面側から溝を形成する工程と、

前記半導体ウェハの裏面に第2導電型不純物を注入する工程と、

前記半導体ウェハの裏面に注入された第2導電型不純物を活性化し、当該半導体ウェハの裏面の表面層に第2導電型の第3の半導体領域を形成する工程と、

前記溝の側壁に第2導電型不純物を注入する工程と、

前記溝の側壁に注入された第2導電型不純物を活性化し、当該溝の側壁の表面層に第2導電型の第1の半導体領域を形成する工程と、

前記溝の側壁および前記半導体ウェハの裏面に電極膜を成膜し、前記第1の半導体領域および前記第3の半導体領域と当該電極膜とによるショットキー接合を形成する工程と、

前記半導体ウェハから前記支持基板を剥離する工程と、

を含むことを特徴とする半導体装置の製造方法。

[請求項6] 前記半導体ウェハの裏面に第2導電型不純物を注入するとともに、前記溝の側壁に第2導電型不純物を注入した後、前記半導体ウェハの裏面および前記溝の側壁に注入された第2導電型不純物を活性化することを特徴とする請求項5に記載の半導体装置の製造方法。

[請求項7] 前記おもて面素子構造は、絶縁ゲート型バイポーラトランジスタのおもて面素子構造であり、

前記電極膜は、コレクタ電極であることを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

[請求項 8] 前記溝は、前記半導体ウェハを貫通し前記支持基板に達することを特徴とする請求項 1、2、5 に記載の半導体装置の製造方法。

[請求項 9] 前記溝の幅は、前記半導体ウェハの裏面から当該半導体ウェハの深さ方向に向かって徐々に狭くなることを特徴とする請求項 1、2、5 に記載の半導体装置の製造方法。

[請求項 10] 前記半導体ウェハは、シリコンよりもバンドギャップが広い半導体材料からなることを特徴とする請求項 1、2、5 に記載の半導体装置の製造方法。

[請求項 11] 前記半導体ウェハは、炭化珪素からなることを特徴とする請求項 10 に記載の半導体装置の製造方法。

[請求項 12] シリコンよりもバンドギャップが広い半導体材料からなる半導体基板と、

前記半導体基板のおもて面側に設けられた電界効果トランジスタのおもて面素子構造と、

前記半導体基板の側面および裏面に接するドレイン電極と、
を備え、

前記半導体基板と前記ドレイン電極によるショットキー接合が形成されていることを特徴とする半導体装置。

[請求項 13] シリコンよりもバンドギャップが広い半導体材料からなる第 1 導電型の半導体基板と、

前記半導体基板のおもて面側に設けられた電界効果トランジスタのおもて面素子構造と、

前記半導体基板の側面の表面層に設けられた第 2 導電型の半導体領域と、

前記半導体基板の裏面に接するドレイン電極と、
を備え、

前記半導体基板と前記ドレイン電極によるショットキー接合が形成されていることを特徴とする半導体装置。

[請求項14] 前記半導体基板の裏面の表面層に選択的に設けられ、かつ前記ドレイン電極に接する第2導電型の半導体領域をさらに備えることを特徴とする請求項13に記載の半導体装置。

[請求項15] 前記半導体基板は、テーパ状の側面を有することを特徴とする請求項12～14のいずれか一つに記載の半導体装置。

補正された請求の範囲**[2012年7月9日 (09.07.2012) 国際事務局受理]**

〔請求項 1〕（補正後） 炭化珪素からなる半導体ウェハのおもて面におもて面素子構造を形成する工程と、

前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、

前記半導体ウェハに、裏面側から溝を形成する工程と、

前記溝の側壁および前記半導体ウェハの裏面に電極膜を成膜し、当該半導体ウェハと当該電極膜とによるショットキー接合を形成する工程と、

前記半導体ウェハから前記支持基板を剥離する工程と、

を含むことを特徴とする半導体装置の製造方法。

〔請求項 2〕（補正後） 炭化珪素からなる第 1 導電型の半導体ウェハのおもて面におもて面素子構造を形成する工程と、

前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、

前記半導体ウェハに、裏面側から溝を形成する工程と、

前記溝の側壁に第 2 導電型不純物を注入する工程と、

前記溝の側壁に注入された第 2 導電型不純物を活性化し、当該溝の側壁の表面層に第 2 導電型の第 1 の半導体領域を形成する工程と、

前記半導体ウェハの裏面に電極膜を成膜し、当該半導体ウェハと当該電極膜とによるショットキー接合を形成する工程と、

前記半導体ウェハから前記支持基板を剥離する工程と、

を含むことを特徴とする半導体装置の製造方法。

〔請求項 3〕 前記半導体ウェハに前記溝を形成した後、前記半導体ウェハの裏面に選択的に第 2 導電型不純物を注入する工程と、

前記半導体ウェハの裏面に注入された第 2 導電型不純物を活性化し、当該半導体ウェハの裏面の表面層に選択的に第 2 導電型の第 2 の半導体領域を形成する工程と、

をさらに含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

〔請求項 4〕 前記おもて面素子構造は、電界効果トランジスタのおもて面素子構造

であり、

前記電極膜は、ドレイン電極であることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体装置の製造方法。

〔請求項 5〕（補正後） 炭化珪素からなる第 1 導電型の半導体ウェハのおもて面におもて面素子構造を形成する工程と、

前記半導体ウェハの、前記おもて面素子構造が形成されたおもて面に支持基板を貼り合わせる工程と、

前記半導体ウェハに、裏面側から溝を形成する工程と、

前記半導体ウェハの裏面に第 2 導電型不純物を注入する工程と、

前記半導体ウェハの裏面に注入された第 2 導電型不純物を活性化し、当該半導体ウェハの裏面の表面層に第 2 導電型の第 3 の半導体領域を形成する工程と、

前記溝の側壁に第 2 導電型不純物を注入する工程と、

前記溝の側壁に注入された第 2 導電型不純物を活性化し、当該溝の側壁の表面層に第 2 導電型の第 1 の半導体領域を形成する工程と、

前記溝の側壁および前記半導体ウェハの裏面に電極膜を成膜し、前記第 1 の半導体領域および前記第 3 の半導体領域と当該電極膜とによるショットキー接合を形成する工程と、

前記半導体ウェハから前記支持基板を剥離する工程と、

を含むことを特徴とする半導体装置の製造方法。

〔請求項 6〕 前記半導体ウェハの裏面に第 2 導電型不純物を注入するとともに、前記溝の側壁に第 2 導電型不純物を注入した後、前記半導体ウェハの裏面および前記溝の側壁に注入された第 2 導電型不純物を活性化することを特徴とする請求項 5 に記載の半導体装置の製造方法。

〔請求項 7〕 前記おもて面素子構造は、絶縁ゲート型バイポーラトランジスタのおもて面素子構造であり、

前記電極膜は、コレクタ電極であることを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

〔請求項 8〕 前記溝は、前記半導体ウェハを貫通し前記支持基板に達することを特

徴とする請求項 1、2、5 に記載の半導体装置の製造方法。

〔請求項 9〕 前記溝の幅は、前記半導体ウェハの裏面から当該半導体ウェハの深さ方向に向かって徐々に狭くなることを特徴とする請求項 1、2、5 に記載の半導体装置の製造方法。

〔請求項 10〕 (削除)

〔請求項 11〕 (削除)

〔請求項 12〕 (補正後) 炭化珪素からなる半導体基板と、

前記半導体基板のおもて面側に設けられた電界効果トランジスタのおもて面素子構造と、

前記半導体基板の側面および裏面に接するドレイン電極と、
を備え、

前記半導体基板と前記ドレイン電極によるショットキー接合が形成されていることを特徴とする半導体装置。

〔請求項 13〕 (補正後) 炭化珪素からなる第 1 導電型の半導体基板と、

前記半導体基板のおもて面側に設けられた電界効果トランジスタのおもて面素子構造と、

前記半導体基板の側面の表面層に設けられた第 2 導電型の半導体領域と、
前記半導体基板の裏面に接するドレイン電極と、
を備え、

前記半導体基板と前記ドレイン電極によるショットキー接合が形成されていることを特徴とする半導体装置。

〔請求項 14〕 前記半導体基板の裏面の表面層に選択的に設けられ、かつ前記ドレイン電極に接する第 2 導電型の半導体領域をさらに備えることを特徴とする請求項 13 に記載の半導体装置。

〔請求項 15〕 前記半導体基板は、テーパ状の側面を有することを特徴とする請求項 12～14 のいずれか一つに記載の半導体装置。

条約第19条(1)に基づく説明書

請求の範囲第1項は、補正前の請求の範囲第11項の記載に基づいて当該請求の範囲第1項の範囲を限定する補正を行いました。

また、請求の範囲第2項は、補正前の請求の範囲第11項の記載に基づいて当該請求の範囲第2項の範囲を限定する補正を行いました。

また、請求の範囲第3, 4, 6～9, 14, 15項は、補正前の請求の範囲第3, 4, 6～9, 14, 15項です。

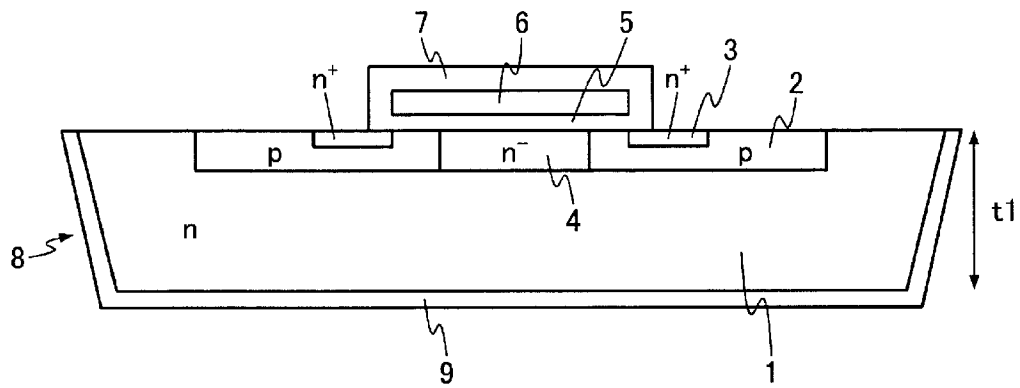
また、請求の範囲第5項は、補正前の請求の範囲第11項の記載に基づいて当該請求の範囲第5項の範囲を限定する補正を行いました。

また、補正前の請求の範囲第10, 11項を削除する補正を行いました。

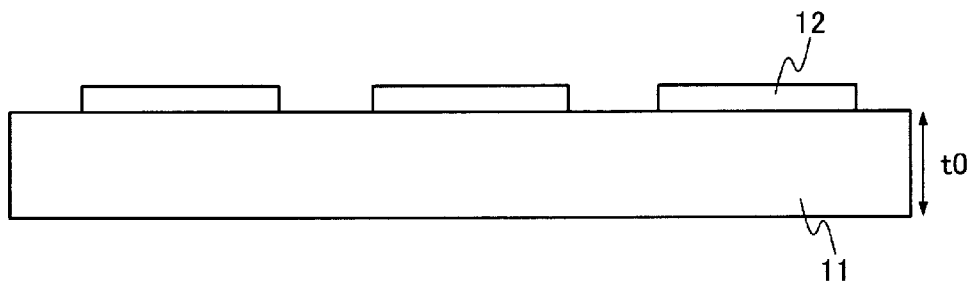
また、請求の範囲第12項は、補正前の請求の範囲第11項の記載に基づいて当該請求の範囲第12項の範囲を限定する補正を行いました。

また、請求の範囲第13項は、補正前の請求の範囲第11項の記載に基づいて当該請求の範囲第13項の範囲を限定する補正を行いました。

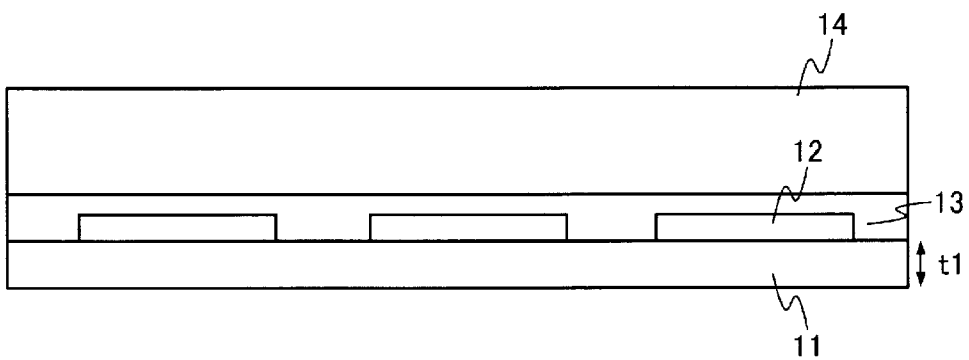
[図1]



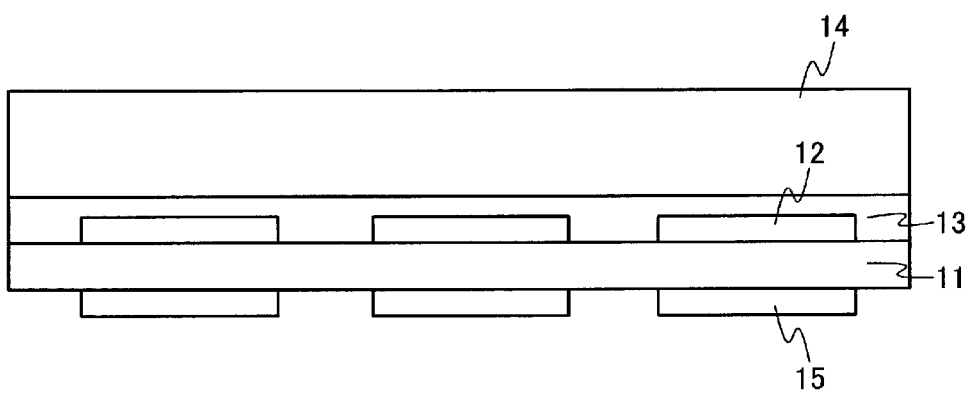
[図2]



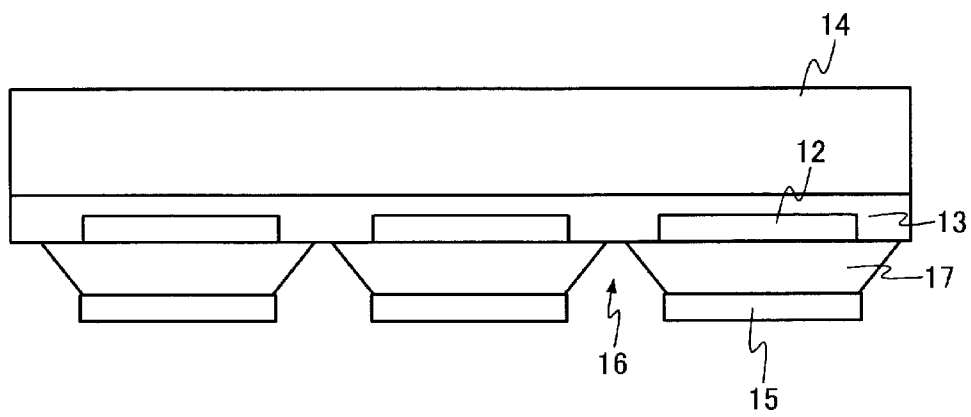
[図3]



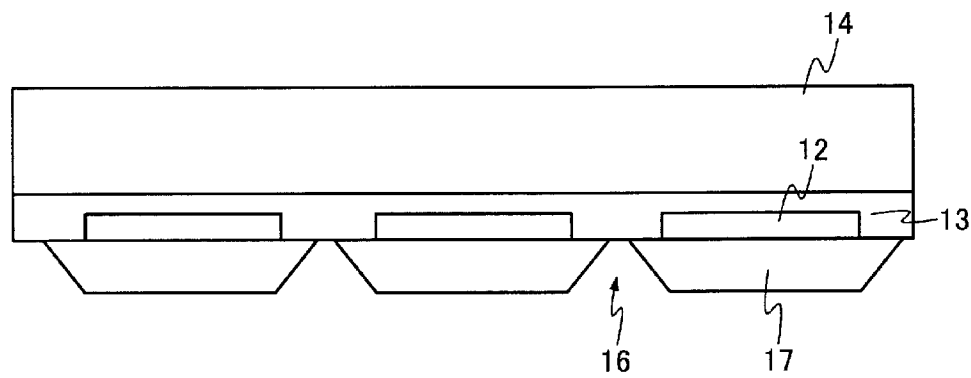
[図4]



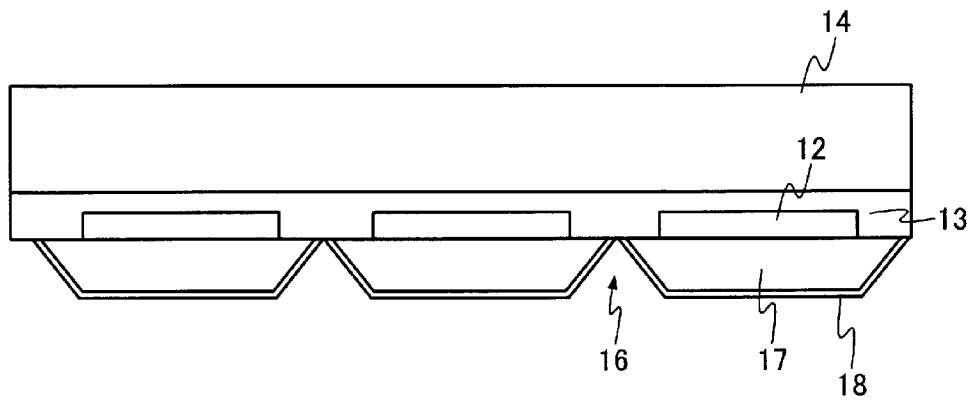
[図5]



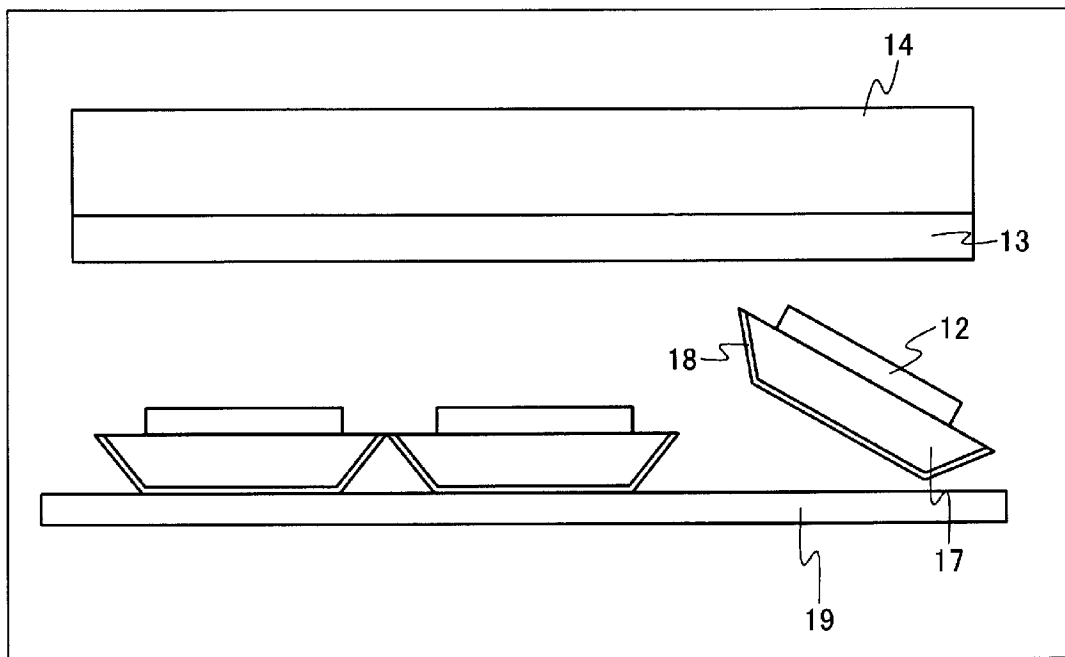
[図6]



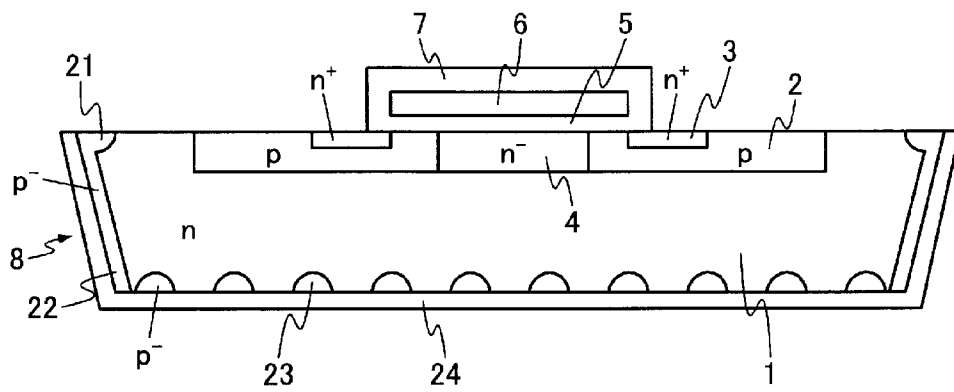
[図7]



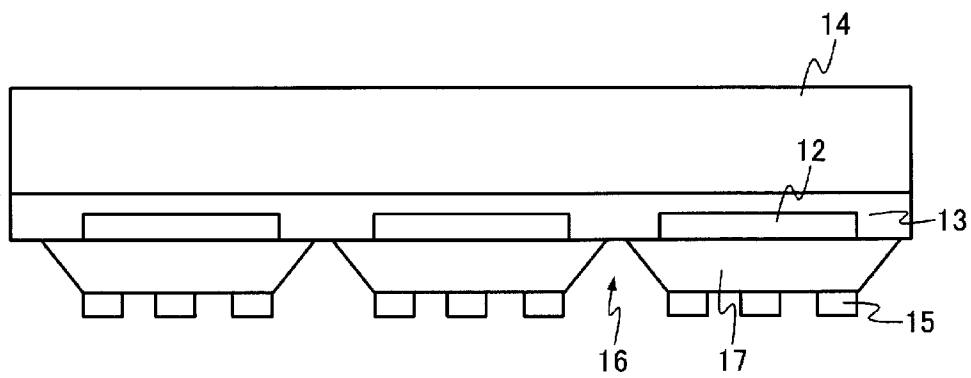
[図8]



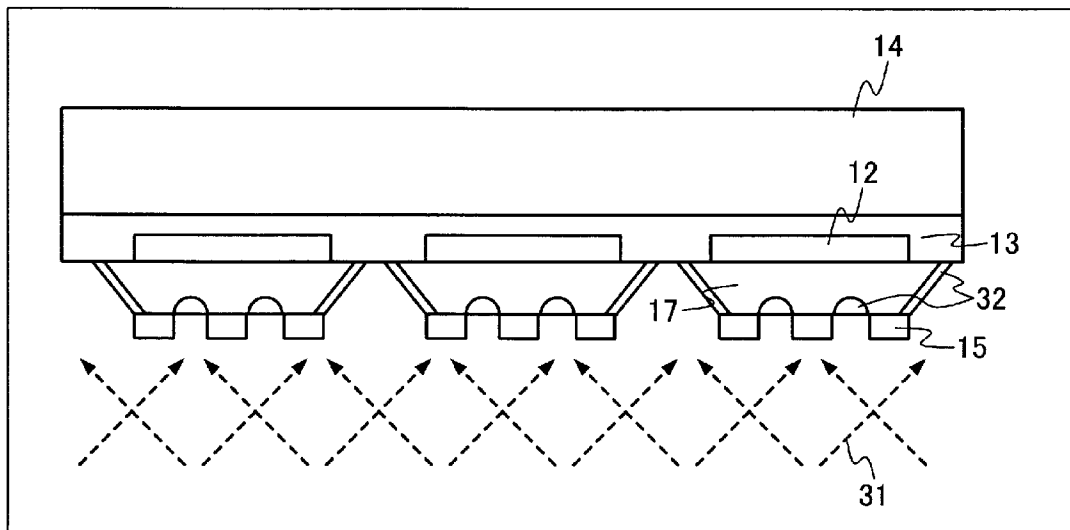
[図9]



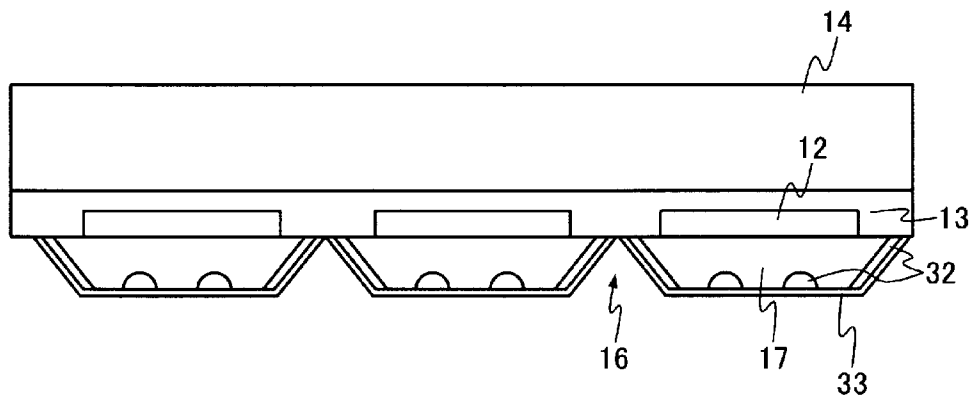
[図10]



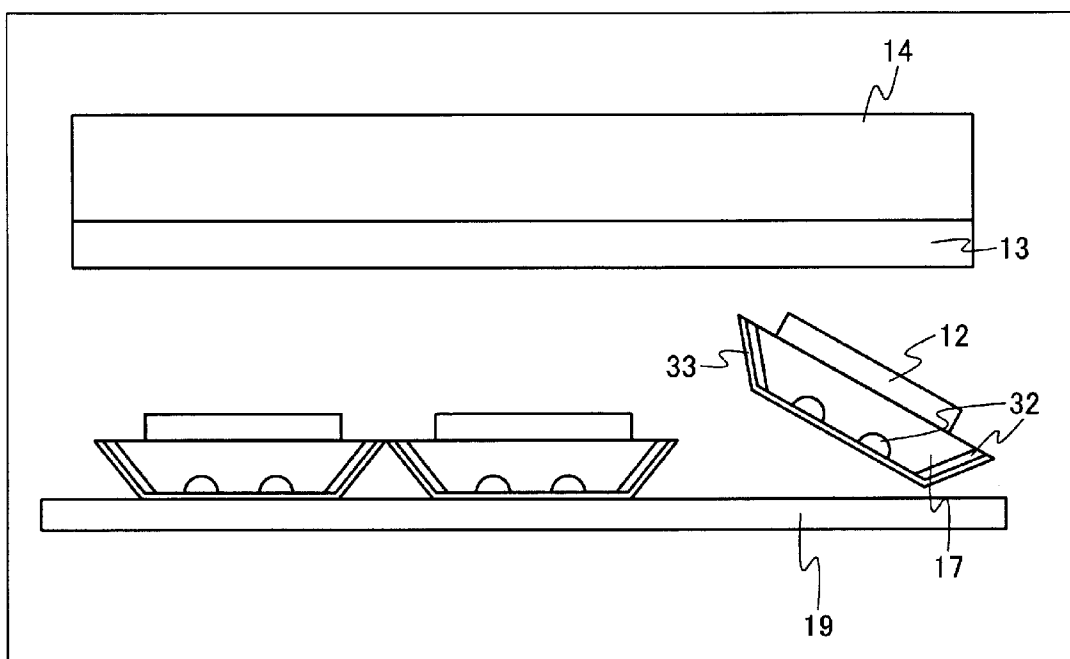
[図11]



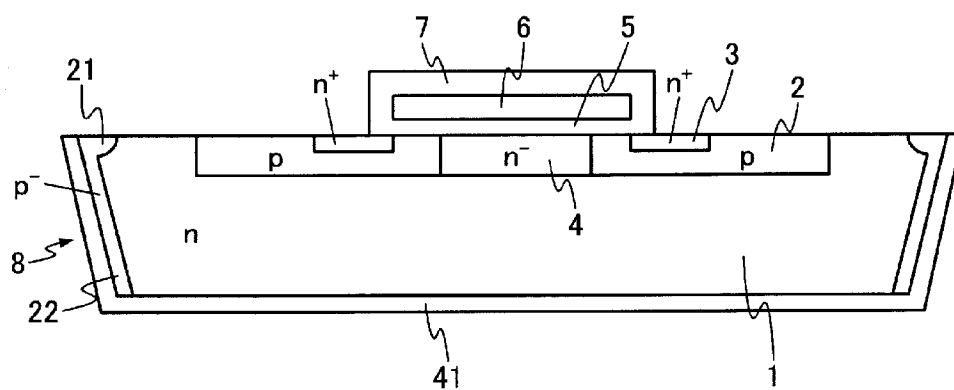
[図12]



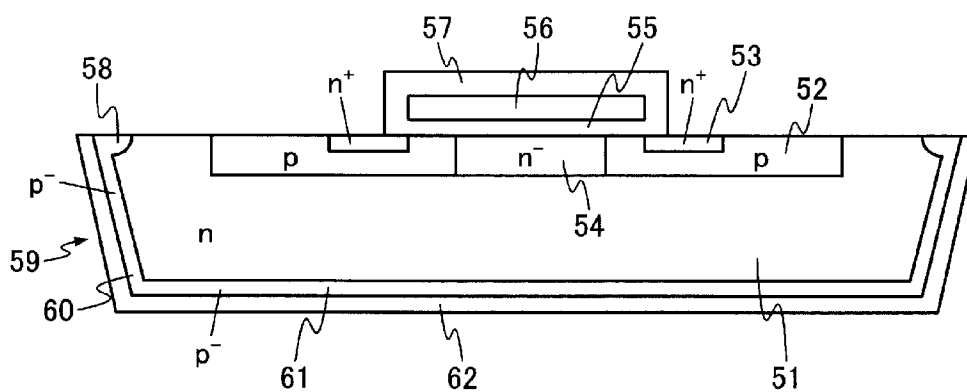
[図13]



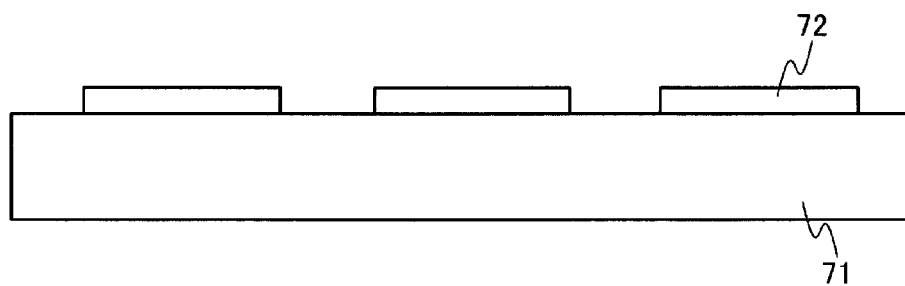
[図14]



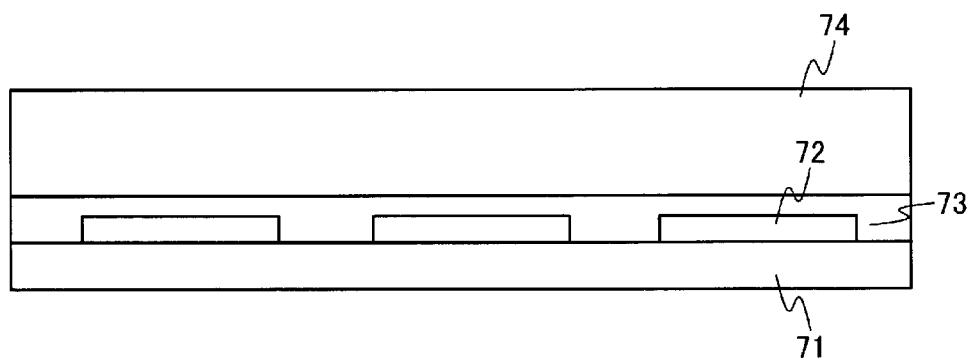
[図15]



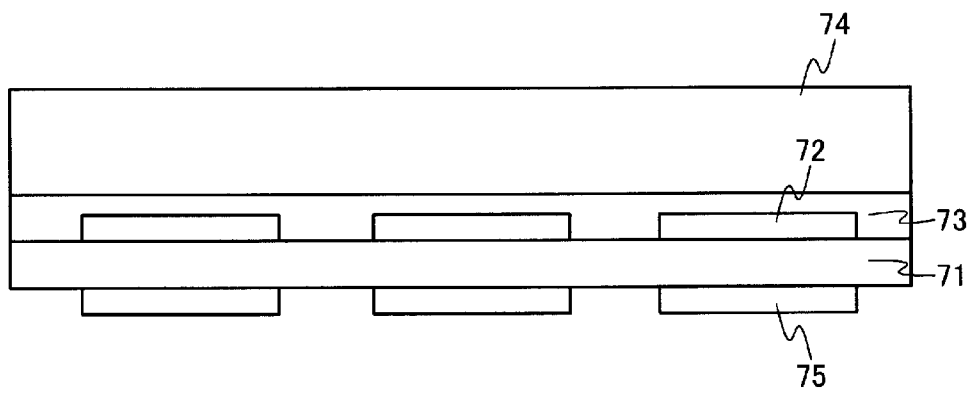
[図16]



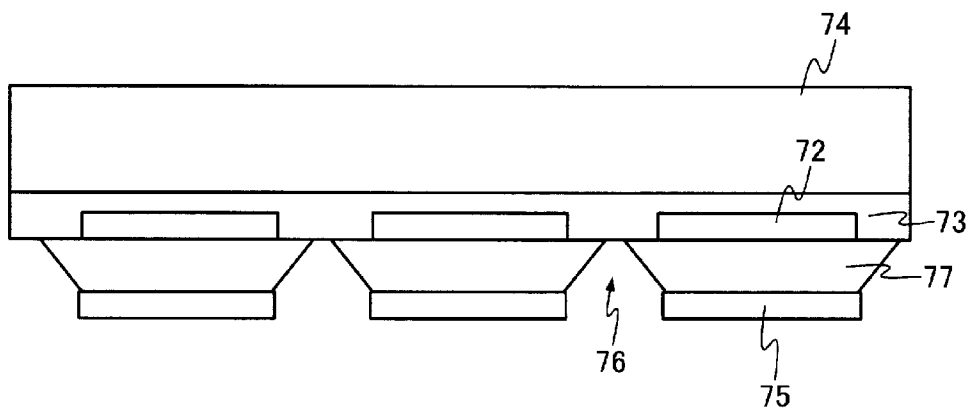
[図17]



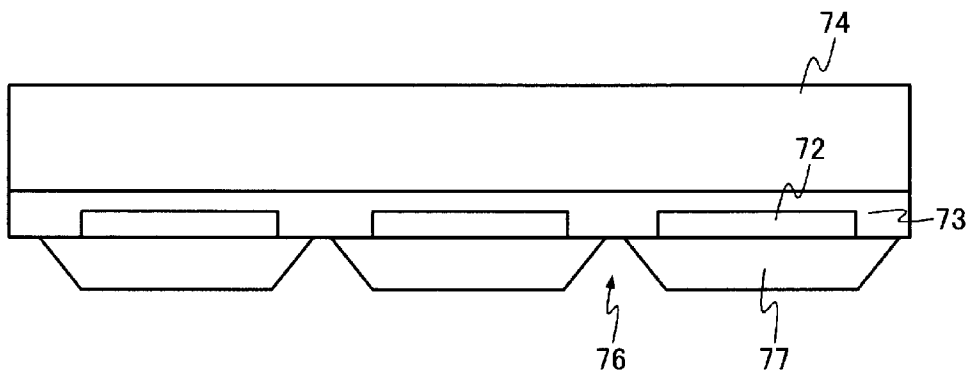
[図18]



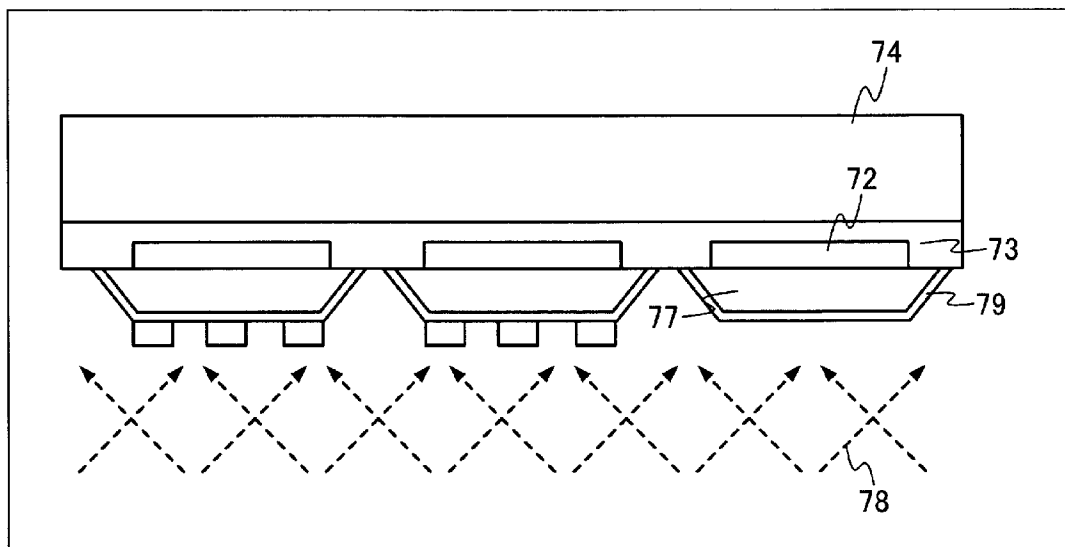
[図19]



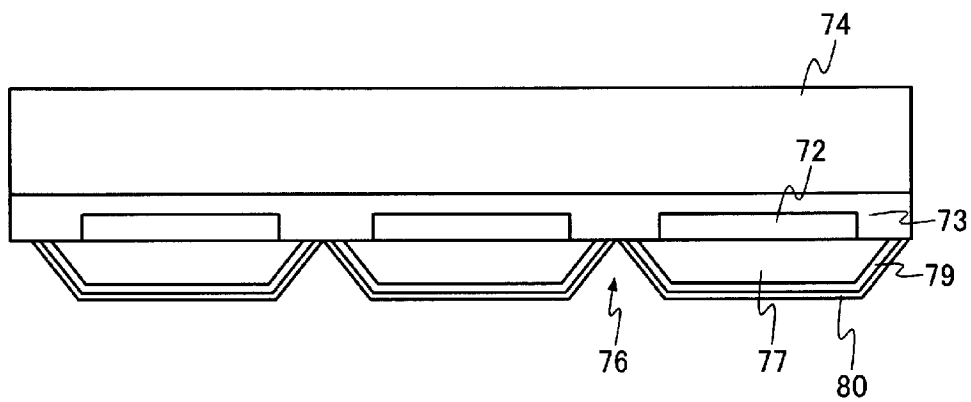
[図20]



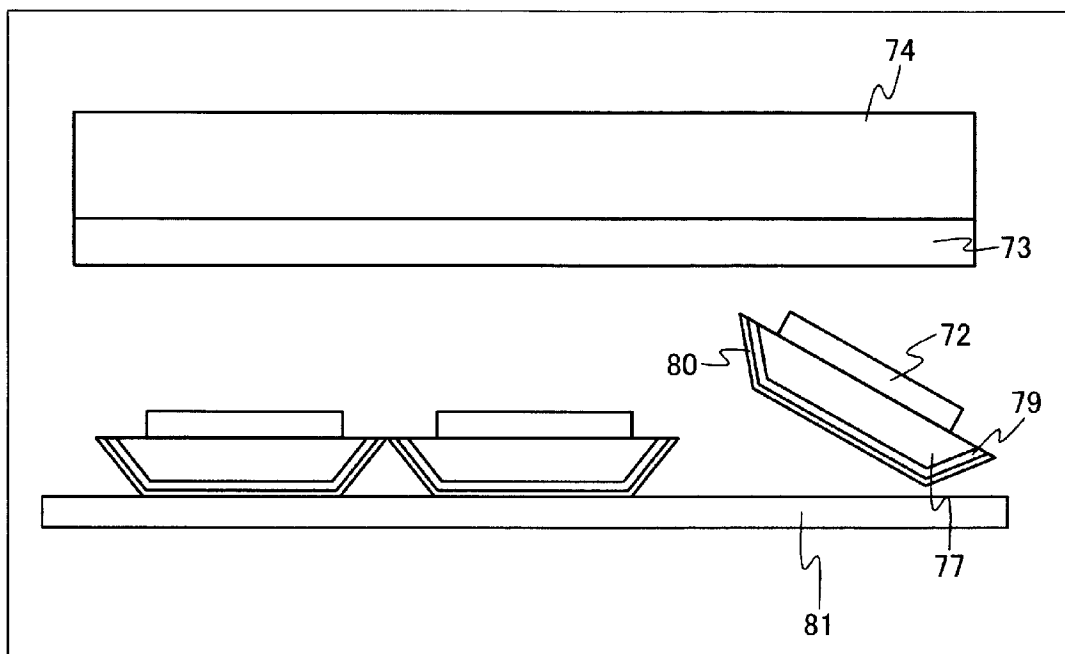
[図21]



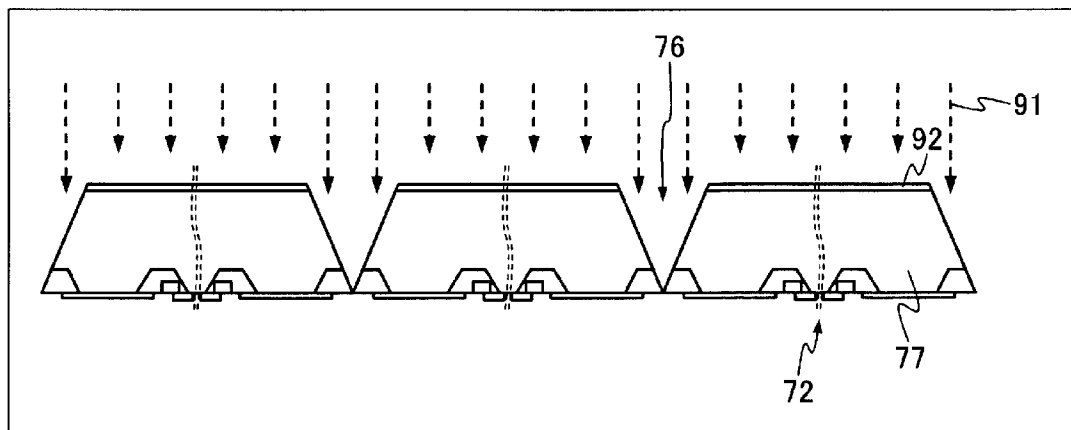
[図22]



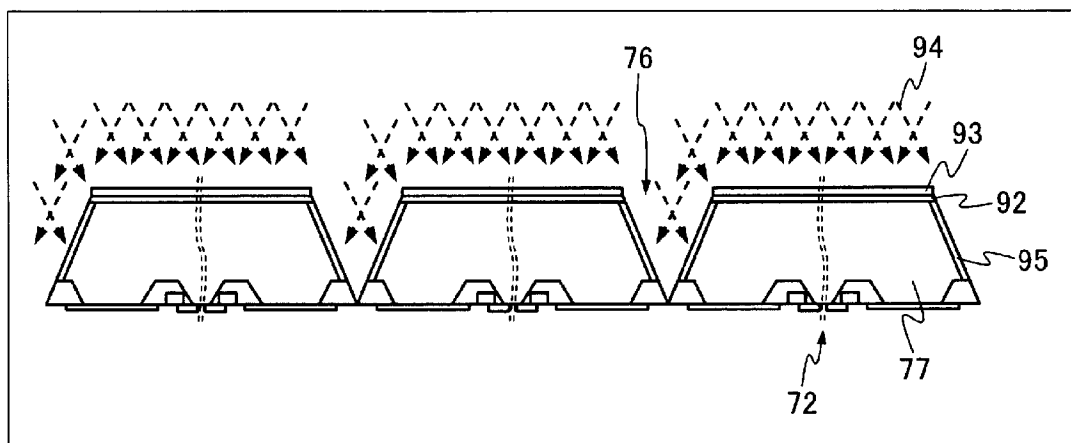
[図23]



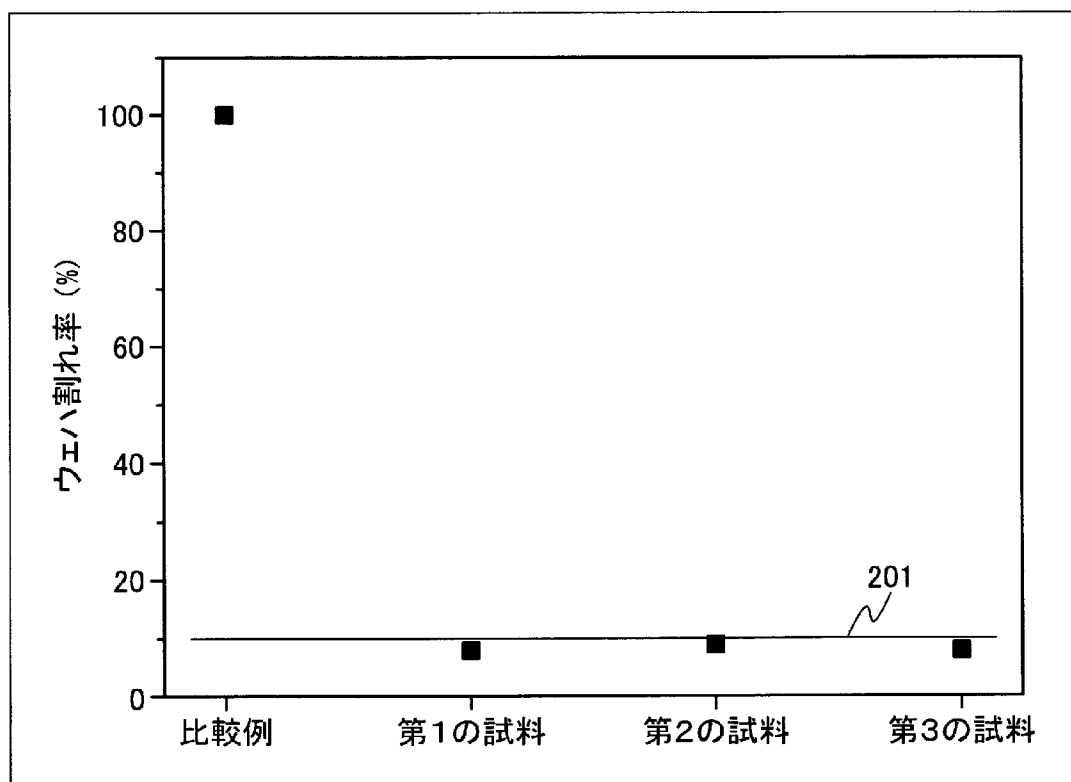
[図24]



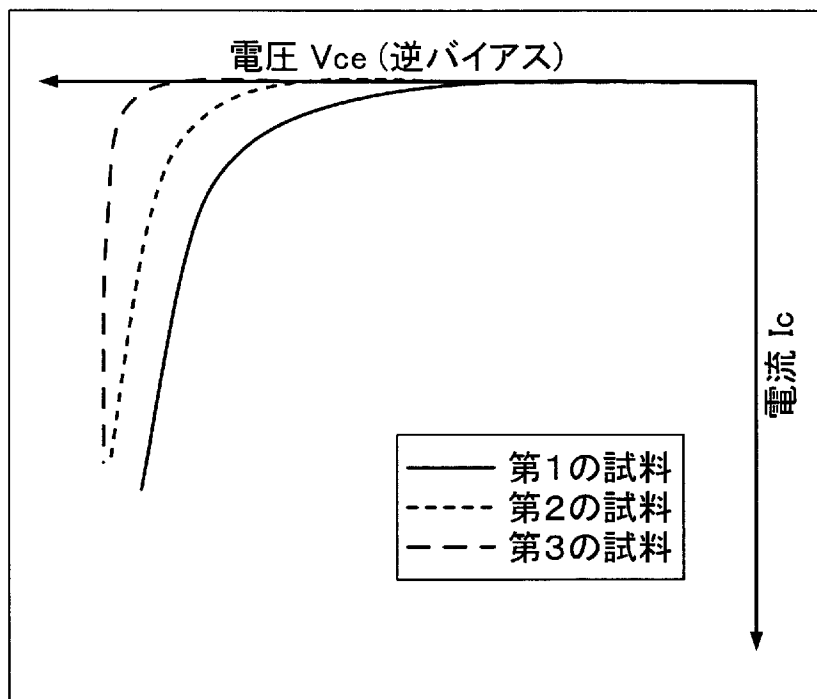
[図25]



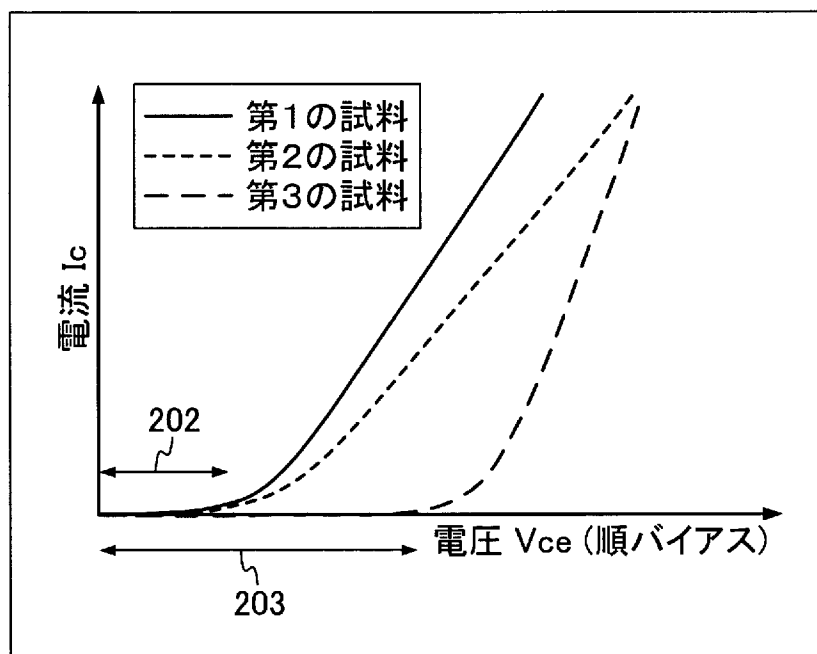
[図26]



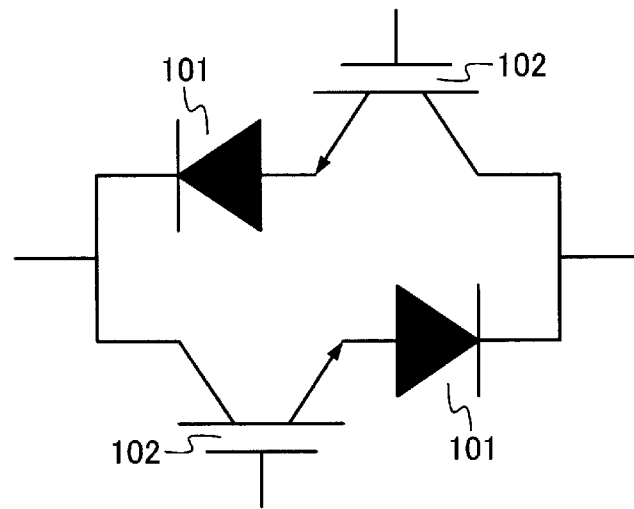
[図27]



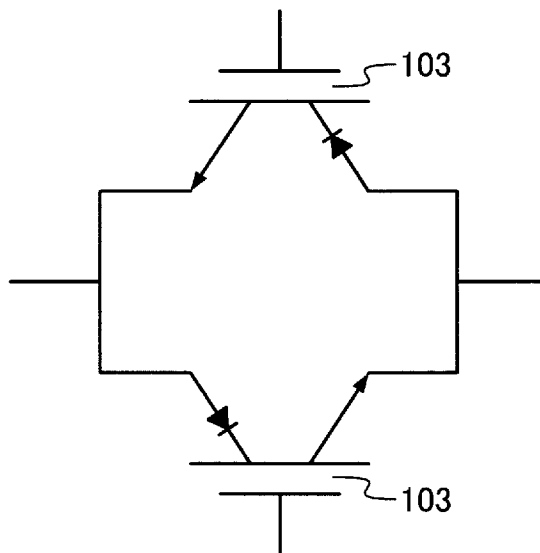
[図28]



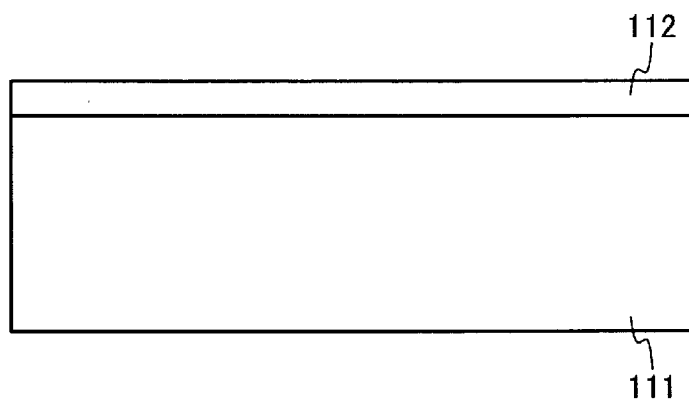
[図29]



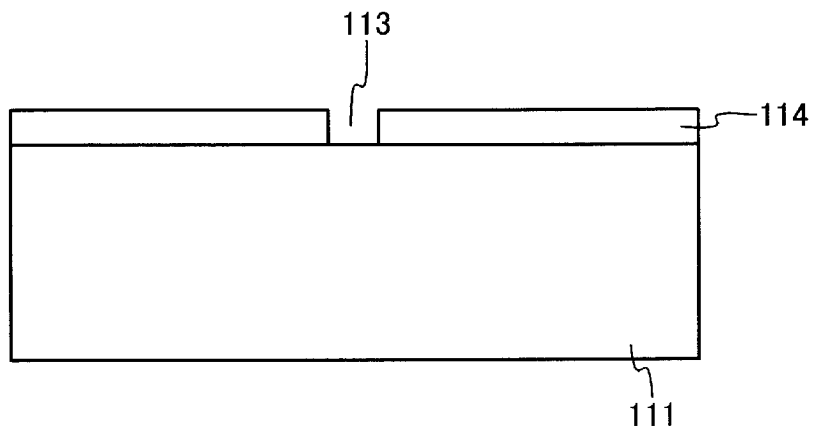
[図30]



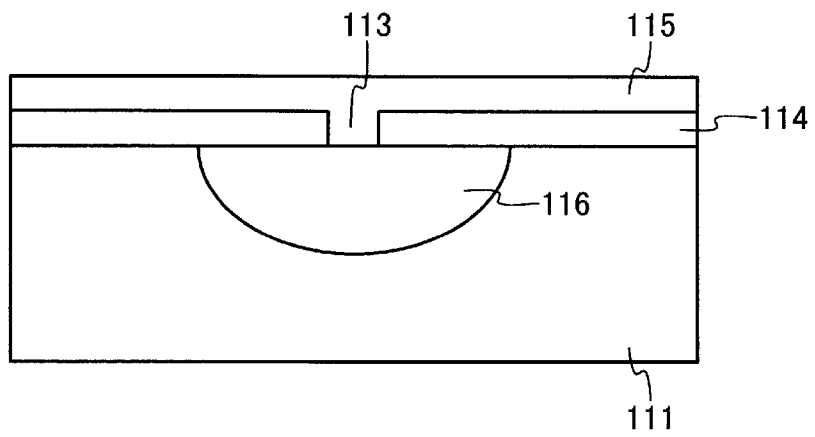
[図31]



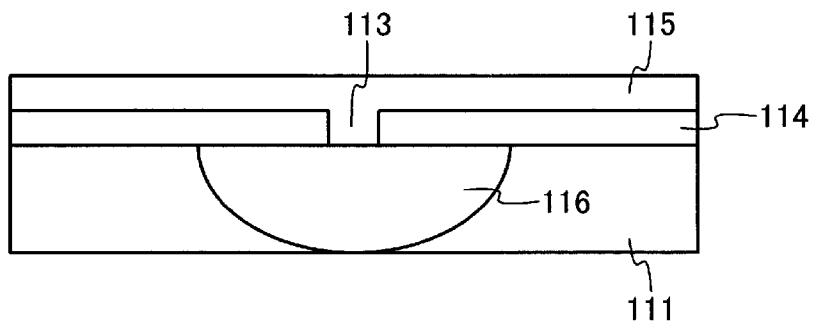
[図32]



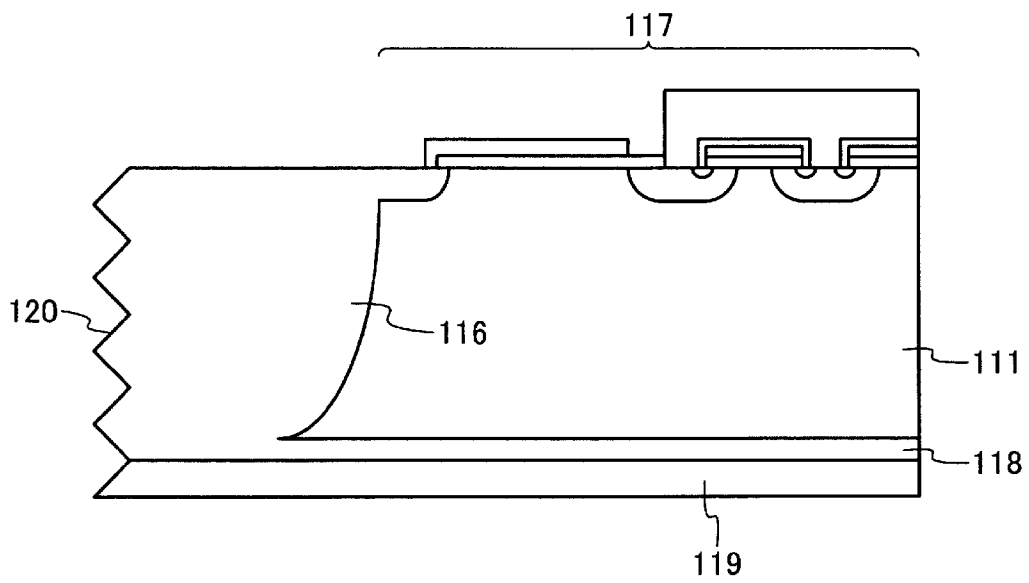
[図33]



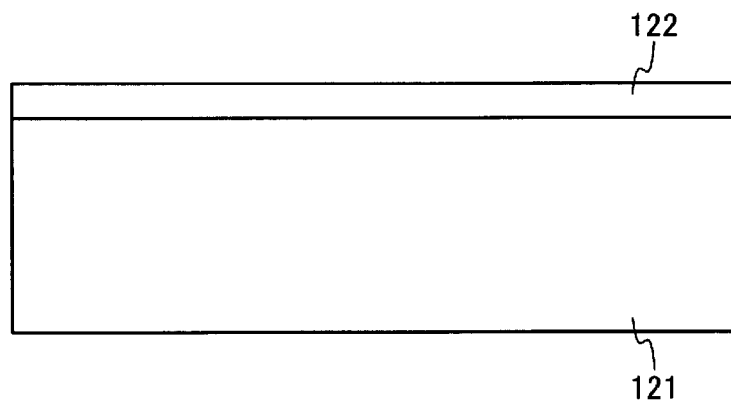
[図34]



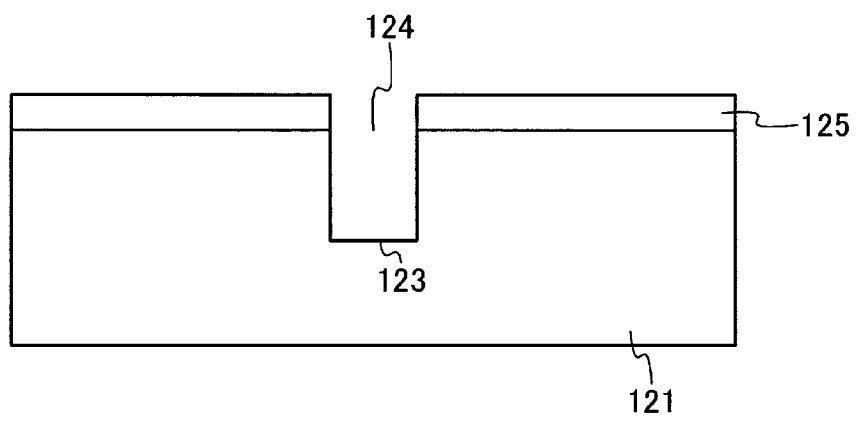
[図35]



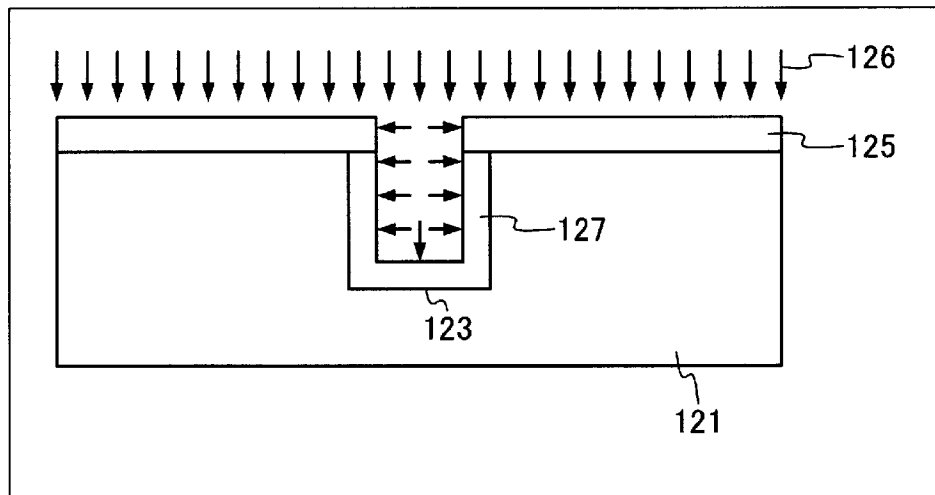
[図36]



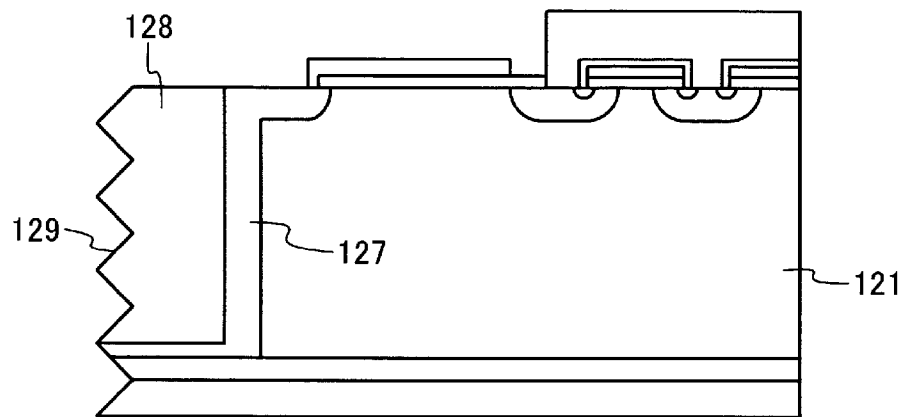
[図37]



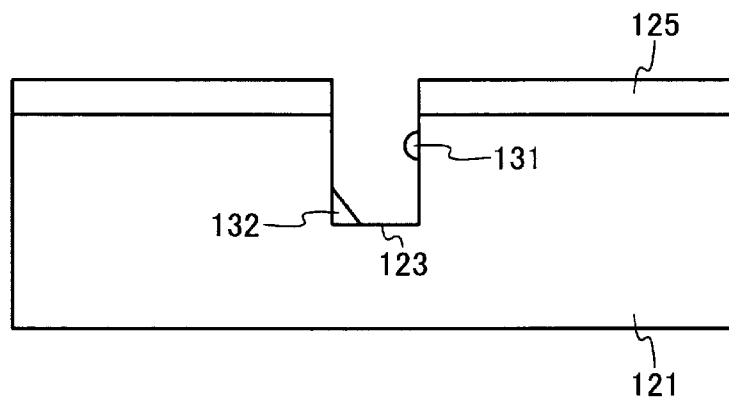
[図38]



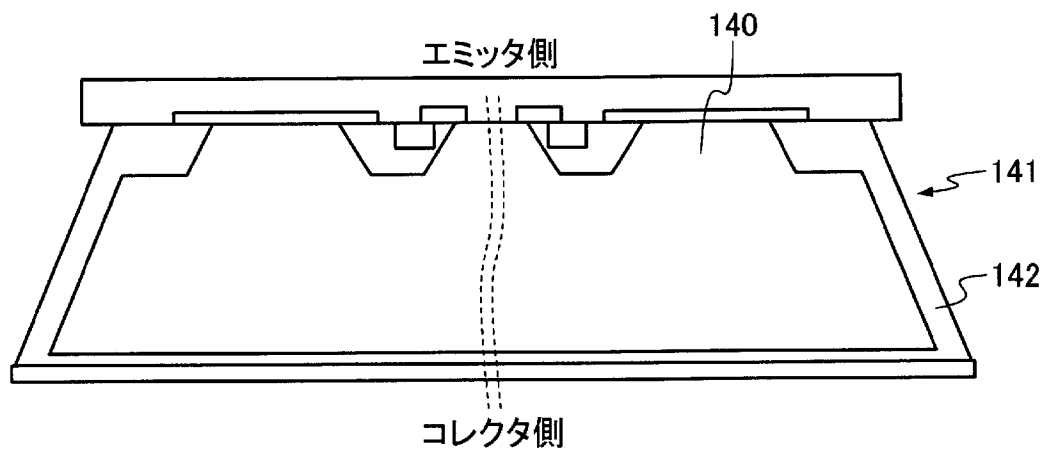
[図39]



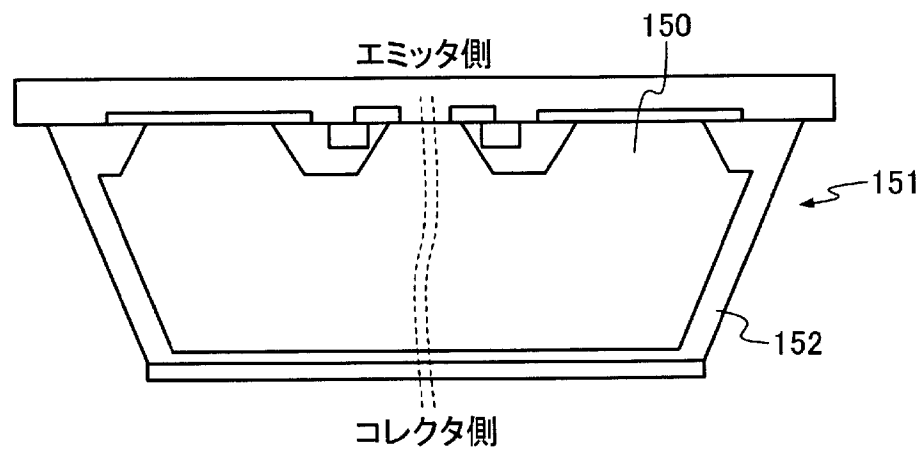
[図40]



[図41]



[図42]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070908

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/02(2006.01)i, H01L21/265(2006.01)i,
H01L27/04(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i,
H01L29/41(2006.01)i, H01L29/47(2006.01)i, H01L29/739(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/02, H01L21/265, H01L27/04, H01L29/06, H01L29/12,
H01L29/41, H01L29/47, H01L29/739, H01L29/78, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-303410 A (Fuji Electric Holdings Co., Ltd.), 02 November 2006 (02.11.2006), fig. 3, 12; paragraphs [0037] to [0039], [0051] to [0053] & US 2006/0249797 A1	1-12, 14-15
X Y	JP 2009-123914 A (Fuji Electric Device Technology Co., Ltd.), 04 June 2009 (04.06.2009), paragraphs [0012] to [0014]; fig. 1 to 2 (Family: none)	13 1-12, 14-15
Y	JP 2003-218354 A (Fuji Electric Co., Ltd.), 31 July 2003 (31.07.2003), paragraphs [0021] to [0033]; fig. 1 (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
21 November, 2011 (21.11.11)

Date of mailing of the international search report
06 December, 2011 (06.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070908

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-327708 A (Sanyo Electric Co., Ltd.), 18 November 2004 (18.11.2004), fig. 1; paragraphs [0022] to [0028] (Family: none)	12,14-15
Y	JP 2002-299624 A (Shindengen Electric Mfg. Co., Ltd.), 11 October 2002 (11.10.2002), fig. 1; paragraphs [0025] to [0036] (Family: none)	12,14-15
Y	WO 2009/139417 A1 (Fuji Electric Device Technology Co., Ltd.), 19 November 2009 (19.11.2009), fig. 1; paragraphs [0052] to [0055] & US 2011/0108883 A	15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070908

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/78(2006.01)i, H01L29/872(2006.01)i

(According to International Patent Classification (IPC) or to both national
classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/02(2006.01)i, H01L21/265(2006.01)i, H01L27/04(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/41(2006.01)i, H01L29/47(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/02, H01L21/265, H01L27/04, H01L29/06, H01L29/12, H01L29/41, H01L29/47, H01L29/739, H01L29/78, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-303410 A（富士電機ホールディングス株式会社） 2006.11.02, 図3, 図12, [0037]-[0039], [0051]-[0053] & US 2006/0249797 A1	1-12, 14-15
X Y	JP 2009-123914 A（富士電機デバイステクノロジー株式会社） 2009.06.04, [0012]-[0014], 図1-図2 (ファミリーなし)	13 1-12, 14-15

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日
2 1 . 1 1 . 2 0 1 1

国際調査報告の発送日
0 6 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

崎間 伸洋

電話番号 03-3581-1101 内線 3462

4 M

3 5 7 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-218354 A (富士電機株式会社) 2003. 07. 31, [0021]-[0033], 図 1 (ファミリーなし)	1-11
Y	JP 2004-327708 A (三洋電機株式会社) 2004. 11. 18, 図 1, [0022]-[0028] (ファミリーなし)	12, 14-15
Y	JP 2002-299624 A (新電元工業株式会社) 2002. 10. 11, 図 1, [0025]-[0036] (ファミリーなし)	12, 14-15
Y	WO 2009/139417 A1 (富士電機デバイステクノロジー株式会社) 2009. 11. 19, 図 1, [0052]-[0055] & US 2011/0108883 A	15