

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/768

(45) 공고일자 2005년11월17일
(11) 등록번호 10-0529769
(24) 등록일자 2005년11월11일

(21) 출원번호	10-2004-7007010	(65) 공개번호	10-2004-0064274
(22) 출원일자	2004년05월07일	(43) 공개일자	2004년07월16일
번역문 제출일자	2004년05월07일		
(86) 국제출원번호	PCT/US2002/035425	(87) 국제공개번호	WO 2003/041127
국제출원일자	2002년11월06일	국제공개일자	2003년05월15일

(30) 우선권주장 09/986,167 2001년11월07일 미국(US)

(73) 특허권자 마이크론 테크놀로지, 인크
미국, 아이다호 83707, 보이세, 사우쓰 패드럴웨이 8000

(72) 발명자 레인, 리차드, 에이취.
미국, 아이다호 83702, 보이세, 204 웨스트스테이트스트리트

맥다니엘, 테리
미국, 아이다호 83706, 보이세, 1568 사우쓰리버스톤레인 # 303

(74) 대리인 한양특허법인

심사관 : 이강민

(54) 주변 트랜지스터에 금속화된 접점 형성 방법

요약

본 발명은 주변 로직 회로 영역에서 트랜지스터의 N⁺ 와 P⁺ 불순물 첨가된 영역(25, 26)을 접촉하도록 반도체 장치의 주변 로직 회로 영역에서 금속 플러그(75, 76, 95, 96)를 형성하는 방법 및 장치에 관한 것이다. 금속 플러그는 웨이퍼 조립에 사용된 모든 고온 처리가 완료된 후 형성된다. 기판의 활성 영역으로 금속 확산 없이 금속 플러그가 형성된다. 금속 플러그는 반도체 장치의 상하 단면에서 볼 때 타원형 장공을 형성할 수 있다.

대표도

도 9

명세서

기술분야

본 발명은 집적 회로 분야에 관한 것이며, 구체적으로는, 메모리 소자의 주변 트랜지스터에 불순물 첨가된 영역(doped regions)을 접촉하기 위한 금속 플러그 구조의 사용에 관한 것이다.

배경기술

동적 램(DRAM)과 같은 통합 집적 회로는 조립된 회로의 각종 부분을 상호 연결하기 위해 사용되는 실리콘 기판의 표면 상부에 다단계의 전도체를 갖는다.

DRAM 메모리 소자에 대하여, 기판에 조립된 트랜지스터의 불순물 첨가된 영역 또는 활성 영역은 전형적으로 폴리실리콘(폴리) 플러그를 사용하여 접촉되며, 이 플러그는 캐패시터(capacitor), 비트라인(bit line), 또는 다른 전도층과 연결될 수 있다. 금속 플러그는 폴리 플러그보다 양호한 전도성을 제공할 것이다; 그러나, 금속 플러그는 일반적으로 기판의 불순물 첨가된 영역을 접촉하기 위해 사용되지 않는바, 이는 기판의 활성 영역으로의 확산하는 금속에 의해 유발된 가능한 활성 영역 오염과 이후의 고온 제조 공정에 대한 금속 플러그의 열 감도를 포함하는 프로세싱 제약 때문이다. 예를 들어, DRAM 메모리 소자에서, 열 순환이 종종 기판 접점 플러그의 형성 후에 형성된 캐패시터 구조를 어닐링하기 위해 사용되며, 이는 금속 플러그를 녹이고 금속이 기판으로 확산되므로, 이에 의해 활성 영역을 오염시키고 플러그와 기판 사이의 전도성을 파괴하게 된다. 그럼에도 불구하고, 양호한 전도 특성 때문에, 기판 면에 전도성 플러그의 적어도 일부가, 특히, 일반적으로 보다 고속의 작동이 발생하는 주변 로직 트랜지스터에 대하여, 폴리실리콘을 대신하여 금속으로 제조된다면 바람직할 것이다.

발명의 상세한 설명

본 발명은 회로의 주변 로직 영역에서 트랜지스터의 불순물 첨가된 영역을 접촉하도록 금속 플러그 구조를 이용하는, 예를 들어 DRAM 메모리 소자와 같은 집적 회로를 제공하는 방법 및 장치에 관한 것이다. 금속 플러그 구조는 웨이퍼 조립에 사용되는 모든 고온 처리 단계가 완료된 후에 형성된다. 특히, 본 발명은 캐패시터 형성 및 셀 폴리 활성화에 사용되는 열 순환 처리 이후에 금속 플러그를 형성함으로써 메모리 소자에 N-채널 및 P-채널 주변 회로 트랜지스터에 금속화된 접점을 형성하는 방법을 제공한다. 금속 플러그는 메모리 소자의 캐패시터와의 상부 셀판 접점을 형성하기 이전에 형성될 수 있지만, 캐패시터의 고온 프로세싱 처리 이후에 형성되어도 좋다.

본 발명의 이러한 기타 특징과 장점은 하기의 상세한 설명으로부터 보다 잘 이해될 것이며, 상세한 설명은 첨부하는 도면과 함께 제공된다.

도면의 간단한 설명

도 1은 본 발명의 예시적 실시예에 따른 반도체 장치의 조립 이전 단계의 단면도,

도 2는 도 1에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 3은 도 2에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 4는 도 3에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 5는 도 4에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 6은 도 5에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 7은 도 6에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 8은 도 7에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 9는 도 10에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 10은 본 발명의 변형 실시예에 따라 도 5에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 11은 본 발명의 변형 실시예에 따라 도 10에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 12는 본 발명의 변형 실시예에 따라 도 11에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,

도 13은 본 발명의 변형 실시예에 따라 도 12에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,
 도 14는 본 발명의 변형 실시예에 따라 도 13에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하고,
 도 15는 도 14에 도시된 단계 이후의 처리 단계에서의 도 1의 반도체 장치를 도시하며,
 도 16은 본 발명에 따른 메모리 어레이의 주변 로직 회로 영역의 평면도이다.

실시예

다음의 상세한 설명에서, 본 발명이 실시될 수 있는 다양한 특정 실시예가 참조된다. 이러한 실시예는 당분야 당업자가 본 발명을 실시할 수 있도록 충분히 상세하게 기재되며, 다른 변형 실시예가 사용될 수 있음과, 다양한 구조적, 논리적, 및 전기적 변화가 본 발명의 정신 또는 범위를 이탈하지 않고 실행될 수 있음이 이해될 것이다.

다음의 상세한 설명에서 사용되는 용어 "기판" 이라 함은, 노출된 기판면을 가지는 임의의 반도체 기반 구조를 포함할 수 있다. 구조는 실리콘 온 인슐레이터(silicon-on-insulator; SOI), 실리콘 온 사파이어(silicon-on-sapphire; SOS), 불순물 첨가되고 첨가되지 않는 반도체, 기본 반도체 기초(base semiconductor foundation)에 의해 지원되는 실리콘의 에피택셜 층(epitaxial layers), 및 기타의 반도체 구조를 포함하는 것이 이해되어야 한다. 하기의 상세한 설명에서 기판 또는 웨이퍼를 참조할 때, 이전 처리 단계는 기본 반도체 또는 기초에 또는 기초 위에 영역 또는 접합을 형성하기 위해 사용된다.

본 발명은 기판에 금속화된 플러그 형성에 관한 것이며, 특히 메모리 소자의 주변 로직의 일부로써 형성되는 트랜지스터에 관한 것이다. 본 발명은 이하 설명되는 실시예에 도시되는 바와 같이 기재될 것이다. 기타의 실시예가 사용될 수 있고 구조적 또는 논리적 변화가 본 발명의 정신 또는 범위를 이탈하지 않고 실행될 수 있다.

본 발명에 따르면, 주변 로직 회로 영역에서 N 및 P 불순물 첨가된 활성 영역 모두에 금속화된 플러그를 형성하는 방법이 제공되며, 이는 메모리 셀 어레이 영역의 외부 및 둘레에 통상적으로 형성된다. 이제 도면을 참조하면, 동일요소는 동일 참조번호가 부여되며, 도 1 내지 도 16은 본 발명에 따른 조립 단계의 실시예와 결과적인 구조를 도시한다.

도 1을 참조하면, 메모리 어레이(일반적으로 도면부호 100으로 지시됨)와 주변 로직 회로 영역(200a, 200b)이 조립의 초기 단계 동안 도시되어 있다. 주변 로직 회로 영역은 통상적으로 N-채널 트랜지스터 영역(200a)과 P-채널 트랜지스터 영역(200b)으로 분할된다. 도 1에 도시한 바와 같이, 메모리 셀 어레이(100)와 주변 로직 영역(200a)에서는 N-채널 트랜지스터가, 주변 로직 영역(200b)에서는 P-채널 트랜지스터가 형성되어 있다. 메모리 어레이(100)에 있는 게이트 스택은 전기적으로 절연된 워드 라인(112, 113)을 포함한다. 게이트 스택(15, 16)은 각각의 N-채널 및 P-채널 주변 로직 트랜지스터에 연관된다. 활성 영역이 게이트 스택(12, 13, 15, 16) 주변에 제공되는데, 예를 들면, 전계 효과 트랜지스터(Field Effect Transistors; FETs)를 형성하는 불순물 첨가된 활성 영역(21, 22, 23, 26, 27, 25, 29)이다. 메모리 어레이는 게이트 스택(11, 12, 13, 14)을 포함하는 반면, 주변 영역(200a 및 200b)은 각각의 게이트 스택(15, 16)을 가진다. 게이트 스택(12, 13)은 각각의 메모리 셀에 대한 액세스 트랜지스터(51, 53)의 부분이다. 각각의 게이트 스택은 기판과 접촉하고 있는 이산화 실리콘 등의 산화물층(120)과, 산화물 상부의 전도성 게이트층(121)과, 절연 캡층(122)과, 절연 측벽(123)을 포함한다. N-채널 트랜지스터는 기판의 p층(p-well; 160)에 형성되는 반면, P-채널 트랜지스터는 기판 n층(n-well; 161)에 형성된다.

도 1에 또한 도시된 바와 같이, 예컨대 붕인규산 유리(borophosphosilicate glass; BPSG) 또는 이산화 실리콘으로 형성된 평면화된 제1 절연층(10)은 게이트 스택 및 활성 영역 위에 형성되었다. 제1 절연층은 화학기계 연마(CMP) 또는 기타의 적절한 수단에 의해 평면화되는 것이 바람직하다. 도 1은 또한 자체 정렬 조립 방법에 사용되는 한 쌍의 게이트 스택(11, 14) 또는 도시된 면과 다른 단면에서의 다른 메모리 셀과, 메모리 어레이(100)에서 메모리 셀을 절연하기 위한 제1 필드 산화물 영역(24)을 도시한다.

도 1에 도시된 구조는 종래의 것이나, 본 발명의 시작 기초로 기능한다. 본 발명의 방법은 포토레지스트 마스크(18)를 제1 절연층(10)에 인가함으로써 시작한다. 포토레지스트 마스크에서의 개구(163)는 각각의 위치를 한정하고, 불순물 첨가된 활성 영역(21, 22, 23) 상부에 위치된다.

제1 절연층(10)의 제1 부분은 N-채널 트랜지스터(51, 53)에 대하여 N+ 불순물 첨가된 활성 영역(21, 22, 23)을 노출시키도록 에칭에 의해 제거된다. 따라서, 도 2에 도시된 것처럼, 플러그 개구(31, 32, 33)가 제공된다. 또한 에칭 이전에 이들 영역을 불순물 첨가하는 대신에, 에칭 작업 후에 영역(21, 22, 23)에 불순물 첨가하는 것도 가능하다.

반응성 이온 에칭(RIE)과 같은 방향성 에칭 방법은 개구(31, 32, 33)(도 2 참조)를 에칭하기 위하여 사용될 수 있다. 절연층(10)만이 활성 영역(21, 22, 23)의 임의의 또는 최소한의 에칭 없이 에칭되는 에칭 상태(etchant condition)이다. 주변 회로 영역(200a 및 200b)은 이 때 에칭되지 않는다.

도 3에 도시된 구조에 의해 도시되는 바와 같이, 개구(31, 32, 33)가 에칭된 후, 포토레지스트(18)가 제거되며 개구(31, 32, 33)가 N+ 불순물 첨가된 폴리실리콘 플러그(30)로 채워진다. 다음, 결과적인 구조는 예를 들어 CMP에 의해 평면화된다. 폴리실리콘 플러그(30)는 플러그 적층 중에 또는 적층 이후 불순물 첨가될 수 있으며, 플러그는 CVD 또는 당업계에서 알려진 다른 적층 기법으로 적층될 수 있다. 예컨대, BPSG의 제2 절연층(40)은 다음 평면화된 플러그 상부에 적층된다.

도 3에 도시된 폴리실리콘(폴리) 플러그(30)는 폴리 플러그(41, 43)로 또한 확인될 수 있고, 상기 폴리 플러그(41, 43)는 이후에 형성된 메모리 셀 캐패시터 및 폴리 플러그(42)와 연결되고, 상기 폴리 플러그(42)는 이후에 형성된 비트 라인과 연결될 것이다.

이제 도 4를 참조하면, 포토레지스트 마스크(비도시)를 통해 예컨대 RIE와 같은 방향성 에칭 방법이 제2 BPSG층(40)과 폴리실리콘 플러그(41, 43)의 부분을 통해 에칭하기 위하여 사용되어, 캐패시터 컨테이너 개구(51, 53)를 형성한다.

지금 도 5를 참조하면, 캐패시터 컨테이너 개구(51, 53)의 형성 이후 캐패시터 구조(45)가 반도체 소자(100) 아래에 형성된다. 일반적으로 캐패시터 구조(45)는 전도성 바닥층 또는 바닥판(55), 이 바닥판 위에 유전체층(57), 및 전도성 상판(50)을 포함한다. 배리어 층은 또한 바닥판과 폴리 플러그(41, 43) 사이에 제공되어 폴리 플러그(41, 43)로 바닥판을 형성하는 물질의 이동을 방지할 수 있다. 각 캐패시터 구조의 바닥판(55)은 개구(51, 53) 내에 전도층을 적층함으로써 형성된 후, 구조의 상면에 임의의 전도체 층 물질을 제거하여 구조의 상면을 평탄화하여, 개구(51, 53)에만 바닥 전도층을 남겨 놓는다. 전도성 바닥판(55)은 불순물 첨가된 폴리실리콘(doped polysilicon) 층으로 이루어질 수 있고 또한 HSG 층을 포함할 수 있다. 유전체 층(57) 및 캐패시터 상판(50)은, 도 5에 도시한 바와 같이, 순차로 적층된 블랭킷(blanket)이다. 캐패시터 상판(50)은 메모리 어레이의 모든 캐패시터에 대한 공통 층이다. 그러나, 전도성 바닥판(55)은 폴리 플러그(41, 43) 위에 별개의 캐패시터(61, 63)를 생성하기 위해 평탄화에 의해 적층되고 패터닝된다.

캐패시터는, 열에너지의 충분한 양이 필요하고, 효과적으로 어닐링되어야만 한다. 예컨대, 하부 셀 판이 폴리실리콘일 때 하부 셀 판을 활성화하거나 효과적으로 전도성 불순물 첨가한 열처리 또는 열순환이 통상적으로 사용된다. 상부 셀 판이 폴리실리콘으로 제조되는 경우 열처리는 활성화하거나 효과적으로 불순물 첨가하고 또한 유전체 층에 핀 홀을 고정하는데 사용될 수 있다. 따라서, 열처리는 캐패시터 구조를 형성하기 위해 사용된 물질에 따라, 하부 셀 판, 또는 하부 셀 판과 유전체, 또는 전체 캐패시터 구조에만 적용될 수 있다. 여하튼, 본 발명은 열처리가 적용된 후 기관의 활성 영역에 금속화된 전도체를 형성한다.

본 발명에 의하면 캐패시터(61, 53)가 열처리된 후, 금속 플러그가 주변 로직 영역(200a, 200b)에서 N-채널과 P-채널 트랜지스터와 비트 라인 플러그(42)로 형성된다.

도 6에 도시한 바와 같이, 방향성 에칭 방법 또는 다른 적절한 방법은, 비트 라인 개구(52)를 한정하도록 포토레지스트 마스크(80)와 BPSG 층(40)을 통해 에칭하도록 사용된다. 방향성 에칭 방법 또는 다른 적절한 방법은, 포토레지스트 마스크(80)와 BPSG 층(10, 40)을 통해 에칭하도록 주변 플러그 개구(55, 56)를 형성하여 주변 영역(200a, 200b)에 N-채널과 P-채널 트랜지스터에 대한 활성 영역(25, 26)을 노출하기 위해 주변 회로 영역(200)에 또한 발생한다. 포토레지스트 마스크 층(80)은 에칭 공정 이후에 제거된다.

도 7에 도시한 바와 같이, 금속층(70)은 메모리 어레이(100)와 주변 회로 영역(200) 위에 적층된다. 따라서, 금속층은 금속 주변 플러그(75, 76)를 형성하기 위해 P-채널 트랜지스터에 불순물 함유된 P+ 또는 N-채널 트랜지스터에 불순물 함유된 N+의 활성 영역(25, 26)의 노출된 외측면 위에 형성된다. 금속층은 금속 비트 라인 플러그(72)를 형성하기 위해 비트 라인 폴리 플러그(42) 위에 또한 형성된다. 바람직하게는, 금속층(70)은 티타늄, 질화 티타늄(titanium nitride), 텅스텐, 코발트, 몰리브덴 또는 탄탈륨을 포함하지만, 임의의 적절한 금속이 사용될 수 있다.

도 8을 참조하면, 발생하는 구조는 예컨대, CMP에 의해 평탄화된다. CMP 이후에 금속층(70)을 제거하고 약 500 옹스트롬(Angstroms)의 두께까지 캐패시터 상판(50)을 축소하도록 금속층(70)과 캐패시터 상판(50)이 평탄화될 수 있다. 또한, 유전체층(57)과 상부 셀 판(50)이 전도성 플러그(72, 75, 76)로부터 에칭된다.

도 9에 도시한 바와 같이, 제3 절연층(60), 예컨대 BPSG 층(60)이 캐패시터 상판(50) 위에 적층된다. 포토레지스트 층이 인가되고 금속 플러그(72, 75, 76) 위에 에칭 개구를 형성하도록 패턴화되며 제3 BPSG 층(60)을 통해 에칭하여 금속 플러그(72, 75)의 접점 영역을 노출하도록 방향성 에칭 또는 다른 적절한 에칭 방법이 다음에 실행된다. 금속 플러그(72, 75, 76)의 임의의 또는 최소한의 에칭 없이 절연층(60)만이 에칭되는 에칭 상태(etchant condition)이다. 주변 영역(200a, 200b)에서 금속 플러그(75, 76)의 노출된 접점 영역은 금속 플러그(75, 76)의 직경보다 작은 표면적이 바람직하다.

또한 도 9에 도시한 바와 같이, 일단 포토레지스트 층(도시생략)이 제거되면, 텅스텐 또는 다른 금속 등과 같은 적절한 전도성물질로 형성된 전도층(90)이 제3 BPSG 층(60) 위에 적층되어 접점(92, 95, 96)을 형성한다. 접점(92, 95, 96)은 활성 영역(22, 25, 26)으로 저저항 수직 및 측방 경로를 제공하기 위해서 적절한 크기와 형상으로 이루어질 수 있다. 주변 영역에서 접점(95, 96)은 주변 금속 플러그(75, 76)보다 작은 면적이 바람직하다. 금속 플러그(75, 76)가 타원형의 종단면 형상을 갖지만, 주변 접점(95, 96)은, 도 15에 도시한 바와 같이 원형 상하 단면 형상이 바람직하다.

변형 실시 형태는 도 10 내지 도 15를 참조로 기술한다. 기술한 제1 실시 형태와 동일부호가 사용되고, 상이한 부분은 300 일련번호 또는 다른번호로 지시한다. 도 10은, 도 5에 도시한 처리 단계에 후속하는 처리 단계를 도시한다. 도 10에 도시한 바와 같이, 포토레지스트 마스크(380)와 BPSG 층(10, 40)을 통해 에칭하여 주변 플러그 개구(355, 356)를 형성하고 주변 영역(200a, 200b)에서 N-채널과 P-채널 트랜지스터에 대한 활성 영역(25, 26)을 노출하여 주변 회로 영역(200)에서 방향성 에칭 방법 또는 다른 적절한 방법이 발생한다. 에칭 방법 이후에 포토레지스트 마스크 층(380)이 제거된다. 도 6에 도시한 처리 단계와 달리, 비트 라인이 이 때 에칭되지 않는다.

도 11을 참조하면, 금속층(370)이 메모리 어레이(100)와, 주변 회로 영역(200) 위에 적층된다. 따라서, 금속층은 P-채널 트랜지스터에 대해 불순물 함유된 P+ 또는 N-채널 트랜지스터에 대해 불순물 함유된 N+의 활성 영역(25, 26)의 노출된 외측면 위에 형성되어 금속 주변 플러그(375, 376)를 형성한다. 바람직하게는, 금속층(370)은 티타늄, 질화티타늄, 텅스텐, 코발트, 몰리브덴 또는 탄탈륨을 포함하지만, 적절한 금속이 사용될 수 있다.

도 12에 도시한 바와 같이, 금속층이 예컨대, CMP에 의해 평탄화된다. CMP 이후에 금속층(370)을 제거하고 약 500 옹스트롬의 두께까지 캐패시터 상판(50)을 축소하도록 금속층(370)이 평탄화될 수 있다. 또한, 유전체 층(57)과 상부 셀 판(50)이 전도성 플러그(375, 376)로부터 분리 에칭된다.

도 13에 도시한 바와 같이, 제3 절연층(360), 예컨대 BPSG 층(360)이 캐패시터(61, 63) 주위에 개구를 채우기 위해 기판 위에 적층된다. 포토레지스트 층(318)이 제3 절연층 위에 인가되고 비트 라인 폴리 플러그(42)와 금속 주변 플러그(375, 376) 위에 에칭 개구를 형성하도록 패턴화된다.

도 14에 도시한 바와 같이, 방향성 에칭 또는 다른 적절한 에칭 방법은, 금속 플러그(375, 376)의 접점 영역과 비트 라인 폴리 플러그(42)를 노출하기 위해서 금속 플러그 접점 개구(385, 386)를 형성하도록 제3 BPSG 층(360)을 통해 에칭하고 비트 라인 개구(352)를 형성하도록 제2 및 제3 BPSG 층(40, 360)을 통해 에칭하도록 실행된다. 금속 플러그(375, 376)와 폴리 플러그(42)의 임의의 에칭 또는 최소한의 에칭 없이 절연층(360)만이 에칭되는 에칭 상태(etchant condition)이다. 금속 플러그 접점 개구(385, 386)는 금속 플러그(375, 376)보다 작은 직경이 바람직하다.

도 15에 도시한 바와 같이, 텅스텐 또는 다른 금속 등과 같은 적절한 전도성물질로 형성된 전도층(390)은 접점(392, 395, 396)을 형성하기 위해서 금속 플러그 접점 개구(385, 386)와 비트 라인 개구(352)를 채우도록 제3 BPSG 층(360) 위에 적층된다. 접점은 활성 영역(22, 25, 26)으로 저저항 수직 및 측방 경로를 제공하기 위해서 적절한 크기와 형상으로 이루어질 수 있다. 주변 영역에서 접점(395, 396)은 주변 금속 플러그(375, 376)보다 작은 단면적이 바람직하다. 금속 플러그(375, 376)가 타원형의 종단면 형상을 갖지만, 주변 접점(395, 396)은, 도 16에 도시한 바와 같이 원형의 종단면 형상을 갖는 것이 바람직하다.

본 발명에 따르면 캐패시터의 형성 이후에 금속 주변 플러그가 형성된다. 바람직하게는 웨이퍼 조립에 사용된 모든 고온 처리 단계 완료 이후와 금속 플러그 형성에 영향을 주는 다른 온도 변화 이후에 금속 주변 플러그를 형성하는 공정이 시작한다. 바람직하게는, 셀 폴리 활성화와 캐패시터 형성에 사용된 열순환 이후에 공정을 시작한다. 메모리 소자의 캐패시터

에 상부 셀 판 접점을 형성하기 이전에 캐패시터에 고온 프로세싱 처리 이후에 금속 플러그가 형성될 수 있다. 게다가, 본 발명은 도시한 층에 제한하지 않는다. 본 발명의 사상을 벗어나지 않고 전도층과 절연 층의 적절한 수 및/또는 배치가 사용될 수 있다.

도 16은 본 발명에 따른 메모리 어레이의 주변 로직 회로 영역의 일반적인 상하 단면도를 도시한다. 주변 회로 영역(200)에서의 금속 플러그는, P+ 또는 N+ 불순물 함유된 활성 영역(25, 26) 위에 전도성을 제공하는 타원형 금속 플러그(225, 226)로 도시되어 있다. 세 개의 전도성 라우팅 채널(214, 216, 218)은 일반적으로 길이방향으로 연장하는 것으로 도시되어 있다. 통상적으로, 하나 이상의 절연층이 라우팅 채널(214, 216, 218)을 별개로 놓여진다. BPSG 층 바로 아래에, 일반적으로 폭방향으로 연장하는 다른 전도성 라우팅 채널이 형성된다. 도시한 바와 같이, 금속 접점(96)은 라우팅 채널(218)과 활성 영역(26) 사이에 이루어지는 전기적 접속을 제공한다. 금속 접점(95)은 라우팅 채널(214)과 활성 영역(25) 사이에 이루어지는 전기적 접속을 제공한다.

본 발명의 장점 중 하나는 기관의 활성 영역 아래에 금속 플러그를 이용하는 데에 있다. 이는 라우팅 채널과 활성 영역 사이의 접속시 저항을 감소시킨다. 따라서, 본 발명에 따라 기관의 활성 영역 아래에 금속 플러그를 제공함으로써 조밀한 피치(tighter pitched)의 전기적 접속을 허용하는 브릿징(bridging) 없이 전기적 접속이 이루어진다. 게다가, 타원형 금속 플러그를 제공함으로써 소망하는 대로 다수의 라우팅 채널에 전기적 접속이 이루어질 수 있다.

상기 상세한 설명과 도면은 본 발명의 특징과 장점을 달성하는 예시적 실시형태를 도시한다. 특정 처리 조건과 구조에 대한 변형과 치환이 본 발명의 사상과 범위를 벗어나지 않고 이루어질 수 있다. 따라서, 본 발명은 전술한 상세한 설명과 도면에 한정되는 것으로 간주되지 않고, 첨부한 클레임의 범위에 의해 한정된다.

(57) 청구의 범위

청구항 1.

메모리 소자를 형성하는 방법에 있어서,

상기 메모리 소자의 메모리 어레이 영역 내에 메모리 셀용 캐패시터 구조(capacitor structure)의 적어도 일부를 형성하는 단계;

상기 캐패시터 구조를 열처리하는 단계; 및

상기 캐패시터 구조를 열처리한 후에 기관의 활성 영역에 이르는 금속 플러그를 형성하는 단계를 포함하고, 상기 활성 영역에 이르는 상기 금속 플러그 중 적어도 일부는 상기 메모리 셀을 포함하고 있는 상기 메모리 어레이 영역 외부에 위치한 반도체 기관의 N-채널 및 P-채널 주변 로직 트랜지스터(peripheral logic transistor)용인 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 2.

메모리 소자를 형성하는 방법에 있어서,

메모리 셀 캐패시터의 하부 전극층을 형성하는 단계;

상기 하부 전극층과 접촉하는 유전체층을 형성하는 단계;

상기 하부 전극층과 유전체층을 열처리하는 단계;

상기 열처리 작업 후에, 상기 유전체층과 접촉하는 상부 전극층을 형성하는 단계; 및

상기 상부 전극층을 형성한 후에, 주변 로직 영역의 N-채널 및 P-채널 트랜지스터 각각의 활성 영역에 인접하는 금속 접점을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 3.

메모리 소자에 금속화된 플러그를 제조하는 방법에 있어서,

메모리 셀 어레이 영역과 주변 회로 영역을 갖는 기판을 제공하는 단계로서, 상기 메모리 셀 어레이 영역과 상기 주변 회로 영역 각각은 적어도 하나의 제1 전도성 형태 트랜지스터를 포함하고, 상기 주변 회로 영역은 적어도 하나의 제2 전도성 형태 트랜지스터를 또한 포함하며, 상기 적어도 하나의 메모리 셀 어레이 영역 트랜지스터는 메모리 셀용 액세스 트랜지스터인 기판을 제공하는 단계;

상기 메모리 셀 어레이 영역을 추가로 처리하여 상기 액세스 트랜지스터와 연관된 적어도 하나의 캐패시터를 형성하는 단계;

열을 인가하여 상기 캐패시터를 어닐링하는 단계;

상기 기판의 상기 주변 회로 영역에서 상기 기판 위의 금속층에 복수의 플러그 개구를 한정하는 단계로서, 적어도 하나의 상기 플러그 개구는 상기 제1 전도성 형태의 상기 트랜지스터의 활성 영역을 노출하고, 적어도 하나의 상기 플러그 개구는 상기 제2 전도성 형태의 상기 트랜지스터의 활성 영역을 노출하는 개구를 한정하는 단계; 및

상기 열이 상기 메모리 셀 어레이 영역에 인가된 후에 상기 활성 영역을 접촉시키기 위해 상기 기판 위와 상기 플러그 개구 내로 금속층을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자에 금속화된 플러그의 제조 방법.

청구항 4.

제3항에 있어서,

상기 제1 전도성 형태는 N⁺ 인 것을 특징으로 하는 메모리 소자에 금속화된 플러그의 제조 방법.

청구항 5.

제4항에 있어서,

상기 제2 전도성 형태는 P⁺ 인 것을 특징으로 하는 메모리 소자에 금속화된 플러그의 제조 방법.

청구항 6.

메모리 소자를 형성하는 방법에 있어서,

한 쌍의 이격된 워드 라인(word line)을 형성하는 단계;

상기 워드 라인의 대향측상에 소스 영역과 드레인 영역을 형성하여 메모리 셀 어레이 영역 내에 복수 개의 메모리 셀 액세스 트랜지스터를 한정하는 단계;

소스/드레인 영역을 공유하는 한 쌍의 액세스 트랜지스터를 형성하는 단계;

상기 액세스 트랜지스터 위에 적어도 하나의 제1 절연층을 형성하는 단계;

상기 액세스 트랜지스터의 상기 소스 영역과 드레인 영역으로 상기 제1 절연층을 통해 비트 라인 폴리실리콘 플러그(bit line polysilicon plug)와 한 쌍의 캐패시터 폴리실리콘 플러그를 형성하는 단계;

상기 폴리실리콘 플러그 위에 적어도 하나의 제2 절연층을 형성하는 단계;

각각의 캐패시터 폴리실리콘 플러그와 전기적 흐름 소통 상태로 상기 제2 절연층의 상기 액세스 트랜지스터 중 하나와 각각 연관된 컨테이너 캐패시터를 형성하는 단계;

상기 컨테이너 캐패시터를 열처리하는 단계;

상기 메모리 셀 어레이 영역 외부에 N-채널 및 P-채널 주변 로직 트랜지스터를 형성하는 단계;

상기 열처리 단계 이후에, 상기 제1 및 제2 절연층을 통해 상기 N-채널 및 P-채널 주변 로직 트랜지스터 각각을 접촉하도록 금속 플러그를 형성하는 단계;

상기 컨테이너 캐패시터 위에 적어도 하나의 제3 절연층을 형성하는 단계; 및

상기 금속 플러그를 접촉하도록 상기 제3 절연층을 통해 금속 접점을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 7.

메모리 소자를 형성하는 방법에 있어서,

상기 메모리 소자의 메모리 셀 어레이 영역에 메모리 셀 액세스 트랜지스터를 형성하는 단계;

상기 메모리 소자의 주변 로직 영역에 N-채널 및 P-채널 주변 로직 트랜지스터를 형성하는 단계;

상기 메모리 셀 어레이 영역의 상기 액세스 트랜지스터와 연관된 캐패시터의 적어도 일부를 형성하는 단계;

상기 캐패시터 일부를 열처리하는 단계; 및

상기 열처리 단계 이후에, 상기 N-채널 및 P-채널 주변 로직 트랜지스터의 활성 영역과 접촉하는 제1 금속 전도체를 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 8.

제7항에 있어서,

각각의 액세스 트랜지스터의 제1 활성 영역과 상기 캐패시터 사이에 캐패시터 전도성 플러그를 형성하고 상기 액세스 트랜지스터의 제2 활성 영역으로 비트 라인 전도성 플러그를 형성하는 단계; 및

상기 제1 금속 전도체가 형성됨과 동시에 상기 비트 라인 전도성 플러그에 제2 금속 전도체를 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 9.

제7항에 있어서,

상기 열처리 단계는 상기 캐패시터의 모든 부분이 형성된 후에 발생하는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 10.

제7항에 있어서,

상기 제1 금속 전도체는 타원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 11.

제8항에 있어서,

상기 제1 금속 전도체를 접촉하도록 상부 금속 플러그를 형성하는 단계를 또한 포함하는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 12.

제11항에 있어서,

상기 비트 라인 전도성 플러그를 접촉하도록 상부 금속 플러그를 형성하는 단계를 또한 포함하는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 13.

제11항에 있어서,

상기 상부 금속 플러그는 상기 제1 금속 전도체보다 직경이 작은 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 14.

제12항에 있어서,

상기 상부 금속 플러그는 상기 비트 라인 전도성 플러그 및 상기 제1 금속 전도체 각각보다 직경이 작은 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 15.

제13항에 있어서,

상기 제1 금속 전도체는 타원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 16.

제15항에 있어서,

상기 상부 금속 플러그는 원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 17.

제8항에 있어서,

상기 제1 전도체와 상기 비트 라인 전도성 플러그는 N-형태 플러그인 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 18.

메모리 소자를 형성하는 방법에 있어서,

한 쌍의 이격된 워드 라인을 형성하는 단계;

상기 워드 라인의 대향측상에 소스 영역과 드레인 영역을 형성하여 메모리 셀 어레이 영역 내에 복수 개의 메모리 셀 액세스 트랜지스터를 한정하는 단계;

소스/드레인 영역을 공유하는 한 쌍의 액세스 트랜지스터를 형성하는 단계;

상기 액세스 트랜지스터 위에 적어도 하나의 제1 절연층을 형성하는 단계;

상기 액세스 트랜지스터의 상기 소스 영역과 드레인 영역으로 상기 제1 절연층을 통해 비트 라인 폴리실리콘 플러그와 한 쌍의 캐패시터 폴리실리콘 플러그를 형성하는 단계;

상기 폴리실리콘 플러그 위에 적어도 하나의 제2 절연층을 형성하는 단계;

각각의 캐패시터 폴리실리콘 플러그와 전기적 흐름 소통 상태로 상기 제2 절연층에서 각각의 상기 액세스 트랜지스터와 각각 연관된 컨테이너 캐패시터를 형성하는 단계;

상기 컨테이너 캐패시터를 열처리하는 단계;

상기 메모리 셀 어레이 영역 외부에 N-채널 및 P-채널 주변 로직 트랜지스터를 형성하는 단계;

상기 열처리 이후에 상기 N-채널 및 P-채널 주변 로직 트랜지스터 각각을 접촉하도록 상기 제2 절연층을 통해 주변 금속 플러그를 형성하는 단계;

상기 컨테이너 캐패시터 위에 적어도 하나의 제3 절연층을 형성하는 단계;

상기 열처리 단계 이후에 상기 비트 라인 폴리실리콘 플러그에 상기 제2 절연층을 통해 비트 라인 접점을 형성하는 단계; 및

상기 주변 금속 플러그에 상기 제3 절연층을 통해 금속 접점을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 19.

제18항에 있어서,

상기 비트 라인 접점은 금속으로 형성된 것을 특징으로 하는 메모리 소자 형성 방법.

청구항 20.

주변 트랜지스터에 금속화된 접점을 형성하는 방법에 있어서,

제1 전도성 형태 트랜지스터의 형성을 위해 기판 상에 메모리 어레이 영역을 제공하는 단계;

제1 및 제2 전도성 형태 트랜지스터의 형성을 위해 상기 기판 상에 주변 어레이 영역을 제공하는 단계;

상기 메모리 어레이 영역과 상기 주변 어레이 영역에, 제1 전도성 형태 활성 영역과 연관된 제1 전도성 형태 트랜지스터를 형성하는 단계;

상기 주변 어레이 영역에, 제2 전도성 형태 활성 영역과 연관된 제2 전도성 형태 트랜지스터를 형성하는 단계;

상기 제1 및 상기 제2 전도성 형태 트랜지스터와 상기 제1 및 제2 전도성 형태 활성 영역 위에 평탄화된 제1 절연 물질층을 제공하는 단계;

상기 제1 절연층을 통해 개구를 에칭하여 상기 메모리 어레이 영역의 상기 제1 전도성 형태의 활성 영역을 노출하는 단계;

상기 제1 전도성 형태의 전도성 물질로 상기 개구를 채워서 적어도 세 개의 제1 전도성 형태 플러그를 형성하는 단계로서, 적어도 하나의 상기 제1 전도성 형태 플러그는 비트 라인 플러그이고 적어도 두 개의 상기 제1 전도성 형태 플러그는 캐패시터 플러그인 제1 전도성 형태 플러그를 형성하는 단계;

상기 제1 절연층과 상기 비트 라인 및 캐패시터 플러그 위에 평탄화된 제2 절연 물질층을 제공하는 단계;

상기 캐패시터 플러그의 일부와 상기 제2 절연층을 통해 에칭하여 캐패시터 컨테이너 개구를 형성하는 단계;

상기 캐패시터 컨테이너 개구에 캐패시터 구조를 형성하는 단계로서, 상기 캐패시터 컨테이너 개구내에 전도층을 적층하여 바닥층을 형성하는 단계와, 상기 캐패시터 컨테이너의 상면을 평탄화하여 상기 상면 상의 임의의 전도층 물질을 제거하는 단계와, 상기 기판 위에 유전체층을 적층하는 단계와, 상기 유전체층 위에 상부 캐패시터 판을 적층하는 단계를 포함하는 상기 캐패시터 컨테이너 개구에 캐패시터 구조를 형성하는 단계;

상기 바닥층, 상기 유전체층, 또는 상기 캐패시터 판 중 적어도 하나에 열을 인가함으로써 상기 캐패시터 구조를 어닐링하는 단계;

상기 캐패시터 구조를 어닐링하는 단계 이후에, 상기 제2 절연층을 통해 에칭하여 비트 라인 개구를 한정하여 상기 비트 라인 플러그의 표면을 노출하고 상기 제2 절연층을 통해 에칭하여 상기 주변 어레이 영역에 주변 플러그 개구를 한정하여 상기 제1 및 제2 전도성 형태의 활성 영역을 노출하는 단계; 및

상기 기판 위에 금속층을 적층하여 상기 메모리 어레이 영역에 금속 플러그를 형성하여 상기 비트 라인 플러그의 상기 표면을 접촉시키고, 상기 주변 어레이 영역에 금속 플러그를 형성하여 상기 제1 전도성 형태와 상기 제2 전도성 형태의 각각의 활성 영역을 접촉시키는 단계를 포함하는 것을 특징으로 하는 주변 트랜지스터에 금속화된 접점 형성 방법.

청구항 21.

주변 트랜지스터로 금속화된 접점을 형성하는 방법에 있어서,

제1 전도성 형태 트랜지스터의 형성을 위해 기판 상에 메모리 어레이 영역을 제공하는 단계;

제1 및 제2 전도성 형태 트랜지스터의 형성을 위해 상기 기판 상에 주변 어레이 영역을 제공하는 단계;

상기 메모리 어레이 영역과 상기 주변 어레이 영역에, 제1 전도성 형태 활성 영역과 연관된 제1 전도성 형태 트랜지스터를 형성하는 단계;

상기 주변 어레이 영역에, 제2 전도성 형태 활성 영역과 연관된 제2 전도성 형태 트랜지스터를 형성하는 단계;

상기 제1 및 상기 제2 전도성 형태 트랜지스터와 상기 제1 및 제2 전도성 형태 활성 영역 위에 평탄화된 제1 절연 물질층을 제공하는 단계;

상기 제1 절연층을 통해 개구를 에칭하여 상기 메모리 어레이 영역의 상기 제1 전도성 형태의 활성 영역을 노출하는 단계;

상기 제1 전도성 형태의 전도성 물질로 상기 개구를 채워 적어도 세 개의 제1 전도성 형태 플러그를 형성하는 단계로서, 적어도 하나의 상기 제1 전도성 형태 플러그는 비트 라인 플러그이고 적어도 두 개의 상기 제1 전도성 형태 플러그는 캐패시터 플러그인 제1 전도성 형태 플러그 형성 단계;

상기 제1 절연층과 상기 제1 전도성 형태 플러그 위에 평탄화된 제2 절연 물질층을 제공하는 단계;

상기 제2 절연층과 상기 캐패시터 플러그들의 부분들을 통해 에칭하여 캐패시터 컨테이너 개구를 형성하는 단계;

상기 캐패시터 컨테이너 개구에 캐패시터 구조를 형성하는 단계로서, 상기 캐패시터 컨테이너 개구내에 전도층을 적층하여 바닥층을 형성하는 단계와, 상기 캐패시터 컨테이너의 상부 표면을 평탄화하여 상기 상부 표면상의 임의의 전도층 물질을 제거하는 단계와, 상기 기판 상에 유전체층을 적층하는 단계와, 상기 유전체층 위에 상부 캐패시터 판을 적층하는 단계를 포함하는, 캐패시터 구조 형성 단계;

상기 바닥층, 상기 유전체층 또는 상기 캐패시터 판 중 적어도 하나에 열을 인가함으로써 상기 캐패시터 구조를 어닐링하는 단계;

상기 캐패시터 구조를 어닐링한 후에, 상기 제2 절연층을 통해 에칭하여 상기 주변 어레이 영역에 주변 플러그 개구를 한정하여 상기 제1 및 제2 전도성 형태의 활성 영역을 노출하는 단계; 및

상기 기판 위에 금속층을 적층하여 상기 주변 어레이 영역에 금속 플러그를 형성하여 상기 제1 전도성 형태 및 상기 제2 전도성 형태의 각 활성 영역을 접촉시키는 단계를 포함하는 것을 특징으로 하는 주변 트랜지스터에 금속화된 접점 형성 방법.

청구항 22.

제21항에 있어서,

상기 금속층을 평탄화하여 상기 캐패시터 판을 노출하는 단계;

상기 금속 플러그와 상기 비트 라인 플러그로부터 상기 캐패시터 판과 상기 유전체층을 에칭하는 단계;

상기 기판 위에 제3 절연 물질층을 적층하는 단계;

상기 제3 절연층을 통해 접점 개구를 에칭하여 상기 주변 어레이 영역에 상기 금속 플러그를 노출하는 단계;

상기 제2 절연층과 상기 제3 절연층을 통해 접점 개구를 에칭하여 상기 메모리 어레이 영역에 상기 비트 라인 플러그를 노출하는 단계; 및

상기 접점 개구를 채우고 상기 금속 플러그와 상기 비트 라인 플러그로 전도성 접점을 형성하기 위해, 상기 기판 위에 전도층을 적층하는 단계를 또한 포함하는 것을 특징으로 하는 주변 트랜지스터에 금속화된 접점 형성 방법.

청구항 23.

메모리 어레이 영역과 주변 회로 영역을 포함하되, 상기 메모리 어레이 영역은 적어도 하나의 제1 전도성 형태의 액세스 트랜지스터와 상기 액세스 트랜지스터와 연관된 데이터 값을 저장하기 위한 적어도 하나의 캐패시터를 포함하고, 상기 주변 회로 영역은 적어도 하나의 제1 전도성 형태의 트랜지스터와 적어도 하나의 제2 전도성 형태의 트랜지스터를 포함하며, 상기 제1 전도성 형태의 상기 트랜지스터의 활성 영역에 전기적으로 접속된 적어도 하나의 제1 금속 플러그와 상기 제2 전도성 형태의 상기 트랜지스터의 활성 영역에 전기적으로 접속된 적어도 하나의 제2 금속 플러그를 포함하는 것을 특징으로 하는 메모리 소자.

청구항 24.

제23항에 있어서,

상기 제1 및 제2 금속 플러그는 타원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자.

청구항 25.

제24항에 있어서,

상기 제1 전도성 형태는 N+ 인 것을 특징으로 하는 메모리 소자.

청구항 26.

제25항에 있어서,

상기 제2 전도성 형태는 P+ 인 것을 특징으로 하는 메모리 소자.

청구항 27.

한 쌍의 이격된 워드 라인;

메모리 셀 어레이 영역 내에 복수 개의 메모리 셀 액세스 트랜지스터를 한정하는 상기 워드 라인의 대향측 상의 소스 영역과 드레인 영역;

소스/드레인 영역을 공유하는 한 쌍의 액세스 트랜지스터;

상기 액세스 트랜지스터 위에 형성된 적어도 하나의 제1 절연층;

상기 액세스 트랜지스터의 상기 소스 영역과 드레인 영역으로 상기 제1 절연층을 통해 형성된 비트 라인 폴리실리콘 플러그와 한 쌍의 캐패시터 폴리실리콘 플러그;

상기 폴리실리콘 플러그 위에 형성된 적어도 하나의 제2 절연층;

각각의 캐패시터 폴리실리콘 플러그와 전기적 흐름 소통 상태로 상기 제2 절연층의 상기 액세스 트랜지스터 중 하나와 각각 연관된 컨테이너 캐패시터;

상기 메모리 셀 어레이 영역 외부의 N-채널 및 P-채널 주변 로직 트랜지스터로서, 상기 N-채널 및 P-채널 주변 로직 트랜지스터는 상기 N-채널 주변 로직 트랜지스터를 접속시키는 제1 금속 플러그와, 상기 P-채널 주변 로직 트랜지스터를 접속시키는 제2 금속 플러그를 포함하고, 상기 제1 금속 플러그와 상기 제2 금속 플러그는 상기 제1 및 제2 절연층을 통해 형성되는 N-채널 및 P-채널 주변 로직 트랜지스터;

상기 비트 라인 폴리실리콘 플러그에 상기 제2 절연층을 통해 형성된 제1 비트 라인 접점;

상기 컨테이너 캐패시터 위의 적어도 하나의 제3 절연층; 및

상기 제1 금속 플러그, 상기 제2 금속 플러그, 및 상기 제1 비트 라인 접점에 상기 제3 절연층을 통해 형성된 금속 접점을 포함하는 것을 특징으로 하는 메모리 소자.

청구항 28.

제27항에 있어서,

상기 제1 및 제2 금속 플러그는 타원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자.

청구항 29.

제28항에 있어서,

상기 금속 접점은 원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자.

청구항 30.

제27항에 있어서,

상기 금속 접점은 상기 제1 및 제2 금속 플러그보다 직경이 작은 것을 특징으로 하는 메모리 소자.

청구항 31.

제30항에 있어서,

상기 제1 금속 플러그와 상기 비트 라인 플러그는 N-채널 트랜지스터 영역에 있는 것을 특징으로 하는 메모리 소자.

청구항 32.

제27항에 있어서,

상기 절연층을 통해 형성된 상기 각 금속 접점과 상기 비트 라인 접점은 단일 구조인 것을 특징으로 하는 메모리 소자.

청구항 33.

제1 전도성 형태 활성 영역과 연관된 제1 전도성 형태의 트랜지스터를 포함하는 메모리 어레이 영역;

상기 제1 전도성 형태의 트랜지스터를 포함하고 제2 전도성 형태 활성 영역과 연관된 제2 전도성 형태의 트랜지스터를 또한 포함하는 주변 어레이 영역;

상기 메모리 어레이 영역과 상기 주변 어레이 영역 위에 형성된 제1 절연층;

상기 제1 전도성 형태 활성 영역을 접촉하도록 상기 메모리 어레이의 상기 제1 절연층을 통해 형성된 비트 라인 플러그와 한 쌍의 캐패시터 플러그;

상기 제1 절연층, 상기 캐패시터 플러그, 및 상기 비트 라인 플러그 위에 형성된 제2 절연층;

적어도 상기 제2 절연층에 형성되고 상기 캐패시터 플러그와 접촉되어 있는 캐패시터 컨테이너;

상기 비트 라인 플러그를 접촉하도록 상기 제2 절연층을 통해 형성된 상기 메모리 어레이 영역의 금속 플러그;

상기 제1 전도성 형태와 상기 제2 전도성 형태의 활성 영역을 각각 접촉시키기 위해 상기 제1 및 제2 절연층을 통해 형성된 상기 주변 어레이 영역의 금속 플러그를 포함하는 것을 특징으로 하는 메모리 소자.

청구항 34.

제1 전도성 형태 활성 영역과 연관된 제1 전도성 형태의 트랜지스터를 포함하는 메모리 어레이 영역;

상기 제1 전도성 형태의 트랜지스터를 포함하고 제2 전도성 형태 활성 영역과 연관된 제2 전도성 형태의 트랜지스터를 또한 포함하는 주변 어레이 영역;

상기 메모리 어레이 영역과 상기 주변 어레이 영역 위에 형성된 제1 절연층;

상기 제1 전도성 형태 활성 영역을 접촉하도록 상기 메모리 어레이의 상기 제1 절연층을 통해 형성된 비트 라인 플러그와 한 쌍의 캐패시터 플러그;

상기 제1 절연층, 상기 캐패시터 플러그, 및 상기 비트 라인 플러그 위에 형성된 제2 절연층;

적어도 상기 제2 절연층에 형성된 상부 캐패시터 판, 유전체층 및 바닥판을 포함하는 캐패시터 컨테이너;

상기 제1 전도성 형태와 상기 제2 전도성 형태의 활성 영역을 각각 접촉하도록 상기 제1 및 제2 절연층을 통해 형성된 상기 주변 어레이 영역의 금속 플러그;

상기 캐패시터 컨테이너, 상기 금속 플러그 및 상기 제2 절연층 위에 형성된 제3 절연층;

상기 비트 라인 플러그를 접촉하도록 상기 제2 및 제3 절연층을 통해 형성된 금속 비트 라인 접점; 및

상기 주변 어레이 영역의 상기 금속 플러그를 접촉시키기 위해 상기 제3 절연층을 통해 형성된 금속 접점을 포함하는 것을 특징으로 하는 메모리 소자.

청구항 35.

제34항에 있어서,

상기 금속 플러그는 타원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자.

청구항 36.

제35항에 있어서,

상기 금속 접점은 원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자.

청구항 37.

제34항에 있어서,

상기 금속 접점은 상기 제1 및 제2 금속 플러그보다 직경이 작은 것을 특징으로 하는 메모리 소자.

청구항 38.

제37항에 있어서,

상기 제1 전도성 형태는 N+ 인 것을 특징으로 하는 메모리 소자.

청구항 39.

제23항에 있어서,

상기 활성 영역은 내부에 확산된 상기 제1 및 제2 금속 플러그의 부분을 대략 갖지 않는 것을 특징으로 하는 메모리 소자.

청구항 40.

메모리 어레이 영역과 주변 회로 영역을 포함하되, 상기 메모리 어레이 영역은 적어도 하나의 제1 전도성 형태의 액세스 트랜지스터와, 상기 액세스 트랜지스터와 연관된 데이터 값을 저장하기 위한 적어도 하나의 캐패시터와, 적어도 하나의 액세스 트랜지스터의 활성 영역에 전기적으로 접속된 적어도 하나의 폴리실리콘 플러그와, 그리고 상기 적어도 하나의 폴리실리콘 플러그에 전기적으로 접속된 적어도 하나의 제1 금속 플러그를 포함하고, 상기 주변 회로 영역은 제1 또는 제2 전도성 형태의 적어도 하나의 주변 트랜지스터와 상기 제1 또는 제2 전도성 형태의 상기 주변 트랜지스터의 활성 영역에 전기적으로 접속된 적어도 하나의 제2 금속 플러그를 포함하는 것을 특징으로하는 메모리 소자.

청구항 41.

제40항에 있어서,

상기 제1 및 제2 금속 플러그는 타원형의 종단면 형상을 갖는 것을 특징으로 하는 메모리 소자.

청구항 42.

제40항에 있어서,

상기 제1 및 제2 금속 플러그에 전기적으로 접속된 금속 접점을 또한 포함하는 것을 특징으로 하는 메모리 소자.

청구항 43.

제42항에 있어서,

상기 금속 접점은 상기 제1 및 제2 금속 플러그보다 직경이 작은 것을 특징으로 하는 메모리 소자.

청구항 44.

제40항에 있어서,

상기 제1 전도성 형태는 n-형태인 것을 특징으로 하는 메모리 소자.

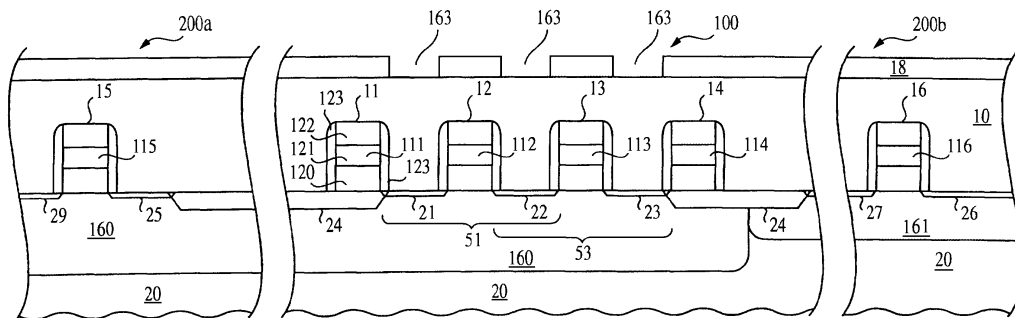
청구항 45.

제40항에 있어서,

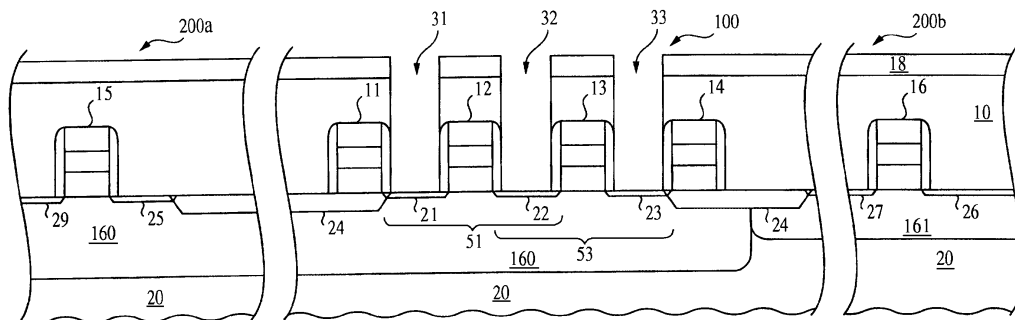
상기 활성 영역은 내부에 확산된 상기 제1 및 제2 금속 플러그의 부분을 대략 갖지 않는 것을 특징으로 하는 메모리 소자.

도면

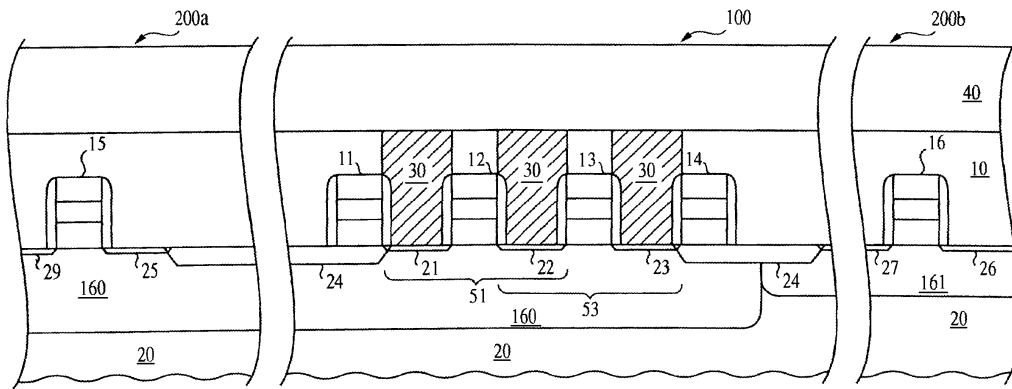
도면1



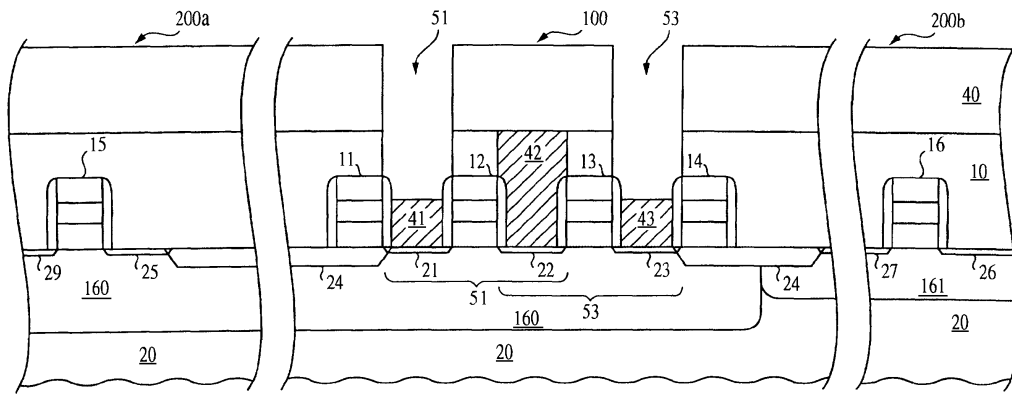
도면2



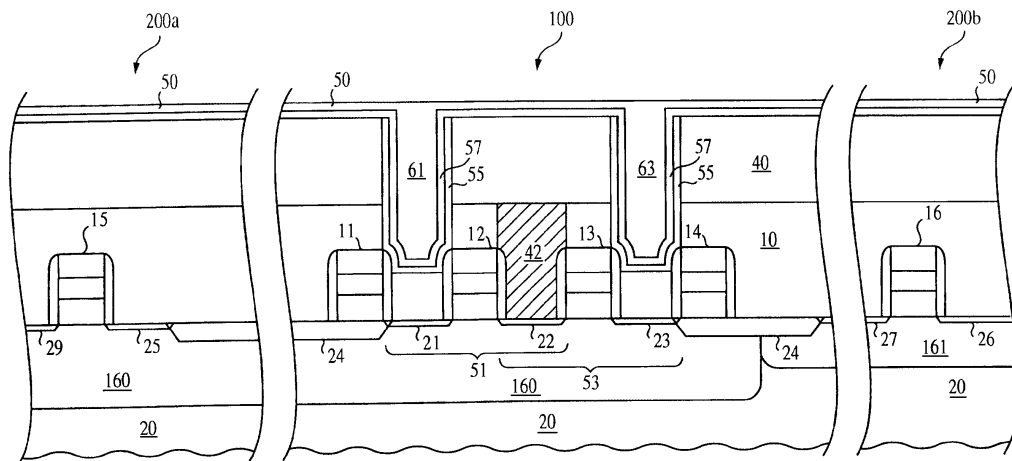
도면3



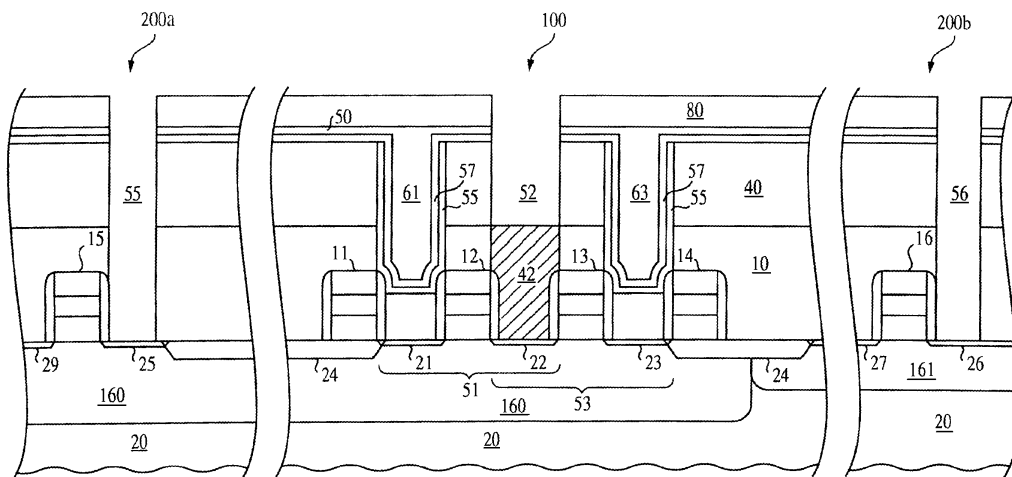
도면4



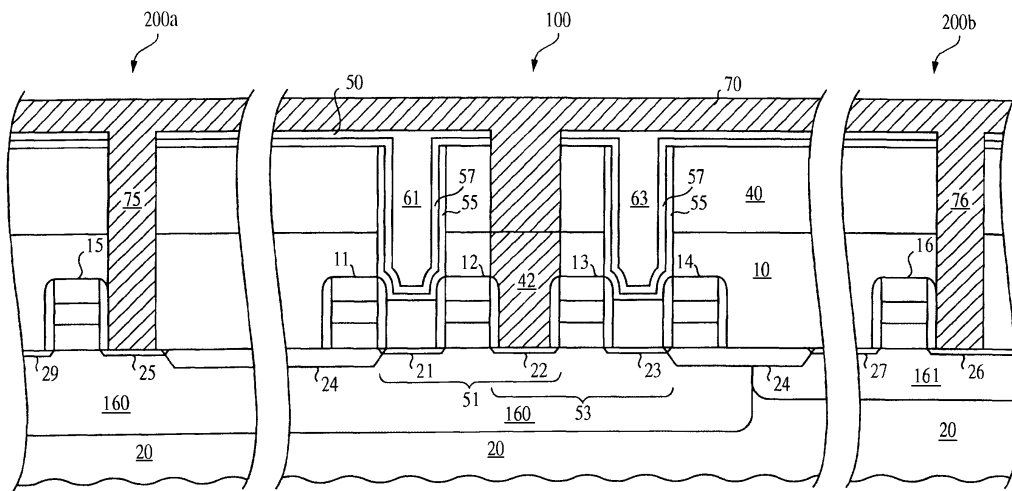
도면5



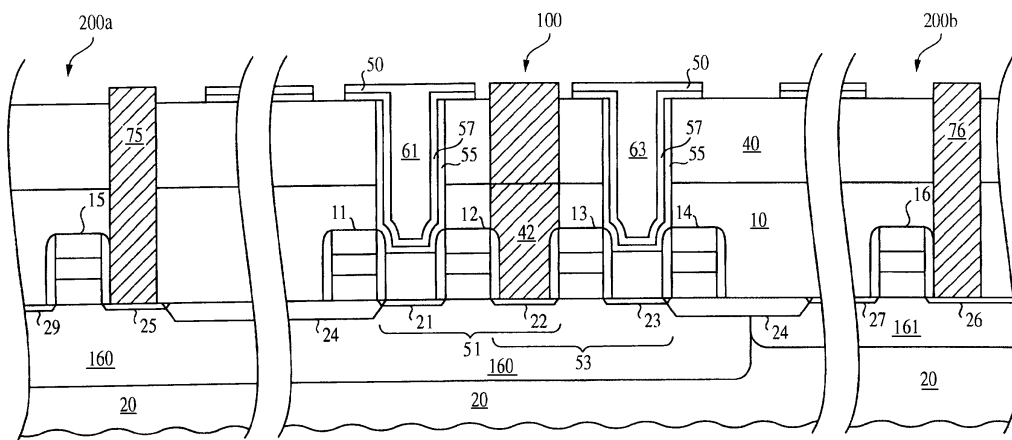
도면6



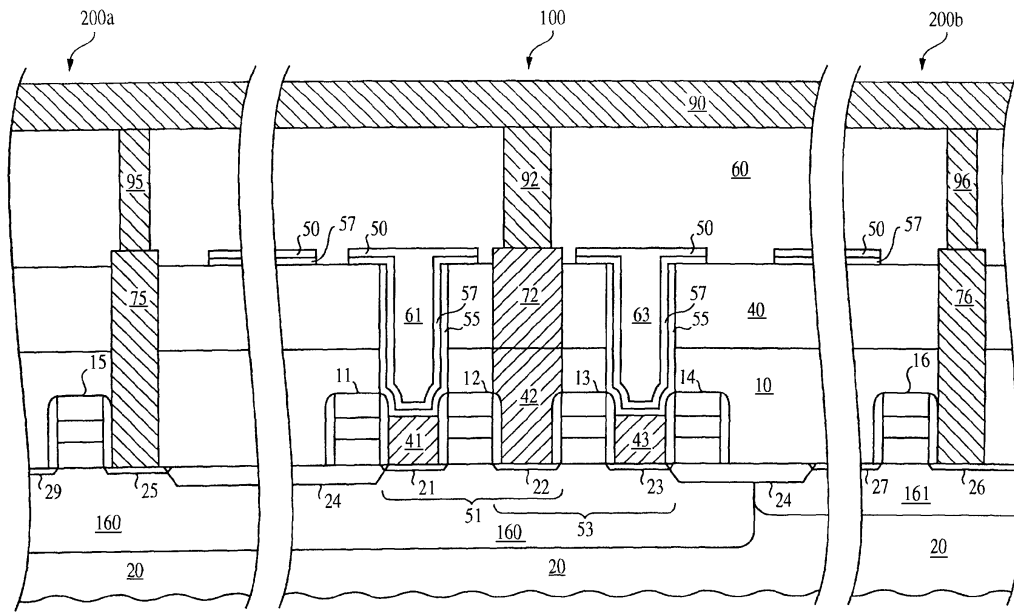
도면7



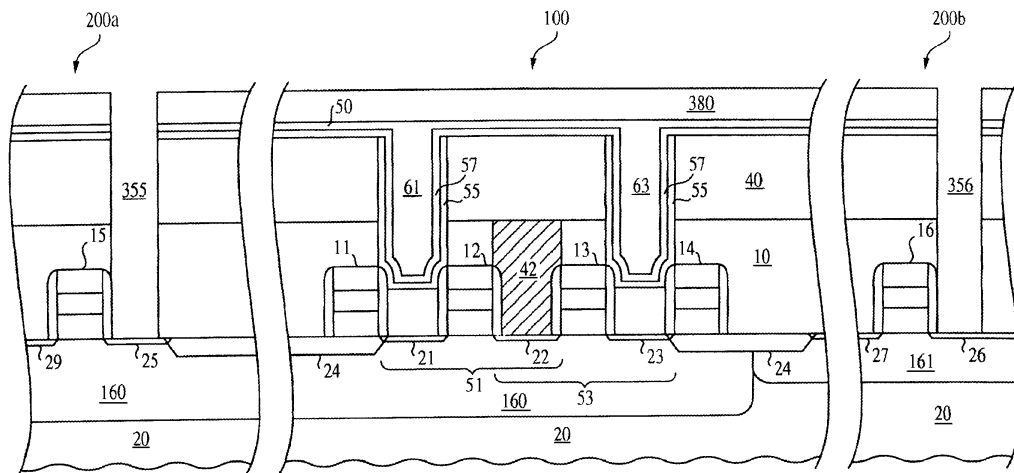
도면8



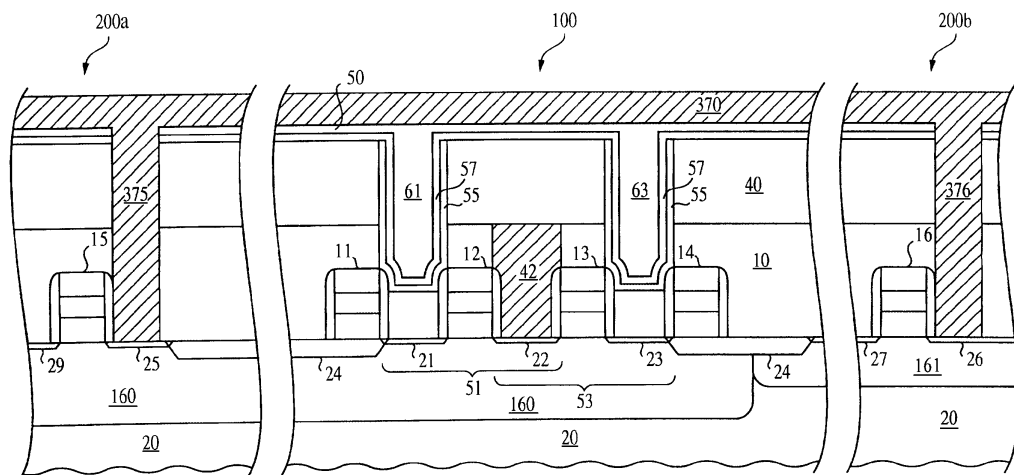
도면9



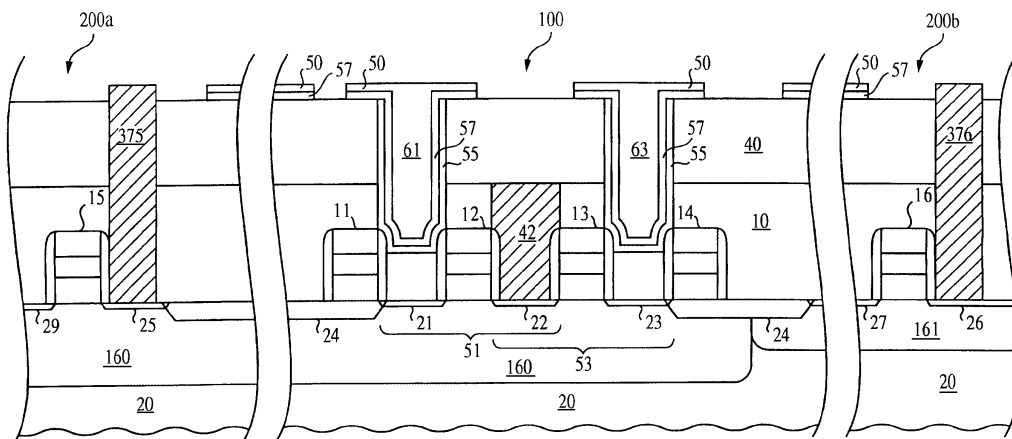
도면10



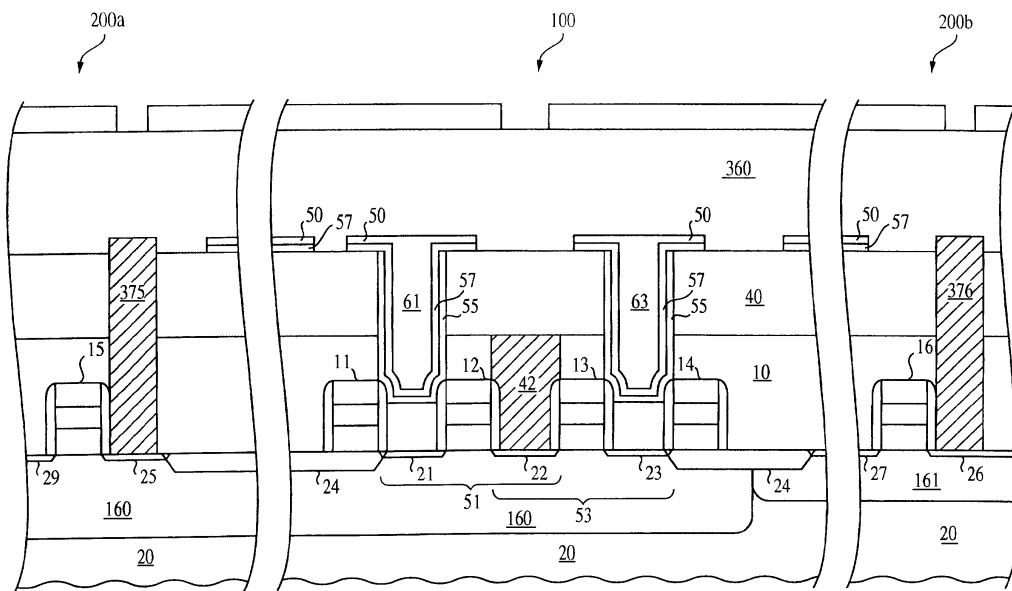
도면11



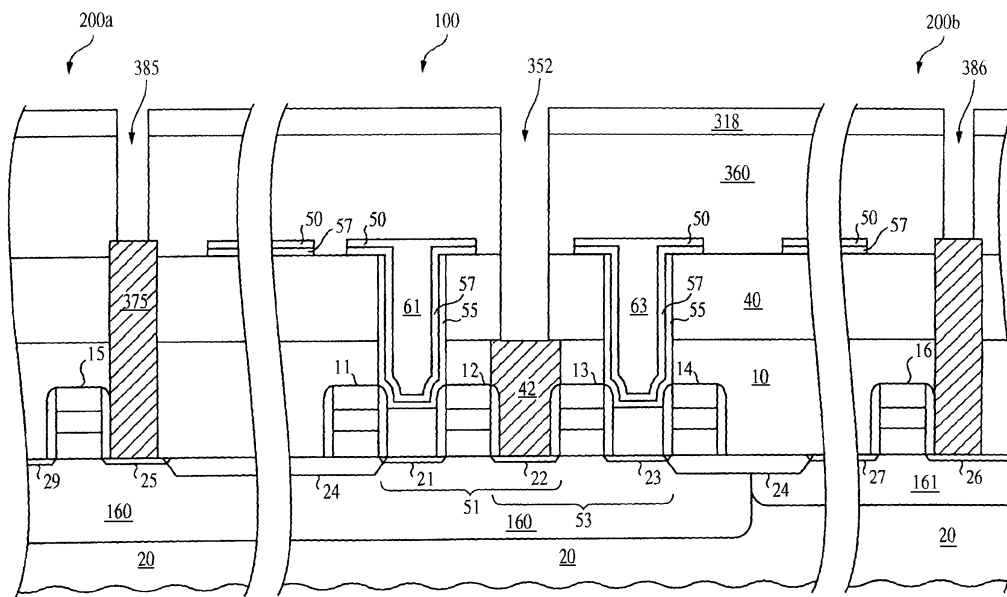
도면12



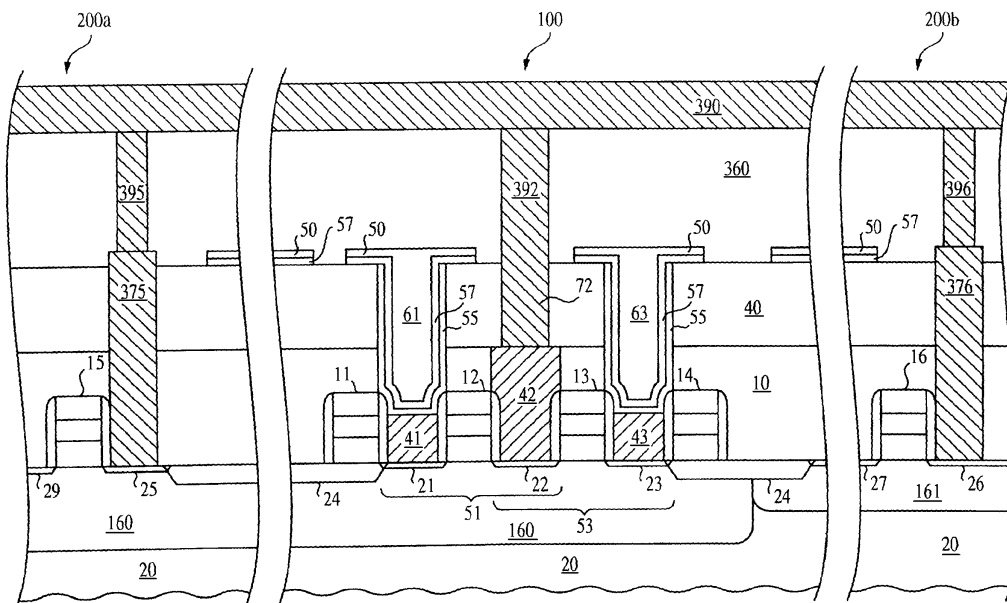
도면13



도면14



도면15



도면16

