

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第4070831号  
(P4070831)

(45) 発行日 平成20年4月2日 (2008.4.2)

(24) 登録日 平成20年1月25日 (2008.1.25)

(51) Int.Cl.  
H04N 5/46 (2006.01)

F I  
H04N 5/46

請求項の数 1 (全 13 頁)

(21) 出願番号	特願平7-301686	(73) 特許権者	391000818
(22) 出願日	平成7年11月20日 (1995.11.20)		トムソン コンシューマ エレクトロニク
(65) 公開番号	特開平8-223501		ス インコーポレイテッド
(43) 公開日	平成8年8月30日 (1996.8.30)		THOMSON CONSUMER EL
審査請求日	平成14年11月18日 (2002.11.18)		ELECTRONICS, INCORPOR
(31) 優先権主張番号	342280		ATED
(32) 優先日	平成6年11月18日 (1994.11.18)		アメリカ合衆国 インディアナ州 462
(33) 優先権主張国	米国 (US)		90-1024 インディアナポリス ノ
(31) 優先権主張番号	501752		ース・メリディアン・ストリート 103
(32) 優先日	平成7年7月12日 (1995.7.12)		30
(33) 優先権主張国	米国 (US)	(74) 代理人	100077481
			弁理士 谷 義一
		(74) 代理人	100088915
			弁理士 阿部 和夫

最終頁に続く

(54) 【発明の名称】 衛星伝送と、地上伝送と、ケーブル伝送されたデジタルTVデータを復調し復号化する方法

(57) 【特許請求の範囲】

【請求項 1】

少なくとも一つのトレリス符号フォーマットと少なくとも一つのパンクチャド符号フォーマットを含む複数の符号化フォーマットのうちの少なくとも一つの符号化フォーマットで符号化された圧縮デジタル・データを表すとともに、複数の変調フォーマットのうちの一つの変調フォーマットを示す変調信号を多種類の伝送チャネルのうちの少なくとも一つから受信するシステムにおける方法であって、

QAMとPSKとを含む複数の変調フォーマットから復調用の変調フォーマットを選択すること、

前記選択された変調フォーマットにしたがって、前記変調信号を復調し、復調された出力信号を生成すること、

前記複数の符号化フォーマットのうちの、前記圧縮デジタル・データが符号化されている前記少なくとも一つの符号化フォーマットを決定すること、および

前記少なくとも一つの決定された符号化フォーマットにしたがって、前記復調された信号を復号化し、復調され復号化された信号を生成すること

を含むことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、衛星伝送、地上伝送、ケーブル伝送されたデジタルTVデータのマルチチ

10

20

ャネル受信装置で使用するのに適したデジタル信号処理方法に関する。

【 0 0 0 2 】

なお、本明細書の記述は本件出願の優先権の基礎たる米国特許出願第 3 4 2 , 2 8 0 号 ( 1 9 9 4 年 1 1 月 1 8 日出願 ) および米国特許出願第 5 0 1 , 7 5 2 号 ( 1 9 9 5 年 7 月 1 2 日出願 ) の明細書の記載に基づくものであって、当該米国特許出願の番号を参照することによって当該米国特許出願の明細書の記載内容が本明細書の一部を構成するものとする。

【 0 0 0 3 】

【従来の技術】

Viterbi アルゴリズム・ベースの畳み込み復号化器としての分岐メトリック・コンピュータを含む受信装置に、符号化されたデジタル・データを、ノイズの多いチャネルを介して送信機から送信するのに、畳み込み符号化を含む順方向エラー訂正を使用するのは、この技術分野では公知のことである。Viterbi アルゴリズムは、ノイズの多いチャネルを介して送信される畳み込み符号化されたビットのシーケンスを復号化するのに、極普通に用いられている。一連の繰り返し加算 - 比較 - 選択オペレーションが、Viterbi アルゴリズムの中心となっている。このオペレーションでは、復調器からの各受信シンボルに対して計算されたあるメトリックス ( 分岐メトリックスという ) が、入力として受信される。このような計算は、高データ・レートの信号を衛星伝送する場合や、ケーブル伝送する場合や、地上伝送する場合には、非常に高いレートで行う必要がある。さらに、異なるチャネルを介して、異なる ( しかし、関係のある ) 符号化方式で動作するモデム / 復号化器では、分岐メトリックスを計算するコストは、これらの計算を行うためのルックアップ・テーブル・メモリや実際のハードウェアの点で過大になっている。

【 0 0 0 4 】

衛星伝送チャネルの場合には、普通、受信装置の畳み込み復号化器に知られた幾つかの特定のパンクチャドQPSK(punctured quaternary phase shift keying) 符号が送信される。地上またはケーブル伝送チャネルの場合には、普通、受信装置の畳み込み復号化器に知られた幾つかの特定のプラグマティック・トレリス符号(pragmatic trellis code) ( 例えば、QAM(quadrature amplitude modulation ) 符号か、PAM(phase amplitude modulation) 符号か、あるいは、PSK(phase shift keyed) 符号のような符号 ) が送信される。例えば、従来技術では、プラグマティック・トレリス符号がHDTV(high definition television)をQA M 伝送するための実際の符号として使用されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

従来では、Viterbi アルゴリズムをベースとする畳み込み復号化器としての分岐メトリック・コンピュータを含む受信装置は、単一の予め定めたタイプの畳み込み符号のみで動作するように設計されているのが典型的であった。しかし、マルチチャネル・デジタルTV 受信装置が、近い将来、大量生産マーケットに投入され、やがて、現在使用されているアナログTV 受信装置と置き換えられていく可能性がある。TV 受信装置への直接放送衛星伝送は、TV 受信装置への地上伝送およびケーブル伝送に加えて、既に利用可能である。従って、望ましいことは、このようなマルチチャネル・デジタルTV 受信装置の畳み込み復号化器が、符号のタイプ ( 必要に応じて、パンクチャド符号またはプラグマティック・トレリス符号のどちらか ) と、マルチチャネル・デジタルTV 受信装置がそのとき受信したチャネルの変調のタイプ ( 必要に応じて、QPSKと8-PSK の両方を含むPSK か、PAM か、あるいはQAM のいずれか ) とに選択的に応答することである。さらに、大量生産された受信装置は、コストの削減と、複雑さの軽減とを念頭において設計する必要がある。

【 0 0 0 6 】

【課題を解決するための手段】

本発明者は、例えば、デジタルTV 信号処理システムのコンテキスト内で、複数の復調機能と復号化機能を、単一の信号処理デバイスに効果的に適合させることができることを認識した。本発明の原理に従って、開示されたデジタル信号処理装置は、様々なタイ

10

20

30

40

50

プの復調機能と復号化機能を組み込んだ選択的な復調および復号化の要素を提供する。その結果、単一の信号処理ネットワークが、様々な信号フォーマットの信号、例えば、衛星、地上波およびケーブルTV信号のような信号を復調し復号化することができる。

【0007】

複数タイプの伝送チャネルから変調ビデオ信号を受信するシステムでは、本発明の原理による装置は、復調され復号化された出力信号を出力する。受信されたビデオ信号は、圧縮デジタル・ビデオ情報、例えば、TVピクチャ情報のような情報を表し、複数の符号化フォーマットのうちの1つ符号化フォーマットで符号化されている。また、受信されたビデオ信号は複数の変調フォーマットのうちの1つの変調フォーマットで変調されている。

【0008】

本発明に係る装置は、複数の変調フォーマットのうちの1つの変調フォーマットで変調された受信ビデオ信号を選択的に復調し、復調信号を出力する復調器を含む。本発明に係る装置は、複数の符号化フォーマットのうちの1つの符号化フォーマットで符号化された変調信号を選択的に復号化する復号化器も含む。

【0009】

本発明の特徴によれば、復調器はPAM、QAMまたはPSKにより変調されたビデオ信号を選択的に復調する。

【0010】

本発明の別の特徴によれば、選択的復号化器はトレリスまたはパンクチャド符号フォーマットで符号化された復調信号を復号化する。

【0011】

本発明のさらに別の特徴によれば、選択的復号化器は、複数の符号レートから選択された符号レートで復調信号を復号化する。

【0012】

本発明に係る復号化器は、説明上、分岐メトリック・コンピュータとViterbi復号化器を含む畳み込み復号化器である。第1の実施の形態では、この分岐メトリック・コンピュータは、供給されたQPSKパンクチャド符号化されたI、Q信号入力か、あるいは、複数のPAMまたはQAM上位アルファベット・プラグマティック・トレリス符号化されたI、Q信号入力のいずれかで動作するようにプログラムすることができる。第2の実施の形態では、この分岐メトリック・コンピュータは、さらに、供給された8-PSKトレリス符号化されたI、Q信号入力でも動作するように選択的にプログラムすることができる。

【0013】

分岐メトリック・コンピュータは、説明上、 $2^x$ ビットI信号入力と $2^x$ ビットQ信号入力を有し、(1) $2^x$ 記憶ロケーションの実効デプス(depth)をもち、プリロードされた少なくとも1つのI定義ルックアップ・テーブルと少なくとも1つのQ定義ルックアップ・テーブルの4mビット幅のエントリを各記憶ロケーションにストアするだけの幅をもつRAMと、(2)少なくとも4つの加算器からなるグループと、(3)このグループの4加算器からの各和出力を畳み込み復号化器のViterbi復号化器に転送する手段とを備えている。

【0014】

第2の実施の形態では、RAMの幅は、2つのプリロードされたI定義ルックアップ・テーブルと2つのQ定義ルックアップ・テーブルの4mビット幅のエントリを各記憶ロケーションにストアするのに十分な幅になっている。少なくとも4つの加算器からなるグループは、それぞれ4つの加算器からなる第1組と第2組により編成された8つの加算器を含む。また、このグループの4つの加算器からの各和出力を畳み込み復号化器のViterbi復号化器に転送する手段は、4つのコンパレータを含む。4つのコンパレータは、それぞれ、第1組と第2組の加算器のうちの対応する加算器からの小さい方の和出力をViterbi復号化器に転送するようになっている。

【0015】

【発明の実施の形態】

10

20

30

40

50

図 1 に示すように、マルチチャネル圧縮ディジタルTV (television) 受信装置 100 は、複数の異なるチャネルを介して伝送されたディジタル符号化TV データを選択的に受信することができる。これらのチャネルとして、順方向エラー訂正TV 送信装置 104 からディジタル符号化TV データを伝送する衛星伝送チャネル 102 と、順方向エラー訂正TV 送信装置 108 からディジタル符号化TV データを伝送する地上伝送チャネル 106 と、順方向エラー訂正TV 送信装置 112 からディジタル符号化TV データを伝送するケーブル伝送チャネル 110 がある。この分野では公知であるが、送信装置の順方向エラー訂正には、既に符号化された圧縮ディジタルTV データの連続送信されるシンボル・パケットを畳み込み符号化することが含まれる。

【0016】

これもこの分野では公知であるが、QSPKベースのパンクチャド符号は、畳み込み符号化データを衛星チャネルを介して伝送するのに採用されるのが典型的であり、上位アルファベット（すなわち、8、16、32、64、128 および 256） $n/n+1$  プラグマティック・トレリス符号は、畳み込み符号化データを地上チャネルまたはケーブル・チャネルを介してPAMベースの伝送か、PSKベースの伝送か、あるいはQAMベースの伝送をするのに採用されるのが典型的である。そのため、マルチチャネル受信装置 100 は、マルチチャネルのうち選択され受信に供されているチャネルに依存して、次のような畳み込み復号化器を導入する必要がある。すなわち、QSPKベースのパンクチャド符号か、あるいは、PAMベース、PSKベースまたはQAMベースの上位アルファベット $n/n+1$  プラグマティック・トレリス符号のうちの一方を復号化することができる畳み込み復号化器を導入する必要がある。

【0017】

特に、マルチチャネル受信装置 100 はディジタル処理装置を備えている。このディジタル処理装置は、図 2 に示すように、受信装置畳み込み復号化器 200 を含み、この分野では公知であるが、一連の連続受信された畳み込み符号化シンボル・パケットを、信号入力データとして、受信装置畳み込み復号化器 200 に供給する受信装置復調器 202 を含む。このデータの連続受信されたシンボル・パケットは、それぞれ、同位相（I）プレーン、直角位相（Q）プレーン内のポイントを定義している。マルチチャネル受信装置 100 のディジタル処理装置は、さらに、マイクロコントローラを備えている。このマイクロコントローラは制御入力を受信装置畳み込み復号化器 200 に供給するマイクロコントローラ・インタフェース 204 を含む。

【0018】

図 3 に、本発明で採用した受信装置畳み込み復号化器 200 を構成する構成要素相互間の関係を示すとともに、これら構成要素の外部マイクロコントローラ・インタフェース 204 による制御を示す。図 3 に示すように、受信装置畳み込み復号化器 200 は、同期回路 300 と、ダミー・データ・インサータ 302 と、分岐メトリック・コンピュータ 304 と、Viterbi 復号化器 306 と、畳み込み符号化器 308 と、トレリス・デマッパ 310 と、遅延ロジック 312 と、同期モニタ 314 と、選択手段 316 により構成されている。マイクロコントローラ・インタフェース 204 は、畳み込み符号化器が、パンクチャド符号の復号化器か、あるいは、トレリス符号の復号化器のいずれかとして動作するように構成した前記構成要素に、仕様のリストを供給する。図 4 と図 5 は、それぞれ、図 3 に示す畳み込み復号化器の構成要素が（1）パンクチャド符号の復号化器として動作するか、（2）トレリス符号の復号化器として動作するかを説明するための説明図である。

【0019】

復調器 202 からの出力データは、I、Q 入力データとして同期回路 300 に供給される。説明の便宜上、I データと Q データは、それぞれ、6 ビットで定義するものとする。すなわち、入力データは総計 12 本の並列入力コンダクタ上に供給される。よって、I、Q プレーンの  $64 \times 64 = 4096$  個のポイントを、それぞれ、12 ビット入力データのうちの 6 ビット I 成分と 6 ビット Q 成分により定義することができる。同期回路 300 はクロック入力とクロック・イネーブル (Clk Enb) 入力も受信する。さらに、同期回路 300 はマイクロコントローラ・インタフェース 204 から制御データを受信するとともに、マイクロコ

10

20

30

40

50

ントローラ・インタフェース 20 にデータを供給し、同期モニタ 314 に直接結合されている。

#### 【0020】

構成要素 302, 304, 306, 308 および 310 には、それぞれ、制御データがマイクロコントローラ・インタフェース 204 から供給される。さらに、図 3 には図示していないが、構成要素 302, 304, 306, 308 および 310 にクロックが供給されている。適正に同期をとった I データと Q データは、データ入力クロック・イネーブル (DICE) と、データ出力クロック・イネーブル (DOCE) に応答して、同期回路 300 からダミー・データ・インサータ 302 を介して分岐メトリック・コンピュータ 304 に転送される。さらに、適正に同期をとった I データと Q データは、遅延ロジック 312 を介して

10

#### 【0021】

ダミー・データ・インサータ 302 は、主に、パンクチャド符号のために使用され、このようなパンクチャド符号に対して、指定された削除マップに対応するダミー・データを挿入することを担当している。トレリス符号の場合は、ダミー・データ・インサータ 302 は、単に、入力データをその出力端子に渡すだけである。符号および対応する削除マップの選択は、マイクロコントローラ・インタフェース 204 を通してダミー・データ・インサータ 302 へ伝達される。ダミー・データ・インサータ 302 は、採用した符号化方式に依存するレート of 内部クロックで、データをクロックアウトする。入力データと出力データのレートは、(パンクチャド符号の場合) 異なるので、データ入力クロック・イネーブル (DICE) 信号と、データ出力クロック・イネーブル (DOCE) 信号は、一義的である。DICE 信号は受信装置復調器 202 からのクロック・イネーブルであり、一方、DOCE 信号はダミー・データ・インサータ 302 で生成される (しかも、クロック信号から取り出される)。特に、ダミー・データ・インサータ 302 は、FIFO 記憶機構と、適正なロケーションのソフト判定サンプルに書き込むための書き込みクロックと、分岐メトリック計算のためにデータを読み出すための読み出しクロック (読み出しクロックは書き込みクロックよりもレートが高く、そのクロッキング・レートのために使用されたパンクチャド符号化に依存する) からなる。ダミー・サンプルは読み出される前に適正なロケーションにも挿入される。

20

#### 【0022】

分岐メトリック・コンピュータ 304 (分岐メトリック・コンピュータ 304 の詳細は図 6 および図 7 を参照して後程説明する) は、連続して受信されたシンボル・パケットにそれぞれ応答して 4 個の 5 ビット出力を別々に出力する。これら 4 個の出力と、分岐メトリック・コンピュータ 304 からの DOCE 信号は、Viterbi 復号化器 306 の入力として入力される。Viterbi 復号化器 306 は、レートが  $R = 1/2$  であって、制約長が  $k = 7$  の復号化器であり、パンクチャド符号と、トレリス符号に対して Viterbi アルゴリズムを実行する。このアルゴリズムでは、分岐メトリック・コンピュータ 304 からの 5 ビット・メトリック入力を用いて、状態が更新され、ビット判定が行われる。Viterbi 復号化器 306 は加算・比較・選択 (ACS) 手段と、パス・メトリック記憶手段を採用し、トレリスで、各レベルのサバイバ・パス (survivor path) 用のメモリを採用している。さらに、Viterbi 復号化器 306 は、累積されたメトリックのビルドアップと、オーバフローを回避するため、メトリック再正規化も担当している。

30

40

#### 【0023】

Viterbi 復号化器 306 からの 1 ビット出力は、畳み込み符号化器 308 の入力として入力される。トレリス符号およびパンクチャド符号に対して、畳み込み符号化器 308 は、レート  $1/2$  の埋込み符号のうちの 2 つの送信された符号の最良推測 (best estimate) を再生成するのにサブする。また、畳み込み符号化器 308 からの出力は同期モニタ 314 にも入力され、パンクチャド符号の同期ステータスを検査する際に使用される。さらに、Viterbi 復号化器 306 からの 1 ビット出力は、選択手段 316 の入力として入力される。

50

## 【 0 0 2 4 】

畳み込み符号化器 3 0 8 からの 2 ビット出力は、トレリス・デマッパ 3 1 0 に供給される。トレリス・デマッパ 3 1 0 は図 5 に示すオペレーションのトレリス符号化モードに対してシンボル判定を行うことを担当する。オペレーションがトレリス符号化モードである場合は、トレリス・デマッパ 3 1 0 は、サブセットを選択するために、畳み込み符号化器 3 0 8 からの 2 ビット出力を用い、同様に、遅延ロジック 3 1 2 を介してトレリス・デマッパ 3 1 0 に転送された、遅延された I , Q 受信シンボル・データを用いて、シンボル判定を行う。トレリス・デマッパ 3 1 0 からの 6 ビット出力は、同期モニタ 3 1 4 と選択手段 3 1 6 の両方の入力として入力される。

## 【 0 0 2 5 】

遅延ロジック 3 1 2 は Viterbi 復号化器 3 0 6 / 符号化器 3 0 8 と、関連する回路とによる遅延を相殺し、符号化器 3 0 8 の出力端子に現れたデータ・ストリームを、受信されたシンボル・ストリームと同期させる。マイクロコントローラ・インタフェース 2 0 4 からの制御入力は、Viterbi 復号化器の 4 つの可能なパス・メモリ長のうちの 1 つを選択する。Viterbi 復号化器は遅延ロジック 3 1 2 の遅延時間を適正に選択するためにも使用される。

## 【 0 0 2 6 】

同期モニタ 3 1 4 は、同期回路 3 0 0 と、トレリス・デマッパ 3 1 0 からの出力と、符号化器 3 0 8 と、遅延ロジック 3 1 2 からの出力と、マイクロコントローラ・インタフェース 2 0 4 とに結合されている。同期モニタ 3 1 4 はマイクロコントローラ・インタフェース 2 0 4 からの監視インターバル指定とともに、分岐メトリック情報を使用し、同期ステータスを判定する。また、同期モニタ 3 1 4 は任意指定の自動同期をとるため、情報を同期回路 3 0 0 に供給する。オペレーションの自動同期モードでは、内部同期回路が採用され、同期化機能をパフォームする。あるいはまた、同期は外部回路からとることもできる。同期モニタ 3 1 4 は位相のあいまいさを解決するため、信号を復調器に供給する。この信号は、受信装置復調器 2 0 2 での位相のあいまいさを相殺する目的だけに使用される。さらに、同期モニタは、復調された同期信号を出力する。この同期信号は受信装置 1 0 0 の下流側コンポーネントによって使用される。

## 【 0 0 2 7 】

選択手段 3 1 6 は、Viterbi 復号化器 3 0 6 の 1 ビット出力と、トレリス・デマッパ 3 1 0 の 6 ビット出力を受信する。選択手段 3 1 6 は、畳み込み復号化器がトレリス符号モードで動作しているときは、これらの 7 ビットを全てその出力端子に転送し、畳み込み復号化器がバンクチャド符号モードで動作しているときは、Viterbi 復号化器 3 0 6 の出力からの 1 ビットのみを、選択手段 3 1 6 の出力端子に転送する。この出力データはクロックおよび DOCE 信号とともに、選択手段 3 1 6 から供給され、受信装置 1 0 0 の下流側コンポーネントによって使用される。

## 【 0 0 2 8 】

分岐メトリック・コンピュータ 3 0 4 の構造は、R A M (random access memory) 4 0 0 と、メモリ・バンク 0 , 1 の I , Q 加算器 4 0 2 と、メモリ・バンク 0 , 1 の I , Q コンパレータ 4 0 4 を備えている。R A M 4 0 0 は ROM (read-only\_memory) でも可能である。R A M 4 0 0 には、マイクロコントローラ・インタフェース 2 0 4 から、制御入力として入力された、プログラマブルで、事前に計算された I , Q ルックアップ・テーブルが、初期化フェーズ中にプリロードされる。( QPSK ベースのバンクチャド符号化シンボルをデバンクチャする ) ダミー・データ・インサータ 3 0 2 から、信号入力として R A M 4 0 0 に転送された I , Q 信号に回答して、これらのルックアップ・テーブルの I , Q エントリのうちの選択されたエントリが R A M 4 0 0 からの出力として読み出され、入力としてメモリ・バンク 0 , 1 の I , Q 加算器 4 0 2 に入力される。メモリ・バンク 0 , 1 の I , Q 加算器 4 0 2 からの出力は、入力としてメモリ・バンク 0 , 1 の I , Q コンパレータ 4 0 4 へ送られ、メモリ・バンク 0 , 1 の I , Q コンパレータ 4 0 4 からの出力は、入力として Viterbi 復号化器 3 0 6 に転送される。

10

20

30

40

50

## 【 0 0 2 9 】

特に、RAM 4 0 0 は、機能的には、図 7 に示すように、メトリック・メモリ・バンク 0 と、メトリック・メモリ・バンク 1 により編成されている。メモリ・バンク 0 は、1 番目の I サブセット 0 0 と 1 番目の Q サブセット 0 0 とを備えた第 1 サブセット・ペアと、2 番目の I サブセット 0 1 と 2 番目の Q サブセット 0 1 とを備えた第 2 サブセット・ペアと、3 番目の I サブセット 1 1 と 3 番目の Q サブセット 1 1 とを備えた第 3 サブセット・ペアと、4 番目の I サブセット 1 0 と 4 番目の Q サブセット 1 0 を備えた第 4 サブセット・ペアにより構成されている。メモリ・バンク 1 も I, Q サブセットの 4 つの同様のペアにより構成されているので、総計 8 ペアの I, Q サブセットが RAM 4 0 0 に供給される。8 個の I サブセットは、それぞれ、RAM 4 0 0 への I 信号入力を受信し、8 個の Q サブセットは、それぞれ、RAM 4 0 0 への Q 信号入力を受信する。一般的に、I, Q 信号入力は、それぞれ、 $x$  ビット信号である（特に、図 3 に示す例では、6 ビット信号と仮定する）。8 個の I サブセットは、それぞれ、 $m$  ビット出力を取り出し（説明上、4 ビット信号出力と仮定する）、8 個の Q サブセットは、それぞれ、 $m$  ビット信号出力を取り出す。

## 【 0 0 3 0 】

RAM 4 0 0 からの 8 個の I, Q 信号出力（ $m$  ビット）は、全て、メモリ・バンク 0, 1 の I, Q 加算器 4 0 2 の各加算器の入力として転送される。特に、バンク 0 の第 1 サブセット・ペアからの 2 つの出力は、第 1 および第 2 入力として加算器 4 0 2 - 1 に供給される。バンク 0 の第 2 サブセット・ペアからの 2 つの出力は、第 1 および第 2 入力として加算器 4 0 2 - 2 に供給される。バンク 0 の第 3 サブセット・ペアからの 2 つの出力は、第 1 および第 2 入力として加算器 4 0 2 - 3 に供給される。バンク 0 の第 4 サブセット・ペアからの 2 つの出力は、第 1 および第 2 入力として加算器 4 0 2 - 4 に供給される。バンク 1 の第 1 サブセット・ペアからの 2 つの出力は、第 1 および第 2 入力として加算器 4 0 2 - 5 に供給される。バンク 1 の第 2 サブセット・ペアからの 2 つの出力は、第 1 および第 2 入力として加算器 4 0 2 - 6 に供給される。バンク 1 の第 3 サブセット・ペアからの 2 つの出力は、第 1 および第 2 入力として加算器 4 0 2 - 7 に供給される。バンク 1 の第 4 サブセット・ペアからの 2 つの出力は、第 1 および第 2 入力として加算器 4 0 2 - 8 に供給される。（ $m + 1$ ）ビット出力信号（すなわち、5 ビット信号と仮定する）は、それぞれ、8 個の加算器からそれぞれ取り出される。

## 【 0 0 3 1 】

加算器からの 8 個の（ $m + 1$ ）ビット出力信号は、全て、入力として、メモリ・バンク 0, 1 の I, Q コンパレータ 4 0 4 の各コンパレータに転送される。特に、加算器 4 0 2 - 1 および 4 0 2 - 5 からの出力は、第 1 および第 2 入力として、コンパレータ 4 0 4 - 1 に供給される。加算器 4 0 2 - 2 および 4 0 2 - 6 からの出力は、第 1 および第 2 入力として、コンパレータ 4 0 4 - 2 に供給される。加算器 4 0 2 - 3 および 4 0 2 - 7 からの出力は、第 1 および第 2 入力として、コンパレータ 4 0 4 - 3 に供給される。加算器 4 0 2 - 4 および 4 0 4 - 8 からの出力は、第 1 および第 2 入力として、コンパレータ 4 0 4 - 4 に供給される。これらコンパレータは、それぞれ、2 個の（ $m + 1$ ）ビット入力のうちの小さい方の値を、その出力端子に渡す。4 個のコンパレータからの各出力は、分岐メトリック・コンピュータ 3 0 4 からの出力を構成し（すなわち、4 個の 5 ビット出力と仮定する）、Viterbi 復号化器 3 0 6 の入力として供給される。

## 【 0 0 3 2 】

構造的には、RAM 4 0 0 は、ビット記憶サイズは固定であり、実効デプス(depth) が  $2^x$  個の記憶ロケーションである（すなわち、この仮定例では、ロケーション 1 ないし 6 4 に対応し、 $x = 6$  である）。RAM 4 0 0 のバンク 0 への I, Q 信号入力と、バンク 1 への I, Q 信号入力は、それぞれ、個々のルックアップ・テーブルと関係付けてある。RAM 4 0 0 の幅は、予め計算された 4 個の  $4m$  ビット幅（この仮定例では、 $m = 4$  である）のルックアップ・テーブルをストアするのに十分な幅になっている。ルックアップ・テーブルはそれぞれ  $2^x$  個のエントリにより構成されており、これらエントリはプログラマブル I, Q ルックアップ・テーブル制御入力端子を介してルックアップ・テーブルに供給

10

20

30

40

50

される。従って、RAM 400のビット記憶サイズは、 $(2^X)(4)(4m)$ である。すなわち、この仮定例では、ビット記憶サイズは4096ビットである。パンクチャドQPSKベースの符号をインプリメントする場合の技法は、最大のI, Q値を渡し、パンクチャド・メトリックスをルックアップ・テーブル内の適正なロケーションにストアするという簡単な技法である。このため、実際のI, Qデータをクリッピングする必要があるが、このクリッピングは復号化器200のフロントエンドでハンドルすることができる。さらに、ルックアップ・テーブルは、有意性の低い方のI, Q信号データを無視することにより、所望の最大分岐メトリック値を許容するようにプログラムすることができる。

#### 【0033】

上述したように、分岐メトリック・コンピュータ304は、Viterbi アルゴリズム・ベースの畳み込み復号化器200のコンポーネントである。畳み込み復号化器200は、ノイズの多いチャネルを介しての衛星モデムのオペレーションに対して、QPSKベースのパンクチャド符号を復号化するために用いられ、一方、ノイズの多いチャネルを介しての地上またはケーブルのオペレーションに対して、上位アルファベット(16と、32と、64と、128と、256 PAM またはQAM または8-PSK)ベースのレート $n/n+1$ ・プラグマティック・トレリス符号を復号化するために用いられる。公知のように、チャネル・ノイズのために、I, Qプレーン内の受信復調シンボルのロケーション・ポイントは、I, Qプレーン内の送信ロケーション・ポイントからずれることになる。連続して受信された復調シンボルのI, Qプレーン内のロケーション・ポイントは、RAM 400へのI, Q信号入力によって、 $2^{2x}$ (すなわち、この仮定例では、 $64 \times 64 = 4096$ である)の解像度で定義されている。RAM 400に関して注意すべき重要なことは、そのメモリ必要量がアルファベット・サイズに依存しないことである。

#### 【0034】

現在受信された復調シンボルに対応する0バンクのI, Qルックアップ・テーブルのそれぞれの4mビット(この仮定例では、4ビット)エントリにより、次のように定義されている。すなわち、現在受信された復調シンボルのロケーション・ポイントを取り巻く、4つの特定の有効シンボル・データ点配置サブセットの各ロケーション・ポイントのI, Qプレーンにおいて、現在受信された復調シンボルのロケーション・ポイントからの個々の距離のI成分とQ成分を定義している。

#### 【0035】

QPSKの場合(この場合には、各サブセット・ロケーション・ポイントは単一のシンボル・ロケーション・ポイントのみを定義している)と、上位アルファベットPAM またはQAM の場合(この場合には、各サブセット・ロケーション・ポイントはViterbi 復号化器206が必要とするそのアルファベット内のシンボルの1/4のサブセットのロケーションに対応しており、トレリス・デマップ310は、そこに供給された遅延受信データに基づいてサブセット内の正しいポイントを選択する)には、単一のI成分とQ成分は、4つのサブセットがあいまいなく定義される。そのため、これらの場合には、RAM 400のバンク0のみが必要である。しかし、8-PSK の場合には、独立に使用された単一のI成分と単一のQ成分は、4つのシンボル・サブセットをあいまいなく定義するには不十分である。そのため、8-PSK の場合には、バンク0を用いて、 $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ ロケーション・ポイントが定義される。バンク1(これは上述したバンク0のそれと同じように動作する)を用いて、 $45^\circ$ 、 $135^\circ$ 、 $225^\circ$ 、 $315^\circ$ ロケーション・ポイントが定義される。コンパレータ404-1~404-4は、RAM 400のバンク0とバンク1の両方から取り出されたデータを採用しており、コンパレータ404-1~404-4を用いて、次に説明するように、このあいまいさが解決される。

#### 【0036】

加算器402-1~402-8は、RAM 400から読み出された有効なデータ点配置のロケーション・ポイントまでの距離のI成分とQ成分を用いて、8個のサブセットによりそれぞれ定義されたいわゆるマンハッタン距離( $I+Q$ )を計算する。このマンハッタン距離の割当ては、真のユークリッド距離( $I^2+Q^2$ )<sup>1/2</sup>ではないが、I, Qプレーン内

10

20

30

40

50



の近い方のポイントに対する重み付けを、受信されたシンボル・ロケーション・ポイントからより遠く離れた I, Q プレーン内のポイントよりも大きくした距離尺度である。マンハッタン距離メトリックは、I, Q の 2 次元空間内の 2 つのポイントの I, Q 座標間の差の和を用いる。この距離尺度は距離に対してモノトニック（単調）であるが、ポイントへの重み付けは、距離が計算されているポイントに対する位置により異なる。しかし、マンハッタン距離メトリックを用いることにより、I, Q 座標に対する演算が切り離され、独立に行われる。よって、任意の受信ロケーション・ポイントから有効なデータ点配置のロケーション・ポイントまでの可能な距離をストアするのに必要なメモリ量が大幅に削減される。

#### 【0037】

コンパレータ 404 - 1 ~ 404 は、それぞれ、バンク 0 とバンク 1 から供給された 2 つのメトリックのうちの小さい方のメトリックを入力として渡すように設計されている。従って、8-PSK ベースの符号の場合は、コンパレータ 404 - 1 ~ 404 - 2 は、それぞれ、バンク 0 またはバンク 1 からのメトリック入力のうちどちらが小さいかにより、どちらかのメトリック入力を出力として得ることになる。しかし、QPSK、PAM または QAM ベースの符号の場合には、RAM 400 のバンク 1 にストアされた I, Q ルックアップ・テーブルは、最大値のメトリックが入るようにプログラムされているので、これらは実効的にはインアクティブになっている。従って、コンパレータ 404 - 1 ~ 404 - 4 は、それぞれ、RAM 400 のバンク 0 から選択されたメトリックを渡すようになっている。8-PSK ベースの符号を受信するには設計されていないマルチチャネル受信装置では、これらのコンパレータと RAM 400 のメモリ・バンク 1 を除去することができる（除去すると、RAM 400 に要求されるメモリ記憶容量が半分に削減される）。

#### 【0038】

##### 【発明の効果】

ここで開示した畳み込み復号化器は、主に、バンクチャド符号化か、あるいは、プラグマティック・トレリス符号化圧縮デジタル TV データを受信するマルチチャネル TV 受信装置で使用されるものであるが、開示した畳み込み復号化器によって復号化することができる符号化データのタイプは、TV データのみに限定すべきではなく、開示した畳み込み復号化器により復号化できる他の種類の符号化データにより採用することができる。

#### 【0039】

以上説明したように、開示した復号化器装置は、衛星と、地上と、ケーブル TV データの受信装置で使用するのに適しており、その上、電話と、直接マイクロウェーブと、光ファイバ伝送を含む他の応用分野で使用するのに適している。

##### 【図面の簡単な説明】

【図 1】順方向エラー訂正圧縮デジタル TV 送信装置から送信され、マルチチャネル圧縮デジタル TV 受信装置によって受信可能な異種タイプの伝送チャンネルを示す図である。

【図 2】図 1 のマルチチャネル圧縮デジタル TV 受信装置の畳み込み復号化器と、入力を復号化器へ印加するデモジュレータと、デコーダとのマイクロコントローラ・インタフェース間の関係を示すブロック図である。

【図 3】図 2 に示す畳み込み復号化器の構成要素を示すブロック図であり、図 2 のマイクロコントローラ・インタフェースが畳み込み復号化器の構成要素にどのように結合されているかを示すブロック図である。

【図 4】図 3 のマイクロコントローラ・インタフェースによってバンクチャド・コード復号化モードで動作するようにプログラムされているときの、図 3 に示す畳み込み復号化器の動作要素を示すブロック図である。

【図 5】図 3 のマイクロコントローラ・インタフェースによってプラグマティック・トレリス・コード復号化モードで動作するようにプログラムされているときの、図 3 に示す畳み込み復号化器の動作要素を示すブロック図である。

【図 6】図 3 に示す分岐メトリック・コンピュータの構成要素を示すブロック図である。

10

20

30

40

50

【図 7】図 6 に示す分岐メトリック・コンピュータの構成要素の機能編成を示す図である。

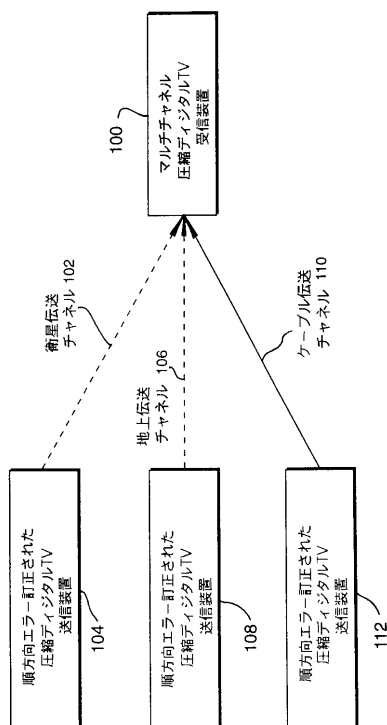
【符号の説明】

- 1 0 0 マルチチャンネル圧縮デジタルTV受信装置
- 1 0 2 衛星伝送チャンネル
- 1 0 4 順方向エラー訂正TV送信装置
- 1 0 6 地上伝送チャンネル
- 1 0 8 順方向エラー訂正TV送信装置
- 1 1 0 ケーブル伝送チャンネル
- 1 1 2 順方向エラー訂正TV送信装置
- 2 0 0 受信装置畳み込み復号化器
- 2 0 2 受信装置復調器
- 2 0 4 マイクロコントローラ・インタフェース
- 3 0 0 同期回路
- 3 0 2 ダミー・データ・インサータ
- 3 0 4 分岐メトリック・コンピュータ
- 3 0 6 Viterbi 復号化器
- 3 0 8 畳み込み符号化器
- 3 1 0 トレリス・デマッパ
- 3 1 2 遅延ロジック
- 3 1 4 同期モニタ
- 3 1 6 選択手段
- 4 0 0 R A M
- 4 0 2 加算器
- 4 0 4 コンパレータ

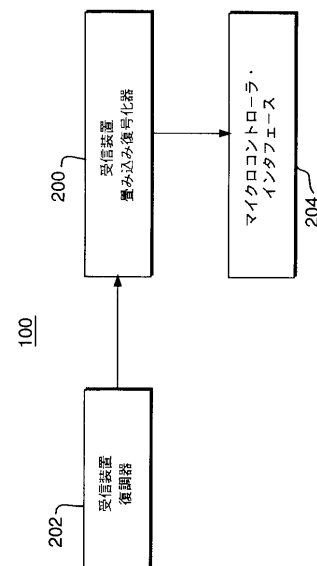
10

20

【図 1】

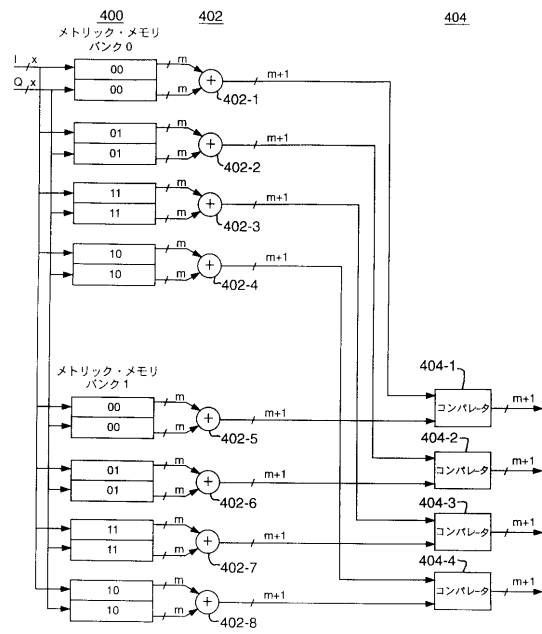


【図 2】





【図 7】



---

フロントページの続き

(72)発明者 クマール ラマスワミ

アメリカ合衆国 4 6 2 0 1 - 2 5 9 8 インディアナ州 インディアナポリス カレッジ ドラ  
イブ 9 4 1 7 - ビー

(72)発明者 ジョン シドニー スチュワート

アメリカ合衆国 4 6 2 6 8 インディアナ州 インディアナポリス ウェスト 7 1 エスティー  
ストリート 3 6 5 5

審査官 古川 哲也

(56)参考文献 特開平 0 6 - 2 3 2 9 2 2 ( J P , A )

特開平 0 5 - 2 1 8 9 1 4 ( J P , A )

A. Morello , FLASH-TV: a flexible bit-rate transmission system for digital HDTV outside  
broadcasting by satellite , Proceedings of the Global Telecommunications Conference 199  
3 ( GLOBECOM '93 ) , 米国 , IEEE , 1 9 9 3 年 1 1 月 2 9 日 , Vol.3 , p.1622-1627

(58)調査した分野(Int.Cl. , D B 名)

H04N 5/44 - 5/46

H03M 13/23

H03M 13/25

H04L 27/00 - 27/38

IEEE

Science Direct