

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3678437号
(P3678437)

(45) 発行日 平成17年8月3日(2005.8.3)

(24) 登録日 平成17年5月20日(2005.5.20)

(51) Int.C1.⁷

F 1

H01L 21/336

H01L 29/78 612D

G02F 1/1343

G02F 1/1343

G02F 1/1368

G02F 1/1368

H01L 29/786

H01L 29/78 612B

H01L 29/78 613A

請求項の数 3 (全 12 頁) 最終頁に続く

(21) 出願番号

特願平6-45596

(22) 出願日

平成6年3月16日(1994.3.16)

(65) 公開番号

特開平7-254711

(43) 公開日

平成7年10月3日(1995.10.3)

審査請求日

平成12年5月9日(2000.5.9)

審判番号

不服2002-19755(P2002-19755/J1)

審判請求日

平成14年10月10日(2002.10.10)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 佐藤 敏浩

千葉県茂原市早野3300番地 株式会社
日立製作所 電子デバイス事業部内

合議体

審判長 河合 章

審判官 瀧内 健夫

審判官 岡 和久

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法および液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

透明基板上の表示領域に形成された、画素を形成する第2導電型の第3の薄膜トランジスタ及び保持容量素子と、上記透明基板上の表示領域外の領域に形成された、上記第3の薄膜トランジスタと異なる導電型の第1導電型の第1の薄膜トランジスタ及び第2導電型の第2の薄膜トランジスタとを備えた液晶表示装置の製造方法であって、

上記透明基板上にポリシリコン層を形成し、パターニングする工程と、

上記パターニングされたポリシリコン層の表面に絶縁膜を形成する工程と、

上記表示領域の上記絶縁膜上に上記第3の薄膜トランジスタの第3のゲート電極及び上記保持容量素子の上記電極を形成すると共に、上記表示領域外の領域の上記絶縁膜上に、
上記第1の薄膜トランジスタの第1のゲート電極と上記第2の薄膜トランジスタの第2のゲート電極を形成する工程と、

上記第1のゲート電極、上記第2のゲート電極、上記第3のゲート電極及び上記上部電極をマスクとして、該第1のゲート電極、該第2のゲート電極、該第3のゲート電極及び該上部電極から露出された上記絶縁膜をエッチング除去する工程と、

上記第1のゲート電極、上記第2のゲート電極、上記第3のゲート電極及び上記上部電極の上面及び側壁及び、上記ポリシリコン層の露出面に酸化膜を形成する工程と、

上記第1の薄膜トランジスタを覆う第1のマスクを形成すると共に、上記第3の薄膜トランジスタの上記第3のゲート電極を上記側壁をも含めて覆う第2のマスクを形成する工程と、

10

20

上記第1のマスクが上記第1のトランジスタを覆った状態で、上記第3の薄膜トランジスタのソース領域およびドレイン領域を上記第2のマスクを用いて第2導電型の不純物の打ち込みで形成すると同時に、上記第2の薄膜トランジスタのソース領域およびドレイン領域を上記第2の薄膜トランジスタのゲート電極をマスクとして第2導電型の不純物の打ち込みで形成する工程と、

上記第2の薄膜トランジスタと、上記第3の薄膜トランジスタと、上記保持容量素子の上部電極を覆った状態で、上記第1の薄膜トランジスタの上記第1のゲート電極をマスクとして第1導電型の不純物の打ち込みで、ソース領域およびドレイン領域を形成する工程と

を含むことを特徴とする液晶表示装置の製造方法。

10

【請求項2】

上記第1導電型の第1の薄膜トランジスタと上記第2導電型の第2の薄膜トランジスタのうち一方はn型MOSトランジスタであり、他方はp型MOSトランジスタであることを特徴とする請求項1に記載の液晶表示装置の製造方法。

【請求項3】

透明基板上の表示領域に形成された画素を形成する、第2導電型の第3の薄膜トランジスタ及び保持容量素子と、

上記透明基板上の表示領域以外の領域に形成された、

上記第3の薄膜トランジスタと異なる導電型の第1導電型の第1の薄膜トランジスタと第2導電型の第2の薄膜トランジスタとを備えた液晶表示装置において、

20

上記第3の薄膜トランジスタの、島状に形成されたポリシリコン層からなるチャネル形成領域上に第3のゲート絶縁膜を介して形成された一対の側壁酸化膜を有する第3のゲート電極と、

上記第1の薄膜トランジスタの、島状に形成されたポリシリコン層からなるチャネル形成領域上に第1のゲート絶縁膜を介して形成された一対の側壁酸化膜を有する第1のゲート電極と、

上記第2の薄膜トランジスタの、島状に形成されたポリシリコン層からなるチャネル形成領域上に第2のゲート絶縁膜を介して形成された一対の側壁酸化膜を有する第2のゲート電極と、

上記第3の薄膜トランジスタの、島状に形成されたポリシリコン層からなるチャネル形成領域を延長した領域に不純物の打ち込みで形成された上記保持容量素子の一方の電極と、

30

上記保持容量素子の一方の電極上に絶縁膜を介して形成された保持容量素子の上部電極と、

上記第1の薄膜トランジスタのチャネル形成領域の両側に、第1導電型の不純物の打ち込みで上記第1のゲート電極と自己整合的に形成されたソース領域およびドレイン領域と、

上記第2の薄膜トランジスタのチャネル形成領域の両側に、第2導電型の不純物の打ち込みで上記第2のゲート電極と自己整合的に形成されたソース領域およびドレイン領域と、

40

上記第3の薄膜トランジスタはオフセット構造を備え、そのチャネル形成領域の両側に第2導電型の不純物の打ち込みで形成されたソース領域およびドレイン領域とを備えるとともに、

上記第1の薄膜トランジスタの形成された島状ポリシリコン層、上記第2の薄膜トランジスタの形成された島状ポリシリコン層及び上記第3の薄膜トランジスタの形成された島状ポリシリコン層は同層で形成され、

上記第1のゲート絶縁膜、上記第2のゲート絶縁膜及び上記第3のゲート絶縁膜は上記保持容量素子の絶縁膜と同層で形成され、

上記第1のゲート電極、上記第2のゲート電極及び上記第3のゲート電極は上記保持容量素子の上記上部電極と同層で形成され、

50

さらに、上記第1の薄膜トランジスタの形成された島状ポリシリコン層表面、上記第2の薄膜トランジスタの形成された島状ポリシリコン層表面及び上記第3の薄膜トランジスタの形成された島状ポリシリコン層表面には、同一工程で形成された酸化膜が形成されており、上記酸化膜の膜厚は、上記絶縁膜の膜厚より薄いことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、液晶表示基板の製造方法に係り、いわゆるアクティブ・マトリックス方式と称され、各画素に対応して薄膜スイッチング素子（TFT）を備えた液晶表示基板の製造方法に関する。

10

【0002】

【従来の技術】

上述した薄膜スイッチング素子を備える液晶表示基板は、マトリックス状に配置された各画素のうち、所定の列方向に配列された各画素に対応する薄膜スイッチング素子を全てオンするとともに、このオンされた薄膜スイッチング素子を介して各画素に映像信号に対応する電圧を印加するようになっている。

【0003】

そして、薄膜スイッチング素子は、透明基板面に形成された島状のたとえばポリSiからなる半導体層を覆うようにして絶縁膜を形成し、さらに、この絶縁膜上に前記半導体層を分断するようにゲート電極を形成し、該ゲート電極をマスクとした不純物のイオン打ち込みでソースおよびドレインの各領域を形成する（セルフ・アライメント）ことによって得られるMOS型トランジスタを構成している。

20

【0004】

この場合、列方向に配列された各薄膜スイッチング素子のゲート電極は共通接続されて走査信号線を構成し、行方向に配列された各薄膜スイッチング素子のドレイン電極は共通接続されて映像信号線を構成している。

【0005】

【発明が解決しようとする課題】

しかしながら、このように構成された液晶表示基板において、その薄膜スイッチング素子は、上述したようにゲート電極をマスクとした不純物イオン打ち込みによってソースおよびドレインの各領域を形成していることから、ゲート電極のチャンネル長に対応する端辺の直下に前記各領域の端辺が位置づけられて形成されてしまうことになる。

30

【0006】

このため、薄膜スイッチング素子をオンからオフにした段階で、画素電極側に充電された電荷がソースに対して負電位となったゲート電極を介してドレイン側になだれ現象を起こしてしまうことになる（Drain induced Break down）。

【0007】

この弊害を除くためにはゲート電極に対してソースあるいはドレインの各領域をオフセット構造にすることが考えられるが、製造工数を増大させてしまうという問題が残されることになる。

40

【0008】

それ故、本発明はこのような事情に基づいてなされたものであり、その目的とするところのものは、従来の製造工数を全く増大することなく、表示領域内に形成されている薄膜トランジスタ素子のドレインが引き起こすブレイクダウンの発生を防止できる液晶表示基板の製造方法を提供することにある。

【0009】

【課題を解決するための手段】

このような目的を達成するために、本発明は、基本的には、一方の透明基板の面に表示領域とそれ以外の領域を有し、前記表示領域にはその各画素に対応したMOS型トランジスタ（薄膜トランジスタ素子：以下、この明細書において表示領域内のみに形成されている

50

トランジスタを薄膜トランジスタと称する)が形成されているとともに液晶を介して他方の透明基板が対向配置され、前記表示領域以外の領域にはコンプリメンタリMOS型トランジスタを含む回路が形成されている液晶表示基板において、前記表示領域の薄膜トランジスタ素子のソースおよびドレインの各領域をそのゲート電極をマスクとして不純物の打ち込みで形成する際に、前記表示領域以外の領域のコンプリメンタリMOS型トランジスタのうちの一方のMOS型トランジスタを覆って形成するマスクと同一かつ同工程で少なくとも前記ゲート電極のチャンネル長に対応する辺部を覆ってマスクを形成した後に、前記不純物の打ち込みで前記ソースおよびドレインの各領域を形成することを特徴とするものである。

【0010】

10

【作用】

このように構成した液晶表示基板の製造方法によれば、ゲート電極のチャンネル長に対応する辺部を覆ってマスクを形成した後に不純物の打ち込みをおこなっていることから、これによって形成されるソースおよびドレインの各領域はゲート電極に対してオフセット構造となる。これにより、薄膜トランジスタ素子のドレインが引き起こすブレイクダウンの発生を防止できるようになる。

【0011】

そして、前記マスクは表示領域以外の領域において形成過程にあるコンプリメンタルMOS型トランジスタのうちの一方のMOS型トランジスタ(薄膜トランジスタと異なる導電型のトランジスタ)を覆わなければならぬマスクと同一のものを同工程でそのまま適用させることから製造工程の増大を伴うことがなくなる。

20

【0012】

【実施例】

以下、本発明が適用される液晶表示基板の一実施例を図6ないし図8を用いて説明する。

【0013】

まず、図6において、図6(a)には液晶表示基板100の平面図を示している。この液晶表示基板100はその周辺部を除く中央部が表示領域(PIXEL AREA)となっている。この表示領域は下ガラス基板に液晶を介して上ガラス基板が対向して配置された領域で、マトリックス状に配置された画素(PIXEL)を構成するようになっている。

【0014】

30

そして、この表示領域の図中左右両側の下ガラス基板面には垂直走査回路Vが形成されている。

【0015】

この垂直走査回路Vは、図6(b)に示すように、多数のインバータ回路を含む回路から構成され、また、これらインバータ回路は図示していないがコンプリメンタリMOS型トランジスタから構成されている。

【0016】

この垂直走査回路Vの各出力はゲート信号線GLを介して表示領域(PIXEL AREA)内に送出されるようになっている。このゲート信号線GLは該表示領域内の下ガラス基板面に列(X)方向に延在しつつ行(Y)方向に並設される複数の信号線からなっている。

40

【0017】

また図中、表示領域(PIXEL AREA)の下側の表示領域外の下ガラス基板には映像信号駆動回路Hが形成されている。

【0018】

この映像信号駆動回路Hは、図7(a)に示すように、多数のインバータ回路を含む回路から構成され、また、これらインバータ回路は図示していないがコンプリメンタリMOS型トランジスタから構成されている。なお、図7(a)に示す液晶表示基板は図6(a)に示すそれと同じものである。

【0019】

この映像信号駆動回路Hの各出力はドレイン信号線DLを介して表示領域(PIXEL AREA)

50

内に送出されるようになっている。このドレイン信号線 D L は該表示領域内の下ガラス基板面に行 (Y) 方向に延在しつゝ (X) 方向に並設される複数の信号線からなっている。

【0020】

図 8 (a) は、前記表示領域 (PIXEL AREA) 内の構成の一部を示したものである。他の部分においても同様のパターンで構成されたものとなっている。

【0021】

同図において、互いに直交して並設されるゲート信号線 G L とドレイン信号線 D L で囲まれる各領域が画素領域となり、この画素領域にはたとえば ITO (Indium-Tin-Oxide) からなる画素電極 C L c が形成されている。そして、この画素電極 C L c の近傍には薄膜トランジスタ素子 (TFT) が形成され、この薄膜トランジスタ素子 (TFT) を介して該画素電極 C L c はドレイン信号線 D L に接続されている。

10

【0022】

薄膜トランジスタ素子 (TFT) のゲート電極は前記ゲート信号線 G L の一部を用いて形成されている。

【0023】

これにより、ゲート信号線 G L に信号が入力されると、薄膜トランジスタ素子 (TFT) がオン状態になり、この薄膜トランジスタ素子 (TFT) を介してドレイン信号線 D L から映像信号に対応する電圧が画素電極 C L c に印加されることになる。

【0024】

20

画素電極 C L c は液晶を介して図示しない共通電極 (上ガラス基板側に形成されている) との間に電界を構成し、この電界によって該液晶の透光度合いを変化させているようになっている。

【0025】

なお、この画素電極 C L c は、その近傍に形成された保持容量素子 (Cst) に接続されている。この保持容量素子 (Cst) は、たとえば、薄膜トランジスタ (TFT) がオフ状態となった後の映像信号を長く蓄積させる等の目的で形成されたものである。

【0026】

図 8 の実施例では保持容量素子 Cst が画素電極 C L c に接続されない側の電極を介して容量線に接続され、たとえば共通電極と同等の電圧が印加される。

30

【0027】

図 8 (b) は同図 (a) の等価回路を示すものである。

【0028】

次に、このような構成からなる表示基板の製造方法の一実施例を図 1 ないし図 4 を用いてステップ毎に説明する。なお、各図において、図中左側は表示領域内に形成される薄膜トランジスタ素子 (TFT) の形成領域を、また、図中右側は表示領域以外の領域内に形成されるコンプリメンタリ MOS 型トランジスタの形成領域を示している。また、前記薄膜トランジスタ素子 (TFT) の製造方法は、図 8 の I - I 線における断面図に基づいて説明する。

また、図 2 から図 4 では薄膜トランジスタ (TFT) の製造方法に加えて、保持容量素子 (Cst) の製造方法についても示している。ただし、図が複雑になることを避けるために、薄膜トランジスタ (TFT) と保持容量素子 (Cst) の位置関係は実際のものとは異なり模式的に記載してある。

40

【0029】

ステップ 1. (図 1 (a))

主表面が充分に洗浄されたガラス基板を用意する。

【0030】

ステップ 2. (図 1 (b))

ガラス基板の主表面の全域にたとえばディポジション法によってポリシリコン (poly-Si) 層 2 を形成する。

50

【0031】

ステップ3. (図1(c))

該ポリシリコン層2を選択エッチングする。この選択エッチングにより、該ポリシリコン層2は表示領域における薄膜トランジスタ(TFT)および保持容量素子(Cst)の形成領域に、表示領域以外の領域におけるスイッチング素子(特に、コンプリメンタリMOSトランジスタ)の形成領域に残存させるようにする。

【0032】

ステップ4. (図1(d))

残存されたポリシリコン層2の表面に熱酸化処理を施すことにより、シリコン酸化膜3を形成する。このシリコン酸化膜3は後に形成される薄膜トランジスタ(TFT)等のゲート酸化膜となるものである。

10

【0033】

ステップ5. (図1(e))

このように加工された主表面の全域にフォトレジスト膜4を塗布し、その選択除去により前記保持容量素子(Cst)の形成領域を露呈させる。

【0034】

その後、イオン打ち込み方法を用いて高濃度のN型不純物をドープして、該保持容量(Cst)の形成領域におけるポリシリコン層2を導電化させる。この導電化されたポリシリコン層2は後に形成される保持容量素子(Cst)の一方の電極となるものである。

【0035】

ステップ6. (図2(a))

20

残存されている前記フォトレジスト膜4を除去し、リン(P)処理されたポリシリコン(poly-Si)層5をたとえばディポジション方法を用いて全域に形成する。

【0036】

ステップ7. (図2(b))

前記ポリシリコン(Poly-Si)層5を選択エッチングし、これにより薄膜トランジスタ(TFT)、コンプリメンタリMOS型トランジスタの各ゲート電極を形成するとともに、保持容量素子(Cst)を形成する。

【0037】

ステップ8. (図2(c))

30

そして、残存しているポリシリコン(poly-Si)層5をマスクとして、このポリシリコン(poly-Si)層5から露呈されている前記シリコン酸化膜3をエッチングする。

【0038】

前記シリコン酸化膜3のエッチングにより露呈されたポリシリコン(poly-Si)層2、およびゲート電極等として形成されているポリシリコン(poly-Si)5層を軽く熱酸化することにより、それらの表面にシリコン酸化膜を形成する。

【0039】

ステップ9. (図2(d))

コンプリメンタリMOS型トランジスタのうちP型のMOS型トランジスタの全域を覆つてフォトレジスト7を形成する。なお、該P型のMOS型トランジスタは薄膜トランジスタ素子(TFT)と異なる導電型を有するトランジスタである。

40

【0040】

ここで、この実施例では、特に、同工程で薄膜トランジスタ(TFT)のゲート電極を覆つてフォトレジスト7Aを形成する。

【0041】

すなわち、全域に形成したフォトレジスト7を選択除去する際に、コンプリメンタリMOS型トランジスタのうちP型のMOS型トランジスタの上面に形成されているフォトレジスト、および薄膜トランジスタ(TFT)のゲート電極の上面に形成されているフォトレジスト(符号7Aで示す)を残存させて他のフォトレジストを除去する。

【0042】

50

この場合、薄膜トランジスタ素子（TFT）側に残存させるフォトレジスト7Aは少なくともゲート電極のチャンネル長方向の辺の側壁を覆うように形成することが必須となる。

【0043】

その後、このように加工された表面の全域に高濃度のN型不純物をイオン打ち込み方法を用いて高濃度のN型不純物をドープする。

【0044】

これにより、薄膜トランジスタ（TFT）のソースS、ドレインDの各領域、およびコンプリメンタリMOS型トランジスタのうちN型のMOS型トランジスタのソースS、ドレインDの各領域が形成されるようになる。

【0045】

ここで、薄膜トランジスタ素子（TFT）のソースS、ドレインDの各領域は、図5に詳細に示すように、ゲート電極のチャンネル長方向の辺の直下から1の距離を隔ててソースSおよびドレインDの領域の端辺が位置づけられることになる。

【0046】

これにより、ソースSおよびドレインDの各領域はゲート電極（符号5で示す）に対してオフセットされた構造で形成されることになる。

【0047】

ステップ10.（図3（a））

残存しているフォトレジスト7を除去し、さらに新たなフォトレジスト8を全域に形成した後にこのフォトレジスト8を選択除去する。この選択除去によって、コンプリメンタリMOS型トランジスタのうちP型のMOS型トランジスタのみを露呈させる。

【0048】

その後、フッ化ボロン（BF₂）からなるP型不純物をイオン打ち込み方法によりドープし、これにより該MOS型トランジスタのソースS、ドレインDの各領域を形成する。

【0049】

ステップ11.（図3（b））

残存しているフォトレジスト8を除去し、たとえば気相成長法によってシリコン酸化膜およびリンシリケートガラスを順次形成して、2層構造の絶縁膜9を形成する。

【0050】

ステップ12.（図3（c））

絶縁膜9を選択エッティングする。この選択エッティングは、薄膜トランジスタ（TFT）のドレイン領域の一部、コンプリメンタリMOS型トランジスタのそれぞれのトランジスタのソース、ドレイン領域の各一部を露呈させるためのコンタクトホールCHを形成するためになされる。

【0051】

ステップ13.（図3（d））

コンタクトホールCHの形成部分を含んで絶縁膜9の全域にアルミニウム膜10を形成する。

【0052】

ステップ14.（図4（a））

アルミニウム膜10を選択エッティングし、この選択エッティングにより前記コンタクトホールCHにおいて接続部を有する配線層が形成される。

【0053】

ステップ15.（図4（b））

このように配線層が形成された表面の全域にシリコン酸化膜からなる絶縁膜11を形成する。

【0054】

その後、画素領域およびその周辺に相当する領域部の絶縁膜11選択エッティングによって除去する。

【0055】

10

20

30

40

50

ステップ16. (図4(c))

画素領域となる部分に相当する一層目の絶縁膜9を選択エッチングし、この絶縁膜の下層に位置づけられるポリシリコン(poly-Si)層2を露呈させる。

【0056】

ステップ17. (図4(d))

このように加工された表面全域にITOからなる透明導電膜を形成し、この透明導電膜を選択エッチングすることにより前記画素領域およびその周辺における透明導電膜を残存させ、これを画素電極12とする。

【0057】

このような実施例に示すような液晶表示基板の製造方法によれば、ゲート電極の少なくともチャンネル長に対応する辺部を覆ってマスク(図2(d)の符号7Aに相当する)を形成した後に不純物の打ち込みをおこなっていることから、これによって形成されるソースSおよびドレインDの各領域はゲート電極に対してオフセット構造となる。これにより、薄膜トランジスタ素子(TFT)のドレインが引き起こすブレイクダウンの発生を防止できるようになる。

【0058】

図9(a)はこのようにして形成されたN型薄膜トランジスタ素子の特性を従来のものと比較して示したものであり、図中点線は従来の特性、実線は本実施例による特性を示したものである。

【0059】

同図から明らかなように、ゲート電位が負の場合にドレイン電流が流れていなことが判明する。

【0060】

なお、図9(b)はP型の薄膜トランジスタ素子(TFT)を形成する場合においても同様な効果を奏することを示したものである。

【0061】

以上示したことから明らかなように、本実施例による液晶表示基板の製造方法によれば、ゲート電極の少なくともチャンネル長に対応する辺部を覆ってマスクを形成した後に不純物の打ち込みをおこなっていることから、これによって形成されるソースおよびドレインの各領域はゲート電極に対してオフセット構造となる。これにより、薄膜トランジスタ素子のドレインが引き起こすブレイクダウンの発生を防止できるようになる。

【0062】

そして、前記マスクは表示領域以外の領域において形成過程にあるコンプリメンタリMOS型トランジスタのうちの一方のMOS型トランジスタ(薄膜トランジスタと異なる導電型のトランジスタ)を覆わなければならぬマスクと同一のものを同工程でそのまま適用させることから製造工程の増大を伴うことがなくなる。

【0063】

なお、上述した液晶表示基板は図8に示したように薄膜トランジスタ素子が一画素に対して一個のものについて説明したものであるが、これに限らず、図10に示すように二個備えたものにあっても適用できることはいうまでもない。

【0064】

また、図10に示す実施例によれば、画素電極CLcに接続される保持容量素子Caddの画素電極CLcに接続されない側の電極を介して隣の画素のゲート信号線に接続されるので、図8に示す実施例と異なって、容量線が不要となる。従って、図10の実施例では、容量線がなくなった分、開口率が広がり、製造工程が簡略化される等の効果を有する。

【0065】

【発明の効果】

以上説明したことから明らかなように、本発明による液晶表示基板の製造方法によれば、従来の製造工数を全く増大することなく、表示領域内に形成されている薄膜トランジスタ素子のドレインが引き起こすブレイクダウンの発生を防止できるようになる。

10

20

30

40

50

【図面の簡単な説明】

【図 1】(a)ないし(e)は、本発明による液晶表示基板の製造方法の一実施例を示す第一図である。

【図 2】(a)ないし(d)は、本発明による液晶表示基板の製造方法の一実施例を示す第二図である。

【図 3】(a)ないし(d)は、本発明による液晶表示基板の製造方法の一実施例を示す第三図である。

【図 4】(a)ないし(d)は、本発明による液晶表示基板の製造方法の一実施例を示す第四図である。

【図 5】本発明による液晶表示基板の製造方法の詳細を示す説明図である。 10

【図 6】本発明が適用される液晶表示基板の表示領域外に形成される回路を示した図である。

【図 7】本発明が適用される液晶表示基板の表示領域外に形成される回路を示した図である。

【図 8】本発明が適用される液晶表示基板の表示領域内に形成される回路を示した図である。

【図 9】本発明による液晶表示基板の製造方法の効果を示す説明図である。

【図 10】本発明による液晶表示基板の製造方法の他の実施例を示す説明図である。

【符号の説明】

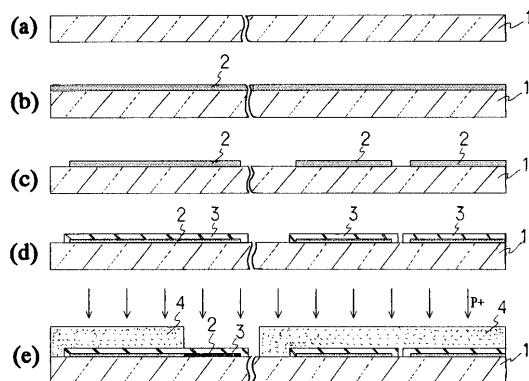
TFT	薄膜トランジスタ素子
7、7A	フォトレジスト
S	ソース領域
D	ドレイン領域

10

20

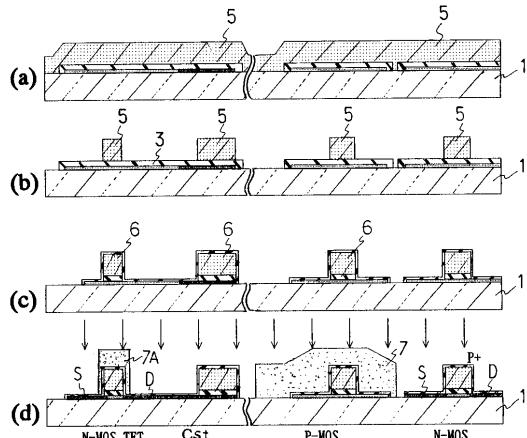
【図 1】

図 1



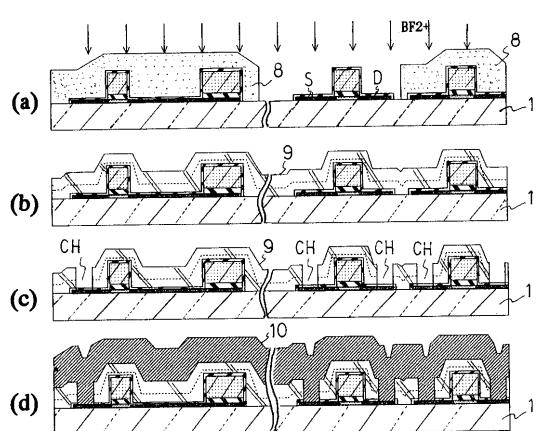
【図 2】

図 2



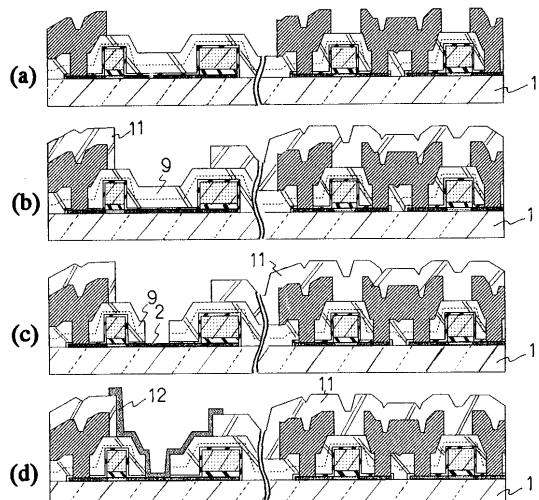
【図3】

図3



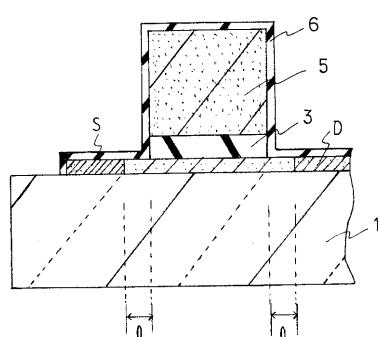
【図4】

図4



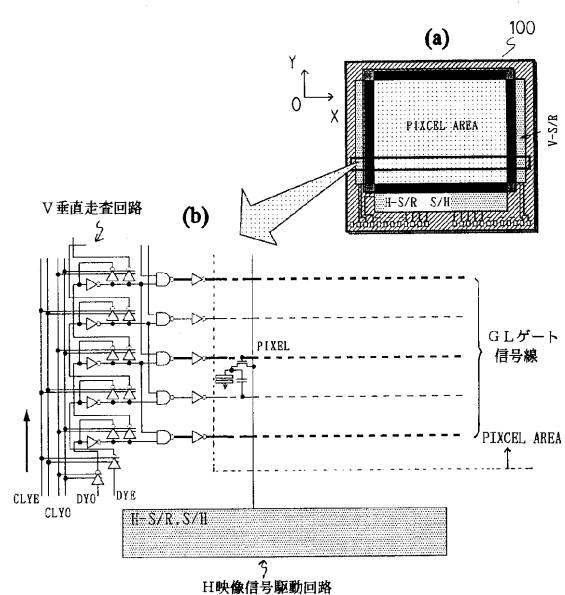
【図5】

図5



【図6】

図6



【図 7】

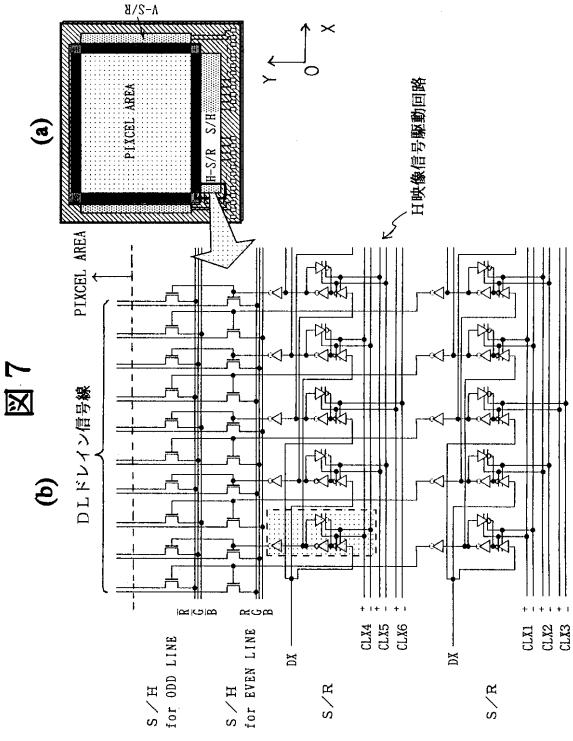


図 7

【図 8】

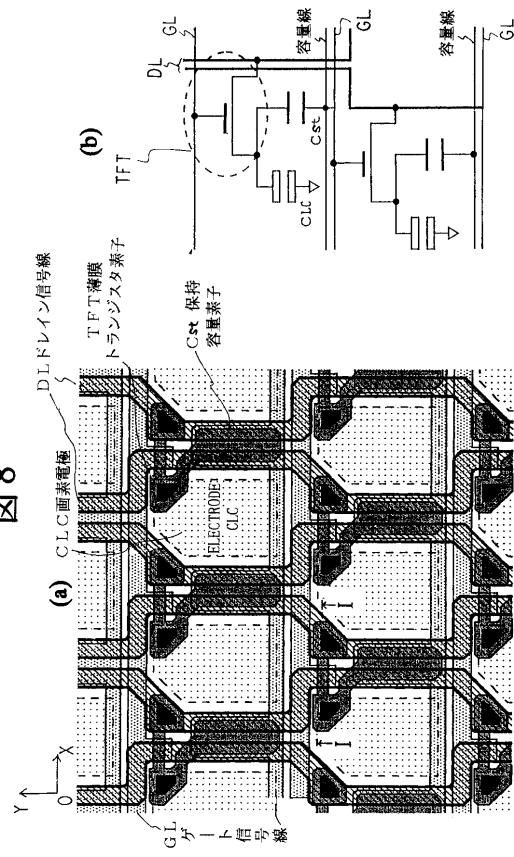


図 8

【図 9】

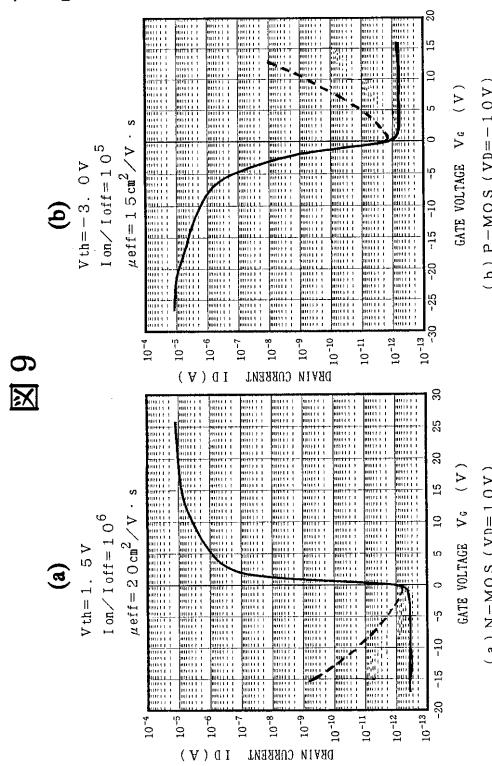


図 9

【図 10】

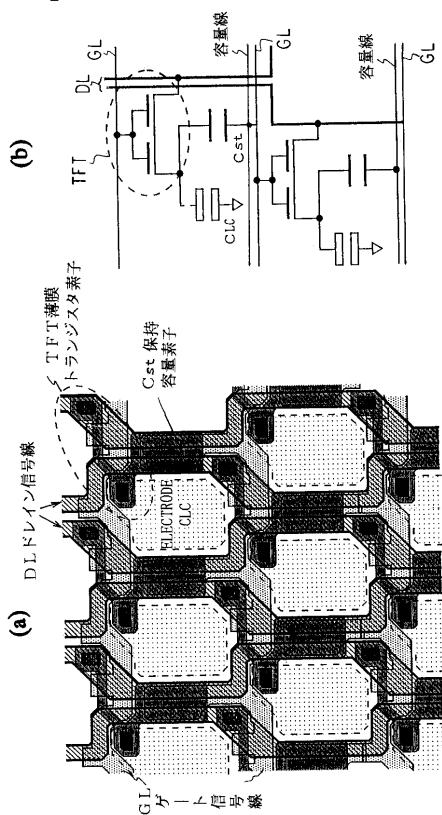


図 10

フロントページの続き

(51)Int.Cl.⁷

F I

H 01 L 29/78 617 A

(56)参考文献 国際公開第 / (WO, A1) 94 / 18706

特開平3 - 280018 (JP, A)

特開平4 - 219736 (JP, A)

特開平4 - 333828 (JP, A)

特開平1 - 227129 (JP, A)

特開平3 - 208022 (JP, A)