

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3664743号

(P3664743)

(45) 発行日 平成17年6月29日(2005.6.29)

(24) 登録日 平成17年4月8日(2005.4.8)

(51) Int. Cl.⁷

F I

| | | | | |
|--------|--------|--------|--------|---|
| GO 1 R | 31/26 | GO 1 R | 31/26 | H |
| HO 1 L | 21/326 | GO 1 R | 31/26 | J |
| HO 1 L | 21/66 | HO 1 L | 21/326 | |
| HO 1 R | 12/04 | HO 1 L | 21/66 | H |
| | | HO 1 R | 9/09 | Z |

請求項の数 4 (全 11 頁)

| | | | |
|-----------|----------------------------|-----------|-------------------------------|
| (21) 出願番号 | 特願平5-293603 | (73) 特許権者 | 000005223 |
| (22) 出願日 | 平成5年11月24日(1993.11.24) | | 富士通株式会社 |
| (65) 公開番号 | 特開平7-146328 | | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (43) 公開日 | 平成7年6月6日(1995.6.6) | (74) 代理人 | 100070150 |
| 審査請求日 | 平成11年12月20日(1999.12.20) | | 弁理士 伊東 忠彦 |
| 審判番号 | 不服2002-9081(P2002-9081/J1) | (72) 発明者 | ▲吉▼岡 弘之 |
| 審判請求日 | 平成14年5月21日(2002.5.21) | | 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 |
| | | 合議体 | |
| | | 審判長 | 上田 忠 |
| | | 審判官 | 尾崎 淳史 |
| | | 審判官 | 後藤 時男 |
| | | | 最終頁に続く |

(54) 【発明の名称】 パーンインボード

(57) 【特許請求の範囲】

【請求項1】

パーンインが行われる、PGA型の半導体デバイスを保持する所定数の保持部(22, 43)の、下方に延出する複数のリードピン(31, 44)の挿入されるリード孔(32, 46)が形成され、該リード孔(32, 46)に対応する配線パターン(33, 34, 47)が形成されるパーンインボードにおいて、前記保持部(22, 43)を実装するためのものであって、総ての前記リード孔(32, 46)が形成されると共に、該リード孔(32, 46)のうち所定列のリード孔(32a, 46a)に対応する前記配線パターン(33, 47)が両面のそれぞれに形成され、該配線パターン(33, 47)が形成されたリード孔(32a, 46a)に対応する前記リードピン(31a, 44a)が不要長さ部分を切断除去されて挿入され接続固定される第1の基板(23, 41)と、該リードピン挿入方向で該第1の基板(23, 41)に重ねられて配置されるものであって、該第1の基板(23, 41)の該配線パターン(33, 47)が形成された該リード孔(32a, 46a)を除く前記リード孔が形成されると共に、形成された該リード孔のうち総ての又は所定列のリード孔(32b, 46b)に対応する前記配線パターン(33, 47)が両面のそれぞれに形成され、該配線パターン(33, 47)が形成されたリード孔(32b, 46b)に対応する前記リードピン(31b, 44b)が不要長さ部分を切断除去されて挿入され接続固定される第2の基板(24, 42)と、を有することを特徴とするパーンインボード。

【請求項2】

10

20

前記保持部(22)のリードピン(31)の個数に応じて前記第2の基板(24)の下方に所定枚数重ねられて配置される基板(25~27)であって、上方に位置される所定数の基板に前記配線パターンが形成されたリード孔を除く前記リード孔が形成されると共に、形成された該リード孔のうち総ての又は所定列のリード孔に対応する前記配線パターン(33, 34)が両面のそれぞれに形成され、該配線パターン(33, 34)が形成されたリード孔(32c~32e)に対応する前記リードピン(31c~31e)が不要長さ部分を切断除去されて挿入され接続固定されることを特徴とする請求項1記載のバーンインボード。

【請求項3】

前記何れかの基板に形成される配線パターンは、前記リードピン(31, 44)を接続固定するためのランド部と、信号ライン(33, 47)と、電源ライン又は電源べた面(34)との少なくとも何れかを含んで形成されることを特徴とする請求項1又は2記載のバーンインボード。

【請求項4】

重ねられた前記第1の基板(23, 41)及び以下の基板(24~27, 42)に、電源を供給し、信号の送受を行う接続部(30)が設けられることを特徴とする請求項1又は2記載のバーンインボード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体装置の試験に使用されるバーンインボードに関する。

【0002】

近年、半導体装置はゲートアレイ型の多ピン化、高速化に伴い高発熱デバイスが増加すると共に、小型化が要求されてパッケージピンの狭ピッチ化が進んでいる。これにより、製造時の種々なプロセス障害やアセンブリ障害が増えており、バーンインを行う必要がでてきている。

【0003】

また、同一のパッケージで電源ピンの配置が異なるデバイスが増えてきており、バーンイン時に使用するバーンインボードの多層化を余儀なくされてデバイスの供給納期の短縮に沿えずその対応が要求されている。

【0004】

このため、実装個数を減少させずに特性を維持するバーンインボードを提供する必要がある。

【0005】

【従来の技術】

半導体装置の多ピン化が進むと、そのパッケージがPGA(Pin Grid Array)型となり、バーンインを行うためのバーンインボードもこれに応じて多層化される。そして、ピンの狭ピッチによるノイズ緩和のために、各層毎にグランド(GND)を介在させている。

【0006】

例えば、ピンが0.3mmピッチで配列されたPGA型の半導体装置用のバーンインボードは6層で構成され、ピン配列が水平垂直で100ミル(2.54mm)、対角で約70ミル(1.796mm)のPGA型の半導体装置用のバーンインボードは10層で構成される。

【0007】

そこで、図10に、従来のバーンインボードのパターン構成図を示す。図10(A),(B)はバーンインボード上の半導体装置が挿入されるICソケットの複数のフットパターンのうちの一つであり、図10(A)は6層(母体基板上に5層)の場合を示しており、図10(B)は10層(母体基板上に9層)の場合を示している。

【0008】

図10(A)において、4つの領域11a~11dのそれぞれに規則的に0.3mmピッチでピンパターン(例えば0.7mm)12が配列されて形成されており、外側2列が1層目で

10

20

30

40

50

引き出しパターン 13 a が形成され、順次 1 列ごとに 2 層目から 5 層目で引き出しパターン 13 b ~ 13 e が形成される。これら引き出しパターン 13 a ~ 13 e はピンパターン 12 間で 1 本形成される。

【0009】

そして、ピンパターン 12 に IC ソケットのピンが挿入され、半田接続される。

【0010】

また、図 10 (B) において、空領域 14 の周囲にピンパターン 15 が水平垂直 100 ミル、対角約 70 ミルのピッチで配列される。そして、外側 2 列が 1 層目で引き出しパターン 16 a (例えば、幅 0.35mm, 以下同じ) が形成され、順次 2 層目から 8 層目まで 1 列ごとに引き出しパターン 16 a ~ 16 h が形成されると共に、内側 2 列が 9 層目で引き出し

10

パターン 16 i が形成される。この場合も引き出しパターン 16 a ~ 16 i はピンパターン 15 間で 1 本形成される。

【0011】

従って、通常 6 層目から 9 層目までのピンパターン 15 が電源ピンとして割り当てた場合に、電源パターンとなる引き出しパターン 16 f ~ 16 i の幅が信号用の引き出しパターン 16 a ~ 16 e と同様の例えば 0.35mm となる。

【0012】

【発明が解決しようとする課題】

しかし、上述のように、よりピンの狭ピッチ、高発熱デバイス用のバーンインボードを製作する場合、ボードの積層数を増加して、電源層を増加させるが、又はデバイスの実装個数を減少させるかの対応しかとることができず、製造工程の増加やバーンインボードの個数の増加を招きコスト高になるという問題がある。また、バーンインボードを多層板化するとリピート製作時に日数を要するという問題がある。

20

【0013】

さらに、電源用の引き出しパターン 16 f ~ 16 i を信号用の引き出しパターン 16 a ~ 16 e と同じ幅でしか形成することができないことから、電源電流変動によるノイズの影響を受け易いという問題がある。

【0014】

そこで、本発明は上記課題に鑑みなされたもので、ノイズ干渉の低減、低コスト化を図り、製造容易とするバーンインボードを提供することを目的とする。

30

【0015】

【課題を解決するための手段】

上記課題は、バーンインが行われる、PGA 型の半導体デバイスを保持する所定数の保持部の、下方に延出する複数のリードピンの挿入されるリード孔が形成され、該リード孔に対応する配線パターンが形成されるバーンインボードにおいて、前記保持部を実装するためのものであって、総ての前記リード孔が形成されると共に、該リード孔のうち所定列のリード孔に対応する前記配線パターンが両面のそれぞれに形成され、該配線パターンが形成されたリード孔に対応する前記リードピンが不要長さ部分を切断除去されて挿入され接続固定される第 1 の基板と、該リードピン挿入方向で該第 1 の基板に重ねられて配置されるものであって、該第 1 の基板の該配線パターンが形成された該リード孔を除く前記リード孔が形成されると共に、形成された該リード孔のうち総ての又は所定列のリード孔に対応する前記配線パターンが両面のそれぞれに形成され、該配線パターンが形成されたリード孔に対応する前記リードピンが不要長さ部分を切断除去されて挿入され接続固定される第 2 の基板と、を有して構成することにより解決される。

40

【0016】

また、前記保持部のリードピンの個数に応じて前記第 2 の基板の下方に所定枚数重ねられて配置される基板であって、上方に位置される所定数の基板に前記配線パターンが形成されたリード孔を除く前記リード孔が形成されると共に、形成された該リード孔のうち総ての又は所定列のリード孔に対応する前記配線パターンが両面のそれぞれに形成され、該配線パターンが形成されたリード孔に対応する前記リードピンが不要長さ部分を切断除去さ

50

れて挿入され接続固定される。

【0017】

【作用】

上述のように、第1の基板以下に、リードピン挿入方向に所定枚数の基板が重ねられて配置される。これら基板は、上方に位置される基板に挿入されて接続固定されて不要長さ部分を切断除去されたリードピン以外のリードピンに対応するリード孔が形成される。また、リード孔のうち、所定列のリード孔に対応する配線パターンが各基板の両面にそれぞれ形成され、該配線パターンが形成されたリード孔に対応するリードピンが不要長さ部分を切断除去されて挿入され、接続固定されたものである。

【0018】

このように、配線パターンを両面に形成した基板を半導体デバイスに応じて重ねて配置することから、実装個数を減らすことなく、一枚の基板で多層化するよりも低コストかつ製造容易で短期間で製造することが可能になる。また、各基板で信号系と電源系を分離することが可能となり、電源用の配線パターンが十分な太さで形成されて電源電流変動に伴うノイズ干渉を緩和することが可能となる。

【0019】

【実施例】

図1に、本発明の一実施例の構成図を示す。図1(A)において、バーンインボード21は、半導体デバイス(図示せず)を挿入させて保持する保持部であるICソケット22が所定数実装される第1の基板23と、第1の基板23の下方でICソケット22のリードピン(後述する)の挿入方向に第2の基板24から第3の基板25, 第4の基板26, 第5の基板27まで重ねられて配置される。

【0020】

これら第1~第5の基板23~27は、4つのスペーサ28をそれぞれ介在させてネジ29で取り付けられる。また、一端には、電源を供給し、信号の送受を行うためのコネクタ(接続ピンでもよい)30が設けられる。なお、第1~第5の基板23~27はそれぞれ両面に配線パターンが形成される(図2~図6において説明する)。

【0021】

そこで、図1(B)に一つのソケット22の部分の拡大図が示されており、ICソケット22のリードピン31がバーンインボード21に挿入されている。すなわち、第1の基板23には、図1(C)に示すようにICソケット22のリードピン31の総てに対応してリード孔32が形成されており、リードピン31の外側3列のリードピン31aが該第1の基板23に接続固定され、不要な長さ部分が切断除去される。

【0022】

また、リードピン31a以外のリードピン31のさらに外側3列のリードピン31bが第2の基板24に接続固定されて不要な長さ部分が切断除去される。同様の残りのリードピン31のうち外側1列のリードピン31cが第3の基板25に接続固定されて不要な長さ部分が切断除去され、さらに残りのリードピン31のうち外側1列のリードピン31dが第4の基板26に接続固定されて不要な長さ部分が切断除去される。

【0023】

そして、最内側1列のリードピン31eが第5の基板27に接続固定されて不要な長さ部分が切断除去されるものである。

【0024】

ところで、上述のように図1(C)には第1の基板23に形成されたリード孔32が示されており、例えば、白抜き部分を信号系とし、黒塗り部分を電源系とし、電源系のうち最内側の1列をグラウンド(GND)とする。そこで、図1(B)に示すICソケット22のリードピン31(31a~31e)に対応させると、外側3列のリード孔32aが当該第1の基板23に接続固定されるリードピン31aに対応する。またリード孔32bが下方に配置される第2の基板24に接続固定されるリードピン31bに対応し、同様にリード孔32cがリードピン31cに、リード孔32dがリードピン31dに、リード孔31e

10

20

30

40

50

がリードピン 3 1 e にそれぞれ対応する。

【 0 0 2 5 】

ここで、図 1 (D) は図 1 (C) の一部分を示したもので、リード孔 3 2 の形成ピッチ、及び配線パターンについて説明する。

【 0 0 2 6 】

図 1 (C) , (D) において、リード孔 3 2 は例えば水平垂直方向に $d_1 = 100$ ミル (2.54mm) ピッチであり、対角方向に $d_2 = 約 70$ ミル (1.796 mm) で配列形成される。また、信号系のリード孔 3 2 a , 3 2 b より引き出される引き出しパターン 3 3 は、異なるデバイスによっては、信号系のリード孔 3 2 a , 3 2 b が電源系となる場合もあり、例えば電源系のリードピン 3 1 c , 3 1 d で 1 ピン当たり 400 mA の電流が流れるとすると 0.4 mm 幅 (1 A 当たり 1 mm) で形成する。従って、引き出しパターン 3 3 a を幅 0.4 mm で形成した場合、リード孔 3 2 a , 3 2 b と引き出しパターン 3 3 との間隔 d_4 は 0.35mm となる。

10

【 0 0 2 7 】

そこで、図 2 ~ 図 6 に、図 1 の第 1 ~ 第 5 の基板の両面パターンの説明図を示す。なお、図 2 ~ 図 6 では、黒塗り部分がパターンの形成されるリード孔として示している。

【 0 0 2 8 】

図 2 は第 1 の基板 2 3 であり、図 2 (A) は部品面 (IC ソケット 2 2 が実装される面) を示しており、図 2 (B) ははんだ面 (裏面) を示している。すなわち、第 1 の基板 2 3 には、実装される IC ソケット 2 2 の総てのリードピン 3 1 (3 1 a ~ 3 1 e) に対応するリード孔 3 2 (3 2 a ~ 3 2 e) が形成される。なお、形成されるリード孔 3 2 には基板両面ではんだによる接続固定するためのランド部 (図示せず) が形成される (以下においても同様である) 。

20

【 0 0 2 9 】

図 2 (A) に示す部品面では外側 2 列のリード孔 3 2 a に信号ラインとなる引き出しパターン 3 3 が形成され、図 2 (B) に示すはんだ面では外側から 3 列目のリード孔 3 2 a に引き出しパターン 3 3 が形成される。なお、上述のランド部と引き出しパターンとが基板上の配線パターンとなる。

【 0 0 3 0 】

そして、図 1 (B) に示すように、IC ソケット 2 2 のリードピン 3 1 がリード孔 3 2 に挿入され、はんだにより接続固定されると共に、リードピン 3 1 a の不要な長さ部分が切断除去されるものである。

30

【 0 0 3 1 】

図 3 は第 2 基板 2 4 であり、図 3 (A) が部品面、図 3 (B) がはんだ面を示している。図 3 (A) , (B) に示される第 2 の基板 2 4 には、上方に位置される第 1 の基板 2 3 で引き出しパターン 3 3 が形成されたリード孔 3 2 a 以外のリード孔 3 2 b ~ 3 2 e が形成される。

【 0 0 3 2 】

図 3 (A) に示す部品面では、外側 2 列のリード孔 3 2 b に信号ラインとなる引き出しパターン 3 3 が形成され、図 3 (B) に示すはんだ面では外側から 3 列目のリード孔 3 2 b に引き出しパターン 3 3 が形成される。そして、図 1 (B) に示すように、IC ソケット 2 2 のリードピン 3 1 b が該引き出しパターン 3 3 が形成されたリード孔 3 2 b に挿入されて、はんだにより接続固定され、不要な長さ部分が切断除去される。

40

【 0 0 3 3 】

図 4 は第 3 基板であり、図 4 (A) が部品面、図 4 (B) がはんだ面を示している。図 4 (A) , (B) に示される第 3 の基板 2 5 には、上方に位置された第 1 及び第 2 の基板 2 3 , 2 4 で引き出しパターン 3 3 が形成されたリード孔 3 2 a , 3 2 b 以外のリード孔 3 2 c ~ 3 2 e が形成される。

【 0 0 3 4 】

図 4 (A) に示す部品面及び図 4 (B) に示すはんだ面では外側 1 列のリード孔 3 2 c の

50

みを含んで配線パターンとして電源べた面 3 4 がそれぞれ形成される。そして、図 1 (B) に示すように、ICソケット 2 2 のリードピン 3 1 c が該電源べた面 3 4 が形成されたリード孔 3 2 c に挿入されてはんだにより接続固定され、不要な長さ部分が切断除去される。

【 0 0 3 5 】

図 5 は第 4 基板 2 6 であり、図 5 (A) が部品面、図 5 (B) がはんだ面を示している。図 5 (A) , (B) に示される第 4 の基板 2 6 には、上方に位置された第 1 ~ 第 3 の基板 2 3 ~ 2 5 で引き出しパターン 3 3 が形成されたリード孔 3 2 a ~ 3 2 c 以外のリード孔 3 2 d , 3 2 e が形成される。

【 0 0 3 6 】

図 5 (A) に示す部品面及び図 5 (B) に示すはんだ面では外側 1 列のリード孔 3 2 d のみを含んで配線パターンとして電源べた面 3 4 がそれぞれ形成される。そして、図 1 (B) に示すように、ICソケット 2 2 のリードピン 3 1 が該電源べた面 3 4 が形成されたリード孔 3 2 d に挿入されて、はんだにより接続固定され、不要な長さ部分が切断除去される。

【 0 0 3 7 】

図 6 は第 5 基板 2 7 であり、図 6 (A) が部品面、図 6 (B) がはんだ面を示している。図 6 (A) , (B) に示される第 5 の基板 2 7 には、上方に位置された第 1 ~ 第 4 の基板 2 3 ~ 2 6 で引き出しパターン 3 3 が形成されたリード孔 3 2 a ~ 3 2 d 以外の内側のリード孔 3 2 e が形成される。

【 0 0 3 8 】

図 6 (A) に示す部品面及び図 6 (B) に示すはんだ面では外側 1 列のリード孔 3 2 e のみを含んで配線パターンとして電源べた面 3 4 がそれぞれ形成される。

【 0 0 3 9 】

そして、図 1 (B) に示すように、ICソケット 2 2 のリードピン 3 1 e が該電源べた面 3 4 が形成されたリード孔 3 2 e に挿入されてはんだにより接続固定されるものである。

【 0 0 4 0 】

なお、図 2 ~ 図 6 に示す第 1 ~ 第 5 の基板 2 3 ~ 2 7 で構成されるバーンインボード 2 1 に ICソケット 2 2 を実装するにあたり、第 1 の基板 2 3 にまず ICソケット 2 2 を挿入してはんだ付けした後にリードピン 3 1 a を切断し、次に第 2 の基板 2 4 に残りのリードピン 3 1 b ~ 3 1 e を挿入してはんだ付けした後にリードピン 3 1 b を切断するように順次はんだ付けとリード切断を行うことにより実装してもよい。

【 0 0 4 1 】

また、第 1 ~ 第 5 の基板 2 3 ~ 2 7 を重ねて組立てておき、一方で ICソケット 2 2 のリードピン 3 1 を予め所定の長さに切断しておいて、当該 ICソケット 2 2 を重ねられた第 1 ~ 第 5 の基板 2 3 ~ 2 7 のリード孔 3 2 a ~ 3 2 e にそれぞれに挿入して、はんだリフロー等によりはんだ接続をすることにより実装してもよい。

【 0 0 4 2 】

このように、多ピン狭ピッチ、高発熱の半導体デバイスのバーンインを行うにあたり、実装個数を減らすことなく両面基板を重ねて配置させることにより、一枚の基板を多層化するよりも低コストかつ製造容易で短期間で製造することができる。また、第 1 ~ 第 5 の基板 2 3 ~ 2 7 で信号系と電源系 (グランド GND を含む) を分離することができ、電源用の配線パターンを電源べた面 3 4 で形成することができることにより電源電流変動に伴うノイズ干渉を緩和することができるものである。

【 0 0 4 3 】

次に、図 7 に、本発明の他の実施例の構成図を示す。図 7 は、バーンインボード 2 1 の一部分 (ICソケット 1 個分) を示したもので、それぞれ両面に配線パターン (図 8 及び図 9 で説明する) が形成された第 1 の基板 4 1 及び第 2 の基板 4 2 で構成され、これらに ICソケット 4 3 が実装される。この場合、ICソケット 4 3 のリードピン 4 4 のうち外側 3 列のリードピン 4 4 a が第 1 の基板 4 1 に挿入されてはんだにより接続固定され、不要

10

20

30

40

50

な長さ部分が切断除去される。そして、残り3列のリードピン44bが第2の基板42に挿入されてはんだにより接続固定されるものである。

【0044】

これにより、上記実施例と同様に低コストかつ製造容易で短期間で製造することができる。

【0045】

そこで、図8及び図9に、図7の第1及び第2の基板の両面パターンの説明図を示す。

【0046】

図8は第1の基板41であり、図8(A)は部品面、図8(B)ははんだ面を示している。第1の基板41にはICソケット43のリードピン44の総てに対応して4つの領域45a~45dに例えば0.3mmピッチで径0.7mmのリード孔46が形成される。

10

【0047】

図8(A)の部品面ではリード孔46の外側2列のリード孔46aに配線パターンとして引き出しパターン47がそれぞれ形成され、図8(B)のはんだ面では外側から3列目のリード孔46aに引き出しパターン47が形成される。この両面のリード孔46aがICソケット43のリードピン44aに対応する。

【0048】

すなわち、このリード孔46aにICソケット43のリードピン44aが挿入されてはんだにより接続固定され、不要の長さ部分が切断除去される。

【0049】

20

図9は第2の基板42であり、図9(A)は部品面、図9(B)ははんだ面を示している。第2の基板42には、4つの領域45a~45dにおいてICソケット43のリードピン44に対応するリード孔46のうち、第1の基板42で引き出しパターン47が形成されたリード孔46a以外のリード孔46bが形成される。このリード孔46bはICソケット43のリードピン44bに対応する。

【0050】

図9(A)の部品面ではリード孔46bの外側2列のリード孔46bに配線パターンとして引き出しパターン47がそれぞれ形成され、図9(B)のはんだ面では最内側の列のリード孔46bに引き出しパターン47が形成される。

【0051】

30

そして、このリード孔46bにICソケット43のリードピン44bが挿入されてはんだにより接続固定されるものである。

【0052】

【発明の効果】

以上のように本発明によれば、バーンインを行う半導体デバイスに応じて両面に配線パターンが形成される基板を所定数重ねて配置し、保持部のリードピンを各基板に順次接続固定して不要長さ部分を切断除去させて実装させる構成とすることにより、ノイズ干渉の低減、低コスト化を図ることができると共に、製造容易となって短期間の製造を行うことができるものである。

【図面の簡単な説明】

40

【図1】本発明の一実施例の構成図である。

【図2】図1の第1の基板の両面パターンの説明図である。

【図3】図1の第2の基板の両面パターンの説明図である。

【図4】図1の第3の基板の両面パターンの説明図である。

【図5】図1の第4の基板の両面パターンの説明図である。

【図6】図1の第5の基板の両面パターンの説明図である。

【図7】本発明の他の実施例の構成図である。

【図8】図7の第1の基板の両面パターンの説明図である。

【図9】図7の第2の基板の両面パターンの説明図である。

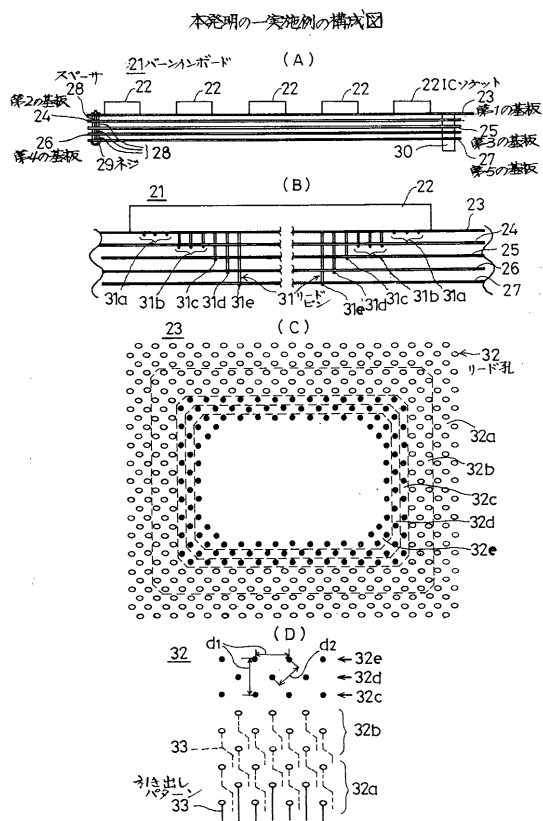
【図10】従来のバーンインボードのパターン構成図である。

50

【符号の説明】

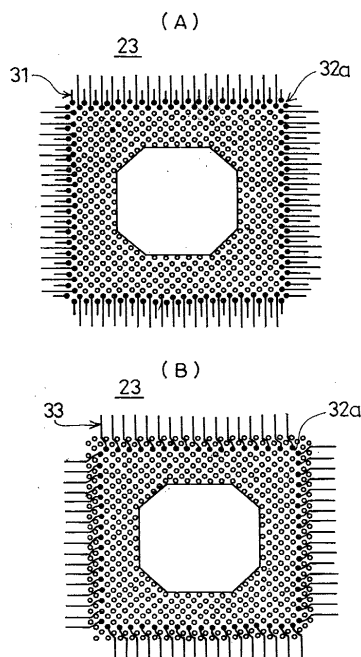
- 2 1 パーンインボード
- 2 2 , 4 3 ICソケット
- 2 3 , 4 1 第1の基板
- 2 4 , 4 2 第2の基板
- 2 5 第3の基板
- 2 6 第4の基板
- 2 7 第5の基板
- 2 8 スペース
- 2 9 ネジ
- 3 0 コネクタ
- 3 1 , 4 4 リードピン
- 3 2 , 4 6 リード孔
- 3 3 , 4 7 引き出しパターン
- 3 4 電源べた面

【図1】



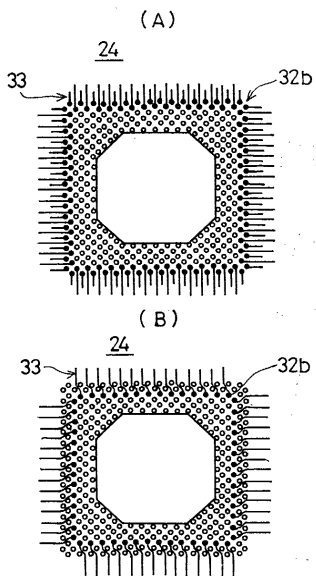
【図2】

図1の第1の基板の両面パターンの説明図



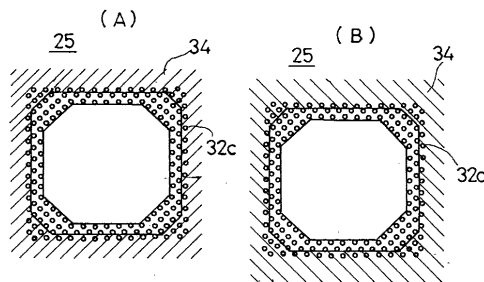
【 図 3 】

図1の第2の基板の両面パターンの説明図



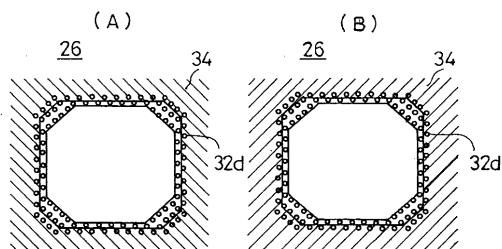
【 図 4 】

図1の第3の基板の両面パターンの説明図



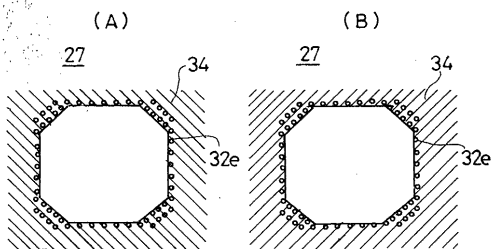
【 図 5 】

図1の第4の基板の両面パターンの説明図



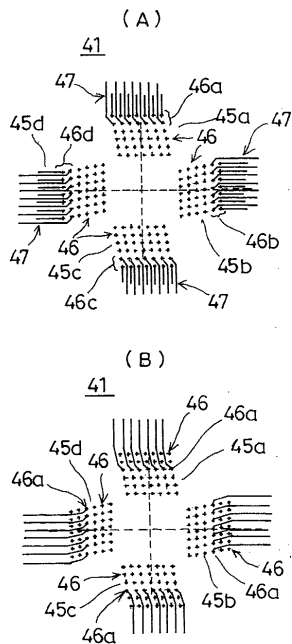
【 図 6 】

図1の第5の基板の両面パターンの説明図



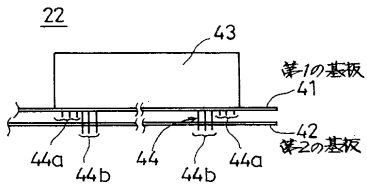
【 図 8 】

図7の第1の基板の両面パターンの説明図



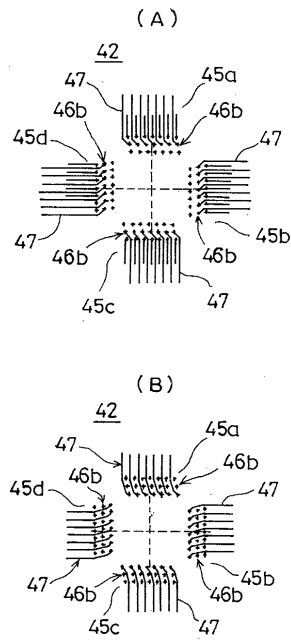
【 図 7 】

本発明の他の実施例の構成図



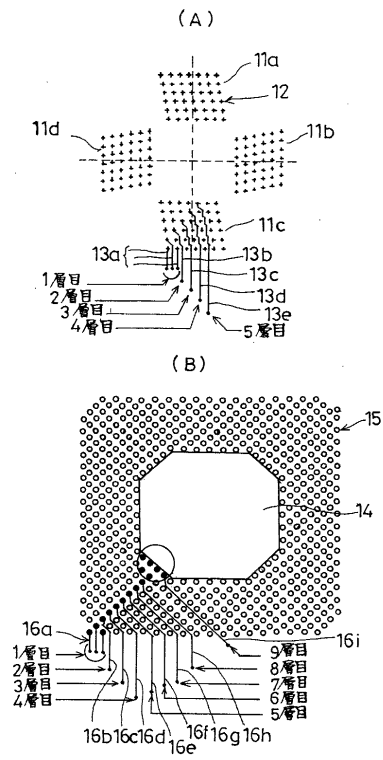
【 図 9 】

図7の基板の両面パターンの説明図



【 図 10 】

従来のバーンインボートのパターン構成図



フロントページの続き

- (56)参考文献 実開昭56-121175(JP,U)
特開昭60-52031(JP,A)
特開平04-254346(JP,A)
実開昭49-127756(JP,U)
特開平03-15765(JP,A)
特開平05-114632(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)

G01R31/26