

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 24.07.90.

③0 Priorité :

④3 Date de la mise à disposition du public de la demande : 31.01.92 Bulletin 92/05.

⑤6 Liste des documents cités dans le rapport de recherche : *Se reporter à la fin du présent fascicule.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : SGS-THOMSON  
MICROELECTRONICS (S.A.) Société Anonyme —  
FR.

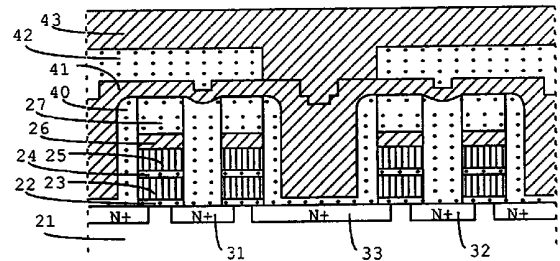
⑦2 Inventeur(s) : Guillaumot Bernard et Laurens Michel.

⑦3 Titulaire(s) :

⑦4 Mandataire : De Beaumont Michel Cabinet Conseil.

⑤4 Mémoire EPROM à drain et source de structures différentes.

⑤7 La présente invention concerne une architecture de mémoire à cellules de type EPROM, chaque cellule comprenant une diffusion de drain (33), une diffusion de source (31, 32), une grille flottante (23) et une grille de commande (25, 26). Toutes les sources des cellules d'une même rangée sont interconnectées par la diffusion (31 et 32) du même type que les sources se prolongeant selon une rangée. Toutes les grilles de commande (25, 26) des cellules d'une même rangée sont reliées par une ligne de mot (LM) correspondant à un deuxième niveau de silicium polycristallin revêtu d'une couche de siliciure d'un métal réfractaire. Tous les drains (33) d'une même colonne sont reliés par une ligne de bit (LB) correspondant à une métallisation (41) en un métal réfractaire rejoignant les diffusions de drains, cette métallisation étant séparée des ensembles de grille et des diffusions de source par une couche d'oxyde de silicium (40).



1

MEMOIRE EPROM A DRAIN ET SOURCE DE STRUCTURES DIFFERENTES

La présente invention concerne les mémoires à semi-conducteur et plus particulièrement les mémoires à grille flottante, non volatiles et électriquement programmables, couramment appelées mémoires EPROM.

5 Pour obtenir des mémoires à grande capacité de stockage, par exemple des mémoires capables de stocker jusqu'à 16 Mégabits, on doit réduire le plus possible la dimension de chacune des cellules constituant la mémoire. Mais on est évidemment limité par des considérations physiques et notamment par la  
10 finesse des motifs que permettent les étapes de photolithographie. On est limité aussi par les paramètres électriques parasites qui sont dus au processus de fabrication et qui perturbent le fonctionnement de la mémoire.

La figure 1A représente un transistor T d'un point  
15 mémoire à grille flottante. Ce transistor possède une grille flottante 1 et une grille de commande 2, ainsi que deux régions semiconductrices d'un premier type de conductivité (source 3 et drain 4) séparées par une région de canal d'un type de conductivité opposé recouverte par la grille flottante 1 et la grille de  
20 commande 2.

La grille de commande 2 est reliée à une ligne de mot IM. Le drain 4 est relié à une ligne de bit LB. La source 3 est reliée à la masse.

Pour programmer, ou écrire, un tel point mémoire, on charge la grille flottante 1 par injection de porteurs chauds, en appliquant à la grille de commande 2, pendant que le transistor conduit un courant entre ses régions de source 3 et de drain 4, un potentiel suffisamment élevé pour que les porteurs de charge (électrons) soient attirés et piégés dans la grille flottante. Cette opération d'écriture a pour effet d'augmenter le seuil de conduction du transistor qui, une fois programmé, ne conduira le courant que pour des valeurs de potentiel appliqué sur sa grille de commande plus élevées qu'en l'absence de programmation.

Lors de la lecture de l'information contenue dans un point mémoire, on applique à la grille de commande du transistor de ce point mémoire une tension à la fois supérieure à la tension de seuil de déclenchement de conduction à l'état non-programmé et inférieure à la tension de seuil de déclenchement de conduction à l'état programmé. Si le transistor conduit quand une différence de potentiel adaptée est appliquée entre la source et le drain, le point mémoire est à l'état non-programmé. Si le transistor ne conduit pas, le point mémoire est à l'état programmé.

Le potentiel appliqué à la grille de commande lorsqu'on programme le point mémoire, ou potentiel de programmation VPP, est par exemple de 15 volts. Le potentiel de drain VCC est alors par exemple de 10 volts et le potentiel de source VSS est par exemple 0 volt ou la masse.

Le potentiel appliqué à la grille de commande lors de la lecture du point mémoire est par exemple de 5 volts. Le potentiel de drain VCC est alors par exemple de 1,5 volts, et le potentiel de source VSS est par exemple 0 volt ou la masse.

La figure 1B représente une vue en coupe d'un point mémoire implanté dans une tranche de silicium. Le transistor comprend une grille flottante 1, une grille de commande 2, une région de source 3 et une région de drain 4. La source et le drain sont deux régions semiconductrices d'un premier type de

conductivité, par exemple N<sup>+</sup>, séparées par une région de canal 7 d'un type de conductivité opposé, par exemple P-.

La grille flottante 1 du transistor est réalisée par un premier niveau de silicium polycristallin (poly 1). Elle est  
5 séparée du substrat par une couche mince de dioxyde de silicium 5, appelée couche d'oxyde de grille. Une couche de dioxyde de silicium 6 est présente entre les couches de grilles 1 et 2. La grille de commande 2 est réalisée par un deuxième niveau de silicium polycristallin (poly 2). La couche de dioxyde de silicium 6  
10 est appelée couche d'oxyde interpoly.

L'un des problèmes pour la réalisation de mémoires EPROM comprenant un grand nombre de cellules du type de celle illustrée très schématiquement en figure 1B est d'assurer avec le  
15 minimum de perte de surface la connexion entre tous les drains des cellules d'une même colonne (ligne de drain ou de bit) et entre toutes les grilles de commande d'une même rangée (ligne de mot), tout en reliant toutes les sources à la masse.

Ceci doit être effectué non seulement en rendant minimale la surface occupée, mais aussi en faisant que les connexions  
20 entre cellules soient suffisamment conductrices pour éviter des chutes de tension sur les lignes de mot, de bit ou de masse.

En outre, c'est un objet de la présente invention de réaliser une telle structure dans laquelle les lignes de bits (drains) et les lignes de masse (sources) soient nettement  
25 différenciées.

Pour atteindre ces objets, la présente invention prévoit une nouvelle structure de mémoire EPROM à différenciation de lignes de bit et de lignes de masse, ainsi qu'un nouveau procédé de fabrication d'une telle mémoire.

30 Plus particulièrement, la présente invention prévoit une architecture de mémoire à cellules de type EPROM, chaque cellule comprenant une diffusion de drain, une diffusion de source et au-dessus de la région de canal une grille flottante et une grille de commande, les cellules élémentaires étant alignées

selon des colonnes dans l'ordre source, grille, drain, grille, source, grille, drain, etc., des lignes de bit reliant tous les drains des cellules d'une même colonne et des lignes de mot reliant toutes les grilles de commande des cellules d'une même  
5 rangée, les colonnes étant généralement séparées les unes des autres par des régions d'oxyde de champ. Dans cette structure, toutes les sources des cellules d'une même rangée sont interconnectées par une diffusion du même type que les sources se prolongeant selon une rangée ; toutes les grilles de commande des  
10 cellules d'une même rangée sont reliées par une ligne de mot correspondant à un deuxième niveau de silicium polycristallin revêtu d'une couche de siliciure d'un métal réfractaire ; et tous les drains d'une même colonne sont reliés par une ligne de bit correspondant à une métallisation (41) en un métal réfractaire  
15 rejoignant les diffusions de drain, cette métallisation étant séparée des ensembles de grille et des diffusions de source par une couche d'oxyde de silicium.

La région d'oxyde de champ est absente entre des régions de source d'une même rangée.

20 La présente invention prévoit aussi un procédé de fabrication d'une architecture de mémoire comprenant les étapes consistant à :

- former des colonnes d'oxyde épais délimitant des régions dans lesquelles seront formées les colonnes de cellules  
25 de mémoire ;

- former un empilement de grille comprenant une couche d'isolement de grille, un premier niveau de silicium polycristallin de grille flottante, une couche d'isolement entre grilles, un deuxième niveau de silicium polycristallin de grille de  
30 commande associé à une couche de siliciure, et une couche isolante supérieure,

- former au-dessus de cet empilement une couche mince d'un troisième niveau de silicium polycristallin ;

- graver cet ensemble de couches pour définir des structures de grille, cette gravure s'effectuant jusqu'au silicium du substrat entre les colonnes d'oxyde épais ;
- masquer les régions où les zones de drain sont apparentes ;
- effectuer la gravure de la région d'oxyde de champ entre des sources d'une même rangée ;
- planter ( $N^+$ ) les régions de drains, de sources, et entre sources ;
- disposer un isolant pour remplir les espaces entre empilements de grille au-dessus des sources et pour former des espaceurs latéraux sur les côtés des empilements tournés vers les drains ;
- graver de façon anisotrope la couche d'isolant de remplissage pour dégager les surfaces apparentes de silicium au niveau des drains et de ladite couche de troisième niveau de silicium polycristallin ;
- réoxyder ladite couche de silicium polycristallin ;
- graver la partie réoxydée jusqu'à obtenir le dénudement des régions de drain ;
- déposer une couche conductrice de contact de drain en un métal réfractaire ; et
- graver la partie réoxydée jusqu'à obtenir le dénudement des régions de drain ;
- déposer une couche conductrice de contact de drain (41) en un métal réfractaire (figure 7) ; et
- réaliser les opérations finales classiques de métallisation.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante de modes de réalisation particuliers faite en relation avec les figures jointes parmi lesquelles :

les figures 1A et 1B décrites précédemment rappellent l'allure d'un point mémoire EPROM ;

la figure 2 représente de façon extrêmement schématique et symbolique une vue de dessus d'un ensemble de cellules selon la présente invention ;

la figure 3 représente une vue de dessus partielle de  
5 cellules selon la présente invention ;

la figure 4 illustre une coupe A-A de la figure 3 après définition des grilles ;

les figures 5A et 5B illustrent des coupes B-B de la figure 3 lors d'étapes successives de définition des sources ;

10 les figures 6 à 8 représentent des coupes A-A de la figure 3 lors d'étapes successives de fabrication ;

la figure 9 représente une coupe C-C de la figure 3 après gravure du métal ;

la figure 10 représente une coupe D-D de la figure 3  
15 après gravure de métal ; et

la figure 11 représente en vue de dessus partielle d'un mode de réalisation particulier de la présente invention.

On notera que, comme cela est usuel dans la représentation des circuits intégrés, les dimensions latérales et d'épais-  
20 seur des diverses couches ne sont pas tracées à l'échelle ni à l'intérieur d'une figure donnée, ni d'une figure à l'autre, les diverses dimensions étant arbitrairement dilatées ou contractées pour simplifier la lisibilité et le tracé des figures.

La figure 2 est une vue de dessus symbolique et extrê-  
25 mement schématique d'un ensemble de cellules selon l'invention. Elle est uniquement destinée à faciliter la compréhension de la topologie de la mémoire selon la présente invention. On a désigné par S, G, D les régions de source, de grille et de drain d'un transistor élémentaire. Chacun de ces transistors est orienté  
30 dans la direction des colonnes dans la représentation de la figure 2. Ainsi, verticalement, on trouve successivement une région de source S (diffusion  $N^+$ ), une région de grille G (grille flottante et grille de commande) puis une région de drain D (diffusion  $N^+$ ) et à nouveau une région de grille et une région de

source, et ainsi de suite. Les zones pointillés désignent des zones d'oxyde épais ou oxyde de champ séparant des colonnes de transistors adjacents sauf aux emplacements des sources.

Les diffusions  $N^+$  de source sont continues selon des rangées alors que les diffusions de drain sont en forme d'ilots isolés.

On note dans la figure 2, un ensemble de colonnes répétitives et une colonne 10 où la région d'oxyde est plus large. La colonne 10 est destinée à reprendre des contacts de source comme on le verra ci-après.

Toutes les grilles de commande d'une même rangée (horizontale dans la figure) sont interconnectées comme le verra ci-après par une ligne de mot LM correspondant à un deuxième niveau de silicium polycristallin et à du siliciure.

Tous les drains des transistors d'une même colonne (verticale) sont interconnectés, comme on le verra ci-après, par une ligne de bit LB en un métal réfractaire formée au-dessus du deuxième niveau de silicium polycristallin.

Il apparaîtra à la lecture de la description ci-après que l'architecture de mémoire illustrée schématiquement en figure 2 se prête à une réalisation hautement miniaturisée du fait que de nombreuses étapes successives peuvent être autoalignées et donc que l'on arrive aux dimensions minimales pour une technologie donnée.

En pratique, on pourra réaliser une mémoire selon la présente invention en répétant horizontalement des groupes de 16 cellules élémentaires séparées par une colonne de reprise de source telle que la colonne 10 de la figure 2 et, verticalement, on pourra trouver plus de 1000 transistors par colonne. On notera d'ailleurs, ci-après que la présente invention permet de minimiser le nombre de reprises de contact de drain sur le réfractaire susmentionné, éventuellement à un seul contact tous les 1000 transistors.



Dans la description ci-après de la présente invention, on s'attachera tout particulièrement à la structure de la zone mémoire elle-même. Il sera clair pour l'homme de l'art que, sur la même puce de circuit intégré que celle incorporant la mémoire, 5 seront également prévus des transistors classiques, par exemple des transistors de décodage de mémoire ou autres transistors faisant partie d'un composant. Comme cela est connu de l'homme de l'art dans le domaine de la fabrication des circuits intégrés, ces autres transistors, qui comprendront habituellement une seule 10 grille de commande et pas de grille flottante, pourront être réalisés lors des mêmes étapes de fabrication que celles des transistors à grille flottante selon l'invention. L'invention se prête d'ailleurs tout particulièrement à une telle combinaison.

La figure 3 représente en vue de dessus une portion de 15 mémoire selon la présente invention dans laquelle on peut voir deux colonnes 11 et 12 de transistors à côté d'une colonne 10 de reprise de contact de source. Cette figure 3 est un peu plus réaliste que la figure 2 et est essentiellement destinée à servir de repère pour les vues en coupe qui seront décrites ci-après. 20 L'accolade 14 désigne les limites d'une colonne d'oxyde épais initialement formée entre deux colonnes de transistors et l'accolade 15, les limites d'une colonne d'oxyde épais initialement formée dans une zone qui servira aux reprises de contact de source.

25 Cette structure sera décrite ci-après en relation avec les diverses vues en coupe à divers stades de fabrication.

La figure 4 représente une vue en coupe selon la ligne A-A de la figure 3 à un stade intermédiaire de fabrication alors que seules les zones d'oxyde épais ont été formées et que l'on a 30 déposé et gravé de façon classique toutes les couches successives destinées à former les grilles flottantes et de commande.

Plus particulièrement, on voit en figure 4, sur un substrat de silicium monocristallin 21 une première couche d'oxyde de grille 22, un premier niveau de silicium polycris-

tallin (poly 1) 23 correspondant aux grilles flottantes, une couche d'oxyde mince 24 (couche d'oxyde interpoly), un deuxième niveau de silicium polycristallin (poly 2) 25 correspondant aux grilles de commande, une couche d'un siliciure de métal réfractaire 26, une couche d'oxyde de silicium épais 27, un troisième niveau de silicium polycristallin 28 et une couche de résine 29.

Dans la représentation de la figure 4, le masque de résine 29 a été gravé selon un motif choisi pour délimiter des régions de source 31 et 32 et une région de drain centrale 33. (On retrouve également des régions de drain à l'extérieur des régions de source 31 et 32). La région de drain 33 est plus large que les régions de source 31 et 32, pour des raisons qui apparaîtront ci-après.

On notera que l'une des originalités de la présente invention réside dans la prévision du troisième niveau de silicium polycristallin 28.

Les figures 5A et 5B représentent des vues en coupe dans la même direction que la figure 4, mais selon la ligne B-B de la figure 3. Cette coupe, au lieu de se situer au milieu d'une colonne de transistor, se situe légèrement à l'écart de cette colonne dans une région où se trouve de l'oxyde de champ, 35.

La figure 5A représente l'état de la structure alors que l'on a gravé les couches de grille 22 à 29 mais avant de réaliser les implantations de drain et de source. La gravure des couches de grille se prolonge jusqu'à la couche d'oxyde épais 35.

Après cette gravure, une couche de résine 37 masque les régions de drain. Ensuite, comme le représente la figure 5B, la couche d'oxyde épais 35 est gravée au niveau des sources, et les diffusions de source 31 et 32 sont effectuées en même temps que la diffusion de drain 33 illustrée en figure 4. La structure de la figure 5B est également représentée après enlèvement des couches de résine supérieures 29 et 37.

Les figures 6 à 8 représentent des coupes A-A à des phases successives de fabrication ultérieures à celles illustrées en figures 4 et 5.

5 Comme le représente la figure 6, une couche d'oxyde 40 est déposée par voie chimique en phase vapeur de façon à remplir les intervalles relativement étroits entre les motifs de grille situés de part et d'autre d'une région de source et à former des espaceurs sur les parois verticales des motifs de grille de part et d'autre d'un motif de drain. En effet, comme on l'a vu précédemment, les régions de drain sont nettement plus larges que les 10 régions de source (à l'exception des régions de reprise de contact de source).

A l'étape illustrée en figure 7, on a procédé à une attaque anisotrope verticale de la couche d'oxyde 40 pour 15 l'enlever au-dessus des surfaces de silicium et plus particulièrement au-dessus de la région de drain dopée N<sup>+</sup> 33. Lors de cette étape d'enlèvement, la couche de silicium 28 (troisième niveau de silicium polycristallin) sert à arrêter la gravure au-dessus de l'empilement de couches de grille. Après quoi, on oxyde cette 20 couche 28 (en même temps d'ailleurs que s'oxyde la partie apparente de la région de drain 33, cette partie apparente s'oxydant néanmoins moins vite du fait qu'il s'agit de silicium mono et non polycristallin). La couche de troisième niveau de silicium polycristallin ayant une épaisseur faible et bien déterminée, son 25 oxydation puis l'enlèvement de la couche d'oxyde formée simultanément sur la région de drain 33 se fait en consommant une épaisseur d'oxyde relativement bien déterminée. Il en résulte que l'épaisseur de la région d'oxyde 27 restante peut être déterminée avec précision. Ceci constitue un avantage important par rapport 30 aux structures de l'art antérieur, dans lesquelles cette épaisseur est mal déterminée à la suite des diverses étapes d'oxydation et de gravure d'oxyde. Cette épaisseur, bien que non critique, doit être aussi faible que possible pour permettre une accélération du procédé de fabrication tout en étant suffisamment

élevée pour maintenir à une valeur raisonnable, et de préférence connue, les capacités parasites entre les grilles de commande et les métallisations déposées ensuite.

A la figure 7, après l'élimination de la couche d'oxyde sur la région de drain et dans les régions de reprise de contact de source 10, on a illustré le dépôt d'une couche d'un métal conducteur, de préférence un métal réfractaire tel que du tungstène 41 qui sera gravé selon des colonnes. Cette liaison étant à haute conductivité, elle permet de réaliser seulement un petit nombre de reprises de contact entre les colonnes de drain et les colonnes de reprise de contact de source avec une métallisation supérieure classique, couramment en aluminium.

On pourra ensuite de façon relativement classique et comme le représente la figure 8, déposer une couche d'oxyde de planarisation 42, puis une couche d'un métal de reprise de contact 43, par exemple de l'aluminium. En figure 8, on a représenté une ouverture dans la couche d'oxyde de planarisation 42 et un contact entre la couche d'aluminium 43 et la couche de tungstène 41.

L'essentiel de la présente invention a été décrit dans ce qui précède. Les figures suivantes sont notamment destinées à mieux faire comprendre l'architecture de la mémoire selon la présente invention.

La figure 9 représente une vue en coupe selon la ligne C-C de la figure 3, c'est-à-dire perpendiculairement à des régions de drain. On retrouve dans cette figure les régions de diffusion de drain 33, d'oxyde de champ 35, de métallisation de drain 41, d'isolement 42 et de métallisation 43. Dans le cas de la figure 9, on a représenté une situation où la coupe est effectuée en dehors de régions de contact entre les métallisations 43 et les métallisations de drain 41.

La figure 10 représente une vue en coupe selon la ligne D-D de la figure 3, c'est-à-dire au niveau des grilles des cellules de mémoire. Cette figure se comprend d'elle-même à partir

de la description précédente. On y a seulement reporté les références correspondant à celles des figures précédentes. On notera que la liaison de grille de commande à grille de commande selon une rangée se fait par l'ensemble du deuxième niveau de silicium polycristallin 25 et du siliciure de métal réfractaire 26. Il s'agit donc d'une liaison à haute conductivité qui constitue directement une ligne de mot.

Enfin, la figure 11 représente une vue de dessus analogue à celle de la figure 3 mais dans le cadre d'un mode de réalisation particulier où l'on a représenté en plus, par des rectangles, des reprises de contact de drain et des reprises de contact de source, c'est-à-dire, en ce qui concerne les drains, un contact entre la couche de tungstène 41 et la couche d'aluminium supérieure et, en ce qui concerne les sources, un contact entre la couche d'aluminium supérieure et la couche de tungstène de source qui est élargie, comme on l'a indiqué en relation avec la figure 2, une fois toutes les seize cellules. Etant donné qu'il n'est pas nécessaire de reprendre un contact avec chaque région de reprise de source et chaque région de drain, il est possible, comme cela est représenté, d'élargir les zones de contact, ce qui simplifie le processus de fabrication.

La présente demande est relativement succincte en ce qui concerne les étapes de fabrication car celles-ci sont bien connues de l'homme de l'art. Une architecture de mémoire selon la présente invention pourra être fabriquée en utilisant des techniques connues de dépôt et de croissance thermique de couches et des techniques de masquage et de gravure anisotrope, par exemple des gravures sèches assistées par plasma (RIE). En effet, on connaît maintenant de tels procédés de gravure qui sont bien anisotropes et nettement sélectifs entre les divers matériaux mentionnés précédemment, et notamment entre le silicium et l'oxyde de silicium.

Par ailleurs, diverses couches d'isolement ont été mentionnées simplement comme étant des couches d'oxyde de

silicium ( $\text{SiO}_2$ ). L'homme de l'art saura choisir d'autres isolants ou combinaison d'isolants pour certaines de ces couches par exemple des sandwich oxyde-nitruure-oxyde de silicium (ONO). D'autres couches isolantes pourront être dopées de façon à favoriser leurs propriétés de fluage.

A titre purement indicatif d'exemple de valeurs numériques, on pourra, dans la pratique, adopter pour les épaisseurs des diverses couches les valeurs suivantes :

10	Couche d'oxyde de grille 22 : 10 nm
	Premier niveau de silicium polycristallin 23 : 100 nm
	Couche d'oxyde interpoly 24 : 10 nm
	Deuxième niveau de silicium polycristallin 25 : 550 nm
	Couche de siliciure réfractaire 26 : 150 nm
15	Couche d'oxyde supérieure 27 : 300 nm
	Troisième niveau de silicium polycristallin 28 : 50 nm
	Couche d'oxyde de champ 35 : 500 nm

De même, on pourra obtenir un pas dans la direction des lignes de 1,5 micromètres et dans la direction des colonnes de 1,15 micromètres, ce qui correspond à une surface de point mémoire de 1,725 micromètres carrés.

REVENDICATIONS

1. Architecture de mémoire à cellules de type EPROM, chaque cellule comprenant une diffusion de drain (33), une diffusion de source (31, 32), et au-dessus de la région de canal une grille flottante (23) et une grille de commande (25, 26), les  
5 cellules élémentaires étant alignées selon des colonnes dans l'ordre source, grille, drain, grille, source, grille, drain, etc., des lignes de bit (LB) reliant tous les drains des cellules d'une même colonne et des lignes de mot (IM) reliant toutes les grilles de commande des cellules d'une même rangée, les colonnes  
10 étant généralement séparées les unes des autres par des régions d'oxyde de champ (35), caractérisée en ce que :

- toutes les sources des cellules d'une même rangée sont interconnectées par une diffusion (31 et 32) du même type que les sources se prolongeant selon une rangée,

15 - toutes les grilles de commande (25, 26) des cellules d'une même rangée sont reliées par une ligne de mot (IM) correspondant à un deuxième niveau de silicium polycristallin revêtu d'une couche de siliciure d'un métal réfractaire, et

20 - tous les drains (33) d'une même colonne sont reliés par une ligne de bit (LB) correspondant à une métallisation (41) en un métal réfractaire rejoignant les diffusions de drain, cette métallisation étant séparée des ensembles de grille et des diffusions de source par une couche d'oxyde de silicium (40).

2. Architecture de mémoire selon la revendication 1,  
25 caractérisée en ce que la région d'oxyde de champ est absente entre des régions de source d'une même rangée.

3. Architecture de mémoire selon la revendication 1, dans laquelle des contacts de source et de drain sont repris par une métallisation supérieure, caractérisée en ce que seul un  
30 petit nombre de tels contacts est établi, d'où il résulte que la dimension de ces contacts peut être plus importante.

4. Procédé de fabrication d'une architecture de mémoire selon la revendication 1, comprenant les étapes consistant à :

- former des colonnes d'oxyde épais (14) délimitant des régions dans lesquelles seront formées les colonnes de cellules de mémoire ;
- former un empilement de grille comprenant une couche d'isolement de grille (22), un premier niveau de silicium polycristallin de grille flottante (23), une couche d'isolement entre grilles (24), un deuxième niveau de silicium polycristallin de grille de commande (25) associé à une couche de siliciure (26), et une couche isolante supérieure (27), caractérisé en ce qu'il comprend en outre les étapes suivantes :
  - former au-dessus de cet empilement une couche mince d'un troisième niveau de silicium polycristallin (28) ;
  - graver cet ensemble de couches pour définir des structures de grille, cette gravure s'effectuant jusqu'au silicium du substrat entre les colonnes d'oxyde épais ;
  - masquer les régions où les zones de drain sont apparentes (fig. 5A) ;
  - effectuer la gravure de la région d'oxyde de champ entre des sources d'une même rangée ;
  - implanter ( $N^+$ ) les régions de drains, de sources, et entre sources (figure 4, 5B) ;
  - disposer un isolant (40) pour remplir les espaces entre empilements de grille au-dessus des sources et pour former des espaceurs latéraux sur les côtés des empilements tournés vers les drains (figure 6) ;
  - graver de façon anisotrope la couche d'isolant de remplissage (40) pour dégager les surfaces apparentes de silicium au niveau des drains et de ladite couche de troisième niveau de silicium polycristallin ;
  - réoxyder ladite couche de silicium polycristallin ;



- graver la partie réoxydée jusqu'à obtenir le dénudement des régions de drain ;

- déposer une couche conductrice de contact de drain (41) en un métal réfractaire (figure 7) ; et

5 - réaliser les opérations finales classiques de métallisation.

1/7

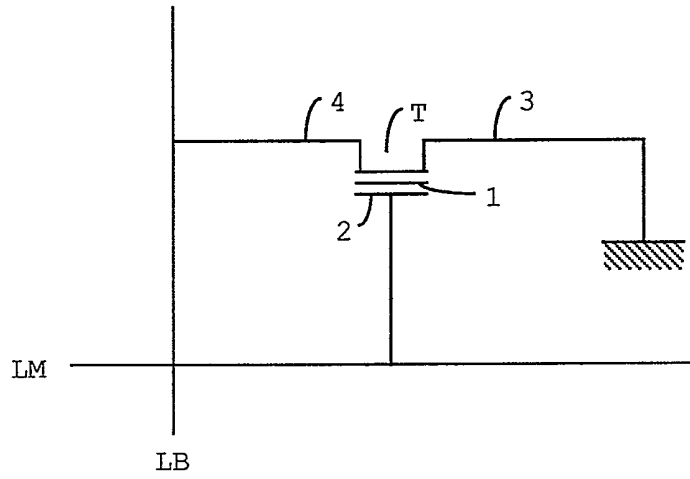


Fig 1A

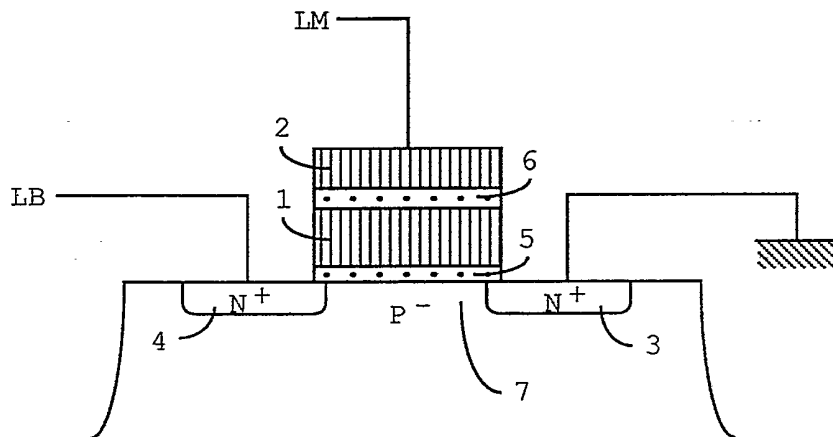


Fig 1B

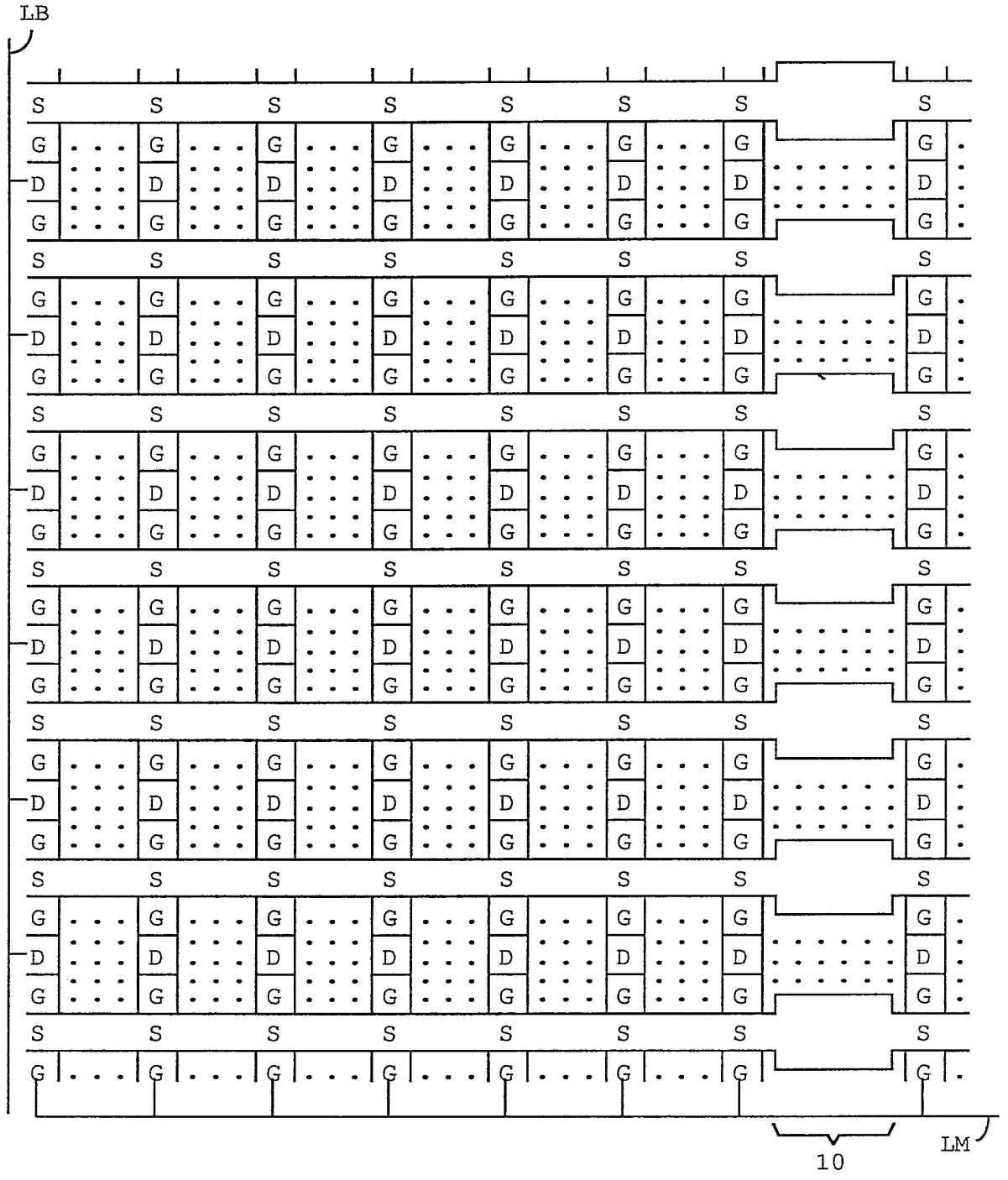


Fig 2

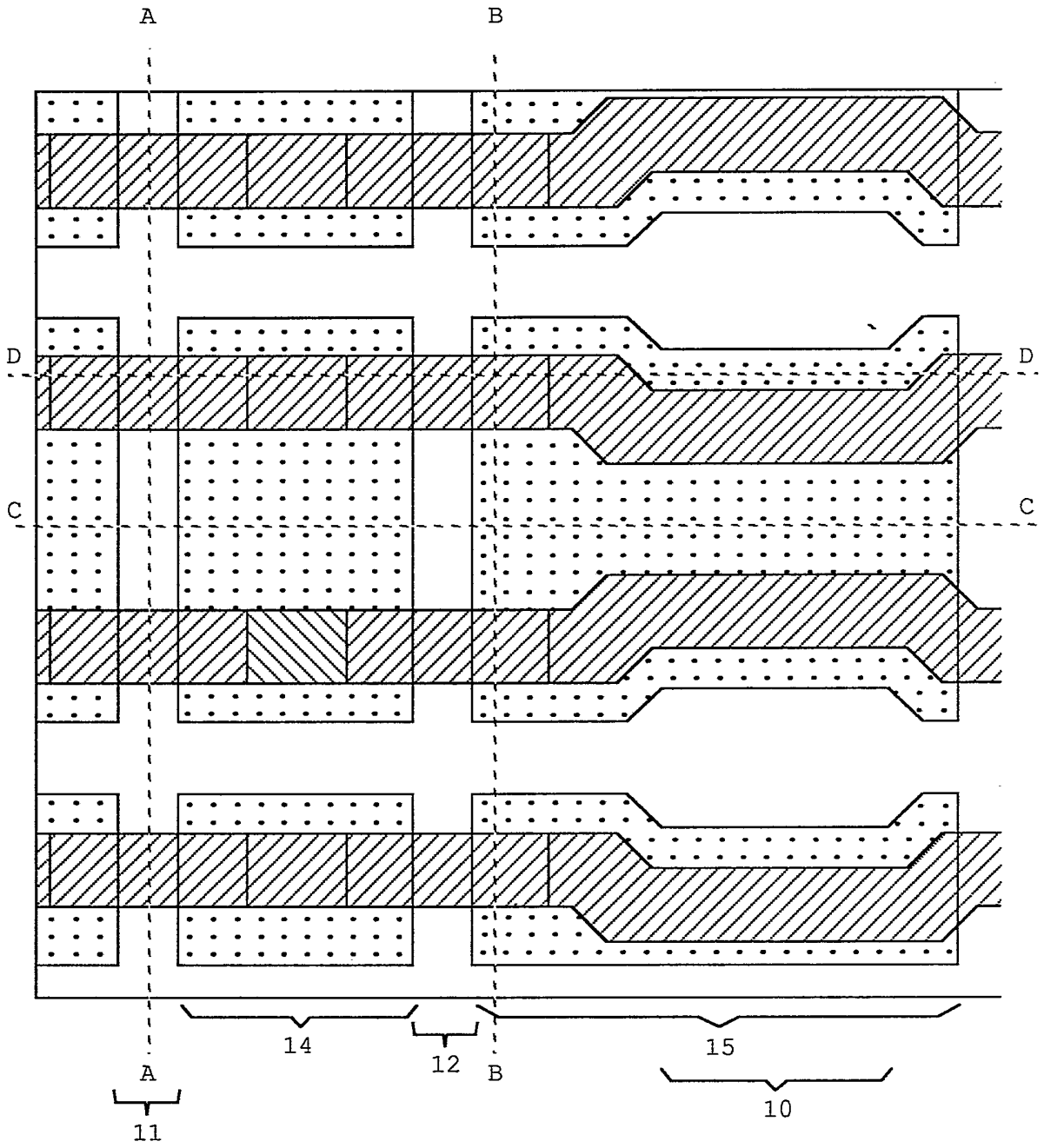


Fig 3

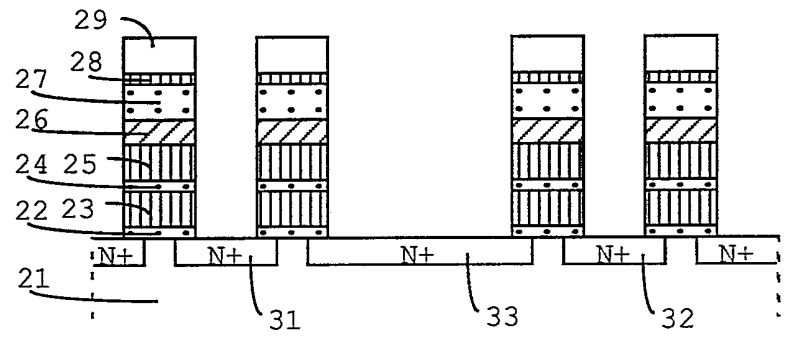


Fig 4

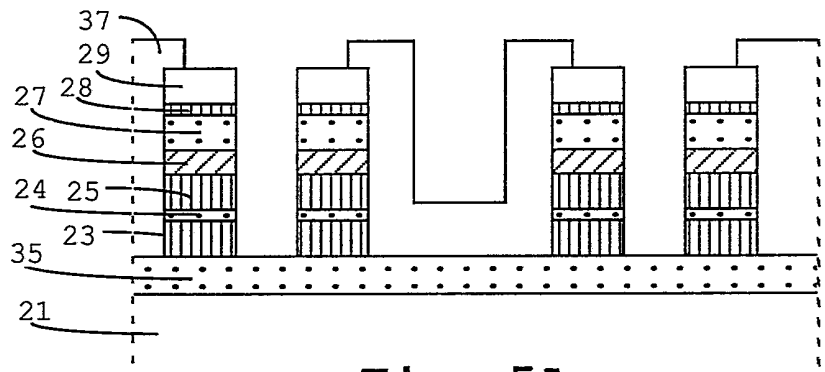


Fig 5A

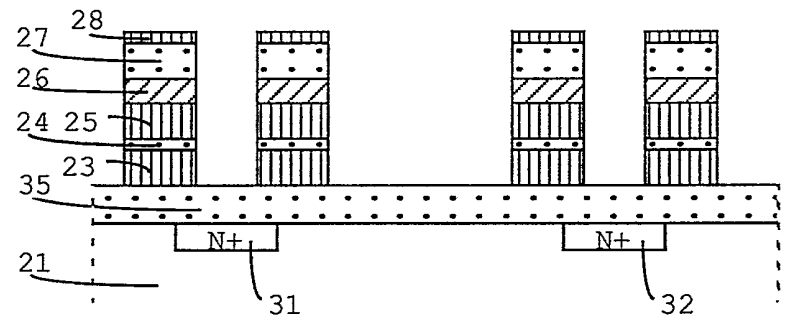


Fig 5B

5/7

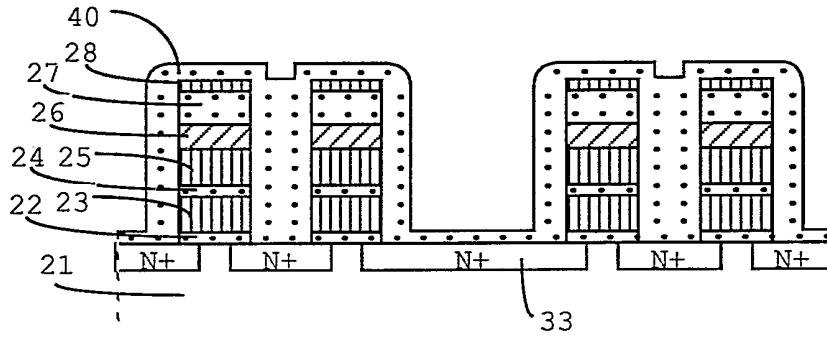


Fig 6

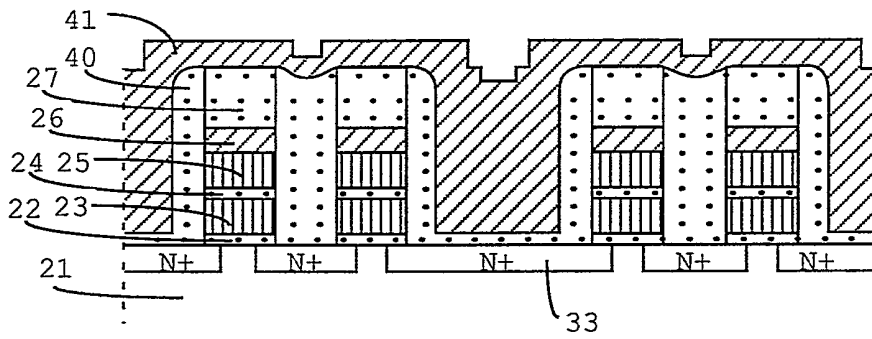


Fig 7

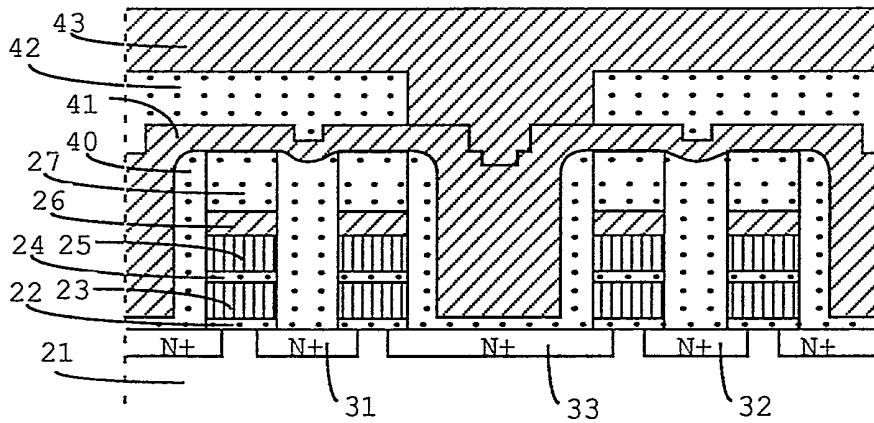


Fig 8

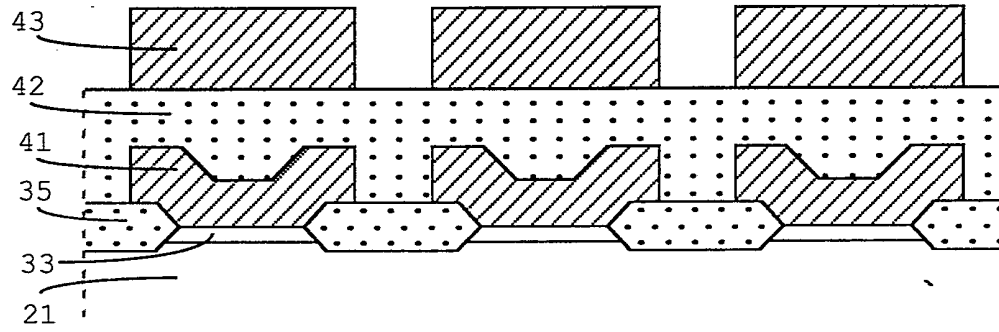


Fig 9

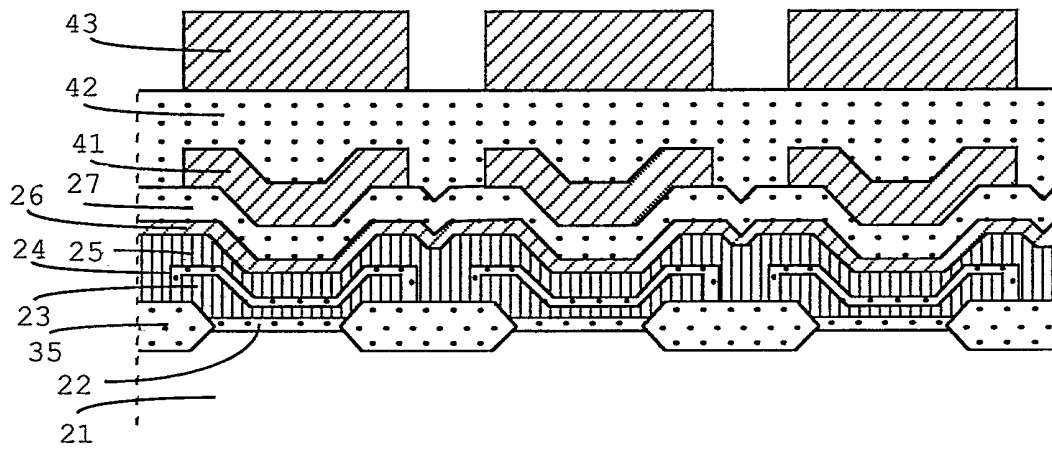


Fig 10

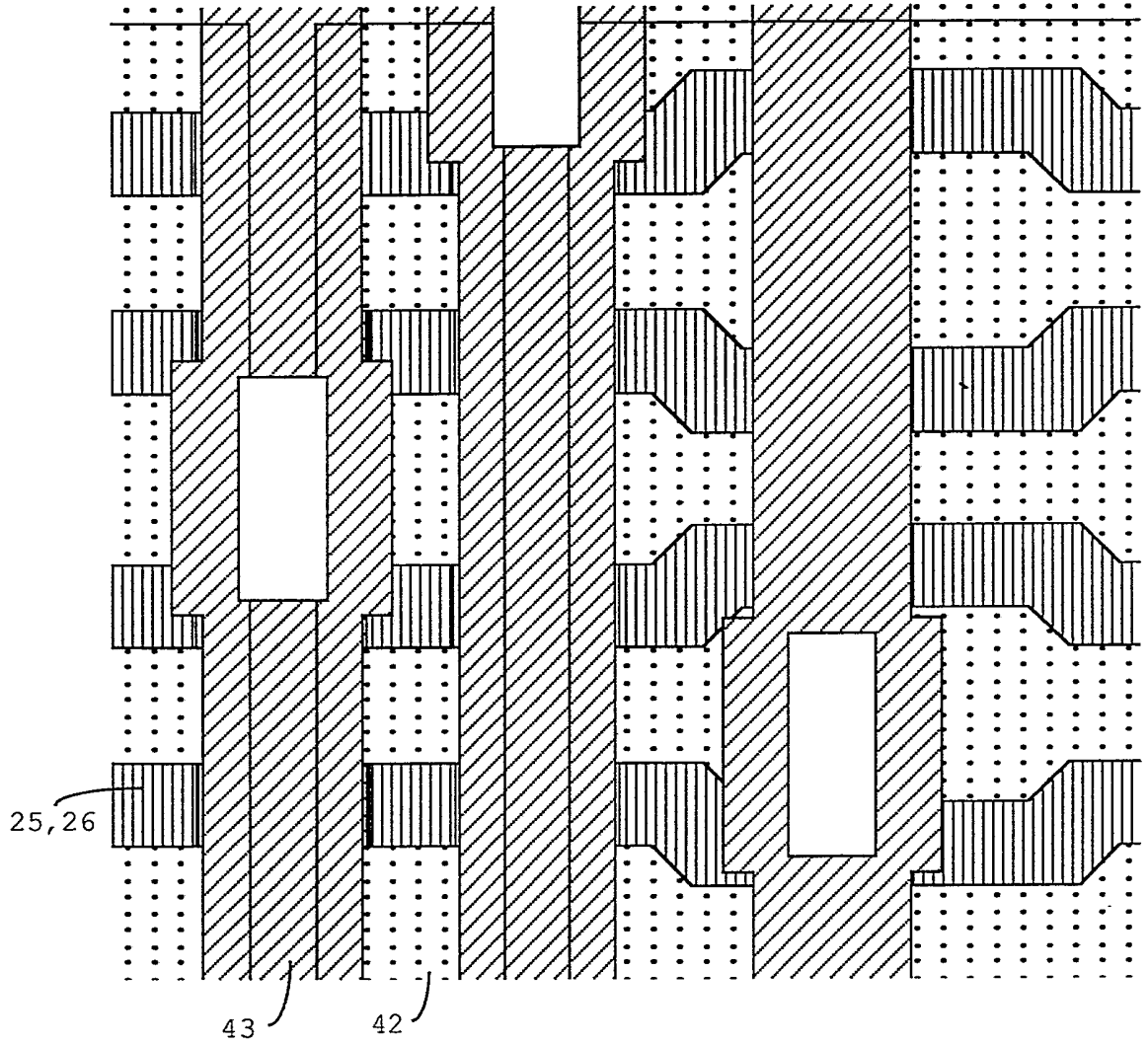


Fig 11



INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FR 9009718  
FA 448842

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
Y	US-A-4 829 351 (MOTOROLA INC.) * Revendication 1; colonne 2, ligne 3 - colonne 3, ligne 22; figures 1-4 *	1-2
A	---	4
Y	EP-A-0 368 097 (TEXAS INSTRUMENTS) * Revendication 1; colonne 7, lignes 13-45; figures 1-5b *	1-2
A	-----	4
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		H 01 L
Date d'achèvement de la recherche		Examineur
11-04-1991		FRANSEN L.J.L.
<b>CATEGORIE DES DOCUMENTS CITES</b> X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... & : membre de la même famille, document correspondant

EPO FORM 1503 03.82 (P0413)