



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 15 05 81
(21) [PV 3626-81]

(40) Zveřejněno 27 08 82

(45) Vydáno 15 10 85

219975

(11) (B1)

(51) Int. Cl.³
G 06 F 9/46

(75)

Autor vynálezu

NEVICKÝ PETR ing., ŘÍČANY u Prahy, JIROVSKÝ VÁCLAV ing. CSc.,
SOVA MILOSLAV prom. práv., PRAHA

(54) Řadič pro připojování periferních zařízení k počítačům

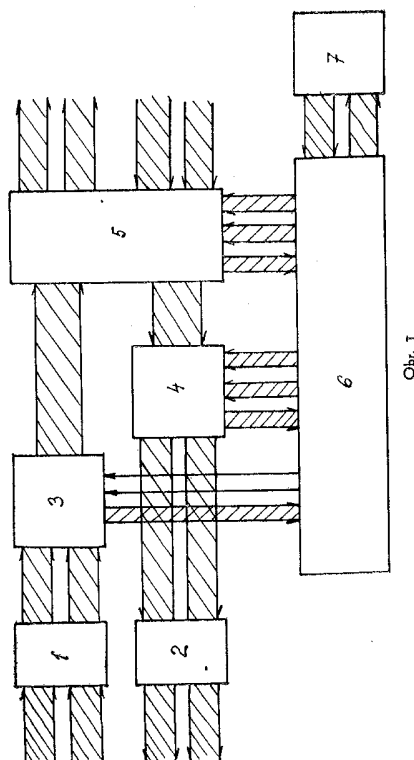
1

Vynález se týká řadiče pro připojování periferních zařízení k selektorovým, anebo multiplexním kanálům počítačů.

Podstata vynálezu spočívá v tom, že je řízen programem, skládajícím se z pěti instrukcí, které umožňují analyzovat úroveň na vstupu řadiče, generovat impulsy na výstupu řadiče a nastavovat klopné obvody na výstupu řadiče.

Řadič podle vynálezu je možné využít i v některých aplikacích v měření, případně také řízení procesů. Dále lze řadič použít v opačné funkci, tj. k imitaci kanálu počítače, např. pro připojení řádkové tiskárny k mini- a mikropočítačům vybaveným standardní magnetickou páskou, což by umožnilo používat tuto konfiguraci pro off line tisky delších počítačových sestav.

2



Obr. 1

Vynález řeší řadič pro připojování periferních zařízení k selektorovým, anebo multiplexním kanálům počítačů, jejichž interface je paralelní a asynchronní, založený na principu dotaz — odpověď.

U běžně vyráběných počítačů se styk počítače s periferním zařízením provádí podle přesně definovaného protokolu, který u některých počítačů může být značně složitý. Pro realizaci spojení podle daného protokolu se periferní zařízení vybavují blokem určeným pro spojení s kanálem. Tento blok se vzhledem k potřebné rychlosti komunikace řeší pomocí integrovaných obvodů a dalších elektronických součástek a jeho schéma zapojení je pevně dáno jednak příslušným protokolem zapojení a jednak daným periferním zařízením. Ve výpočetních střediscích často vzniká potřeba připojit k počítači zařízení, která nejsou pro daný počítač určena, u kterých je tedy zapojení bloku pro spojení s kanálem odlišné.

Uvedený problém odstraňuje řadič pro připojování periferních zařízení k počítači podle vynálezu, jehož podstata spočívá v tom, že je tvořen přijímacími zesilovači, jež jsou prostřednictvím sběrnice dat a sběrnice řídicích signálů spojeny s dekodérem vstupních sběrnic, jehož výstup dat je spojen s blokem pro spojení s přídatným zařízením, jenž je propojen s blokem registrů, který je prostřednictvím sběrnic dat a sběrnic řídicích signálů spojen s vysílacími zesilovači, přičemž dekodér vstupní sběrnice, blok registrů a blok pro spojení s přídatným zařízením jsou napojeny na blok řízení, který je spojen s pamětí.

Podle významu vynálezu je blok řízení tvořen multiplexorem, jehož adresové vstupy jsou spojeny s prvním až pátým nastavovacím vstupem čítače a jehož výstup je spojen s nastavovacím vstupem prvního D-klopného obvodu, jehož výstup je připojen na první vstup prvního obvodu logické ekvivalence, na jehož druhý vstup je napojen výstup druhého D-klopného obvodu, jehož nastavovací vstup je spojen s šestým nastavovacím vstupem čítače. Výstup prvního obvodu logické ekvivalence je napojen na první vstup prvního obvodu logického součinu, jehož druhý vstup je připojen na výstup a na K-vstup JK-klopného obvodu, jehož negovaný J-vstup je spojen s osmým nastavovacím vstupem čítače. Výstup prvního obvodu logického součinu je připojen na negovaný první vstup třetího obvodu logické ekvivalence. Na první vstup druhého obvodu logické ekvivalence, jejichž druhé vstupy jsou připojeny na generátor, k němuž jsou dále připojeny synchronizační vstup JK-klopného obvodu, přes invertor synchronizační vstupy prvního D-klopného obvodu, druhého D-klopného obvodu a třetího D-klopného obvodu, přes invertor synchronizace obvodu logického součinu, třetího obvodu logického součinu a čtvrtého obvodu logického součinu, jejichž první vstupy jsou

vzájemně propojeny, třetí vstupy jsou spojeny se sedmým nastavovacím vstupem čítače. Čtvrté vstupy jsou spojeny s osmým nastavovacím vstupem čítače a páté vstupy třetího a čtvrtého obvodu logického součinu jsou spojeny s šestým nastavovacím vstupem čítače. Výstup druhého obvodu logického součinu je připojen na vstup informace prvního demultiplexoru, výstup třetího obvodu logického součinu je připojen na vstup informace druhého demultiplexoru a výstup čtvrtého obvodu logického součinu je připojen na vstup informace třetího demultiplexoru. Adresové vstupy prvního, druhého a třetího demultiplexoru jsou spojeny s prvním až pátým nastavovacím vstupem čítače. Výstup třetího obvodu logické ekvivalence je připojen na vstup čítaných impulsů čítače, výstup druhého obvodu logické ekvivalence je připojen na vstup pro synchronní nastavení čítače. Přes invertor je tento výstup druhého obvodu logické ekvivalence připojen na synchronizační vstup D-klopného obvodu s nastavovacím asynchronním vstupem a tento nastavovací asynchronní vstup je spojen s výstupem pro přenos do dalšího řádku čítače. Dále je nastavovací vstup D-klopného obvodu s nastavovacím asynchronním vstupem spojen s výstupem třetího D-klopného obvodu, jehož nastavovací vstup je spojen se sedmým nastavovacím vstupem čítače. Jednotlivé výstupy druhého demultiplexoru jsou připojeny na nastavovací vstupy RS-klopných obvodů, na jejichž nulovací vstupy jsou připojeny jednotlivé výstupy třetího demultiplexoru.

Hlavním problémem je rychlost řadiče, neboť styk periferních zařízení s počítačem je časově rozdělen na krátké úseky, trvající max. několik desítek μs , během kterých se musí provést až 100 instrukcí, v závislosti na složitosti spojovacího protokolu.

Řadič podle vynálezu je programovatelný pomocí těchto instrukcí:

Podmíněný skok

— tato instrukce umožňuje porovnat jednu ze 31 úrovní, např. úroveň na řídicích vodičích od kanálu počítače, s úrovní očekávanou, která je zadána v instrukci.

V případě shody se provede skok na adresu uvedenou v instrukci. Adresa obsahuje max. 9 bitů. V případě neshody program pokračuje následující instrukcí.

Nepodmíněný skok

— tato instrukce provede skok na adresu, která je v ní uvedena, max. adresa má 9 bitů.

Nastavení klopného obvodu

— tato instrukce umožňuje nastavit, případně znulovat jeden z 32 klopných obvodů, například klopné obvody ovládající výstupní

vodiče od periferního zařízení k počítači, anebo klopné obvody pro zapamatování vnitřních stavů řadiče.

Generování impulsu

— tato instrukce umožňuje generovat jeden z 31 impulsů o délce trvání 50 nS. Pomocí těchto impulsů mohou být například nulovány registry, nastavovány a nulovány klopné obvody v registrech apod.

Prázdná instrukce

— tato instrukce způsobí v provádění programu pouze časovou prodlevu 200 nS.

Řadič dále umožňuje asynchronní přerušování jeho činnosti, tj. návrat na počáteční adresu v případě určitých podmínek vzniklých při spolupráci s kanálem. Délka řídicího slova může být různá, pro lepší názornost se při popisu jednotlivých instrukcí vychází z konkrétní aplikace, u které je řídicí slovo dlouhé 8 bitů. Doba provádění jednotlivých instrukcí je závislá na použité součástkové základně.

Vynález je blíže ojasněn na příkladu provedení pomocí výkresů, na nichž obr. 1 znázorňuje blokové schéma zapojení řadiče podle vynálezu a obr. 2 znázorňuje schéma zapojení bloku řízení pro verzi s osmibitovým řídicím slovem.

Řadič pro připojování periferních zařízení k počítači podle obr. 1 je tvořen přijímacími zesilovači 1, jež jsou prostřednictvím sběrnice dat a sběrnice řídicích signálů spojeny s dekodérem 3 vstupních sběrnic, jehož výstup dat je spojen s blokem 5 pro spojení s přídatným zařízením, jenž je propojen s blokem 4 registrů, který je prostřednictvím sběrnic dat a sběrnic řídicích signálů spojen s vysílacími zesilovači 2, přičemž dekodér 3 vstupních sběrnic, blok 4 registrů a blok 5 pro spojení s přídatným zařízením jsou napojeny na blok 6 řízení, který je spojen s pamětí 7.

Přijímací zesilovače 1 převádí elektrické úrovně signálů používané na sběrnících kanálu na logické úrovně.

Vysílací zesilovače 2 převádí logické úrovně na úrovně signálu sběrnice.

Dekodér 3 vstupních sběrnic obsahuje dekodér datové sběrnice kanálu, který je potřebný pro rozpoznání adresy periferního zařízení, kontrolu parity informace, kontrolu přípustnosti operace apod.

Blok 4 registrů obsahuje vyrovnávací registr dat a služební registry, například registr stavové informace, registr chyb apod. Zapojení uvedených bloků je závislé na konkrétním počítači, ke kterému je řadič podle vynálezu připojen.

Blok 5 pro spojení s přídatným zařízením obsahuje vyrovnávací registry pro data, případně též dekodér řídicích signálů. Zapojení

ní tohoto bloku je závislé na konkrétním připojovaném přídatném zařízení.

Blok 6 řízení podle obr. 2 je tvořen multiplexorem 8, jehož adresové vstupy jsou spojeny s prvním až pátým nastavovacím vstupem čítače 20 a jehož výstup je spojen s nastavovacím vstupem prvního D-klopného obvodu 10, jehož výstup je připojen na první vstup prvního obvodu 14 logické ekvivalence, na jehož druhý vstup je napojen výstup druhého D-klopného obvodu 11, jehož nastavovací vstup je spojen s šestým nastavovacím vstupem čítače 20. Výstup prvního obvodu 14 logické ekvivalence je napojen na první vstup prvního obvodu 15 logického součinu, jehož druhý vstup je připojen na výstup a na K-vstup JK-klopného obvodu 12, jehož negovaný J-vstup je spojen s osmým nastavovacím vstupem čítače 20. Výstup prvního obvodu 15 logického součinu je připojen na negovaný první vstup třetího obvodu 16 logické ekvivalence. Na první vstup druhého obvodu 17 logické ekvivalence, jejichž druhé vstupy jsou připojeny na generátor 21, k němuž jsou dále připojeny synchronizační vstup JK-klopného obvodu 12, přes inverter 9 synchronizační vstupy prvního D-klopného obvodu 10, druhého D-klopného obvodu 11 a třetího D-klopného obvodu 13 a dále druhé vstupy druhého obvodu 22 logického součinu, třetího obvodu 23 logického součinu a čtvrtého obvodu 24 logického součinu, jejichž první vstupy jsou vzájemně propojeny, třetí vstupy jsou spojeny se sedmým nastavovacím vstupem čítače 20. Čtvrté vstupy jsou spojeny s osmým nastavovacím vstupem čítače 20 a páté vstupy třetího a čtvrtého obvodu 23 a 24 logického součinu jsou spojeny s šestým nastavovacím vstupem čítače 20. Výstup druhého obvodu 22 logického součinu je připojen na vstup informace prvního demultiplexoru 25, výstup třetího obvodu 23 logického součinu je připojen na vstup informace druhého demultiplexoru 26 a výstup čtvrtého obvodu 24 logického součinu je připojen na vstup informace třetího demultiplexoru 27. Adresové vstupy prvního, druhého a třetího demultiplexoru 25, 26, 27 jsou spojeny s prvním až pátým nastavovacím vstupem čítače 20. Výstup třetího obvodu 16 logické ekvivalence je připojen na vstup čítaných impulsů čítače 20, výstup druhého obvodu 17 logické ekvivalence je připojen na vstup pro synchronní nastavení čítače 20. Přes inverter 18 je tento výstup druhého obvodu 17 logické ekvivalence připojen na synchronizační vstup D-klopného obvodu 19 s nastavovacím asynchronním vstupem a tento nastavovací asynchronní vstup je spojen s výstupem pro přenos do dalšího řádku čítače 20. Dále je nastavovací vstup D-klopného obvodu 19 s nastavovacím asynchronním vstupem spojen s výstupem třetího D-klopného obvodu 13, jehož nastavovací vstup je spojen se sedmým nastavovacím vstupem čí-

tače 20. Jednotlivé výstupy druhého demultiplexoru 26 jsou připojeny na nastavovací vstupy RS-kolpných obvodů 28 až 59, na jejichž nulovací vstupy jsou připojeny jednotlivé výstupy třetího demultiplexoru 27. Nastavovací vstupy čítače 20 jsou připojeny na řídicí výstupy paměti 7, jejíž adresové vstupy jsou připojeny na výstupy čítače 20.

Pro každou konkrétní aplikaci je potřeb-

ný počet vstupů multiplexoru 8 spojen s výstupy dekodéru 3 vstupních sběrnic, bloku 4 registrů a bloku 5 pro spojení s přídatnými zařízeními, stejně tak je s nimi spojen potřebný počet výstupů RS-kolpných obvodů 28 až 59 a výstupů prvního demultiplexoru 25.

Před vysvětlením činnosti bloku 6 řízení je popsáno 8bitové řídicí slovo.

7 6 5 4 3 2 1 0
2 2 2 2 2 2 2 2

číslo analýzy, povelu, anebo RS-kolpného obvodu

V případě instrukce analýza je zde očekávaná úroveň.

V případě instrukce RS-kolpného obvodu znamená

1 — nastavení RS-kolpného obvodu

0 — znulování RS-kolpného obvodu

V instrukci impuls se tento bit ignoruje.

kód instrukce

1 1 — instrukce impuls

1 0 — instrukce kolpný obvod

0 X — instrukce skok

bit X má význam nejvyššího bitu adresy případného skoku

V případě instrukce skok je na následující adrese uložených nižších 8 bitů adresy skoku.

Instrukce nepodmíněný skok má tvar:

0 X 0 1 1 1 1 1, tj. analyzuje se vstup 31, který je trvale uzemněn, dojde tedy vždy ke shodě úrovní.

Prázdná instrukce má tvar:

1 1 1 1 1 1 1 1, tj. provede se generace impulsu na výstup 31, který není zapojen

Blok 6 řízení je ve výchozím stavu, tj. jsou znulovány všechny RS-kolpné obvody 28 až 59 a čítač 20 adres. Na počátečních adresách paměti je zapsána tato informace:

Adresa — binárně	Informace — binárně	Význam informace
0 0 0 0 0 0 0 0	0 0 1 0 1 1 0 0	analýza dvanáctého vstupu multiplexoru 8 nižších 8 bitů adresy skoku
0 0 0 0 0 0 0 1	0 0 0 0 0 0 1 1	nastavení čtvrtého RS-kolpného obvodu 31 do 1
0 0 0 0 0 0 1 0	1 0 1 0 0 1 0 0	impuls na osmém výstupu prvního demultiplexoru 25
0 0 0 0 0 0 1 1	1 1 0 0 1 0 0 0	prázdná operace
0 0 0 0 0 1 0 0	1 1 1 1 1 1 1 1	nepodmíněný skok na adresu 170 čítače 20
0 0 0 0 0 1 0 1	0 1 0 1 1 1 1 1	
0 0 0 0 0 1 1 0	0 1 1 1 0 0 0 0	

Před příchodem prvního synchronizačního impulsu je na výstupech z paměti 7 informace 0 0 1 0 1 1 0 0.

S náběžnou hranou synchroimpulsu se přičte 1 do čítače 20 adres a začne výběr nové informace. Informace na výstupu z paměti 7 zůstane však nezměněna po dobu min. 70 ns, danou zpožděním při změně hodnoty čítače 20 a zpožděním při výběru z paměti 7. S padající hranou prvního synchronizačního impulsu, jehož délka nesmí být větší než 50 nS, se nahodí druhý D-kolpný obvod 11 a JK-kolpný obvod 12, zapíše se 0 do D-kolpného obvodu 19 s nastav-

vovacím asynchronním vstupem a podle úrovně na dvanáctém vstupu multiplexoru 8 se nastaví první D-kolpný obvod 10.

Nahození JK-kolpného obvodu 12 povolí činnost porovnávacího obvodu, který před příchodem druhého synchronizačního impulsu vyhodnotí, zda souhlasí úroveň zapsaná na prvním D-kolpném obvodu 10 s úrovní zapsanou na druhém D-kolpném obvodu 11. V případě shody vznikne signál 1 na výstupu prvního obvodu 15 logického součinu. V tomto případě přijde druhý synchronizační impuls na vstup pro synchronní nastavení čítače 20 a do čítače 20 se zapíše informace 0 0 0 0 0 0 1 1, která je

nyní na výstupu z paměti 7. Nejvyšší bit adresy je zapamatován ve třetím D-klopném obvodu 13 a s náběžnou hranou druhého synchroimpulsu se přepíše do D-klopného vstupu. Stav třetího D-klopného obvodu 13 se může znovu změnit až s padající hranou druhého synchroimpulsu.

V tomto případě, kdy očekávaná úroveň byla shodná s úrovní na dvanáctém vstupu multiplexoru 8, bude tedy program pokračovat od adresy 0 0 0 0 0 0 1 1. Pokud porovnávací obvod nevyhodnotí shodu úrovní, nevznikne 1 na prvním obvodu 15 logického součinu, s náběžnou hranou se do čítače 20 adresy přičte 1 a program pokračuje provedením instrukce uložené na adrese 0 0 0 0 0 0 1 0. Po ukončení druhého synchronizačního impulsu se s jeho padající hranou nuluje JK-klopný obvod 12. Tím je zablokována funkce porovnávacího obvodu a zároveň je povoleno provádění ostatních instrukcí. Blokování ostatních instrukcí po dobu provádění instrukce skok je nutné proto, aby nižších 8 bitů adresy skoku nebylo dekodováno jako instrukce.

Provádění instrukcí „impuls“ a „klopný obvod“ je zřejmé ze schématu. Pro provedení těchto instrukcí je nutné splnit tyto podmínky:

1. Musí souhlasit kód instrukce.
2. Nesmí se provádět instrukce skok.
3. Musí přijít synchronizační impuls.

U instrukce „klopný obvod“ je nastavení, anebo shození klopného obvodu rozlišeno bitem č. 5.

Na výstupu z paměti 7 není nutné používat vyrovnávací registr, neboť při použití běžných integrovaných obvodů nedojde ke změně výstupní informace dříve než za 70 nS po změně adresy. Čtení z paměti 7 je trvale povoleno a čtení informace se synchronizuje až v bloku 6 řízení. Klopné obvody 10, 11 a 13 se nenulují a mění svůj stav s každou padající hranou synchronizačního impulsu. Jejich stav má však význam pouze při provádění instrukce skok, tj. při nahození JK-klopného obvodu 12.

Řadič podle vynálezu je možné využít i v některých aplikacích v měření, případně také řízení procesů. Dále lze řadič použít v opačné funkci, to je k imitaci kanálu počítače, například pro připojení řádkové tiskárny k mini- a mikropočítačům vybaveným standardní magnetickou páskou, což by umožnilo používat tuto konfiguraci pro off line tisky delších počítačových sestav.

PŘEDMĚT VYNÁLEZU

1. Řadič pro připojování periferních zařízení k počítači, vyznačující se tím, že je tvořen přijímacími zesilovači (1), jež jsou prostřednictvím sběrnice dat a sběrnice řídicích signálů spojeny s dekodérem (3) vstupních sběrnic, jehož výstup dat je spojen s blokem (5) pro spojení s přídatným zařízením, jenž je propojen s blokem (4) registrů, který je prostřednictvím sběrnic dat a sběrnice řídicích signálů spojen s vysílacími zesilovači (2), přičemž dekodér (3) vstupní sběrnice, blok (4) registrů a blok (5) pro spojení s přídatným zařízením jsou napojeny na blok (6) řízení, který je spojen s pamětí (7).

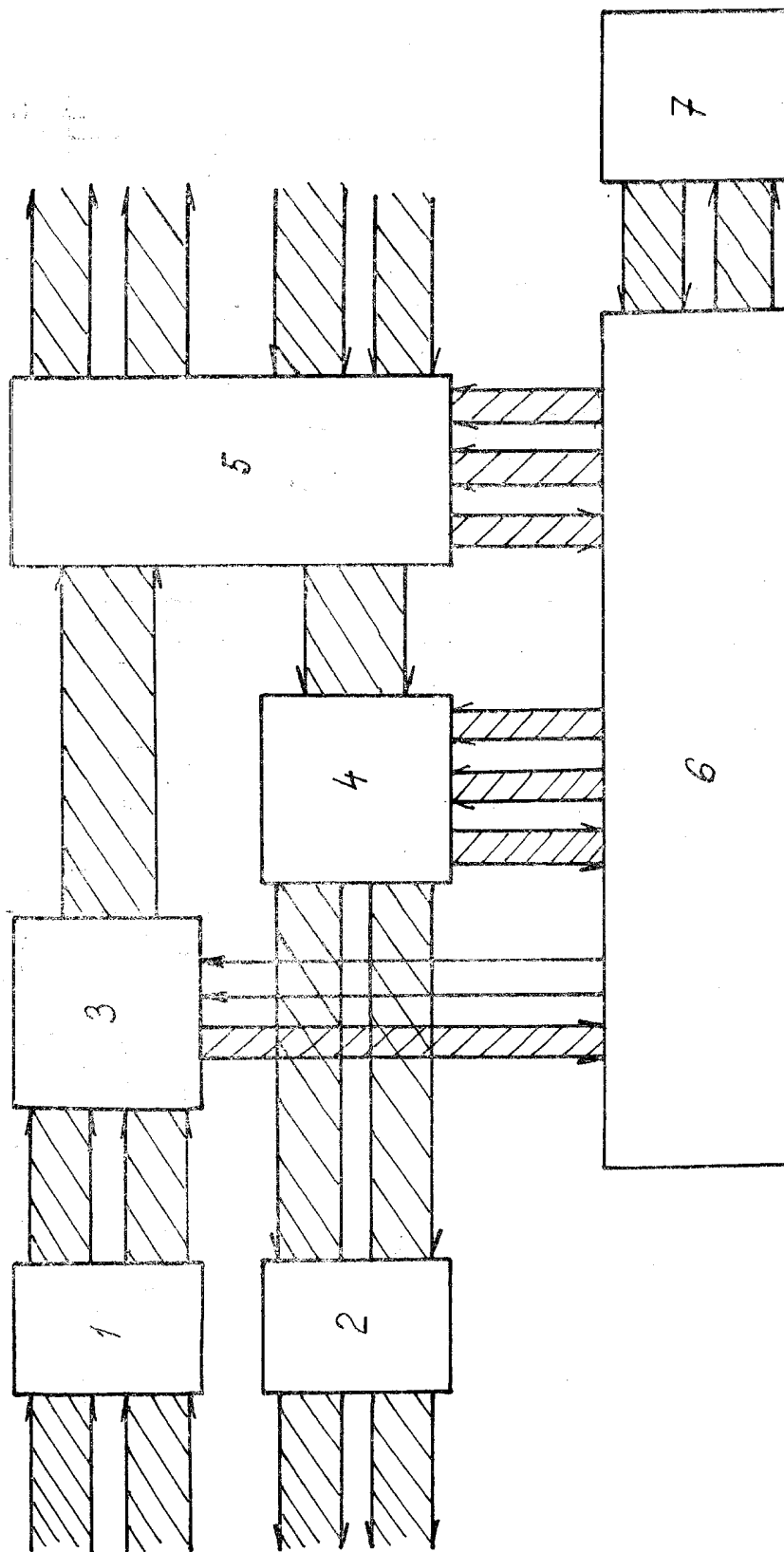
2. Řadič podle bodu 1, vyznačující se tím, že blok (6) řízení je tvořen multiplexorem (8), jehož adresové vstupy jsou spojeny s prvním až pátým nastavovacím vstupem čítače (20) a jehož výstup je spojen s nastavovacím vstupem prvního D-klopného obvodu (10), jehož výstup je připojen na první vstup prvního obvodu (14) logické ekvivalence, na jehož druhý vstup je napojen výstup druhého D-klopného obvodu (11), jehož nastavovací vstup je spojen s šestým nastavovacím vstupem čítače (20) a výstup prvního obvodu (14) logické ekvivalence je napojen na první vstup prvního obvodu (15) logického součinu, jehož druhý vstup je připojen na výstup a na K-vstup JK-klop-

ného obvodu (12), jehož negovaný J-vstup je spojen s osmým nastavovacím vstupem čítače (20) a výstup prvního obvodu (15) logického součinu je připojen na negovaný první vstup třetího obvodu (16) logické ekvivalence a na první vstup druhého obvodu (17) logické ekvivalence, jejichž druhé vstupy jsou připojeny na generátor (21), k němuž jsou dále připojeny synchronizační vstup JK-klopného obvodu (12), přes invertor (9) synchronizační vstupy prvního D-klopného obvodu (10), druhého D-klopného obvodu (11) a třetího D-klopného obvodu (13) a dále druhé vstupy druhého obvodu (22) logického součinu, třetího obvodu (23) logického součinu a čtvrtého obvodu (24) logického součinu, jejichž první vstupy jsou vzájemně propojeny, třetí vstupy jsou spojeny se sedmým nastavovacím vstupem čítače (20), čtvrté vstupy jsou spojeny s osmým nastavovacím vstupem čítače (20) a páté vstupy třetího a čtvrtého obvodu (23 a 24) logického součinu jsou spojeny s šestým nastavovacím vstupem čítače (20) a dále výstup druhého obvodu (22) logického součinu je připojen na vstup informace prvního demultiplexoru (25), výstup třetího obvodu (23) logického součinu je připojen na vstup informace druhého demultiplexoru (26) a výstup čtvrtého obvodu (24) logického součinu je připojen na vstup in-

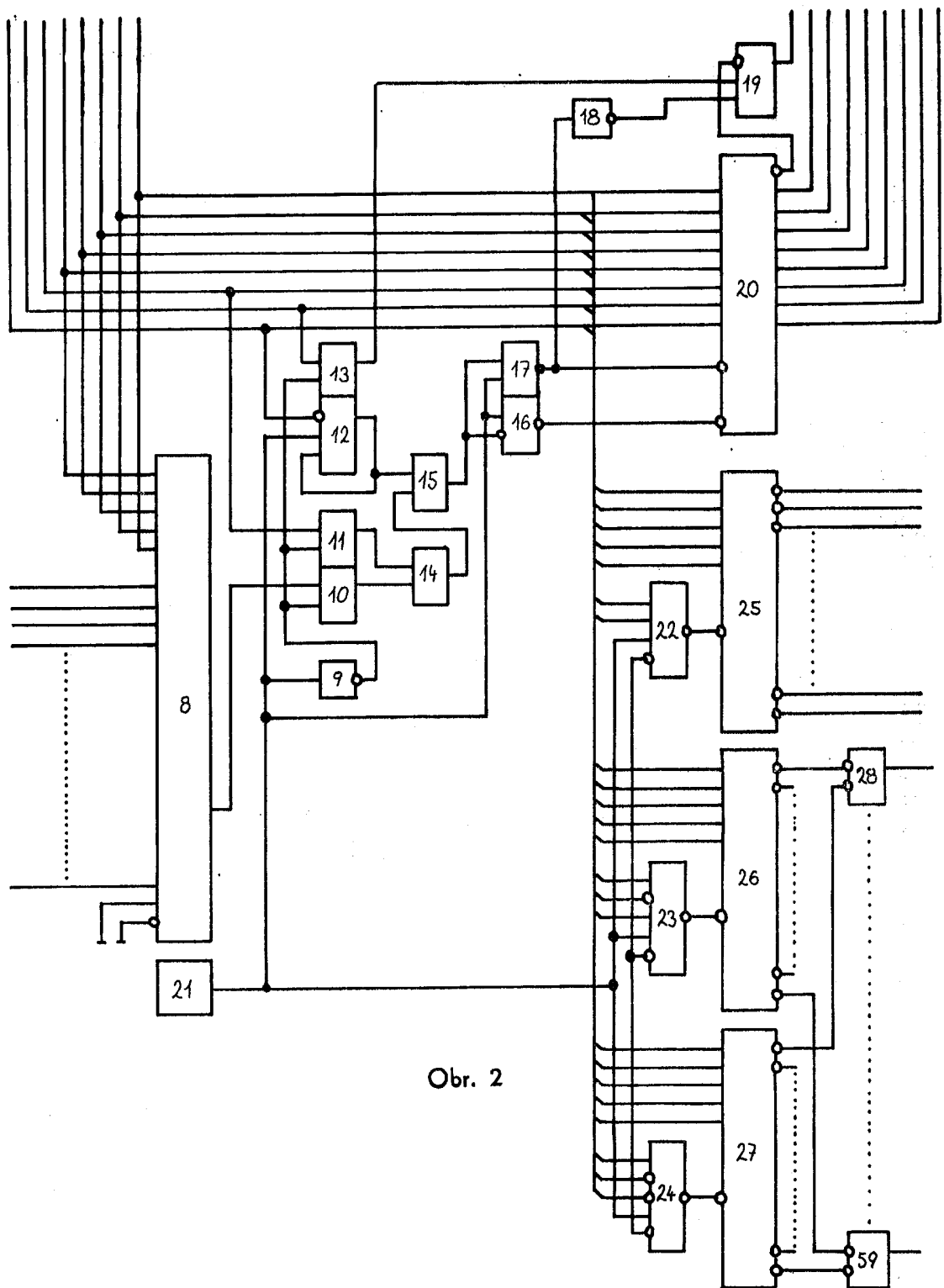
formace třetího demultiplexoru (27), zatímco adresové vstupy prvního, druhého a třetího demultiplexoru (25, 26 a 27) jsou spojeny s prvním až pátým nastavovacím vstupem čítače (20), přičemž výstup třetího obvodu (16) logické ekvivalence je připojen na vstup čítaných impulsů čítače (20), výstup druhého obvodu (17) logické ekvivalence je připojen na vstup pro synchronní nastavení čítače (20) a přes invertor (18) je tento výstup druhého obvodu (17) logické ekvivalence připojen na synchronizační vstup D-klopného obvodu (19) s nastavovacím asynchronním vstupem a tento nastava-

vovací asynchronní vstup je spojen s výstupem pro přenos do dalšího řádku čítače (20) a dále je nastavovací vstup D-klopného obvodu (19) s nastavovacím asynchronním vstupem spojen s výstupem třetího D-klopného obvodu (13), jehož nastavovací vstup je spojen se sedmým nastavovacím vstupem čítače (20), zatímco jednotlivé výstupy druhého demultiplexoru (26) jsou připojeny na nastavovací vstupy RS-klopných obvodů (28 až 59), na jejichž nulovací vstupy jsou připojeny jednotlivé výstupy třetího demultiplexoru (27).

2 listy výkresů



Obr. 1



Obr. 2