(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月9日(09.01.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/009376 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 27/04* (2006.01)
H01L 21/822 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/092* (2006.01)
H01L 21/8238 (2006.01) *H01L 31/107* (2006.01)

(21) 国際出願番号： PCT/JP2024/021970

(22) 国際出願日： 2024年6月18日(18.06.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-109745 2023年7月4日(04.07.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 林 利起(**HAYASHI Toshiki**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

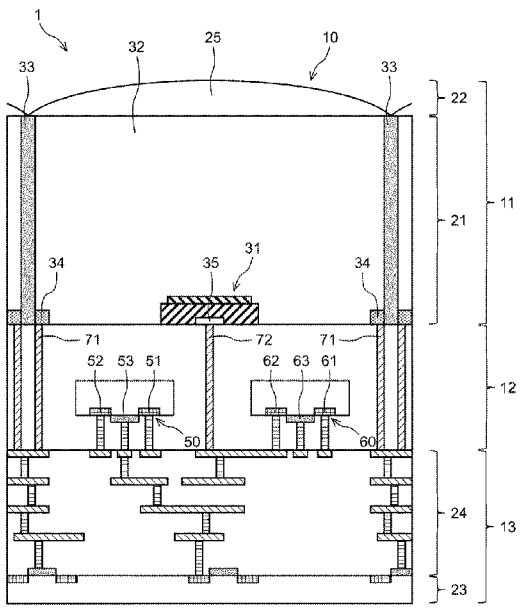
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi** et al.); 〒1700013 東京都豊島区東池袋３丁目９番１０号 池袋ＦＮビル４階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** SENSOR ELEMENT AND RANGING SYSTEM

(54) 発明の名称： センサ素子および測距システム

FIG.1



(57) **Abstract:** The present disclosure relates to a sensor element and a ranging system with which it is possible to achieve higher functionality while maintaining a pixel size. A sensor element according to the present disclosure comprises: a sensor substrate in which a SPAD is provided for each pixel; a CMOS substrate that is superposed on the sensor substrate and is provided with a transistor for reading a signal; a logic substrate which is superposed on the CMOS substrate and on which a logic circuit is provided; and a through electrode that penetrates the CMOS substrate and electrically connects an anode region of the sensor substrate and the CMOS substrate. The present disclosure can be applied to a CMOS image sensor, for example.

(57) 要約：本開示は、画素サイズを維持しつつ、さらなる高機能化を図ることができるようにするセンサ素子および測距システムに関する。本開示のセンサ素子は、ＳＰＡＤが画素毎に設けられたセンサ基板と、センサ基板に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ基板と、ＣＭＯＳ基板に積層され、ロジック回路が設けられたロジック基板と、ＣＭＯＳ基板を貫通し、センサ基板のアノード領域とＣＭＯＳ基板とを電気的に接続する貫通電極とを備える。本開示は、例えばＣＭＯＳイメージセンサに適用することができる。

WO 2025/009376 A1

［続葉有］

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： センサ素子および測距システム

技術分野

[0001] 本開示は、センサ素子および測距システムに関し、特に、画素サイズを維持しつつ、さらなる高機能化を図ることができるようにするセンサ素子および測距システムに関する。

背景技術

[0002] ＴｏＦ（Time-of-Flight）法により距離計測を行う距離画像センサが知られている。距離画像センサでは、例えば、ＳＰＡＤ（Single Photon Avalanche Diode）を用いた画素を行列状に配置した画素アレイが採用される。ＳＰＡＤでは、降伏電圧よりも大きい電圧を印加した状態で、高電界のＰＮ接合領域へ１個の光子が入ると、アバランシェ増幅が発生する。その際の瞬間的に電流が流れたタイミングを検出することで、高精度に距離を計測することができる。

[0003] 従来、ＳＰＡＤを利用した測距システムでは、ＳＰＡＤが設けられたセンサ基板とロジック回路が設けられたロジック基板とが貼り合された積層構造で、半導体基板の裏面側から光が照射される裏面照射型のセンサ素子が採用されている。

[0004] 特許文献１には、積層構造のセンサ素子において、小型化かつ高機能化を図るために、ＳＰＡＤのカソード電圧またはアノード電圧に従った信号を出力するための複数のトランジスタの一部を、センサ基板の半導体基板に形成されたウェル内に設けることが提案されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２０２２－１４８０２８号公報

発明の概要

発明が解決しようとする課題

[0006] 近年、積層構造のセンサ素子においては、ロジック回路のさらなる高機能化が求められている。しかしながら、特許文献１に開示されているような２層構造のセンサ素子において、画素サイズを維持したまま、ロジック回路における演算のためのＳＲＡＭ（Static Random Access Memory）などを増設することは容易ではなかった。

[0007] 本開示は、このような状況に鑑みてなされたものであり、画素サイズを維持しつつ、さらなる高機能化を図ることができるようにするものである。

課題を解決するための手段

[0008] 本開示のセンサ素子は、ＳＰＡＤ（Single Photon Avalanche Diode）が画素毎に設けられたセンサ基板と、前記センサ基板に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ（Complementary Metal Oxide Semiconductor）基板と、前記ＣＭＯＳ基板に積層され、ロジック回路が設けられたロジック基板と、前記ＣＭＯＳ基板を貫通し、前記センサ基板のアノード領域と前記ＣＭＯＳ基板とを電気的に接続する貫通電極とを備えるセンサ素子である。

[0009] 本開示の測距システムは、照射光を照射する照明装置と、前記照射光に対する反射光を検出するセンサ素子とを備え、前記センサ素子は、ＳＰＡＤ（Single Photon Avalanche Diode）が画素毎に設けられたセンサ基板と、前記センサ基板に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ（Complementary Metal Oxide Semiconductor）基板と、前記ＣＭＯＳ基板に積層され、ロジック回路が設けられたロジック基板と、前記ＣＭＯＳ基板を貫通し、前記センサ基板のアノード領域と前記ＣＭＯＳ基板とを電気的に接続する貫通電極とを有する測距システムである。

[0010] 本開示においては、ＳＰＡＤが画素毎に設けられたセンサ基板と、前記センサ基板に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ基板と、前記ＣＭＯＳ基板に積層され、ロジック回路が設けられたロジック基板と、前記ＣＭＯＳ基板を貫通し、前記センサ基板のアノード領域と前記ＣＭＯＳ基板とを電気的に接続する貫通電極が設けられる。

図面の簡単な説明

[0011] [図1]本開示に係る技術を適用したセンサ素子の構成例を示す断面図である。

[図2]ＣＭＯＳ基板の構成例を示す断面図である。

[図3]ＣＭＯＳ基板の構成例を示す平面図である。

[図4]第１の実施形態のＣＭＯＳ基板の構成例を示す平面図である。

[図5]第１の実施形態のＣＭＯＳ基板の他の構成例を示す平面図である。

[図6]第２の実施形態のＣＭＯＳ基板の構成例を示す断面図である。

[図7]第２の実施形態のＣＭＯＳ基板の構成例を示す平面図である。

[図8]第２の実施形態のＣＭＯＳ基板の他の構成例を示す平面図である。

[図9]第３の実施形態のＣＭＯＳ基板の構成例を示す断面図である。

[図10]第３の実施形態のＣＭＯＳ基板の構成例を示す平面図である。

[図11]測距システムの構成例を示すブロック図である。

発明を実施するための形態

[0012] 以下、本開示を実施するための形態（以下、実施形態とする）について説明する。なお、説明は以下の順序で行う。

[0013] １．従来技術とその問題点

２．本開示に係る技術を適用したセンサ素子の構成例

３．第１の実施形態（ソース領域／ドレイン領域をシールド領域とする構成）

４．第２の実施形態（基板コンタクトのウェル領域をシールド領域とする構成）

５．第３の実施形態（エアギャップをシールド領域とする構成）

６．測距システムの構成例

[0014] ＜１．従来技術とその問題点＞

従来、ＳＰＡＤ（Single Photon Avalanche Diode）を利用した測距システムでは、ＳＰＡＤが設けられたセンサ基板とロジック回路が設けられたロジック基板とが貼り合された積層構造で、半導体基板の裏面側から光が照射される裏面照射型のセンサ素子が採用されている。

[0015] 特許文献１（特開２０２２－１４８０２８号公報）には、積層構造のセンサ素子において、小型化かつ高機能化を図るために、ＳＰＡＤのカソード電圧またはアノード電圧に従った信号を出力するための複数のトランジスタの一部を、センサ基板の半導体基板に形成されたウェル内に設けることが提案されている。

[0016] 近年、積層構造のセンサ素子においては、ロジック回路のさらなる高機能化が求められている。しかしながら、特許文献１に開示されているような２層構造のセンサ素子において、画素サイズを維持したまま、ロジック回路における演算のためのＳＲＡＭ（Static Random Access Memory）などを増設することは容易ではなかった。

[0017] そこで、本開示に係る技術においては、ＳＰＡＤが画素毎に設けられたセンサ基板と、ロジック回路が設けられたロジック基板との間に、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ（Complementary Metal Oxide Semiconductor）基板を積層することで、ロジック回路の面積を確保することを実現する。

[0018] 一方で、このような３層構造のセンサ素子においては、ＣＭＯＳ基板を貫通するアノード電極に－２０乃至－２５Ｖの高電圧が印加されるため、ＣＭＯＳ基板に設けられるトランジスタのＯＮ－ＯＦＦ特性への影響が懸念される。

[0019] これに対して、国際公開第２０２０／２６２５５８号（公知例２という）には、第１基板のフローティングディフュージョンと第２基板の画素回路とを電気的に接続する貫通電極と、画素回路を構成する各トランジスタとの間に、シールド電極を設けるようにした撮像装置が開示されている。シールド電極は、画素回路を構成する各トランジスタに対する、貫通配線に印加されるバイアスの影響を低減するためのものである。

[0020] しかしながら、公知例２では、画素サイズの縮小については考慮されておらず、面積効率の観点で課題があった。

[0021] そこで、本開示に係る技術においては、ＣＭＯＳ基板において、積層方向

からの平面視で、トランジスタと貫通電極との間に、ＣＭＯＳ基板の既存構成要素をシールド領域として配置することで、シールド電極のような新たな部材を設けることなく、画素サイズを維持することを実現する。

[0022] ＜２．本開示に係る技術を適用したセンサ素子の構成例＞

図１乃至図３を参照して、本開示に係る技術を適用したセンサ素子の構成について説明する。

[0023] 図１は、本開示に係る技術を適用したセンサ素子１が有する画素１０の断面的な構成例の一例を示している。

[0024] センサ素子１は、例えば、ＣＭＯＳイメージセンサなどとして構成される。図１に示されるように、センサ素子１は、画素１０毎にＳＰＡＤ３１が設けられたセンサ基板１１、センサ基板１１に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ基板１２、および、ＣＭＯＳ基板１２に積層され、ロジック回路が設けられたロジック基板１３からなる３層構造を有する。センサ基板１１は、半導体基板２１の上面（裏面）に対してオンチップレンズ層２２が積層されて構成される。ロジック基板１３は、半導体基板２３の上面に対して配線層２４が積層されて構成される。オンチップレンズ層２２には、画素１０毎にマイクロレンズ２５が設けられる。

[0025] 画素１０は、半導体基板２１のウェル層３２が画素分離部３３によって隣接する他の画素１０のウェル層３２と電気的に分離されて構成される。また、図示はしないが、画素１０には、ウェル層３２の側面と上面を囲うように、ホールを蓄積するためのＰ型半導体領域が設けられる。そのＰ型半導体領域が形成される領域に対応する半導体基板２１の下面側には、Ｐ型半導体領域よりもＰ型の不純物濃度が高いアノード領域３４が形成される。

[0026] 画素１０において、半導体基板２１の下面側には、Ｎ型増倍領域とＰ型増倍領域のＰＮ接合領域によりＳＰＡＤ３１が構成されている。ＳＰＡＤ３１は、画素１０に光が入射したのに応じて発生する電子がアバランシェ増幅されることで流れる電流によってカソード電位が降下するフォトダイオードである。また、ＳＰＡＤ３１において、ＰＮ接合を形成するＮ型増倍領域には

、Ｎ型増倍領域よりも不純物濃度が高いＮ型の不純物濃度が高いカソード領域３５が形成される。

[0027] ＣＭＯＳ基板１２には、ＳＰＡＤ３１のカソード電圧に従った信号の読み出しのためのトランジスタ５０とトランジスタ６０が設けられる。トランジスタ５０とトランジスタ６０は、それぞれ異なる伝導型のトランジスタで構成される。トランジスタ５０とトランジスタ６０の一方は、ＰＭＯＳトランジスタで構成され、トランジスタ５０とトランジスタ６０の他方は、ＮＭＯＳトランジスタで構成されればよい。

[0028] 例えば、トランジスタ５０がＰＭＯＳトランジスタで構成される場合、Ｎウェルに対して設けられるＰ型領域であるソース領域５１とドレイン領域５２の間に、酸化膜などの絶縁膜を介して積層するようにゲート電極５３が設けられて構成される。同様に、トランジスタ６０がＮＭＯＳトランジスタで構成される場合、Ｐウェルに対して設けられるＮ型領域であるソース領域６１とドレイン領域６２の間に、酸化膜などの絶縁膜を介して積層するようにゲート電極６３が設けられて構成される。

[0029] トランジスタ５０とトランジスタ６０は、プレナー構造のトランジスタとして構成されるものとするが、これに限らず、トレンチ構造のトランジスタとして構成されてもよい。

[0030] ＣＭＯＳ基板１２には、ＣＭＯＳ基板１２を貫通し、センサ基板１１とＣＭＯＳ基板１２とを電気的に接続する貫通電極７１，７２が設けられる。

[0031] 貫通電極７１は、センサ基板１１に形成されるアノード領域３４とＣＭＯＳ基板１２に設けられる各トランジスタとを、ロジック基板１３に形成される図示せぬＳＰＡＤ回路を介して接続するアノード電極として形成される。また、貫通電極７２は、ＳＰＡＤ３１のＮ型増倍領域に形成されるカソード領域３５とＣＭＯＳ基板１２に設けられる各トランジスタとを、ロジック基板１３に形成される図示せぬＳＰＡＤ回路を介して接続するカソード電極として形成される。

[0032] 以上のように、ＳＰＡＤ３１が画素１０毎に設けられたセンサ基板１１と

、ロジック回路が設けられたロジック基板１３との間に、信号の読み出しのためのトランジスタ５０，６０が設けられるＣＭＯＳ基板１２を積層することで、ロジック回路の面積を確保することが可能となる。すなわち、画素サイズを維持しつつ、ロジック回路における演算のためのＳＲＡＭなどを増設することができ、センサ素子１のさらなる高機能化を実現することが可能となる。

[0033] 図２を参照して、ＣＭＯＳ基板１２の詳細な構成について説明する。

[0034] 図２には、ＣＭＯＳ基板１２においてトランジスタ５０が設けられている一部領域の断面が示されている。なお、図２に示される断面構成は、図１に示される断面構成を上下反転したものである。

[0035] ＣＭＯＳ基板１２において、トランジスタ５０と貫通電極７１との間には、素子分離領域８１が形成されている。素子分離領域８１は、例えば、Ｓｉ酸化膜などの絶縁膜で形成された深さ２５０ｎｍ程度のＳＴＩ（Shallow Trench Isolation）領域、または、ＣＭＯＳ基板１２のＳｉ表面から底面までを貫通するＳｉ酸化膜などで形成されたＤＴＩ（Deep Trench Isolation）領域などとして形成されるが、イオン注入により形成されてもよい。

[0036] また、互いに異なる伝導型トランジスタ５０とトランジスタ６０（不図示）との間には、素子分離領域８２が形成される。素子分離領域８２は、例えば、ＣＭＯＳ基板１２のＳｉ表面から底面までを貫通するＳｉ酸化膜などで形成されたＤＴＩ領域などとして形成されるが、イオン注入により形成されてもよい。

[0037] さて、アノード領域３４に接続される貫通電極７１には、絶対値２０Ｖ以上の電圧が印加される。具体的には、貫通電極７１には、－２０乃至－２５Ｖの高電圧が印加される。そのため、ＣＭＯＳ基板１２に設けられる各トランジスタのＯＮ－ＯＦＦ特性への影響が懸念される。

[0038] そこで、図３に示されるように、ＣＭＯＳ基板１２において、積層方向からの平面視で、トランジスタ５０と貫通電極７１との間に、ＣＭＯＳ基板１２の既存構成要素をシールド領域１００として配置する。

[0039] シールド領域１００は、積層方向からの平面視で、トランジスタ５０のソース領域５１／ドレイン領域５２が形成されるアクティブ領域とゲート電極５３とが重なる重複領域ＯＬの頂点それぞれと、貫通電極７１の中心（２次元図形上の重心）とを結ぶ全ての線分と交差するように配置されるものとする。トランジスタ５０のアクティブ領域とゲート電極５３とが重なって形成される重複領域ＯＬの２次元形状は、図３の例では矩形で示されているが、実際には矩形以外の多角形などの形状となる。

[0040] 以上のように、ＣＭＯＳ基板１２の既存構成要素をシールド領域１００として配置することで、ＣＭＯＳ基板１２に設けられるトランジスタ５０の高い信頼性を保つこと、すなわち、貫通電極７１に高電圧が印加されることによるトランジスタ５０への影響を低減することが可能となる。また、公知例２のシールド電極のような新たな部材を設けることなく、画素サイズを維持することが可能となる。

[0041] 以下では、シールド領域１００として配置されるＣＭＯＳ基板１２の既存構成要素の具体例について説明する。

[0042] ＜３．第１の実施形態＞

図４は、本開示に係る技術を適用した第１の実施形態のＣＭＯＳ基板１２の構成例を示す平面図である。

[0043] なお、本実施形態のＣＭＯＳ基板１２の断面構成は、図２に示される断面構成と同様であるので、その説明は省略する。

[0044] 図４の例では、ＣＭＯＳ基板１２において、積層方向からの平面視で、トランジスタ５０と貫通電極７１との間に、シールド領域１００として、トランジスタ５０のアクティブ領域のうちのドレイン領域５２が配置される。

[0045] ドレイン領域５２は、積層方向からの平面視で、トランジスタ５０のアクティブ領域とゲート電極５３とが重なる重複領域の頂点それぞれと、貫通電極７１の中心とを結ぶ全ての線分と交差するように配置されるものとする。これにより、貫通電極７１から伝播する電界の影響が、ドレイン領域５２に吸収されるようになる。

[0046] 以上のように、トランジスタ５０と貫通電極７１との間に、トランジスタ５０のアクティブ領域を配置することで、貫通電極７１に高電圧が印加されることによるトランジスタ５０への影響を低減しつつ、画素サイズを維持することが可能となる。

[0047] なお、図４の例では、トランジスタ５０と貫通電極７１との間に、トランジスタ５０のアクティブ領域のうちのドレイン領域５２が配置されるものとしたが、トランジスタ５０のアクティブ領域のうちのソース領域５１が配置されるようにしてもよい。

[0048] また、トランジスタ５０のアクティブ領域の平面視での形状は、図４に示されるものに限られない。すなわち、例えばドレイン領域５２は、積層方向からの平面視で、トランジスタ５０のアクティブ領域とゲート電極５３とが重なる重複領域の頂点それぞれと、貫通電極７１の中心とを結ぶ全ての線分と交差するように配置されればよく、トランジスタ５０と貫通電極７１の位置関係に応じて、任意の形状を採ることができる。

[0049] 例えば、図５のＡ図に示されるように、貫通電極７１が、トランジスタ５０のアクティブ領域の長手方向の延長線上に設けられていない場合には、ドレイン領域５２（またはソース領域５１）がＬ字型に形成されるようにしてもよい。

[0050] また、同Ｂ図に示されるように、２つの貫通電極７１ａ，７１ｂが設けられている場合には、それらの配置に応じて、ドレイン領域５２（またはソース領域５１）がコの字型に形成されてもよい。

[0051] 図５の例においても、トランジスタ５０と貫通電極７１との間に、トランジスタ５０のアクティブ領域が配置されるので、貫通電極７１に高電圧が印加されることによるトランジスタ５０への影響を低減しつつ、画素サイズを維持することが可能となる。

[0052] ＜４．第２の実施形態＞

図６は、本開示に係る技術を適用した第２の実施形態のＣＭＯＳ基板１２の構成例を示す断面図であり、図７は、その平面図である。

[0053] 図６に示される断面構成においては、図２に示される断面構成に加え、基板コンタクト１２１とそのウェル領域１２２が形成されている。ウェル領域１２２は、基板コンタクト用のＮ型またはＰ型の拡散層であり、基板コンタクト１２１によって一定の電位に固定されている。

[0054] そして、図７の例では、ＣＭＯＳ基板１２において、積層方向からの平面視で、トランジスタ５０と貫通電極７１との間に、シールド領域１００として、基板コンタクト１２１のウェル領域１２２が配置される。

[0055] 基板コンタクト１２１のウェル領域１２２は、積層方向からの平面視で、トランジスタ５０のアクティブ領域とゲート電極５３とが重なる重複領域の頂点それぞれと、貫通電極７１の中心とを結ぶ全ての線分と交差するように配置されるものとする。これにより、貫通電極７１から伝播する電界の影響が、基板コンタクト１２１のウェル領域１２２に吸収されるようになる。

[0056] 以上のように、トランジスタ５０と貫通電極７１との間に、基板コンタクト１２１のウェル領域１２２を配置することで、貫通電極７１に高電圧が印加されることによるトランジスタ５０への影響を低減しつつ、画素サイズを維持することが可能となる。

[0057] また、基板コンタクト１２１のウェル領域１２２の平面視での形状は、図７に示されるものに限られない。すなわち、基板コンタクト１２１のウェル領域１２２が、積層方向からの平面視で、トランジスタ５０のアクティブ領域とゲート電極５３とが重なる重複領域の頂点それぞれと、貫通電極７１の中心とを結ぶ全ての線分と交差するように配置されればよく、トランジスタ５０と貫通電極７１の位置関係に応じて、任意の形状を採ることができる。

[0058] 例えば、図８に示されるように、貫通電極７１の配置に応じて、基板コンタクト１２１のウェル領域１２２がＬ字型に形成されるようにしてもよい。

[0059] 図８の例においても、トランジスタ５０と貫通電極７１との間に、基板コンタクト１２１のウェル領域１２２が配置されるので、貫通電極７１に高電圧が印加されることによるトランジスタ５０への影響を低減しつつ、画素サイズを維持することが可能となる。

[0060] ＜５．第３の実施形態＞

図９は、本開示に係る技術を適用した第３の実施形態のＣＭＯＳ基板１２の構成例を示す断面図であり、図１０は、その平面図である。

[0061] 図９に示される断面構成においては、図２に示される断面構成に加え、エアギャップ１３１が形成されている。エアギャップ１３１は、例えば、真空の空洞で構成される。

[0062] そして、図１０の例では、ＣＭＯＳ基板１２において、積層方向からの平面視で、トランジスタ５０と２つの貫通電極７１ａ，７１ｂそれぞれとの間に、シールド領域１００として、エアギャップ１３１が配置される。

[0063] エアギャップ１３１は、積層方向からの平面視で、トランジスタ５０のアクティブ領域とゲート電極５３とが重なる重複領域の頂点それぞれと、貫通電極７１ａ，７１ｂそれぞれの中心とを結ぶ全ての線分と交差するように配置されるものとする。これにより、貫通電極７１ａ，７１ｂそれぞれからの電界は、誘電率の低いエアギャップ１３１を避けて伝播するようになる。

[0064] 以上の構成によれば、トランジスタ５０と貫通電極７１ａ，７１ｂそれぞれとの間に、エアギャップ１３１を配置することで、貫通電極７１に高電圧が印加されることによるトランジスタ５０への影響を低減しつつ、画素サイズを維持することが可能となる。

[0065] また、エアギャップ１３１の平面視での形状は、図１０に示されるものに限られない。すなわち、エアギャップ１３１が、積層方向からの平面視で、トランジスタ５０のアクティブ領域とゲート電極５３とが重なる重複領域の頂点それぞれと、貫通電極７１（７１ａ，７１ｂ）の中心とを結ぶ全ての線分と交差するように配置されればよく、トランジスタ５０と貫通電極７１の位置関係に応じて、任意の形状を採ることができる。

[0066] ＜６．測距システムの構成例＞

上述したような各実施形態のセンサ素子１は、ＴｏＦ法を用いて、被写体までの奥行き方向の距離を画素毎に検出し、検出した距離に基づく距離画素信号からなる画像である距離画像の撮像を行う測距システムに適用すること

ができる。

[0067] 図１１は、本開示に係る技術を適用した測距システム２１１の一実施形態の構成例を示すブロック図である。

[0068] 図１１に示されるように、測距システム２１１は、照明装置２２１と撮像装置２２２を備える。

[0069] 照明装置２２１は、照明制御部２３１と光源２３２を備える。

[0070] 照明制御部２３１は、撮像装置２２２の制御部２４２の制御の下、光源２３２が光を照射するパターンを制御する。具体的には、照明制御部２３１は、制御部２４２から供給される照射信号に含まれる照射コードに従って、光源２３２が光を照射するパターンを制御する。例えば、照射コードは、１（High）と０（Low）の２値からなり、照明制御部２３１は、照射コードの値が１のときに光源２３２を点灯させ、照射コードの値が０のときに光源２３２を消灯させる。

[0071] 光源２３２は、照明制御部２３１の制御の下、所定の波長域の光を発する。光源２３２は、例えば、赤外線レーザダイオードからなる。光源２３２の種類と、照射光の波長域は、測距システム２１１の用途などに応じて任意に設定することが可能である。

[0072] 撮像装置２２２は、照明装置２２１から照射された光（照射光）が被写体２１２や被写体２１３などにより反射された反射光を受光する装置である。撮像装置２２２は、撮像部２４１、制御部２４２、表示部２４３、および記憶部２４４を備える。

[0073] 撮像部２４１は、レンズ２５１、受光素子２５２、および信号処理回路２５３を備える。

[0074] レンズ２５１は、入射光を受光素子２５２の受光面に結像させる。レンズ２５１の構成は任意であり、例えば、複数のレンズ群によりレンズ２５１を構成することも可能である。

[0075] 受光素子２５２には、本開示に係る技術を適用したセンサ素子１が適用される。受光素子２５２は、制御部２４２の制御の下、被写体２１２や被写体

２１３などからの反射光を受光し、その結果得られた画素信号を信号処理回路２５３に供給する。この画素信号は、照明装置２２１が照射光を照射してから、受光素子２５２が受光するまでの時間をカウントしたデジタルのカウント値を表す。光源２３２が発光するタイミングを示す発光タイミング信号は、制御部２４２から受光素子２５２にも供給される。

[0076] 信号処理回路２５３は、制御部２４２の制御の下、受光素子２５２から供給される画素信号の処理を行う。例えば、信号処理回路２５３は、受光素子２５２から供給される画素信号に基づいて、画素毎に被写体までの距離を検出し、画素毎の被写体までの距離を示す距離画像を生成する。具体的には、信号処理回路２５３は、光源２３２が光を発光してから受光素子２５２の各画素が光を受光するまでの時間（カウント値）を画素毎に複数回（例えば、数千乃至数万回）取得する。信号処理回路２５３は、取得した時間に対応するヒストグラムを作成する。そして、信号処理回路２５３は、ヒストグラムのピークを検出することで、光源２３２から照射された光が被写体２１２や被写体２１３で反射して戻ってくるまでの時間を判定する。さらに、信号処理回路２５３は、判定した時間と光速に基づいて、物体までの距離を求める演算を行う。信号処理回路２５３は、生成した距離画像を制御部２４２に供給する。

[0077] 制御部２４２は、例えば、ＦＰＧＡ（Field Programmable Gate Array），ＤＳＰ（Digital Signal Processor）などの制御回路やプロセッサなどにより構成される。制御部２４２は、照明制御部２３１と受光素子２５２の制御を行う。具体的には、制御部２４２は、照明制御部２３１に照射信号を供給するとともに、発光タイミング信号を受光素子２５２に供給する。光源２３２は、照射信号に応じて照射光を発光する。発光タイミング信号は、照明制御部２３１に供給される照射信号でもよい。また、制御部２４２は、撮像部２４１から取得した距離画像を表示部２４３に表示させる。さらに、制御部２４２は、撮像部２４１から取得した距離画像を記憶部２４４に記憶させる。また、制御部２４２は、撮像部２４１から取得した距離画像を外部に出力

する。

[0078] 表示部２４３は、例えば、液晶表示装置や有機ＥＬ（Electro Luminescence）表示装置などのパネル型表示装置からなる。

[0079] 記憶部２４４は、任意の記憶装置や記憶媒体などにより構成することができ、距離画像などを記憶する。

[0080] このように構成されている測距システム２１１では、本開示に係る技術を適用したセンサ素子１を適用することで、例えば、より小型化かつ高機能化を図ることができる。

[0081] 本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、すべての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、１つの筐体の中に複数のモジュールが収納されている１つの装置は、いずれも、システムである。

[0082] 本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0083] また、本開示に係る技術を適用した実施形態は、上述した実施形態に限定されるものではなく、本開示に係る技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0084] さらに、本開示は以下のような構成をとることができる。

（１）

ＳＰＡＤ（Single Photon Avalanche Diode）が画素毎に設けられたセンサ基板と、

前記センサ基板に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ（Complementary Metal Oxide Semiconductor）基板と、

前記ＣＭＯＳ基板に積層され、ロジック回路が設けられたロジック基板と、

前記ＣＭＯＳ基板を貫通し、前記センサ基板と前記ＣＭＯＳ基板とを電気的に接続する貫通電極と

を備えるセンサ素子。

（２）

前記ＣＭＯＳ基板において、積層方向からの平面視で、前記トランジスタと前記貫通電極との間に、前記ＣＭＯＳ基板の既存構成要素がシールド領域として配置される

（１）に記載のセンサ素子。

（３）

前記シールド領域は、積層方向からの平面視で、前記トランジスタのアクティブ領域とゲート電極とが重なる重複領域の頂点それぞれと、前記貫通電極の中心とを結ぶ全ての線分と交差するように配置される

（２）に記載のセンサ素子。

（４）

前記シールド領域は、前記トランジスタの前記アクティブ領域のソース領域またはドレイン領域である

（３）に記載のセンサ素子。

（５）

前記シールド領域は、基板コンタクトのウェル領域である

（３）に記載のセンサ素子。

（６）

前記シールド領域は、エアギャップである

（３）に記載のセンサ素子。

（７）

前記貫通電極には、絶対値２０Ｖ以上の電圧が印加される

（３）乃至（６）のいずれかに記載のセンサ素子。

（８）

前記ＣＭＯＳ基板には、第１伝導型トランジスタと第２伝導型トランジスタが設けられ、

前記第１伝導型トランジスタと前記第２伝導型トランジスタとの間には、

素子分離領域が形成される

（３）乃至（７）のいずれかに記載のセンサ素子。

（９）

前記素子分離領域は、前記ＣＭＯＳ基板の表面から底面までを貫通するＤＴＩ（Deep Trench Isolation）領域により形成される

（８）に記載のセンサ素子。

（１０）

前記ＣＭＯＳ基板において、前記トランジスタと前記貫通電極との間には、深さ２５０ｎｍ程度のＳＴＩ（Shallow Trench Isolation）領域または前記ＤＴＩ領域がさらに形成される

（９）に記載のセンサ素子。

（１１）

照射光を照射する照明装置と、

前記照射光に対する反射光を検出するセンサ素子と

を備え、

前記センサ素子は、

ＳＰＡＤ（Single Photon Avalanche Diode）が画素毎に設けられたセンサ基板と、　前記センサ基板に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ（Complementary Metal Oxide Semiconductor）基板と、

前記ＣＭＯＳ基板に積層され、ロジック回路が設けられたロジック基板と、

前記ＣＭＯＳ基板を貫通し、前記センサ基板と前記ＣＭＯＳ基板とを電気的に接続する貫通電極とを有する

測距システム。

符号の説明

[0085] １　センサ素子，　１０　画素，　１１　センサ基板，　１２　ＣＭＯＳ基板，　１３　ロジック基板，　３１　ＳＰＡＤ，　３４　アノード領域，

３５　カソード領域，　５０　トランジスタ，　５１　ソース領域，　５２　ドレイン領域，　５３　ゲート電極，　６０　トランジスタ，　６１　ソース領域，　６２　ドレイン領域，　６３　ゲート電極，　７１，７２　貫通電極，　８１，８２　素子分離領域，　１００　シールド領域，　１２１　基板コンタクト　，　１２２　ウェル領域，　１３１　エアギャップ

請求の範囲

[請求項1] ＳＰＡＤ（Single Photon Avalanche Diode）が画素毎に設けられたセンサ基板と、

前記センサ基板に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ（Complementary Metal Oxide Semiconductor）基板と、

前記ＣＭＯＳ基板に積層され、ロジック回路が設けられたロジック基板と、

前記ＣＭＯＳ基板を貫通し、前記センサ基板のアノード領域と前記ＣＭＯＳ基板とを電気的に接続する貫通電極と

を備えるセンサ素子。

[請求項2] 前記ＣＭＯＳ基板において、積層方向からの平面視で、前記トランジスタと前記貫通電極との間に、前記ＣＭＯＳ基板の既存構成要素がシールド領域として配置される

請求項１に記載のセンサ素子。

[請求項3] 前記シールド領域は、積層方向からの平面視で、前記トランジスタのアクティブ領域とゲート電極とが重なる重複領域の頂点それぞれと、前記貫通電極の中心とを結ぶ全ての線分と交差するように配置される

請求項２に記載のセンサ素子。

[請求項4] 前記シールド領域は、前記トランジスタの前記アクティブ領域のソース領域またはドレイン領域である

請求項３に記載のセンサ素子。

[請求項5] 前記シールド領域は、基板コンタクトのウェル領域である

請求項３に記載のセンサ素子。

[請求項6] 前記シールド領域は、エアギャップである

請求項３に記載のセンサ素子。

[請求項7] 前記貫通電極には、絶対値２０Ｖ以上の電圧が印加される

請求項３に記載のセンサ素子。

[請求項8] 前記ＣＭＯＳ基板には、第１伝導型トランジスタと第２伝導型トランジスタが設けられ、

前記第１伝導型トランジスタと前記第２伝導型トランジスタとの間には、素子分離領域が形成される

請求項３に記載のセンサ素子。

[請求項9] 前記素子分離領域は、前記ＣＭＯＳ基板の表面から底面までを貫通するＤＴＩ（Deep Trench Isolation）領域により形成される

請求項８に記載のセンサ素子。

[請求項10] 前記ＣＭＯＳ基板において、前記トランジスタと前記貫通電極との間には、深さ２５０ｎｍ程度のＳＴＩ（Shallow Trench Isolation）領域または前記ＤＴＩ領域がさらに形成される

請求項９に記載のセンサ素子。

[請求項11] 照射光を照射する照明装置と、

前記照射光に対する反射光を検出するセンサ素子と

を備え、

前記センサ素子は、

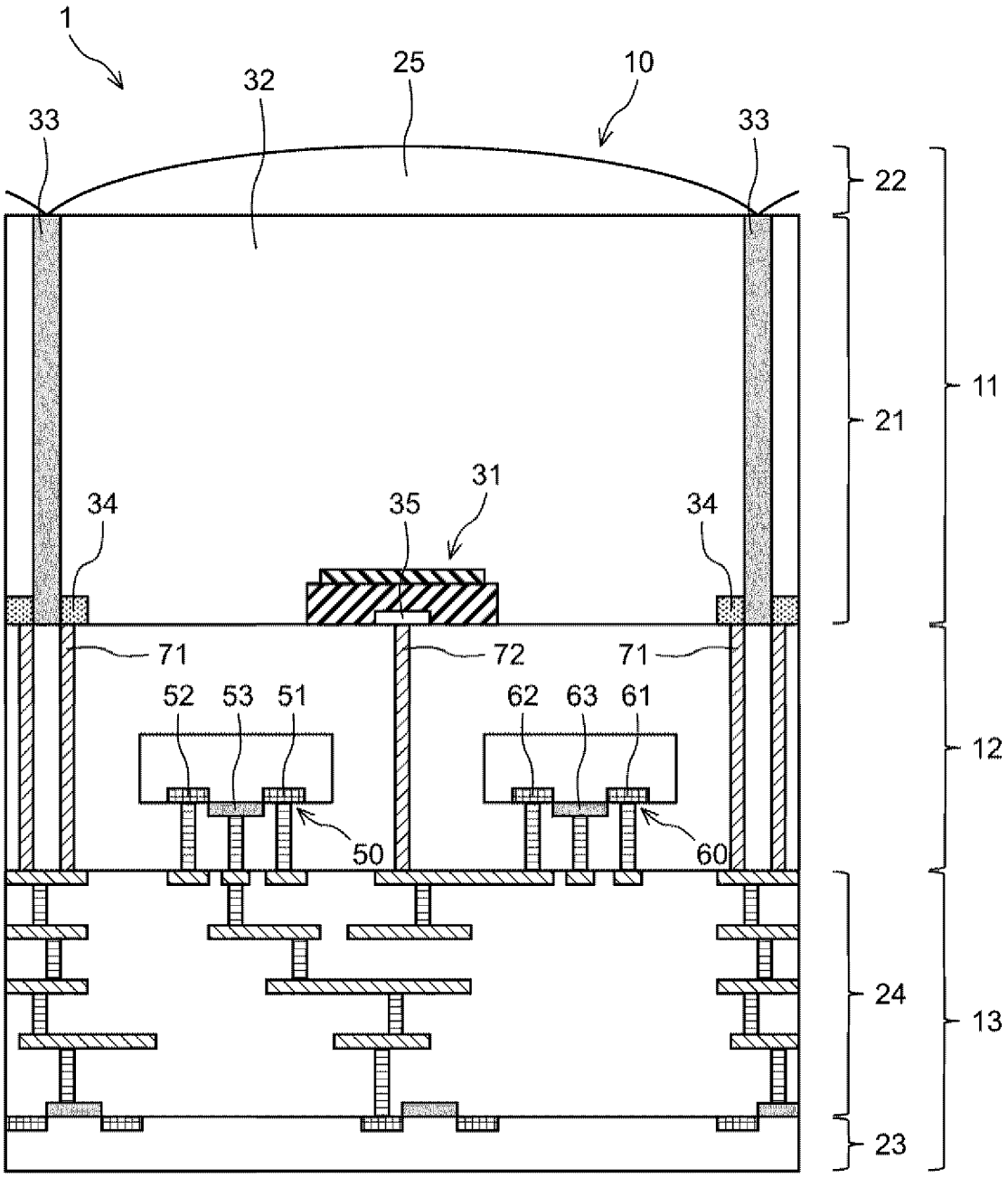
ＳＰＡＤ（Single Photon Avalanche Diode）が画素毎に設けられたセンサ基板と、 前記センサ基板に積層され、信号の読み出しのためのトランジスタが設けられるＣＭＯＳ（Complementary Metal Oxide Semiconductor）基板と、

前記ＣＭＯＳ基板に積層され、ロジック回路が設けられたロジック基板と、

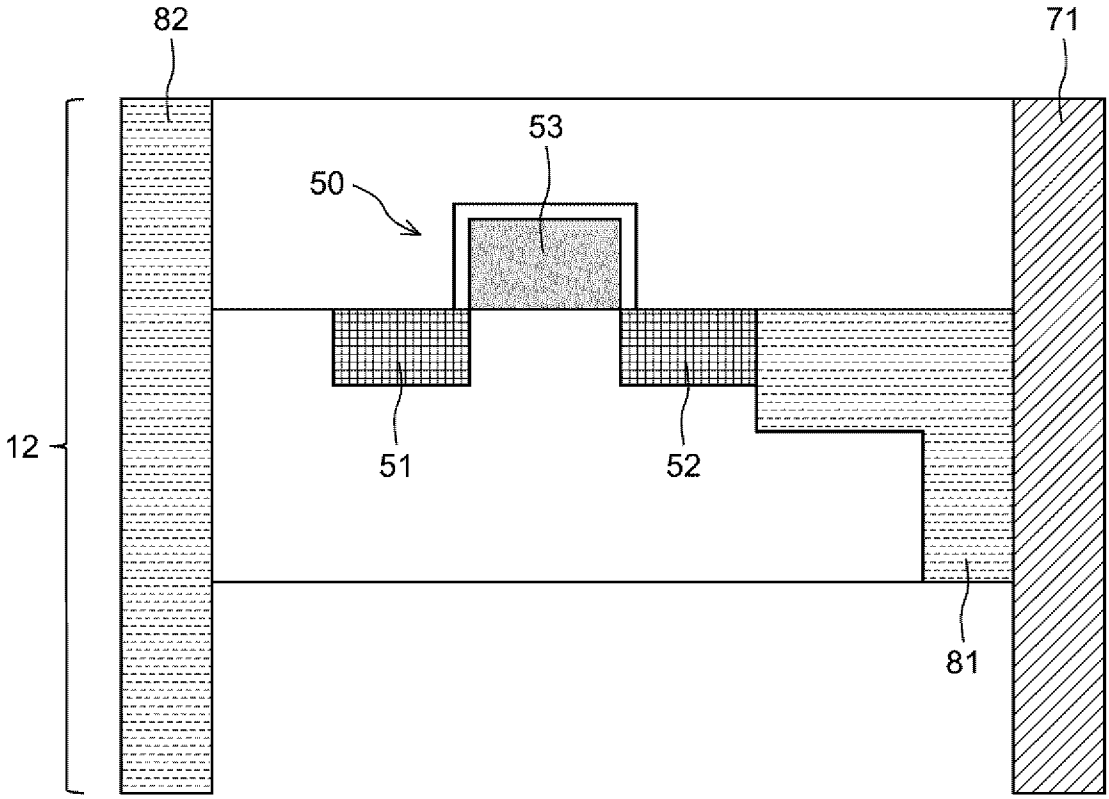
前記ＣＭＯＳ基板を貫通し、前記センサ基板のアノード領域と前記ＣＭＯＳ基板とを電気的に接続する貫通電極とを有する

測距システム。

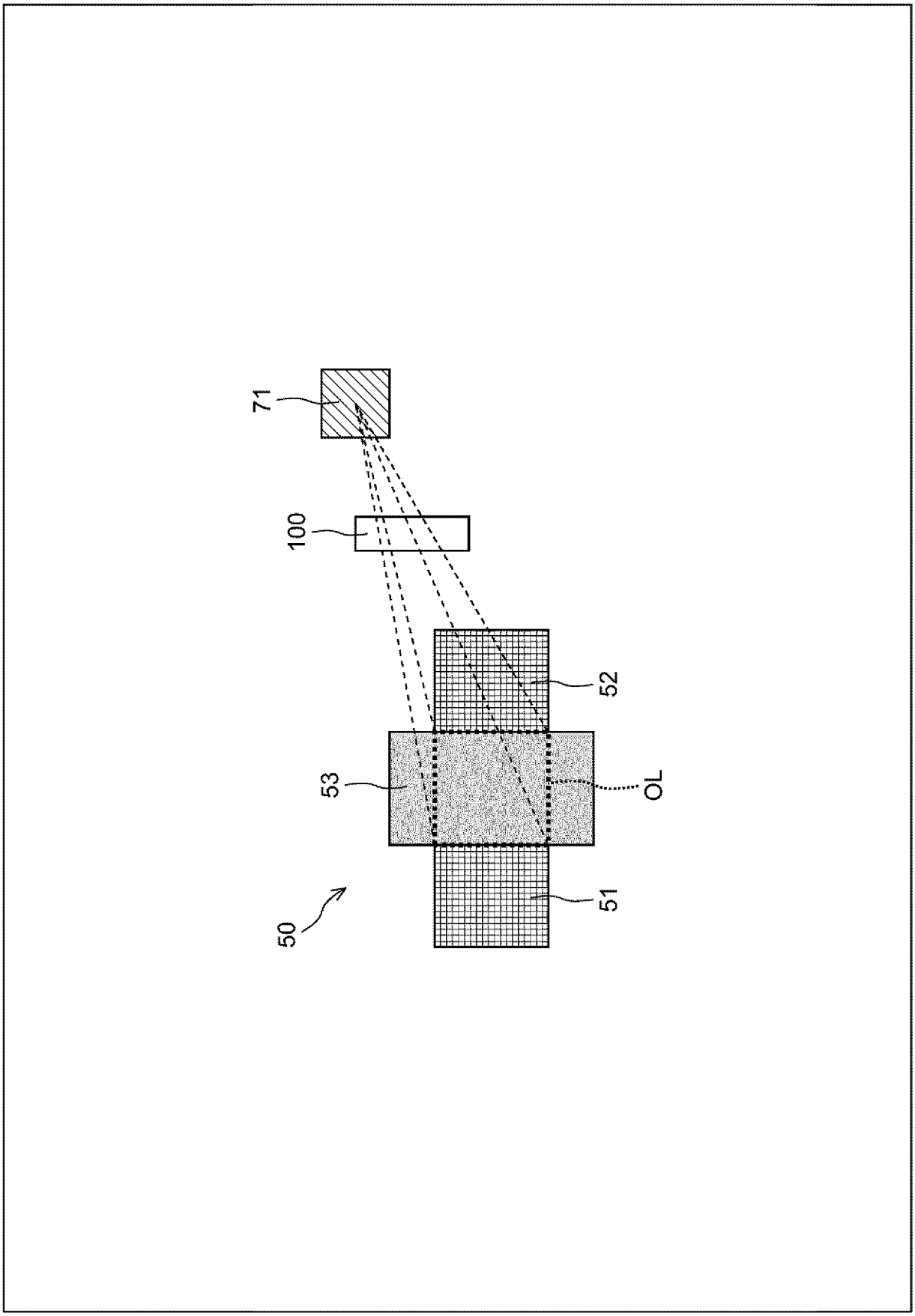
[図1]
FIG.1


1
32
25
10
33
33
22
21
11
31
34
35
34
71
72
71
52
53
51
62
63
61
12
50
60
24
13
23

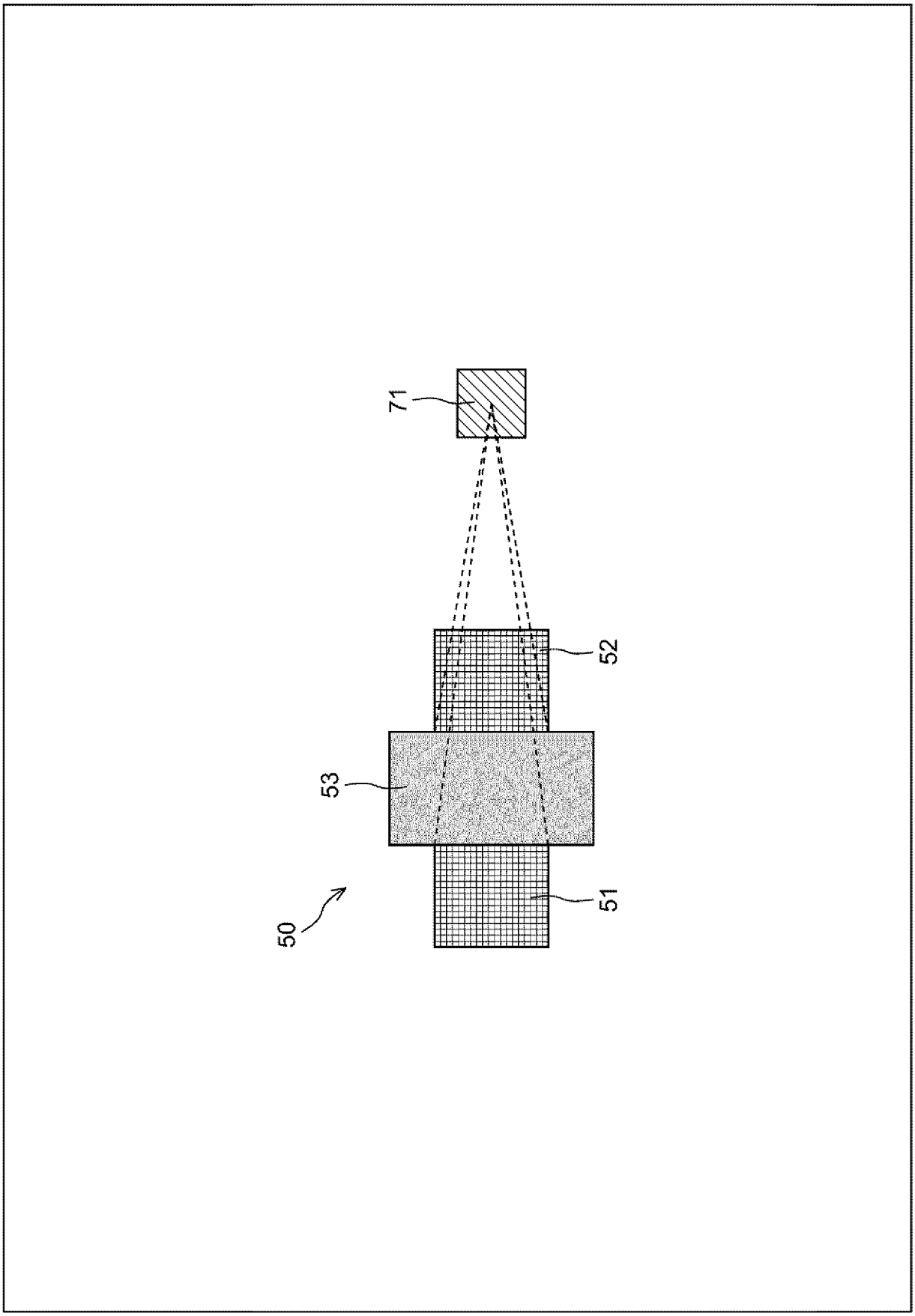
[図2]
FIG.2



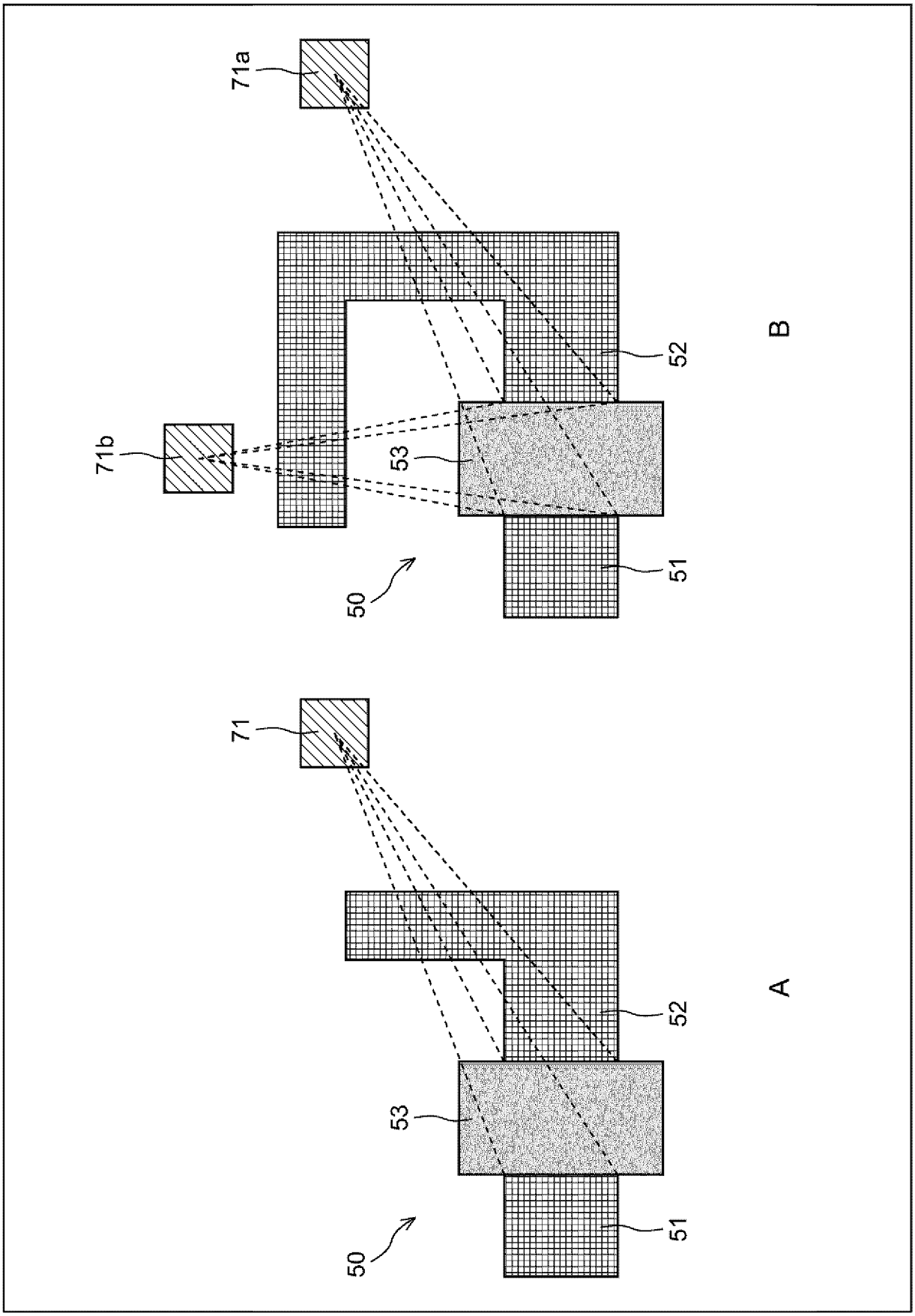
[図3]
FIG.3



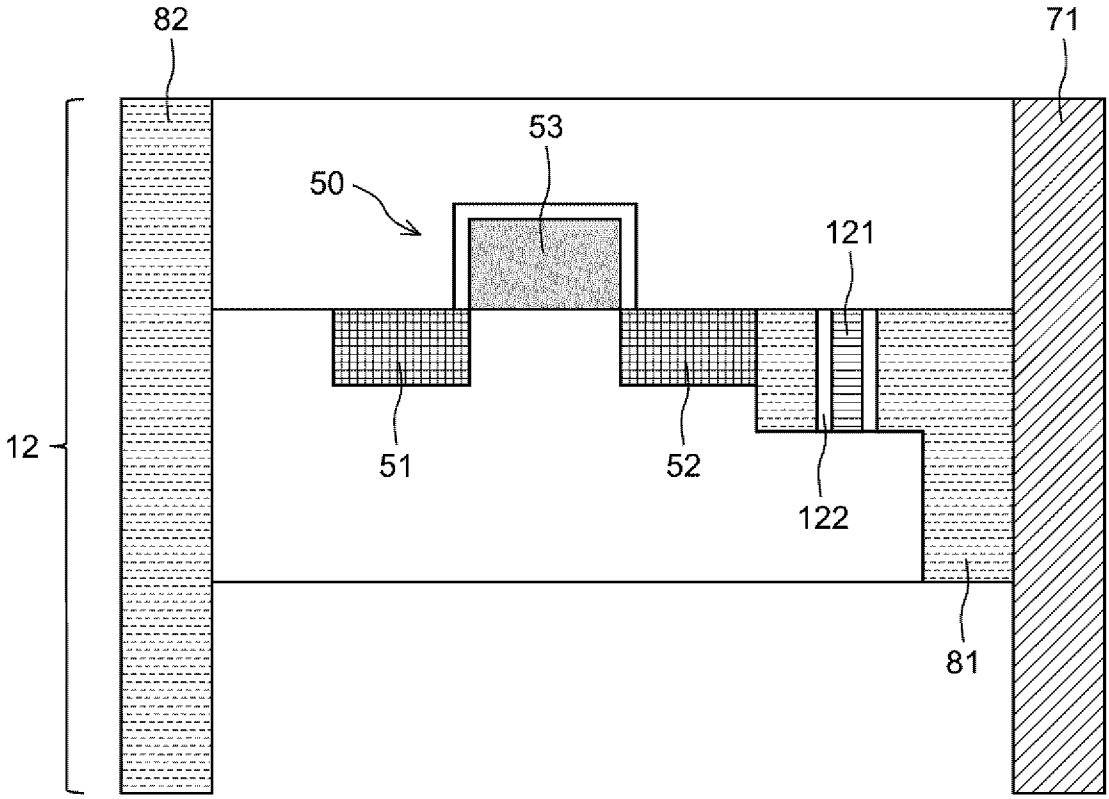
[図4]
FIG.4



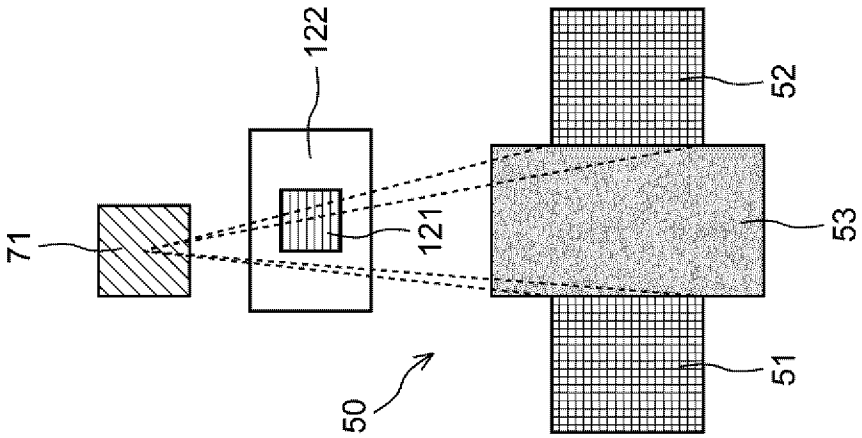
[図5]
FIG.5



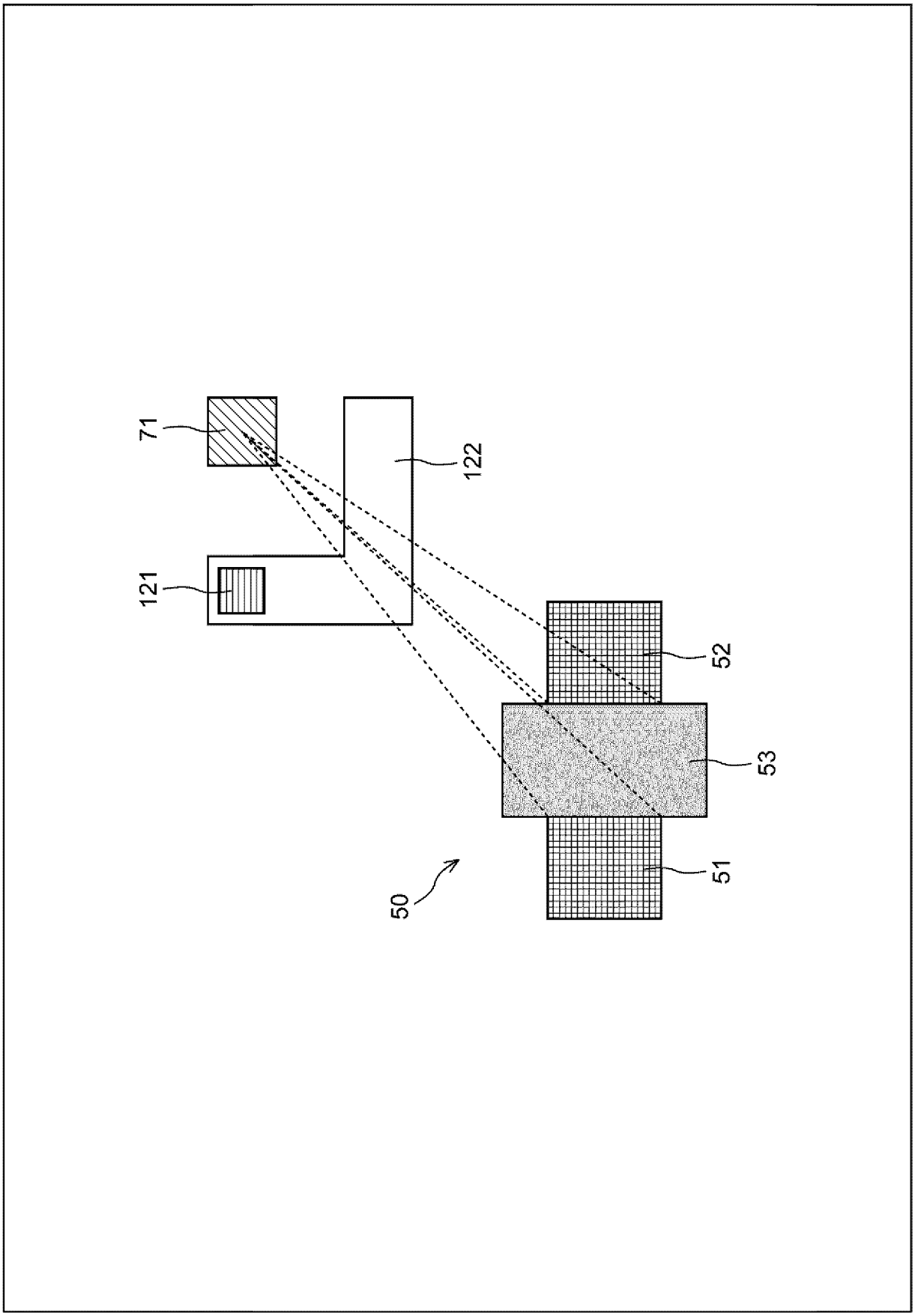
[図6]
FIG.6



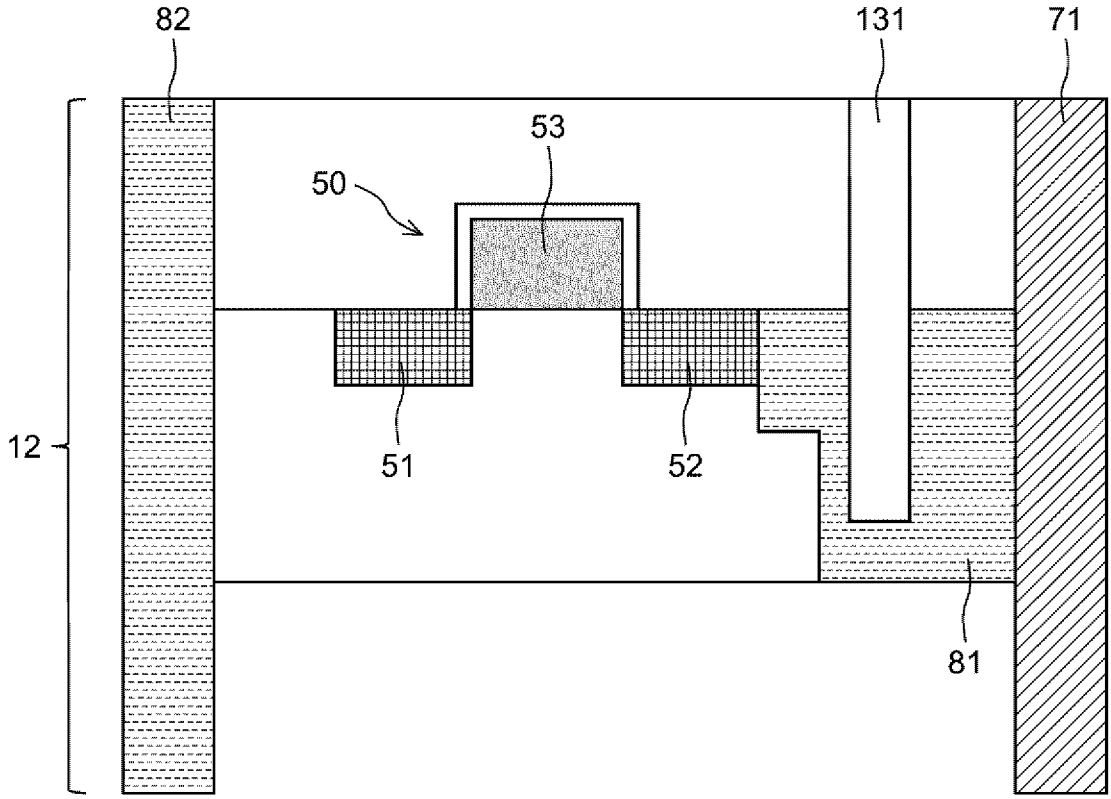
[図7]
FIG.7



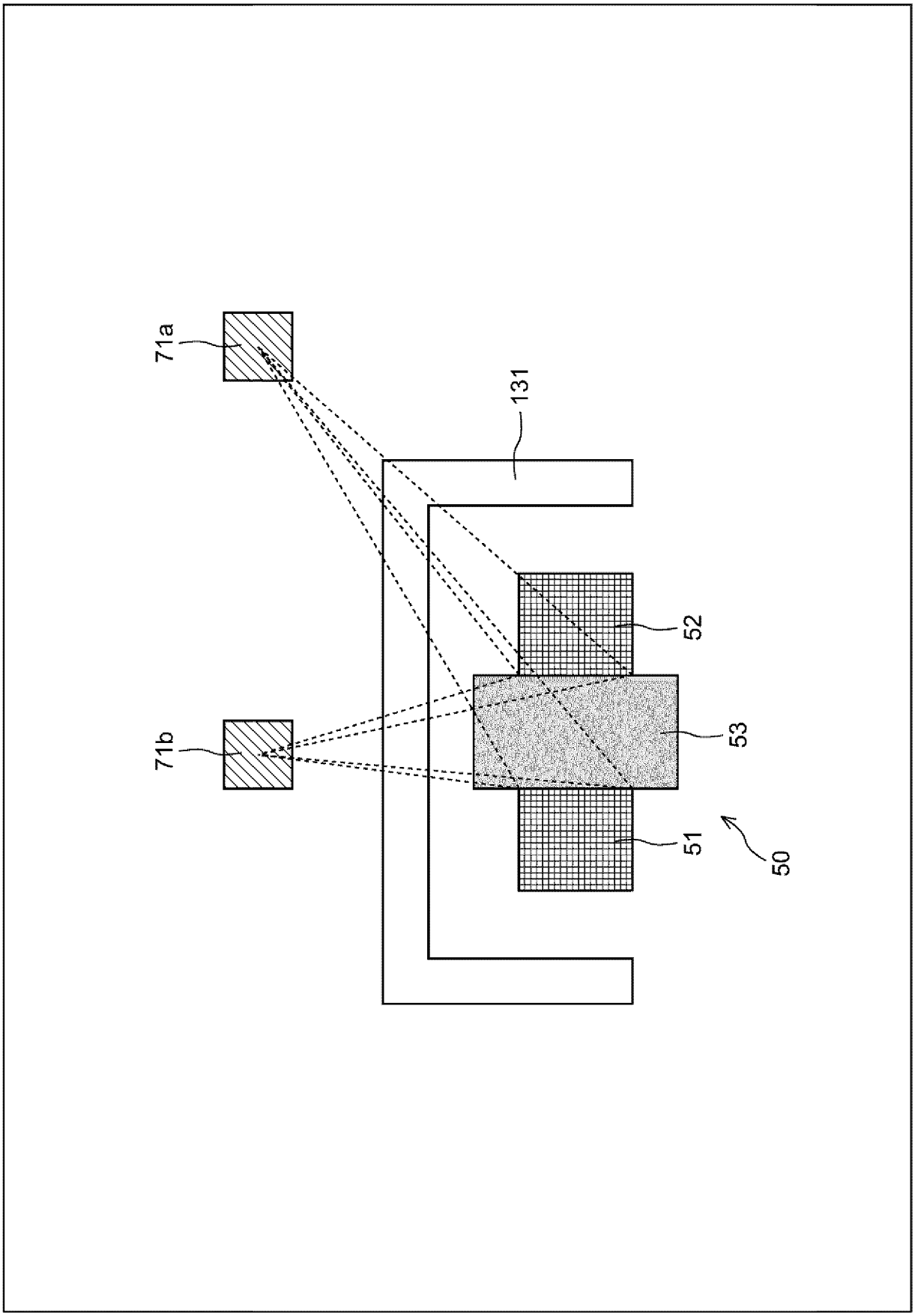
[図8]
FIG.8



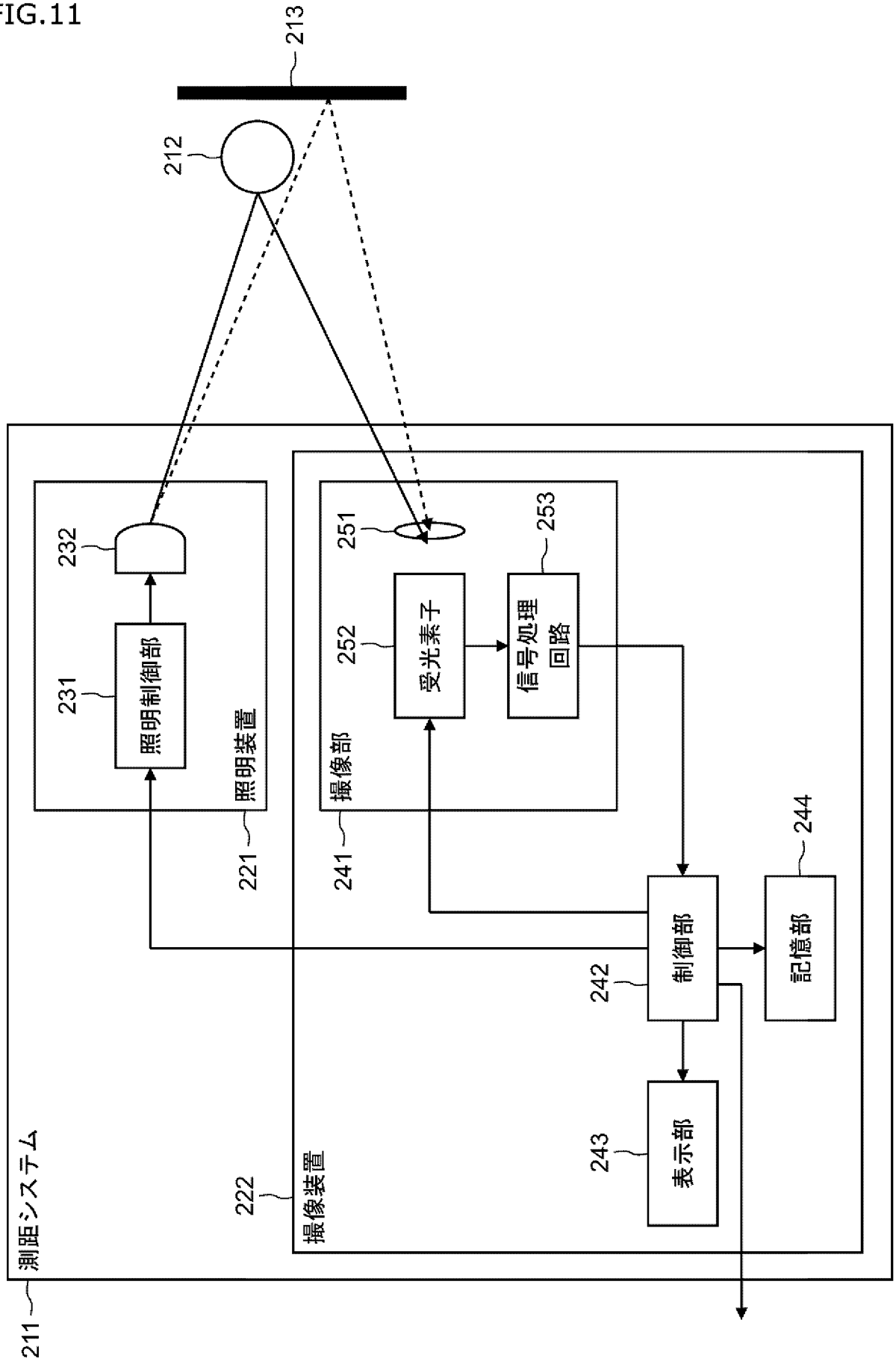
[図9]
FIG.9



[図10]
FIG.10



[図11]
FIG.11


213
212
232
231
照明制御部
照明装置
221
251
253
252
受光素子
信号処理回路
撮像部
241
244
制御部
記憶部
242
243
表示部
222
撮像装置
測距システム
211

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/021970

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i; ***H01L 21/822***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 21/8238***(2006.01)i; ***H01L 27/04***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 27/092***(2006.01)i; ***H01L 31/107***(2006.01)i
FI: H01L27/146 F; H01L27/04 H; H01L27/088 D; H01L27/088 E; H01L27/092 F; H01L27/092 G; H01L31/10 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H01L21/822; H01L21/8234; H01L21/8238; H01L27/04; H01L27/088; H01L27/092; H01L31/107

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/262558 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 30 December 2020 (2020-12-30) paragraphs [0010]-[0027], [0032]-[0034], [0041]-[0042], [0071]-[0073], fig. 1-2, 4, 6	1-3, 7-11
A		4-6
Y	JP 2021-002542 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 07 January 2021 (2021-01-07) paragraphs [0011]-[0038], [0044]-[0069], [0120]-[0131], fig. 1-2, 5, 29	1-3, 7-11
A		4-6
Y	JP 2019-033136 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 28 February 2019 (2019-02-28) paragraphs [0049]-[0052], [0088]-[0096], fig. 6-7, 17-19	2-3, 7-10
A		4-6

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 August 2024	**10 September 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/021970

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2020/262558 A1	30 December 2020	US 2022/0367539 A1 paragraphs [0082]-[0099], [0104]-[0106], [0113]-[0114], [0143]-[0145], fig. 1-2, 4, 6 EP 3993014 A1 CN 113875010 A TW 202109615 A	
JP 2021-002542 A	07 January 2021	WO 2020/255722 A1	
JP 2019-033136 A	28 February 2019	US 2019/0181177 A1 paragraphs [0127]-[0130], [0169]-[0179], fig. 6-7, 17-19 WO 2019/026719 A1 EP 3507836 A1 TW 201919217 A CN 110168733 A KR 10-2020-0033789 A	

国際調査報告

国際出願番号
PCT/JP2024/021970

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/146(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8238(2006.01)i; H01L 27/04(2006.01)i; H01L 27/088(2006.01)i; H01L 27/092(2006.01)i; H01L 31/107(2006.01)i
FI: H01L27/146 F; H01L27/04 H; H01L27/088 D; H01L27/088 E; H01L27/092 F; H01L27/092 G; H01L31/10 B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/146; H01L21/822; H01L21/8234; H01L21/8238; H01L27/04; H01L27/088; H01L27/092; H01L31/107

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2020/262558 A1 (ソニーセミコンダクタソリューションズ株式会社) 30.12.2020 (2020-12-30) 段落 [0010] - [0027], [0032] - [0034], [0041] - [0042], [0071] - [0073], [図1] - [図2], [図4], [図6]	1-3, 7-11
A		4-6
Y	JP 2021-002542 A (ソニーセミコンダクタソリューションズ株式会社) 07.01.2021 (2021-01-07) 段落 [0011] - [0038], [0044] - [0069], [0120] - [0131], [図1] - [図2], [図5], [図29]	1-3, 7-11
A		4-6
Y	JP 2019-033136 A (ソニーセミコンダクタソリューションズ株式会社) 28.02.2019 (2019-02-28) 段落 [0049] - [0052], [0088] - [0096], [図6] - [図7], [図17] - [図19]	2-3, 7-10
A		4-6

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
29.08.2024	10.09.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
田邊　顕人 5F 5894

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/021970

引用文献	公表日	パテントファミリー文献	公表日
WO 2020/262558 A1	30.12.2020	US 2022/0367539 A1 段落 [0082] - [0099], [0104] - [0106], [0113] - [0114], [0143] - [0145], 図1-2, 4, 6 EP 3993014 A1 CN 113875010 A TW 202109615 A	
JP 2021-002542 A	07.01.2021	WO 2020/255722 A1	
JP 2019-033136 A	28.02.2019	US 2019/0181177 A1 段落 [0127] - [0130], [0169] - [0179], 図6-7, 17-19 WO 2019/026719 A1 EP 3507836 A1 TW 201919217 A CN 110168733 A KR 10-2020-0033789 A	